



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0036147
(43) 공개일자 2020년04월07일

(51) 국제특허분류(Int. Cl.)
G09G 3/00 (2006.01)

(52) CPC특허분류
G09G 3/006 (2013.01)
G09G 2300/0828 (2013.01)

(21) 출원번호 10-2018-0115170

(22) 출원일자 2018년09월27일
심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

동국대학교 산학협력단

서울특별시 중구 필동로1길 30 내 (필동3가, 동국대학교)

(72) 발명자

김혁준

경기도 파주시 월롱면 엘지로 245

임명기

경기도 파주시 월롱면 엘지로 245

(뒷면에 계속)

(74) 대리인

이승찬

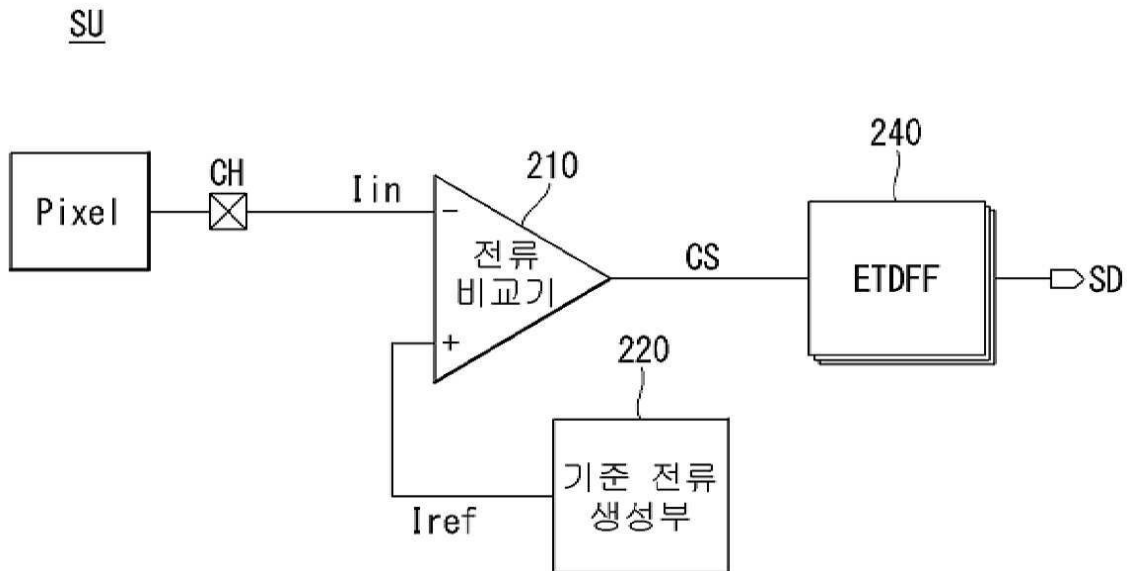
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 전류 센싱 장치와 그를 포함한 유기발광 표시장치

(57) 요약

본 발명은 각 센싱 채널에 연결된 다수의 센싱 유닛들을 갖는 전류 센싱 장치로서, 각 센싱 유닛은, 기준 전류를 생성하는 기준 전류 생성부; 상기 센싱 채널을 통해 입력되는 픽셀 전류와 상기 기준 전류를 기반으로 비교기 출력신호를 출력하되, 외부로부터 인가되는 리셋 전류를 이용하여 상기 픽셀 전류와 상기 기준 전류에 각각 포함된 오프셋 편차 성분을 제거하는 전류 비교기; 및 상기 비교기 출력신호를 기반으로 상기 픽셀 전류에 대응되는 디지털 센싱값을 출력하는 에지 트리거 데이터 플립플롭을 포함한다.

대표도 - 도5



(52) CPC특허분류

G09G 2320/0233 (2013.01)

G09G 2320/029 (2013.01)

G09G 2320/041 (2013.01)

G09G 2320/043 (2013.01)

G09G 2320/045 (2013.01)

(72) 발명자

우경돈

경기도 파주시 월롱면 엘지로 245

김범식

경기도 파주시 월롱면 엘지로 245

김승태

경기도 파주시 월롱면 엘지로 245

이병재

경기도 파주시 월롱면 엘지로 245

송민규

경기도 파주시 월롱면 엘지로 245

명세서

청구범위

청구항 1

각 센싱 채널에 연결된 다수의 센싱 유닛들을 갖는 전류 센싱 장치로서,

각 센싱 유닛은,

기준 전류를 생성하는 기준 전류 생성부;

상기 센싱 채널을 통해 입력되는 픽셀 전류와 상기 기준 전류를 기반으로 비교기 출력신호를 출력하되, 외부로부터 인가되는 리셋 전류를 이용하여 상기 픽셀 전류와 상기 기준 전류에 각각 포함된 오프셋 편차 성분을 제거하는 전류 비교기; 및

상기 비교기 출력신호를 기반으로 상기 픽셀 전류에 대응되는 디지털 센싱값을 출력하는 에지 트리거 데이터 플립플롭을 포함하는 전류 센싱 장치.

청구항 2

제 1 항에 있어서,

상기 전류 비교기는,

상기 픽셀 전류를 픽셀 전압으로 변환하고 상기 리셋 전류를 리셋 전압으로 변환하는 제1 전류-전압 컨버터;

상기 기준 전류를 기준 전압으로 변환하고 상기 리셋 전류를 리셋 전압으로 변환하는 제2 전류-전압 컨버터;

상기 픽셀 전압과 상기 리셋 전압을 더블 샘플링하여 상기 오프셋 편차 성분이 제거된 제1 상관 더블 샘플링값을 저장하는 제1 샘플링 커패시터;

상기 기준 전압과 상기 리셋 전압을 더블 샘플링하여 상기 오프셋 편차 성분이 제거된 제2 상관 더블 샘플링값을 저장하는 제2 샘플링 커패시터; 및

상기 제1 상관 더블 샘플링값과 상기 제2 상관 더블 샘플링값을 비교하여 상기 비교기 출력신호를 생성하는 비교부를 포함하는 전류 센싱 장치.

청구항 3

제 2 항에 있어서,

상기 제1 샘플링 커패시터의 일측 전극은 상기 제1 전류-전압 컨버터의 출력단자에 접속되고 상기 제1 샘플링 커패시터의 타측 전극은 상기 비교부의 반전 입력단자에 접속되고,

상기 제2 샘플링 커패시터의 일측 전극은 상기 제2 전류-전압 컨버터의 출력단자에 접속되고 상기 제2 샘플링 커패시터의 타측 전극은 상기 비교부의 비반전 입력단자에 접속된 전류 센싱 장치.

청구항 4

제 3 항에 있어서,

상기 전류 비교기는,

동작 전원이 인가되는 동작 전압 입력단자;

상기 제1 샘플링 커패시터의 타측 전극과 상기 동작 전압 입력단자 사이의 전류 흐름을 온/오프시키는 제1 샘플링 스위치; 및

상기 제2 샘플링 커패시터의 타측 전극과 상기 동작 전압 입력단자 사이의 전류 흐름을 온/오프시키는 제2 샘플링 스위치를 더 포함하는 전류 센싱 장치.

청구항 5

제 4 항에 있어서,

상기 제1 샘플링 스위치와 상기 제2 샘플링 스위치는, 상기 리셋 전압이 샘플링되는 동안 온 상태를 유지하고, 상기 픽셀 전압과 상기 기준 전압이 샘플링되는 동안 오프 상태를 유지하는 전류 센싱 장치.

청구항 6

제 4 항에 있어서,

상기 기준 전류 생성부는 일정 레벨의 상기 기준 전류를 생성하고,

상기 전류 비교기는,

상기 제1 상관 더블 샘플링값이 상기 제2 상관 더블 샘플링값보다 작은 경우에 상기 비교기 출력신호를 제1 논리값으로 출력하고, 상기 제1 상관 더블 샘플링값이 상기 제2 상관 더블 샘플링값과 동일한 경우에 상기 비교기 출력신호를 제2 논리값으로 출력하고, 상기 제1 상관 더블 샘플링값이 상기 제2 상관 더블 샘플링값보다 큰 경우에 상기 비교기 출력신호를 제3 논리값으로 출력하고,

상기 비교기 출력신호의 상기 제1 논리값, 상기 제2 논리값 및 상기 제3 논리값에 따라 상기 픽셀 전류에 대응되는 디지털 센싱값이 서로 달라지는 전류 센싱 장치.

청구항 7

제 4 항에 있어서,

상기 기준 전류 생성부는 일정 기울기로 증가하는 상기 기준 전류를 생성하고,

상기 전류 비교기는,

n 비트(n은 양의 정수)의 카운트 정보를 상기 에지 트리거 데이터 플립플롭에 출력하는 카운터를 더 포함하고,

상기 에지 트리거 데이터 플립플롭은 상기 제1 상관 더블 샘플링값이 상기 제2 상관 더블 샘플링값보다 커지는 순간에 상기 비교기 출력신호의 논리를 반전시키고, 상기 비교기 출력신호의 논리 반전 타이밍에 동기되는 카운트 정보를 상기 픽셀 전류에 대응되는 디지털 센싱값으로 출력하는 전류 센싱 장치.

청구항 8

제 3 항에 있어서,

상기 제1 전류-전압 컨버터는 전류 패스가 차단된 상기 출력단자를 통해 상기 픽셀 전류를 상기 픽셀 전압으로 변환하고 상기 리셋 전류를 상기 리셋 전압으로 변환하고,

상기 제2 전류-전압 컨버터는 전류 패스가 차단된 상기 출력단자를 통해 상기 기준 전류를 상기 기준 전압으로 변환하고 상기 리셋 전류를 상기 리셋 전압으로 변환하는 전류 센싱 장치.

청구항 9

제 8 항에 있어서,

상기 제1 전류-전압 컨버터의 출력단자는 상기 비교부의 상기 반전 입력단자에 연결된 모스 스위치의 게이트단에 연결되고,

상기 제2 전류 컨베이어의 출력단자는 상기 비교부의 상기 비반전 입력단자에 연결된 모스 스위치의 게이트단에 연결된 전류 센싱 장치.

청구항 10

제 2 항에 있어서,

상기 센싱 유닛들 중에서 적어도 2개 이상의 센싱 유닛들이 동일한 상기 제2 전류-전압 컨버터를 공유하는 전류 센싱 장치.

청구항 11

다수의 픽셀들과 상기 픽셀들에 연결된 센싱 라인들이 구비된 표시패널;

센싱 채널들을 통해 상기 센싱 라인들에 연결되어 상기 픽셀들의 구동 특성을 센싱하는 청구항 제1 항 내지 제 10 항 중 어느 한 항의 센싱 유닛들; 및

상기 센싱 유닛들로부터 입력되는 디지털 센싱값을 기초로 상기 표시패널에 기입될 디지털 영상 데이터를 보상하는 타이밍 콘트롤러를 구비하는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 표시장치에 관한 것으로, 특히 전류 센싱 장치와 그를 포함한 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 유기발광 표시장치는 OLED를 각각 포함한 픽셀들을 매트릭스 형태로 배열하고 영상 데이터의 계조에 따라 픽셀들의 휘도를 조절한다. 픽셀들 각각은 게이트전극과 소스전극 사이에 걸리는 전압에 따라 OLED에 흐르는 구동 전류를 제어하는 구동 소자 즉, 구동 TFT(Thin Film Transistor)를 포함한다. OLED와 구동 TFT는 온도나 열화에 의해 그 구동 특성이 변한다. OLED 및/또는 구동 TFT의 구동 특성이 픽셀들마다 달라지면 동일한 영상 데이터를 기입하더라도 픽셀들 간 휘도가 달라지므로 원하는 영상 구현이 어렵다.

[0004] OLED 또는 구동 TFT에 대한 구동 특성 변화를 보상하기 위해 외부 보상 기술이 알려져 있다. 외부 보상 기술은 OLED나 구동 TFT의 구동 특성 변화를 센싱하고, 그 센싱 결과를 기초로 영상 데이터를 변조하는 것이다.

발명의 내용

해결하려는 과제

[0005] 유기발광 표시장치는 OLED나 구동 TFT의 구동 특성 변화를 센싱하기 위해 전류 적분기를 사용하고 있다. 전류 적분기는 센싱 채널마다 연결되므로, 유기발광 표시장치에는 다수의 전류 적분기들이 구비될 수 있다. 전류 적분기는 저전류 및 고속 센싱이 가능하여 센싱 시간을 줄이는 데 유리하지만 노이즈나 오프셋 에러에 취약한 단점이 있다. 노이즈는 전류 적분기의 비 반전 입력단자에 인가되는 기준전압의 변동과, 전류 적분기의 반전 입력단자에 연결되는 센싱 라인들 간 노이즈 소스 차이 등으로 인해 생긴다. 오프셋 에러는 전류 적분기들 간의 오프셋 전압 편차에 기인한다. 이러한 노이즈나 오프셋 에러는 전류 적분기 내에서 증폭되어 적분값에 반영되기 때문에, 센싱 결과를 왜곡시킬 수 있다. 센싱 성능이 저하되면, OLED나 구동 TFT의 구동 특성이 정확히 보상될 수 없다.

[0006] 따라서, 본 발명은 노이즈나 오프셋 에러에 의한 센싱 결과 왜곡을 최소화할 수 있는 전류 센싱 장치와 그를 포함한 유기발광 표시장치를 제공한다.

과제의 해결 수단

[0007] 본 발명은 각 센싱 채널에 연결된 다수의 센싱 유닛들을 갖는 전류 센싱 장치로서, 각 센싱 유닛은, 기준 전류를 생성하는 기준 전류 생성부; 상기 센싱 채널을 통해 입력되는 픽셀 전류와 상기 기준 전류를 기반으로 비교기 출력신호를 출력하되, 외부로부터 인가되는 리셋 전류를 이용하여 상기 픽셀 전류와 상기 기준 전류에 각각 포함된 오프셋 편차 성분을 제거하는 전류 비교기; 및 상기 비교기 출력신호를 기반으로 상기 픽셀 전류에 대응되는 디지털 센싱값을 출력하는 에지 트리거 데이터 플립플롭을 포함한다.

발명의 효과

[0008] 본 발명은 피드백 커패시터를 갖는 전류 적분기로 센싱 유닛을 구현하지 않고, 피드백 커패시터가 없는 싱글-슬

로프 ADC로 센싱 유닛을 구현함으로써, 센싱 유닛이 노이즈 증폭기로 동작되는 문제를 미연에 방지할 수 있다. 이를 통해 본 발명은 노이즈 유입을 최소화하여 센싱 성능과 보상 성능을 크게 높일 수 있다.

[0009] 나아가, 본 발명은 각 센싱 유닛의 전류 비교기 내에 상관 더블 샘플링할 수 있는 구성을 추가하고, 외부로부터 인가되는 리셋 전류를 이용하여 픽셀 전류와 기준 전류에 각각 포함된 오프셋 편차 성분을 제거함으로써, 오프셋 에러에 의한 센싱 결과 왜곡을 최소화할 수 있다.

[0010] 더 나아가, 본 발명은 센싱 유닛들 중에서 적어도 2개 이상의 센싱 유닛들이 동일한 제2 전류-전압 컨버터를 공유하도록 설계한다. 복수의 전류 비교기들에서, 동일한 제2 전류-전압 컨버터의 제2 상관 더블 샘플링값을 서로 다른 제1 전류-전압 컨버터들의 제1 상관 더블 샘플링값들과 비교하면, 비교 성능이 획기적으로 향상될 수 있다.

도면의 간단한 설명

- [0011] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여주는 도면이다.
- 도 2는 본 발명의 전류 센싱 장치가 포함된 데이터 구동회로와 픽셀 어레이의 일 접속 구성을 보여주는 도면이다.
- 도 3은 픽셀 어레이를 구성하는 픽셀들의 일 접속 구성을 보여주는 도면이다.
- 도 4는 픽셀 어레이를 구성하는 픽셀들의 다른 접속 구성을 보여주는 도면이다.
- 도 5는 본 발명의 전류 센싱 장치를 구현하기 위한 일 센싱 유닛의 구성을 보여주는 도면이다.
- 도 6은 도 5의 기준전류 생성부에서 출력되는 기준 전류를 보여주는 도면이다.
- 도 7은 본 발명의 전류 센싱 장치를 구현하기 위한 다른 센싱 유닛의 구성을 보여주는 도면이다.
- 도 8은 도 7의 기준전류 생성부에서 출력되는 기준 전류를 보여주는 도면이다.
- 도 9는 도 7의 기준전류 생성부의 일 구성을 보여주는 도면이다.
- 도 10은 도 5 및 도 7에 포함된 전류 비교기의 일 구성을 보여주는 도면이다.
- 도 11은 도 10의 전류 비교기에서 I-V 컨버터들의 오프셋 에러를 제거하는 방법을 설명하기 위한 도면이다.
- 도 12는 도 10의 전류 비교기에 포함된 제1 및 제2 I-V 컨버터들의 출력단들에 전류 패쓰가 차단된 것을 보여주는 도면이다.
- 도 13은 도 10의 전류 비교기에 포함된 제1 및 제2 I-V 컨버터들의 회로 구성을 보여주는 도면이다.
- 도 14a 내지 도 14c는 도 13의 I-V 컨버터의 동작을 설명하기 위한 도면들이다.
- 도 15는 서로 다른 제1 I-V 컨버터들을 각각 포함한 복수의 전류 비교기들이 서로 다른 제2 I-V 컨버터들을 개별적으로 구비하는 것을 보여주는 도면이다.
- 도 16은 서로 다른 제1 I-V 컨버터들을 각각 포함한 복수의 전류 비교기들이 동일한 제2 I-V 컨버터를 공유하는 것을 보여주는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0012] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 명세서는 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 명세서의 개시가 완전하도록 하며, 본 명세서가 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 명세서는 청구항의 범주에 의해 정의될 뿐이다.

[0013] 본 명세서의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 명세서가 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

- [0014] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0015] 위치 관계에 대한 설명일 경우, 예를 들어, ' ~ 상에', ' ~ 상부에', ' ~ 하부에', ' ~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0016] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용될 수 있으나, 이 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 명세서의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0017] 명세서 전체에 걸쳐 동일 참조 부호는 실질적으로 동일 구성 요소를 지칭한다.
- [0018] 본 명세서에서 표시패널의 기판 상에 형성되는 픽셀 회로와 게이트 구동부는 n 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 TFT로 구현될 수 있으나 이에 한정되지 않고 p 타입 MOSFET 구조의 TFT로 구현될 수도 있다. TFT는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 TFT에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 TFT (NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 TFT에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. 이에 반해, p 타입 TFT(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, 본 명세서의 실시예에 대한 설명에서는 소스와 드레인 중 어느 하나를 제1 전극, 소스와 드레인 중 나머지 하나를 제2 전극으로 기술한다.
- [0019] 이하, 첨부된 도면을 참조하여 본 명세서의 실시예를 상세히 설명한다. 이하의 실시예에서, 표시장치는 유기발광 물질을 포함한 유기발광 표시장치를 중심으로 설명한다. 하지만, 본 명세서의 기술적 사상은 유기발광 표시 장치에 국한되지 않고, 무기발광 물질을 포함한 무기발광 표시 장치에 적용될 수 있음에 주의하여야 한다.
- [0020] 이하의 설명에서, 본 명세서와 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 명세서의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0021] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여주는 도면이다. 도 2는 본 발명의 전류 센싱 장치에 포함된 데이터 구동회로와 픽셀 어레이의 일 접속 구성을 보여주는 도면이다. 그리고, 도 3 및 도 4는 픽셀 어레이를 구성하는 픽셀들의 다양한 접속 구성을 보여주는 도면들이다.
- [0022] 도 1 내지 도 4를 참조하면, 본 발명의 실시예에 따른 유기발광 표시장치는 표시패널(10), 타이밍 콘트롤러(11), 데이터 구동회로(12), 게이트 구동회로(13)를 포함할 수 있다. 데이터 구동회로(12)는 본 발명의 실시예에 따른 전류 센싱 장치(122)를 포함한다.
- [0023] 표시패널(10)에는 다수의 데이터라인들(14) 및 센싱라인들(16)과, 다수의 게이트라인들(15)이 교차되고, 이 교차영역마다 센싱용 픽셀들(P)이 매트릭스 형태로 배치되어 픽셀 어레이를 구성한다. 게이트라인들(15)은, 도 4에서와 같이 스캔 제어신호(SCAN)가 공급되는 다수의 제1 게이트라인들(15A)과, 센싱 제어신호(SEN)가 공급되는 다수의 제2 게이트라인들(15B)을 포함할 수 있다. 다만, 스캔 제어신호(SCAN)와 센싱 제어신호(SEN)가 동위상을 가질 때, 제1 및 제2 게이트라인들(15A, 15B)은 도 3에서와 같이 하나의 게이트라인(15)으로 단일화될 수 있다.
- [0024] 각 픽셀(P)은 데이터라인들(14) 중 어느 하나에, 센싱라인들(16) 중 어느 하나에, 게이트라인들(15) 중 어느 하나에 접속될 수 있다. 픽셀 어레이를 구성하는 픽셀들(P)은 적색을 표시하기 위한 적색 픽셀, 녹색을 표시하기 위한 녹색 픽셀, 청색을 표시하기 위한 청색 픽셀, 및 백색을 표시하기 위한 백색 픽셀을 포함할 수 있다. 적색 픽셀, 녹색 픽셀, 청색 픽셀, 및 백색 픽셀을 포함한 4개의 픽셀들이 하나의 픽셀 유닛(UPXL)을 구성할 수 있다. 다만 픽셀 유닛(UPXL)의 구성은 이에 한정되지 않는다. 동일한 픽셀 유닛(UPXL)을 구성하는 복수의 픽셀들(P)은 하나의 센싱라인(16)을 공유할 수 있다. 다만, 도면에 도시되어 있지 않지만 동일한 픽셀 유닛(UPXL)을 구성하는 복수의 픽셀들(P)이 서로 다른 센싱라인들에 독립적으로 연결될 수도 있다. 픽셀(P) 각각은 도시하지 않은 전원생성부로부터 고전위 픽셀전압(EVDD)과 저전위 픽셀전압(EVSS)을 공급받는다.

- [0025] 본 발명의 픽셀(P)은 도 3 및 도 4에서와 같이 OLED, 구동 TFT(DT), 스토리지 커패시터(Cst), 제1 스위치 TFT(ST1), 및 제2 스위치 TFT(ST2)를 구비할 수 있으나, 이에 한정되지 않는다. TFT들은 P 타입으로 구현되거나 또는, N 타입으로 구현되거나 또는, P 타입과 N 타입이 혼용된 하이브리드 타입으로 구현될 수 있다. 또한, TFT의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다.
- [0026] OLED는 소스노드(Ns)에 접속된 애노드전극과, 저전위 픽셀전압(EVSS)의 입력단에 접속된 캐소드전극과, 애노드 전극과 캐소드전극 사이에 위치하는 유기화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함할 수 있다.
- [0027] 구동 TFT(DT)는 게이트-소스 간 전압(이하, Vgs라 함)에 따라 OLED에 입력되는 구동 TFT(DT)의 소스-드레인 간 전류(이하, Ids라 함)의 크기를 제어한다. 구동 TFT(DT)는 게이트노드(Ng)에 접속된 게이트전극, 고전위 픽셀 전압(EVDD)의 입력단에 접속된 드레인전극, 및 소스노드(Ns)에 접속된 소스전극을 구비한다. 스토리지 커패시터(Cst)는 게이트노드(Ng)와 소스노드(Ns) 사이에 접속되어 구동 TFT(DT)의 Vgs를 일정 기간 동안 유지시킨다. 제1 스위치 TFT(ST1)는 스캔 제어신호(SCAN)에 따라 데이터라인(14)과 게이트노드(Ng) 간의 전기적 접속을 스위칭한다. 제1 스위치 TFT(ST1)는 제1 게이트라인(15A)에 접속된 게이트전극, 데이터라인(14)에 접속된 제1 전극, 및 게이트노드(Ng)에 접속된 제2 전극을 구비한다. 제2 스위치 TFT(ST2)는 센싱 제어신호(SEN)에 따라 소스노드(Ns)와 센싱 라인(16) 간의 전기적 접속을 스위칭한다. 제2 스위치 TFT(ST2)는 제2 게이트라인(15B)에 접속된 게이트전극, 센싱 라인(16)에 접속된 제1 전극, 및 소스노드(Ns)에 접속된 제2 전극을 구비한다.
- [0028] 한편, 제1 게이트라인(15A)과 제2 게이트라인(15B)은 하나의 게이트라인(15)으로 단일화될 수 있다(도 3 참조). 이 경우, 스캔 제어신호(SCAN)와 센싱 제어신호(SEN)는 동위상을 가질 수 있다.
- [0029] 이러한 픽셀 어레이를 갖는 유기발광 표시장치는 외부 보상 기술을 채용한다. 외부 보상 기술은 픽셀들에 구비된 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함) 및/또는 구동 TFT(Thin Film Transistor)의 구동 특성을 센싱하고 그 센싱값에 따라 입력 영상 데이터를 보정하는 기술이다. OLED의 구동 특성은 OLED의 동작점 전압을 의미한다. 구동 TFT의 구동 특성은 구동 TFT의 문턱전압과 구동 TFT의 전자 이동도를 의미한다.
- [0030] 본 발명의 유기발광 표시장치는 영상 표시 동작과 외부 보상 동작을 수행한다. 외부 보상 동작은 영상 표시 동작 중의 수직 블랭크 기간에서 수행되거나, 또는 영상 표시가 시작되기 전의 파워 온 시퀀스 기간에서 수행되거나, 또는 영상 표시가 끝난 후의 파워 오프 시퀀스 기간에서 수행될 수 있다. 수직 블랭크 기간은 영상 데이터가 기입되지 않는 기간으로서, 1 프레임분의 영상 데이터가 기입되는 수직 액티브 구간들 사이마다 배치된다. 파워 온 시퀀스 기간은 구동 전원이 온 된 후부터 영상이 표시될 때까지의 기간을 의미한다. 파워 오프 시퀀스 기간은 영상 표시가 끝난 후부터 구동 전원이 오프 될 때까지의 기간을 의미한다.
- [0031] 타이밍 콘트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블 신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 생성한다. 타이밍 콘트롤러(11)는 영상 표시가 수행되는 기간과 외부 보상이 수행되는 기간을 시간적으로 분리하고, 영상 표시를 위한 제어신호들(DDC,GDC)과 외부 보상을 위한 제어신호들(DDC,GDC)을 서로 다르게 생성할 수 있다.
- [0032] 게이트 제어신호(GDC)는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC) 등을 포함한다. 게이트 스타트 펄스(GSP)는 첫 번째 스캔 신호를 발생하는 게이트 스테이지에 인가되어 첫 번째 스캔 신호가 발생되도록 그 게이트 스테이지를 제어한다. 게이트 쉬프트 클럭(GSC)은 게이트 스테이지들에 공통으로 입력되는 클럭신호로써 게이트 스타트 펄스(GSP)를 쉬프트시키기 위한 클럭신호이다.
- [0033] 데이터 제어신호(DDC)는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터 구동회로(12)의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 소스 드라이브 IC들 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 소스 출력 인에이블신호(SOE)는 데이터 구동회로(12)의 출력 타이밍을 제어한다. 데이터 제어신호(DDC)는 데이터 구동회로(12)에 포함된 전류 센싱 장치(122)의 동작을 제어하기 위한 제반 신호들을 포함한다.
- [0034] 타이밍 콘트롤러(11)는 데이터 구동회로(12)로부터 외부 보상 동작에 따른 디지털 센싱값(SD)을 입력 받는다. 타이밍 콘트롤러(11)는 디지털 센싱값(SD)을 기초로 입력 영상 데이터(DATA)를 보정하여 픽셀들(P) 간 구동 TFT

의 열화 편차를 보상하거나, 또는 픽셀들(P) 간 OLED의 열화 편차를 보상할 수 있다. 타이밍 컨트롤러(11)는 영상 표시를 위한 동작 기간에서 상기 보정된 디지털 영상 데이터(DATA)를 데이터 구동회로(12)에 전송한다.

- [0035] 데이터 구동회로(12)는 적어도 하나 이상의 소스 드라이버 IC(Integrated Circuit)를 포함한다. 이 소스 드라이버 IC는 래치 어레이(미도시)와, 각 데이터라인(14)에 연결된 다수의 디지털-아날로그 컨버터들(121) (이하, DAC)과, 센싱 채널을 통해 각 센싱라인(16)에 연결된 전류 센싱 장치(122)를 구비한다. 전류 센싱 장치(122)는 다수의 센싱 유닛들(SU)을 포함한다.
- [0036] 래치 어레이는 데이터 제어신호(DDC)를 기반으로 타이밍 컨트롤러(11)로부터 입력되는 디지털 영상 데이터(DATA)를 래치하여 DAC에 공급한다. DAC는 영상 표시 동작시 타이밍 컨트롤러(11)로부터 입력되는 디지털 영상 데이터(DATA)를 영상 표시용 데이터전압으로 변환하여 데이터라인들(14)에 공급할 수 있다. DAC는 외부 보상 동작시 일정 레벨의 센싱용 데이터전압을 생성하여 데이터라인들(14)에 공급할 수 있다.
- [0037] 센싱 유닛들(SU) 각각은 싱글-슬로프(Single-Slope) ADC(Analog Digital Converter)를 구현함으로써, 데이터 구동회로(12) 내에서 실장 면적을 줄일 수 있다. 싱글-슬로프 ADC는 전류를 전압으로 변경하는 제1 구성과 아날로그 전압을 디지털 값으로 변경하는 제2 구성이 일체화된 것으로, 상기 제1 및 제2 구성이 독립된 종래 기술에 비해 노이즈, 실장 면적을 줄이기에 유리하다.
- [0038] 센싱 유닛들(SU) 각각은 센싱 채널을 통해 입력되는 픽셀 전류를 디지털 센싱값(SD)을 변환하는 역할을 한다. 각 센싱 유닛(SU)은 종래와 같은 전류 적분기를 채용하지 않고, 픽셀 전류를 감지하고 이를 기준 전류와 비교하여 디지털 신호로 변환하는 싱글-슬로프 ADC를 채용함으로써, 전류를 전압으로 변환하는 과정에서 생기는 잡음과 비선형성을 최소화한다. 다시 말해, 각 센싱 유닛(SU)은 피드백 커패시터를 갖는 전류 적분기 대신에 피드백 커패시터가 없는 I-V 컨버터를 채용하기 때문에, 센싱 유닛이 노이즈 증폭기로 동작되는 문제를 미연에 방지할 수 있다. 전류 센싱 장치를 구성하는 센싱 유닛들(SU)에 대해서는 도 5 내지 도 15를 참조하여 상세히 후술한다.
- [0039] 게이트 구동회로(13)는 게이트 제어신호(GDC)를 기반으로 영상 표시 동작, 외부 보상 동작에 맞게 스캔 제어신호(SCAN)를 생성한 후, 제1 게이트라인들(15A)에 공급한다. 게이트 구동회로(13)는 게이트 제어신호(GDC)를 기반으로 영상 표시 동작, 외부 보상 동작에 맞게 센싱 제어신호(SEN)를 생성한 후, 제2 게이트라인들(15B)에 공급한다. 한편, 게이트 구동회로(13)는 게이트 제어신호(GDC)를 기반으로 영상 표시 동작, 외부 보상 동작에 맞게 동일 위상의 스캔 제어신호(SCAN)와 센싱 제어신호(SEN)를 생성한 후, 게이트라인들(15)에 공급할 수도 있다.
- [0040] 도 5는 본 발명의 전류 센싱 장치를 구현하기 위한 일 센싱 유닛의 구성을 보여준다. 도 6은 도 5의 기준전류 생성부에서 출력되는 기준 전류를 보여준다.
- [0041] 도 5를 참조하면, 본 발명의 전류 센싱 장치를 구성하는 일 센싱 유닛(SU)은 싱글-슬로프 ADC를 구현하기 위해, 기준 전류 생성부(220), 전류 비교기(Current Comparator)(210), 및 에지 트리거 데이터 플립플롭(Edge Triggered Data Flip Flop, ETDFF)(240)을 포함한다.
- [0042] 기준 전류 생성부(220)는 도 6과 같이 일정 레벨의 기준 전류(Iref)를 생성한다.
- [0043] 전류 비교기(210)는 센싱 채널(CH)을 통해 입력되는 픽셀 전류(Iin)와 기준 전류 생성부(220)로부터 입력되는 기준 전류(Iref)를 기반으로 비교기 출력신호(CS)를 출력한다. 특히, 전류 비교기(210)는 외부로부터 인가되는 리셋 전류를 이용하여 픽셀 전류(Iin)와 기준 전류(Iref)에 각각 포함된 오프셋 편차 성분을 제거함으로써, 오프셋 에러에 의한 센싱 결과 왜곡을 최소화할 수 있다. 전류 비교기(210)의 구체적 구성에 대해서는 도 10 내지 도 15를 통해 자세히 설명한다.
- [0044] 에지 트리거 데이터 플립플롭(240)은 비교기 출력신호(CS)를 기반으로 픽셀 전류(Iin)에 대응되는 디지털 센싱값(SD)을 출력한다. 에지 트리거 데이터 플립플롭(240)은 비교기 출력신호(CS)의 논리값에 따라 픽셀 전류(Iin)에 대응되는 디지털 센싱값(SD)을 서로 다르게 출력한다.
- [0045] 도 7은 본 발명의 전류 센싱 장치를 구현하기 위한 다른 센싱 유닛의 구성을 보여준다. 도 8은 도 7의 기준전류 생성부에서 출력되는 기준 전류를 보여준다. 도 9는 도 7의 기준전류 생성부의 일 구성을 보여준다.
- [0046] 도 7을 참조하면, 본 발명의 전류 센싱 장치를 구성하는 다른 센싱 유닛(SU)은 싱글-슬로프 ADC를 구현하기 위해, 기준 전류 생성부(220), 전류 비교기(Current Comparator)(210), 및 에지 트리거 데이터 플립플롭(Edge

Triggered Data Flip Flop, ETDFF)(240)외에, 카운터(Counter)(230)를 더 포함한다.

- [0047] 기준 전류 생성부(220)는 도 8과 같이 일정 기울기로 증가하는 램프 전류(Idac)를 생성한다. 이를 위해 기준 전류 생성부(220)는 써모미터 타입(Thermometer type) 또는 바이너리 타입(Binary type)으로 구현될 수 있다. 써모미터 타입은 로직 사이즈가 크나 글리치(Glitch)를 줄이는 데 용이하다. 이와 반대로 바이너리 타입은 로직 사이즈가 작으나 글리치(Glitch)가 큰 편이다. 글리치(Glitch)는 센싱 성능과 직결되어 있으므로, 써모미터 타입으로 전류 구동형 DAC(220)을 구성하는 것이 보다 바람직하다.
- [0048] 써모미터 타입의 기준 전류 생성부(220)는 도 9와 같이 K(K는 양의 정수, 예를 들어 4)비트의 제1 디코더(DEC 1)와 K비트의 제2 디코더(DEC2)의 논리 조합으로 구성되는 2K 비트의 로직회로부와, 이 로직회로부에서 출력되는 디지털 코드값에 대응하여 아날로그 램프 전류를 생성하는 전류셀들(CELL)을 포함한다. 전류셀들(CELL)은 다수의 모스 스위치들을 포함하여 구성될 수 있다. 로직회로부와 전류셀들(CELL) 사이에는 기가 래치(Giga-Latch)(G-LA)와 디지털 버퍼(BUF)가 접속될 수 있다. 기가 래치(G-LA)는 전류셀들(CELL)을 구성하는 모스 스위치들의 동작 안정성을 높여 글리치(Glitch)를 줄인다. 이를 위해, 기가 래치(G-LA)는 모스 스위치들의 스위칭 동작을 제어하기 위한 제어신호의 폴링 타임 및 라이징 타임을 조정할 수 있다. 디지털 버퍼(BUF)는 폴링 타임 및 라이징 타임이 조정된 제어신호를 안정화하여 전류셀들(CELL)에 공급한다. 전류셀들(CELL)에서 생성되는 아날로그 램프 전류(Iref)는 도 8과 같이 일정 기울기로 증가하는 톱니파 형태를 가질 수 있다.
- [0049] 전류 비교기(210)는 센싱 채널(CH)을 통해 입력되는 픽셀 전류(Iin)와 기준 전류 생성부(220)로부터 입력되는 기준 전류(Iref)를 기반으로 비교기 출력신호(CS)를 출력한다. 특히, 전류 비교기(210)는 외부로부터 인가되는 리셋 전류를 이용하여 픽셀 전류(Iin)와 기준 전류(Iref)에 각각 포함된 오프셋 편차 성분을 제거함으로써, 오프셋 에러에 의한 센싱 결과 왜곡을 최소화할 수 있다. 전류 비교기(210)의 구체적 구성에 대해서는 도 10 내지 도 15를 통해 자세히 설명한다.
- [0050] 카운터(230)는 n 비트(n은 양의 정수)의 카운트 정보를 연속적으로 생성하여 에지 트리거 데이터 플립플롭(Edge Triggered Data Flip Flop)(240)에 공급한다.
- [0051] 에지 트리거 데이터 플립플롭(240)은, 카운터(230)로부터 n 비트 카운트 정보를 입력받음과 아울러 전류 비교기(210)로부터 비교기 출력신호(CS)를 입력받는다. 에지 트리거 데이터 플립플롭(240)은 비교기 출력신호(CS)의 논리 반전 타이밍(즉, 로우 레벨에서 하이 레벨로 반전되는 타이밍)에 동기되는 카운트 정보를 픽셀 전류(Iin)에 대응되는 디지털 센싱값(SD)으로 출력한다.
- [0052] 도 10은 도 5 및 도 7에 포함된 전류 비교기의 일 구성을 보여준다. 도 11은 도 10의 전류 비교기에서 I-V 컨버터들의 오프셋 에러를 제거하는 방법을 설명하기 위한 도면이다. 그리고, 도 12는 도 10의 전류 비교기에 포함된 제1 및 제2 I-V 컨버터들의 출력단들에 전류 패쓰가 차단된 것을 보여주는 도면이다.
- [0053] 도 10 및 도 11을 참조하면, 전류 비교기(210)는 센싱 채널(CH)을 통해 입력되는 픽셀 전류(Iin)와 기준 전류 생성부(220)로부터 입력되는 기준 전류(Iref)를 기반으로 비교기 출력신호(CS)를 출력하되, 외부로부터 인가되는 리셋 전류(Itop)를 이용하여 픽셀 전류(Iin)와 기준 전류(Iref)에 각각 포함된 오프셋 편차 성분을 제거한다.
- [0054] 이를 위해, 전류 비교기(210)는 제1 전류-전압 컨버터(IVC1)(이하, 제1 I-V 컨버터라 함), 제2 전류-전압 컨버터(IVC2)(이하, 제2 I-V 컨버터라 함), 제1 샘플링 커패시터(SCAP1), 제2 샘플링 커패시터(SCAP2), 및 비교부(COMP)를 포함한다.
- [0055] 제1 I-V 컨버터(IVC1)는 픽셀 전류(Iin)를 픽셀 전압(Vin)으로 변환하고 리셋 전류(Itop)를 리셋 전압(Vtop)으로 변환한다. 제1 I-V 컨버터(IVC1)의 구성 및 동작에 대해서는 도 13 내지 도 14c를 통해 후술한다.
- [0056] 제2 I-V 컨버터(IVC2)는 기준 전류(Iref)를 기준 전압(Vref)으로 변환하고 리셋 전류(Itop)를 리셋 전압(Vtop)으로 변환한다. 제2 I-V 컨버터(IVC2)의 구성 및 동작에 대해서는 도 13 내지 도 14c를 통해 후술한다.
- [0057] 제1 샘플링 커패시터(SCAP1)는 픽셀 전압(Vin)과 리셋 전압(Vtop)을 더블 샘플링(Double Sampling)하여 오프셋 편차 성분(Vofs)이 제거된 제1 상관 더블 샘플링값(VDD/2-ΔVin)을 저장한다. 제1 샘플링 커패시터(SCAP1)의 일측 전극은 제1 I-V 컨버터(IVC1)의 출력단자에 접속되고 제1 샘플링 커패시터(SCAP1)의 타측 전극은 비교부(COMP)의 반전 입력단자(-)에 접속된다.
- [0058] 제2 샘플링 커패시터(SCAP2)는 기준 전압(Vref)과 리셋 전압(Vtop)을 더블 샘플링(Double Sampling)하여 오프셋 편차 성분(Vofs)이 제거된 제2 상관 더블 샘플링값(VDD/2-ΔVref)을 저장한다. 제2 샘플링 커패시터(SCAP2)

의 일측 전극은 제2 I-V 컨버터(IVC2)의 출력단자에 접속되고 제2 샘플링 커패시터(SCAP2)의 타측 전극은 비교부(COMP)의 비반전 입력단자(+)에 접속된다.

- [0059] 비교부(COMP)는 제1 상관 더블 샘플링값($VDD/2 - \Delta V_{in}$)과 제2 상관 더블 샘플링값($VDD/2 - \Delta V_{ref}$)을 비교하여 비교기 출력신호(CS)를 생성한다.
- [0060] 전류 비교기(210)는 동작 전원($VDD/2$)이 인가되는 동작 전압 입력단자와, 제1 샘플링 스위치($\Phi 1$)와 제2 샘플링 스위치($\Phi 2$)를 더 포함할 수 있다.
- [0061] 제1 샘플링 스위치($\Phi 1$)는 제1 샘플링 커패시터(SCAP1)의 타측 전극과 동작 전압 입력단자 사이의 전류 흐름을 온/오프시킨다. 제2 샘플링 스위치($\Phi 2$)는 제2 샘플링 커패시터(SCAP2)의 타측 전극과 동작 전압 입력단자 사이의 전류 흐름을 온/오프시킨다.
- [0062] 이러한 전류 비교기(210)에서 상관 더블 샘플링(Correlated Double Sampling) 동작이 구현되는 과정을 도 11을 참조하여 설명한다.
- [0063] 구간①에서, 제1 샘플링 스위치($\Phi 1$)와 제2 샘플링 스위치($\Phi 2$)는 온 상태를 유지하고, 제1 및 제2 I-V 컨버터들(IVC1, IVC2)은 리셋 전류(I_{top})를 리셋 전압(V_{top})으로 변환한다. 구간①에서, 제1 샘플링 커패시터(SCAP1)의 일측 전극에는 제1 I-V 컨버터(IVC1)의 옴셋 전압(V_{ofs})과 리셋 전압(V_{top})이 인가되고, 제1 샘플링 커패시터(SCAP1)의 타측 전극에는 동작 전원($VDD/2$)이 인가된다. 그리고, 제2 샘플링 커패시터(SCAP2)의 일측 전극에는 제2 I-V 컨버터(IVC2)의 옴셋 전압(V_{ofs})과 리셋 전압(V_{top})이 인가되고, 제2 샘플링 커패시터(SCAP2)의 타측 전극에는 동작 전원($VDD/2$)이 인가된다. 그 결과, 제1 샘플링 커패시터(SCAP1) 및 제2 샘플링 커패시터(SCAP2) 각각에는 제1 차 샘플링 결과값, 즉 " $VDD/2 - (V_{top} + V_{ofs})$ "이 저장된다.
- [0064] 구간②에서, 제1 샘플링 스위치($\Phi 1$)와 제2 샘플링 스위치($\Phi 2$)는 오프 상태를 유지하고, 제1 I-V 컨버터(IVC1)는 픽셀 전류(I_{in})를 픽셀 전압(V_{in})으로 변환하고, 제2 I-V 컨버터(IVC2)는 기준 전류(I_{ref})를 기준 전압(V_{ref})으로 변환한다. 구간②에서, 제1 샘플링 커패시터(SCAP1)의 일측 전극에는 제1 I-V 컨버터(IVC1)의 옴셋 전압(V_{ofs})과 픽셀 전압(V_{in})이 인가되고, 제2 샘플링 커패시터(SCAP2)의 일측 전극에는 제2 I-V 컨버터(IVC2)의 옴셋 전압(V_{ofs})과 기준 전압(V_{ref})이 인가된다. 그 결과, 제1 샘플링 커패시터(SCAP1)는 제2 차 샘플링 결과값, 즉 제1 I-V 컨버터(IVC1)의 옴셋 전압(V_{ofs})이 제거된 제1 상관 더블 샘플링값($VDD/2 - \Delta V_{in}$)을 저장한다. 그리고, 제2 샘플링 커패시터(SCAP2)는 제2 차 샘플링 결과값, 즉 제2 I-V 컨버터(IVC2)의 옴셋 전압(V_{ofs})이 제거된 제2 상관 더블 샘플링값($VDD/2 - \Delta V_{ref}$)을 저장한다.
- [0065] 이와 같이, 제1 및 제2 I-V 컨버터들(IVC1, IVC2)의 옴셋 전압(V_{ofs})은 두 번의 샘플링 동작에 의해 제거된다. 제1 상관 더블 샘플링값($VDD/2 - \Delta V_{in}$)과 제2 상관 더블 샘플링값($VDD/2 - \Delta V_{ref}$)에는 제1 및 제2 I-V 컨버터들(IVC1, IVC2)의 옴셋 전압(V_{ofs})이 포함되지 않기 때문에, 비교부(COMP)는 순수 전류들(I_{in} , I_{ref})에 대한 전압들(V_{in} , V_{ref})을 비교할 수 있다. 따라서, 오프셋 에러에 의한 센싱 결과 왜곡이 최소화될 수 있다.
- [0066] 비교부(COMP)는 도 12와 같이 반전 입력단자(-)에 연결된 모스 스위치(MF)와 비반전 입력단자(+)에 연결된 모스 스위치(MF)를 포함하여 공지의 OP-AMP 오픈 로프(Open Loop) 구조를 가질 수 있다. 비교부(COMP)는 반전 입력단자(-)에 연결된 모스 스위치(MF)의 게이트단자에 인가되는 제1 상관 더블 샘플링값($VDD/2 - \Delta V_{in}$)과, 비반전 입력단자(+)에 연결된 모스 스위치(MF)의 게이트단자에 인가되는 제2 상관 더블 샘플링값($VDD/2 - \Delta V_{ref}$)을 비교하여 비교기 출력신호(CS)를 생성한다.
- [0067] 이때, 비교부(COMP)는 제1 상관 더블 샘플링값($VDD/2 - \Delta V_{in}$)이 제2 상관 더블 샘플링값($VDD/2 - \Delta V_{ref}$)보다 작은 경우에 비교기 출력신호(CS)를 제1 논리값으로 출력하고, 제1 상관 더블 샘플링값($VDD/2 - \Delta V_{in}$)이 제2 상관 더블 샘플링값($VDD/2 - \Delta V_{ref}$)과 동일한 경우에 비교기 출력신호(CS)를 제2 논리값으로 출력하고, 제1 상관 더블 샘플링값($VDD/2 - \Delta V_{in}$)이 제2 상관 더블 샘플링값($VDD/2 - \Delta V_{ref}$)보다 큰 경우에 비교기 출력신호(CS)를 제3 논리값으로 출력할 수 있다. 그러면, 에지 트리거 데이터 플립플롭(ETDFF)은 상기 제1 논리값, 상기 제2 논리값 및 상기 제3 논리값에 따라 픽셀 전류(I_{in})에 대응되는 디지털 센싱값(SD)을 서로 다르게 출력할 수 있다.
- [0068] 한편, 에지 트리거 데이터 플립플롭(ETDFF)은 제1 상관 더블 샘플링값($VDD/2 - \Delta V_{in}$)이 제2 상관 더블 샘플링값($VDD/2 - \Delta V_{ref}$) 제2 상관 더블 샘플링값보다 커지는 순간에 비교기 출력신호(CS)의 논리를 반전시키고, 비교기 출력신호(CS)의 논리 반전 타이밍에 동기되는 카운트 정보를 픽셀 전류(I_{in})에 대응되는 디지털 센싱값(SD)으로 출력할 수도 있다.
- [0069] 도 13은 도 10의 전류 비교기에 포함된 제1 및 제2 I-V 컨버터들의 회로 구성을 보여준다. 그리고, 도 14a 내지

도 14c는 도 13의 I-V 컨버터의 동작을 설명하기 위한 도면들이다.

- [0070] 도 13을 참조하면, 제1 I-V 컨버터(IVC1)는 고전위 전원(VDD)과 기저 전원(GND) 사이에 접속된 다수의 모스 스위치들(M1~M14)과 보상 커패시터(CC)를 포함한다. 보상 커패시터(CC)는 M6의 드레인단자 전압(Vb)의 발진을 억제한다. 한편, 제2 I-V 컨버터(IVC2)는 픽셀 전류(Iin) 대신에 기준 전류(Iref)가 입력 받는 것을 제외하고 나머지 구성은 제1 I-V 컨버터(IVC1)와 실질적으로 동일하다. 이하에서는 설명의 편의상 제1 I-V 컨버터(IVC1)를 중점으로 설명한다.
- [0071] 제1 I-V 컨버터(IVC1)에서, 일부 모스 스위치들(M1~M7)은 OP-AMP 클로즈드 루프(Closed Loop) 구조(XY)를 갖는다. 따라서, M1의 게이트단자는 M6의 드레인단자와 연결되며, M6의 드레인단자의 전압(Vb)은 M2의 게이트단자에 인가되는 입력 전압(Vinp)으로 고정된다. 픽셀 전류(Iin)는 M1의 게이트단자에 인가된다. M13은 고전위 전원(VDD)과 출력단(No) 사이에 접속되며, M12는 출력단(No)과 기저 전원(GND) 사이에 접속된다.
- [0072] 픽셀 전류(Iin)의 증가에 의해 출력단(No)의 전압(Vout), 즉 픽셀 전압(Vin)이 증가되는 원리를 설명하면 다음과 같다.
- [0073] 도 14a를 참조하면, 픽셀 전류(Iin)의 입력단과 기저 전원(GND) 사이에 M6가 접속되고, 고전위 전원(VDD)과 픽셀 전류(Iin) 입력단 사이에 M7이 접속된다. OP-AMP 클로즈드 루프(Closed Loop) 구조(XY)에 의해 M6의 드레인단자의 전압(Vb)은 입력 전압(Vinp)으로 고정되기 때문에, M6에 흐르는 전류(I6)도 고정되며, 그 값은 픽셀 전류(Iin)와 M7에 흐르는 전류(I7)가 합해진 것과 동일하다. 이렇게 M6에 흐르는 전류(I6)는 고정이기 때문에, 픽셀 전류(Iin)가 증가될 경우 M7에 흐르는 전류(I7)가 감소한다.
- [0074] M7에 흐르는 전류(I7)가 감소하기 위해서는 M7의 게이트단자에 인가되는 전압(Vx)이 증가되어야 한다. 증가된 전압(Vx)에 의해 M9와 M10에 흐르는 전류가 감소하게 되고, 그 결과 M12에 흐르는 전류(I12)가 감소한다.
- [0075] 도 14b를 참조하면, M13에 흐르는 전류(I13)는 M11로부터 미러링(Mirroring)되기 때문에, 픽셀 전류(Iin)의 증가와 무관하게 일정하다. 출력단(No)의 전류(Iout)는 M13에 흐르는 전류(I13)에서 M12에 흐르는 전류(I12)를 뺀 값과 동일하다. 이때, M13에 흐르는 전류(I13)가 일정한 데 반해 M12에 흐르는 전류(I12)가 감소하므로, 출력단(No)의 전류(Iout)는 증가한다.
- [0076] 이 상태에서 도 14c와 같이 출력단(No)의 전류 패스를 차단(도 12 참조, 출력단(No)이 비교부(COMP)의 반전 입력단자(-)에 연결된 모스 스위치(MF)의 게이트단자에 연결됨)하여 전류(Iout) 흐름을 차단하면, 출력단(No)에서 전압 변화가 나타나게 된다. 이때 출력단(No) 전압(Vout)은 고전위 전원(VDD)에서 (I12*r13)을 뺀 값이 되며, 이 값은 증가하게 된다. 여기서, 'r13'은 M13의 채널 저항을 나타낸다.
- [0077] 이와 비슷한 원리에 의해 픽셀 전류(Iin)가 감소하는 경우에는 출력단(No)의 전압(Vout)이 감소한다.
- [0078] 도 15는 서로 다른 제1 I-V 컨버터들을 각각 포함한 복수의 전류 비교기들이 서로 다른 제2 I-V 컨버터들을 개별적으로 구비하는 것을 보여주는 도면이다.
- [0079] 도 15를 참조하면, 서로 다른 제1 I-V 컨버터들(IVC11~IVC13)을 각각 포함한 복수의 전류 비교기들(210-1, 210-2, 210-3)이 서로 다른 제2 I-V 컨버터들(IVC21~IVC23)을 개별적으로 구비할 수 있다. 이 경우, 비교 성능을 높이기 위해서는 복수의 전류 비교기들(210-1, 210-2, 210-3)에 동일한 기준 전류(Iref)가 입력되어야 한다. 하지만, 이상적인 환경과 다르게 실제 회로에서는 기준 전류(Iref)를 공급하는 도전 라인들의 저항 성분 차이로 인해, 전류 비교기들(210-1, 210-2, 210-3)은 동일한 기준 전류(Iref)를 입력 받기가 불가능하다.
- [0080] 도 16은 서로 다른 제1 I-V 컨버터들을 각각 포함한 복수의 전류 비교기들이 동일한 제2 I-V 컨버터를 공유하는 것을 보여주는 도면이다.
- [0081] 도 15와 마찬가지로 이유로, 도 16의 전류 비교기들(210-1, 210-2, 210-3)에도 동일한 기준 전류(Iref)가 입력되어야 한다. 이를 위해, 서로 다른 제1 I-V 컨버터들(IVC11~IVC13)을 각각 포함한 복수의 전류 비교기들(210-1, 210-2, 210-3)이 동일한 제2 I-V 컨버터(IVC2)를 공유할 수 있다. 도 16과 같이, 복수의 전류 비교기들(210-1, 210-2, 210-3)에서, 동일한 제2 I-V 컨버터(IVC2)의 제2 상관 더블 샘플링값을 서로 다른 제1 I-V 컨버터들(IVC11~IVC13)의 제1 상관 더블 샘플링값들과 비교하면, 도 15에 비해 비교 성능이 획기적으로 향상될 수 있다.
- [0082] 상술한 바와 같이, 본 발명은 피드백 커패시터를 갖는 전류 적분기로 센싱 유닛을 구현하지 않고, 피드백 커패시터가 없는 싱글-슬로프 ADC로 센싱 유닛을 구현함으로써, 센싱 유닛이 노이즈 증폭기로 동작되는 문제를 미연에 방지할 수 있다. 이를 통해 본 발명은 노이즈 유입을 최소화하여 센싱 성능과 보상 성능을 크게 높일 수 있

다.

[0083] 나아가, 본 발명은 각 센싱 유닛의 전류 비교기 내에 상관 더블 샘플링할 수 있는 구성을 추가하고, 외부로부터 인가되는 리셋 전류를 이용하여 픽셀 전류와 기준 전류에 각각 포함된 오프셋 편차 성분을 제거함으로써, 오프셋 에러에 의한 센싱 결과 왜곡을 최소화할 수 있다.

[0084] 더 나아가, 본 발명은 센싱 유닛들 중에서 적어도 2개 이상의 센싱 유닛들이 동일한 제2 전류-전압 컨버터를 공유하도록 설계한다. 복수의 전류 비교기들에서, 동일한 제2 전류-전압 컨버터의 제2 상관 더블 샘플링값을 서로 다른 제1 전류-전압 컨버터들의 제1 상관 더블 샘플링값들과 비교하면, 비교 성능이 획기적으로 향상될 수 있다.

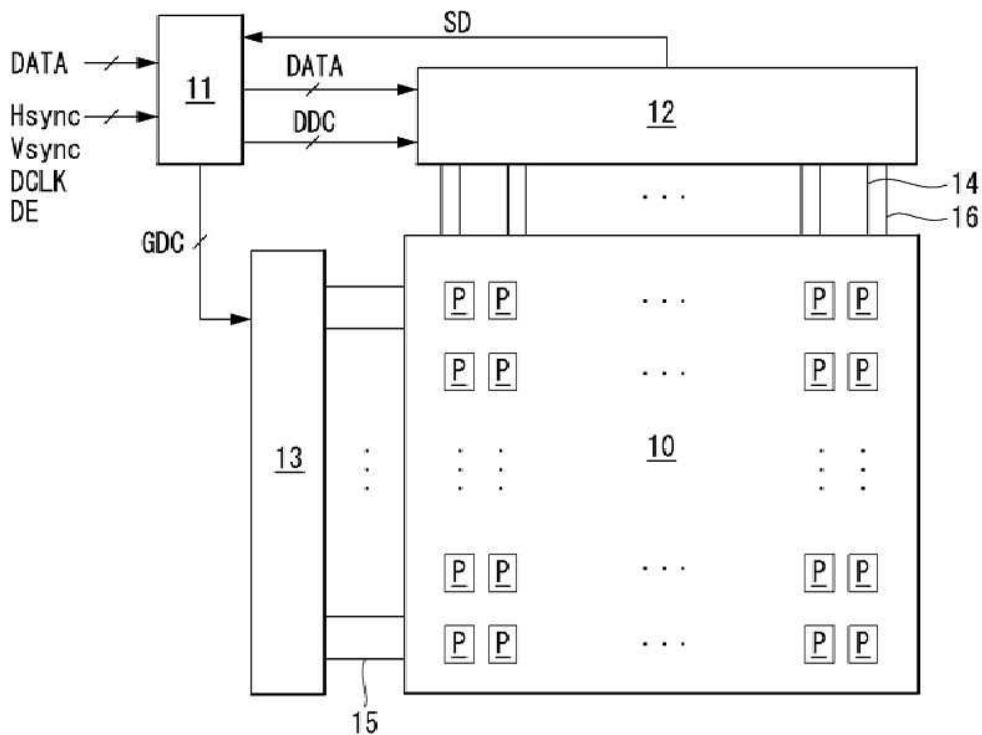
[0085] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

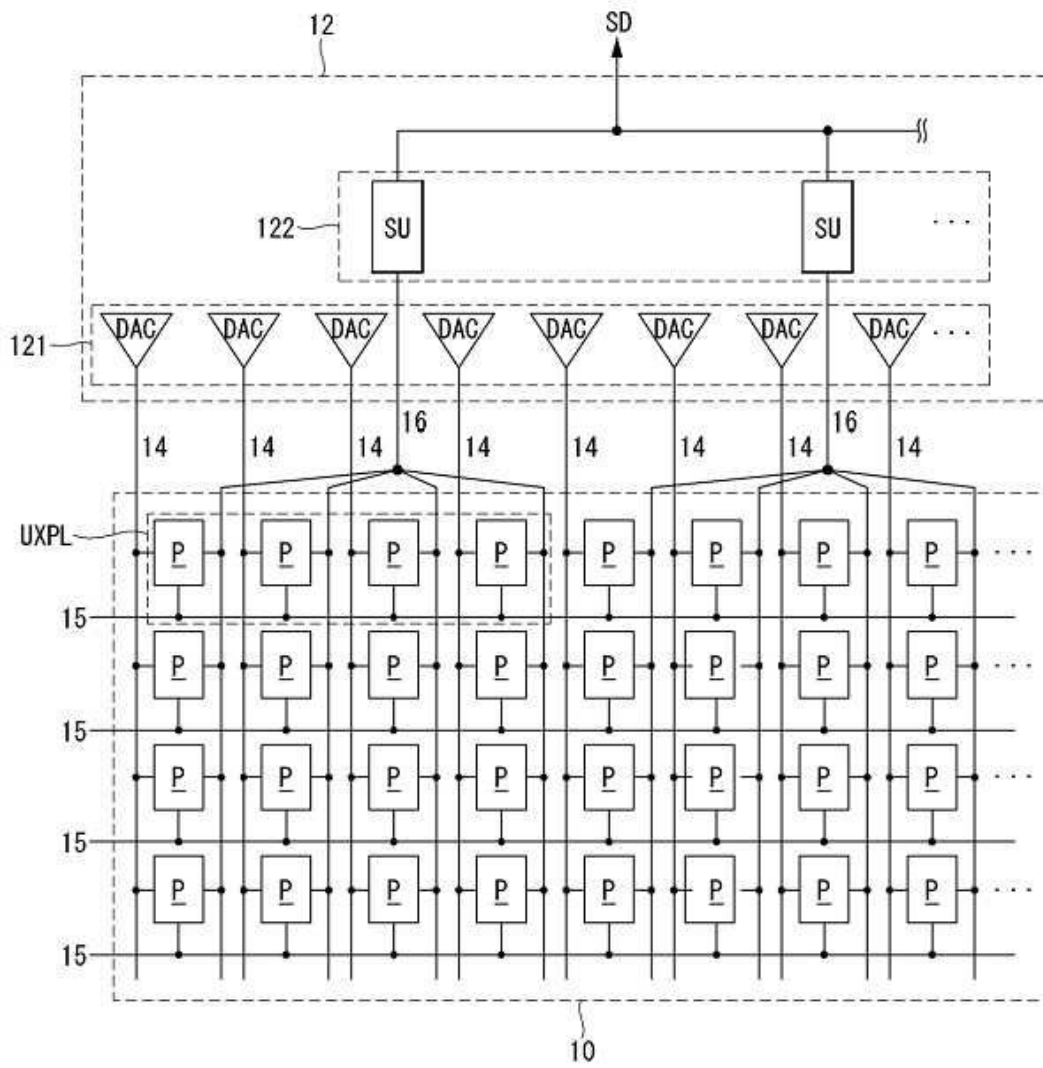
- [0086] 10 : 표시패널 11 : 타이밍 컨트롤러
- 12 : 데이터 구동회로 13 : 게이트 구동회로
- 14 : 데이터라인 16 : 센싱 라인
- 15 : 게이트라인 122 : 전류 센싱 장치
- 210 : 전류 비교기 220 : 기준 전류 생성부
- 230 : 카운터 240 : 에지 트리거 데이터 플립플롭

도면

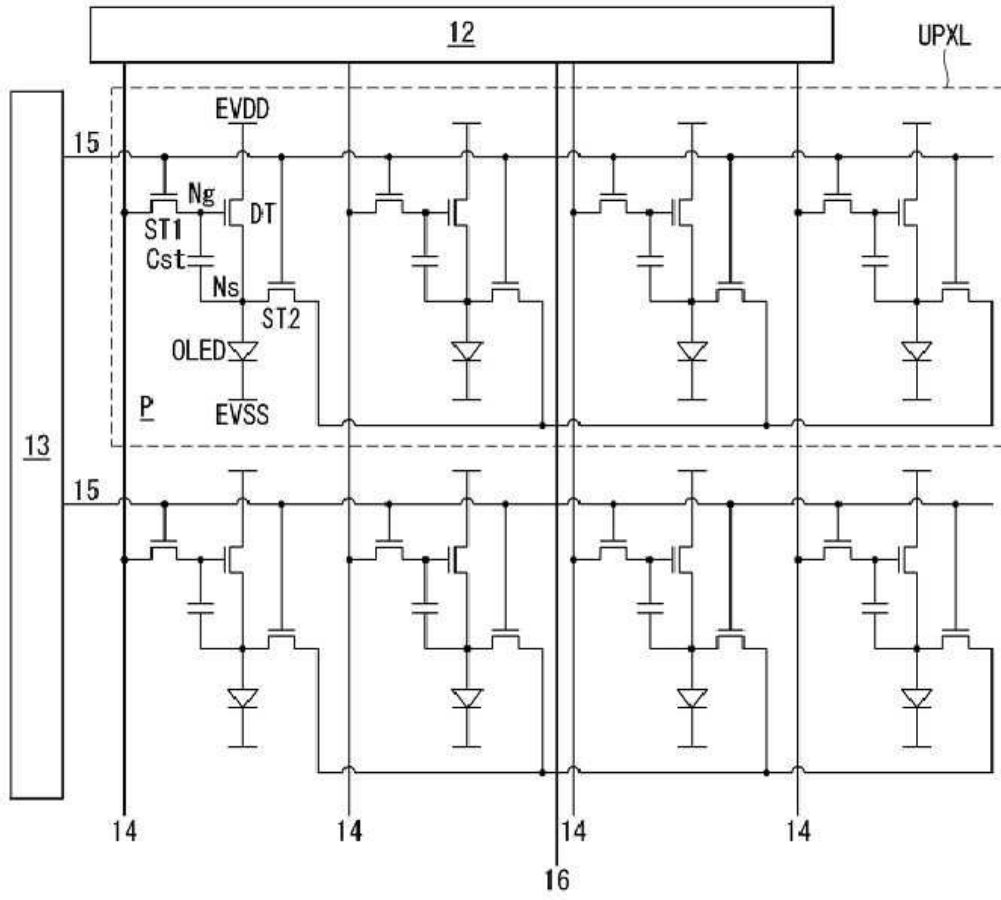
도면1



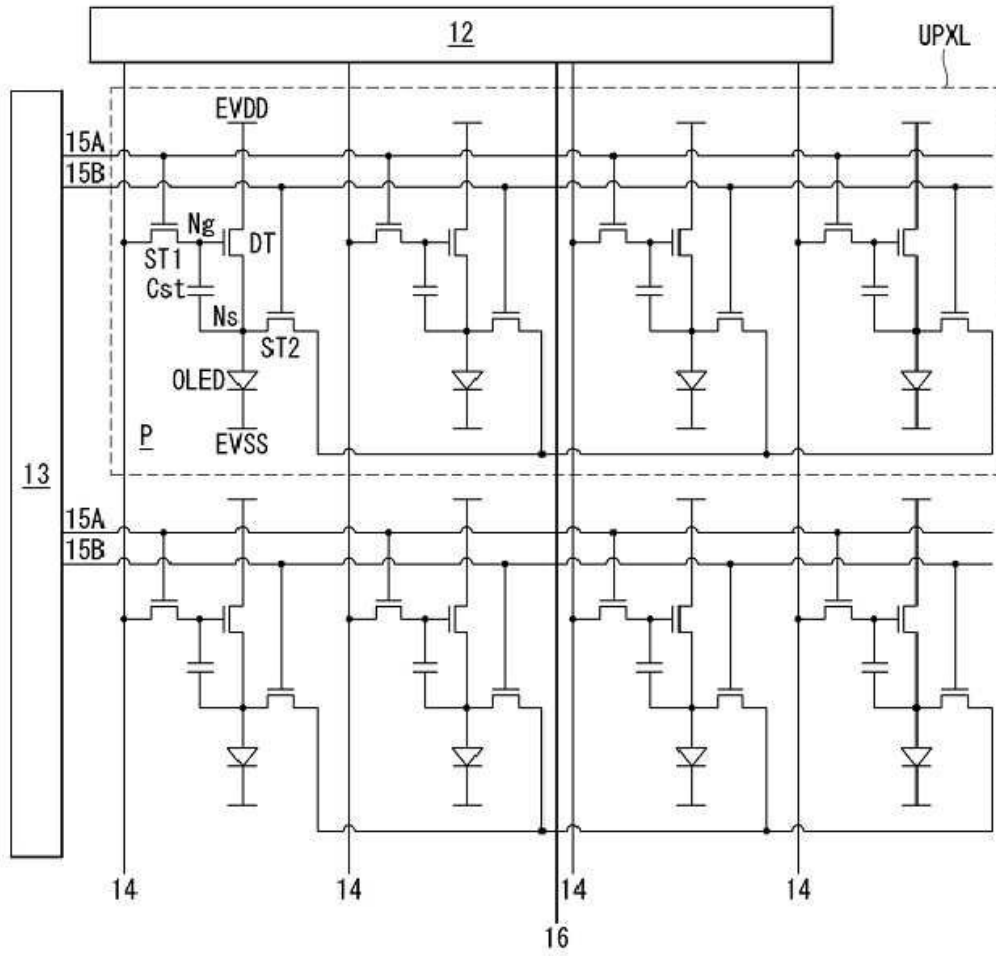
도면2



도면3

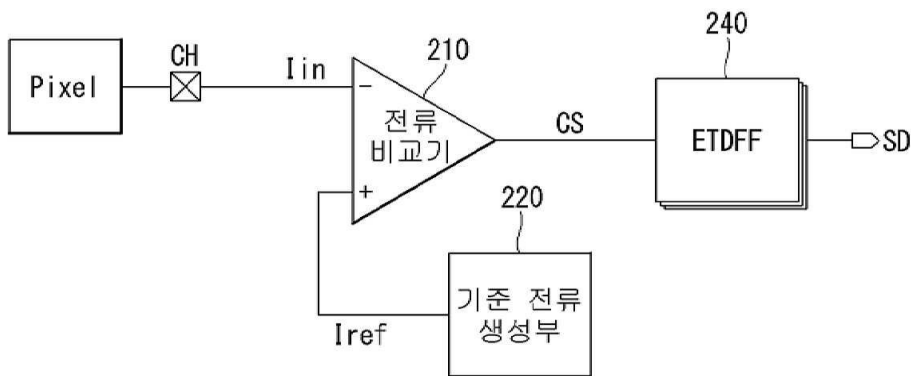


도면4

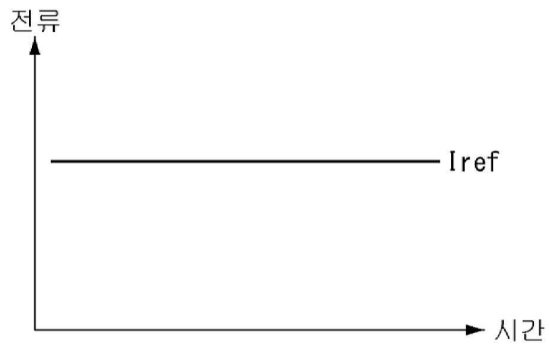


도면5

SU

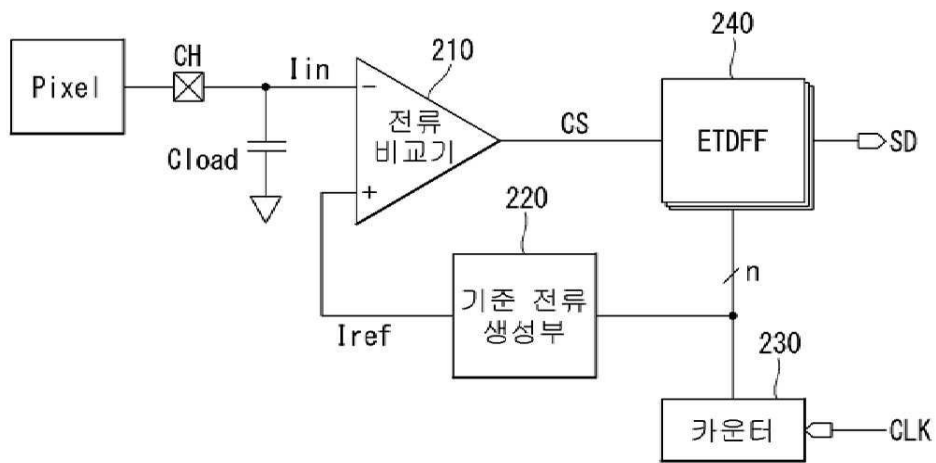


도면6

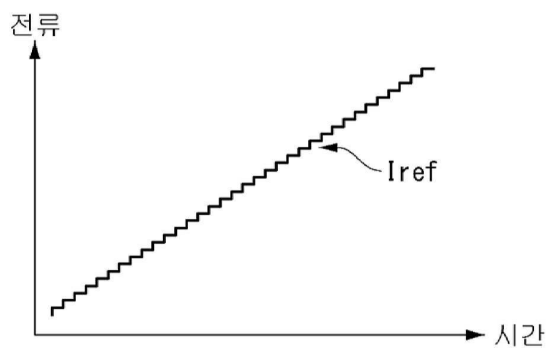


도면7

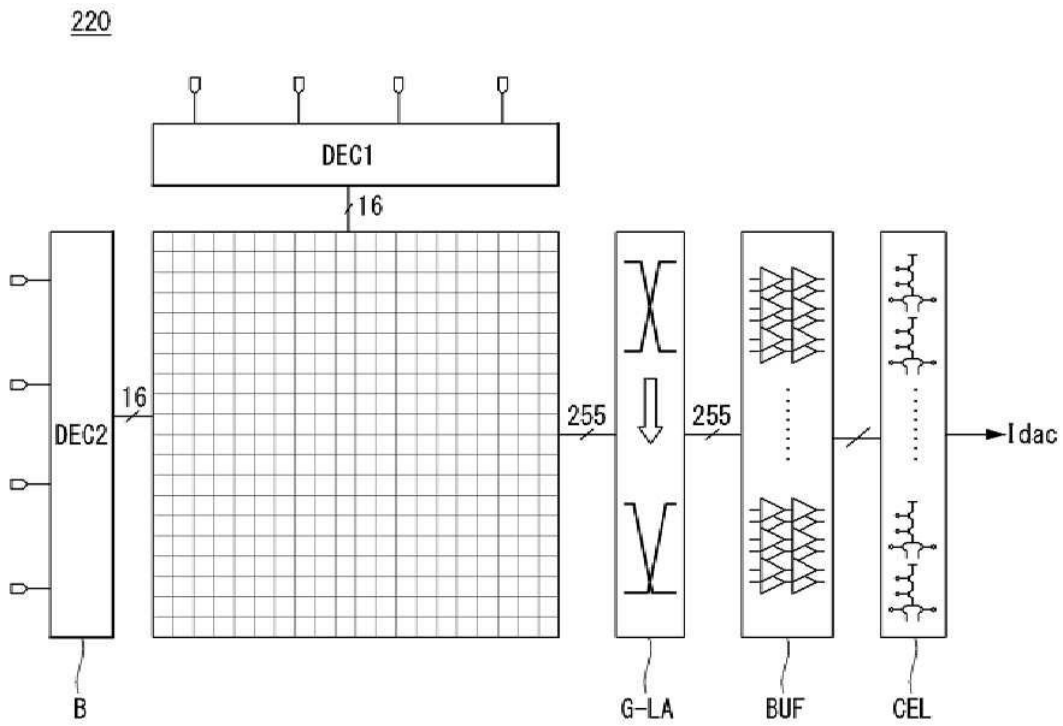
SU



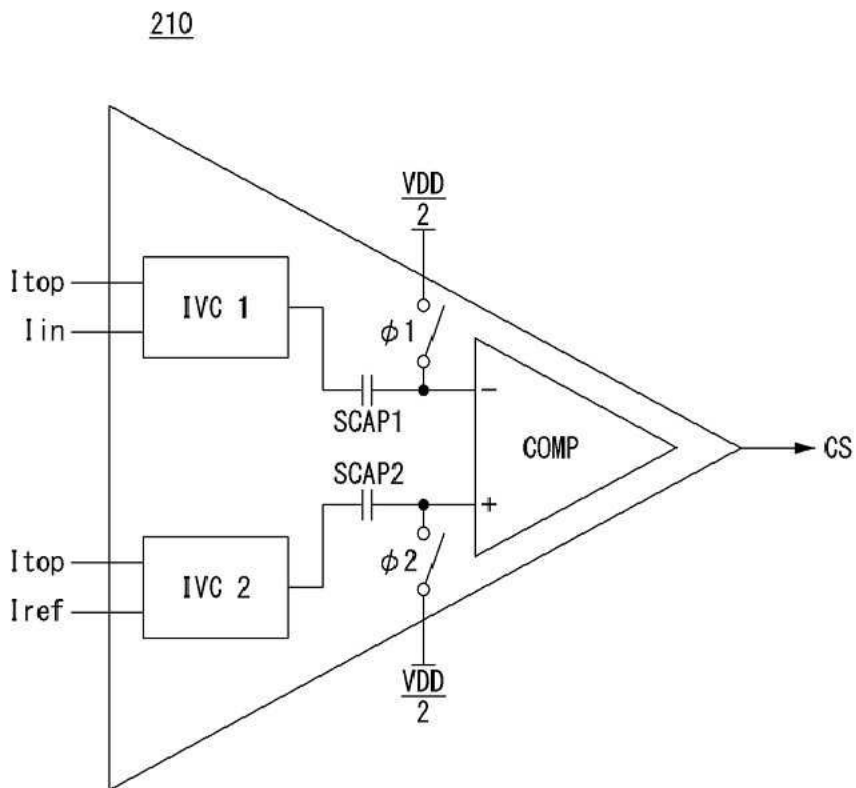
도면8



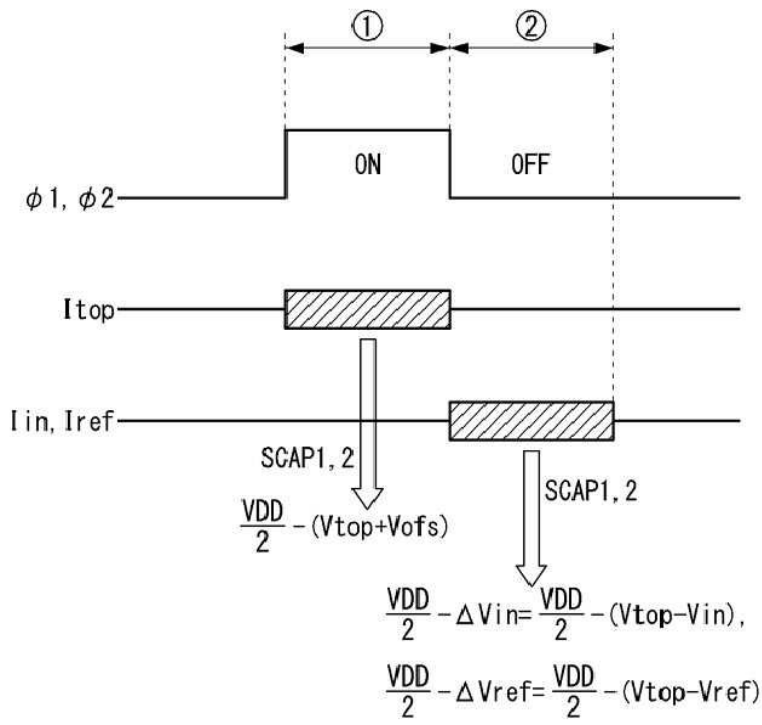
도면9



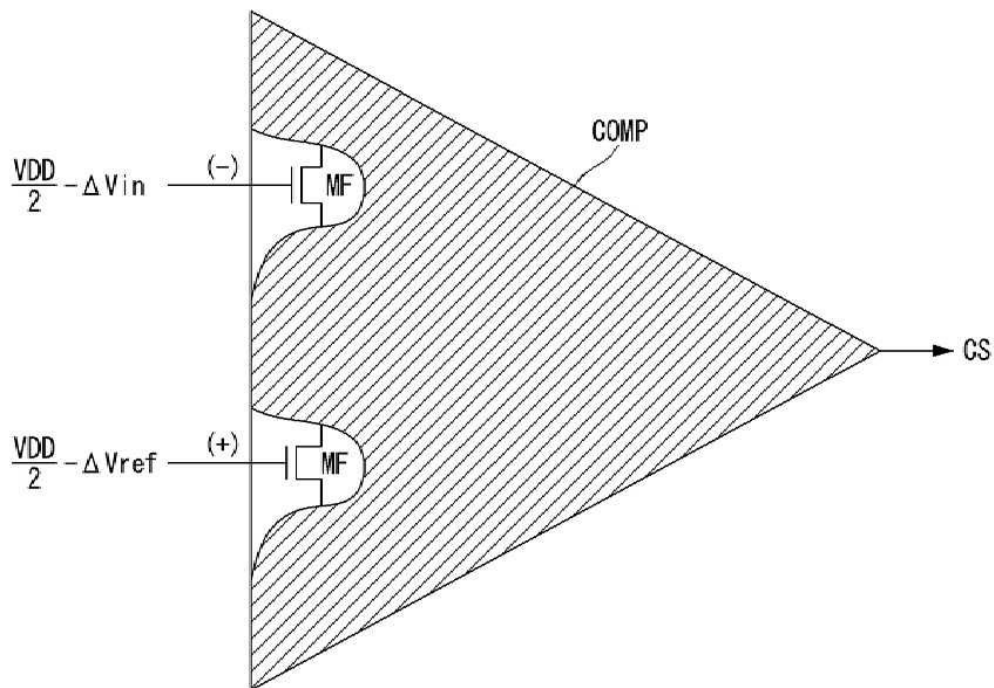
도면10



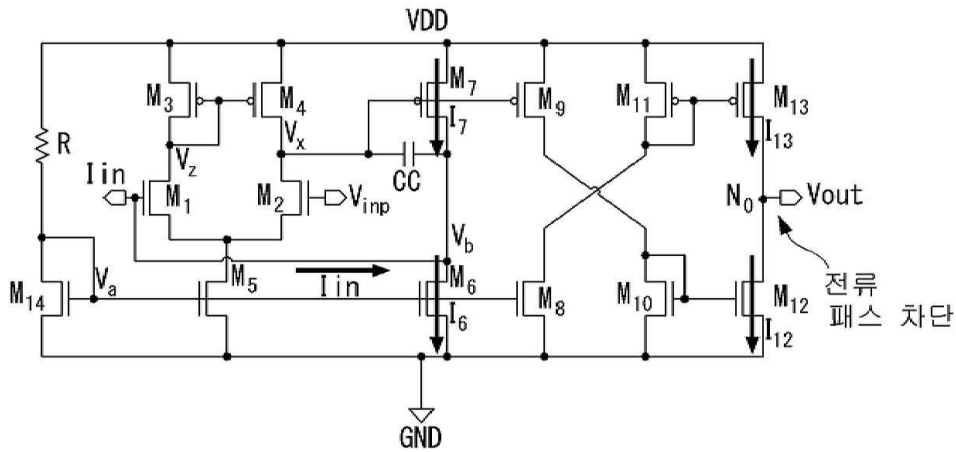
도면11



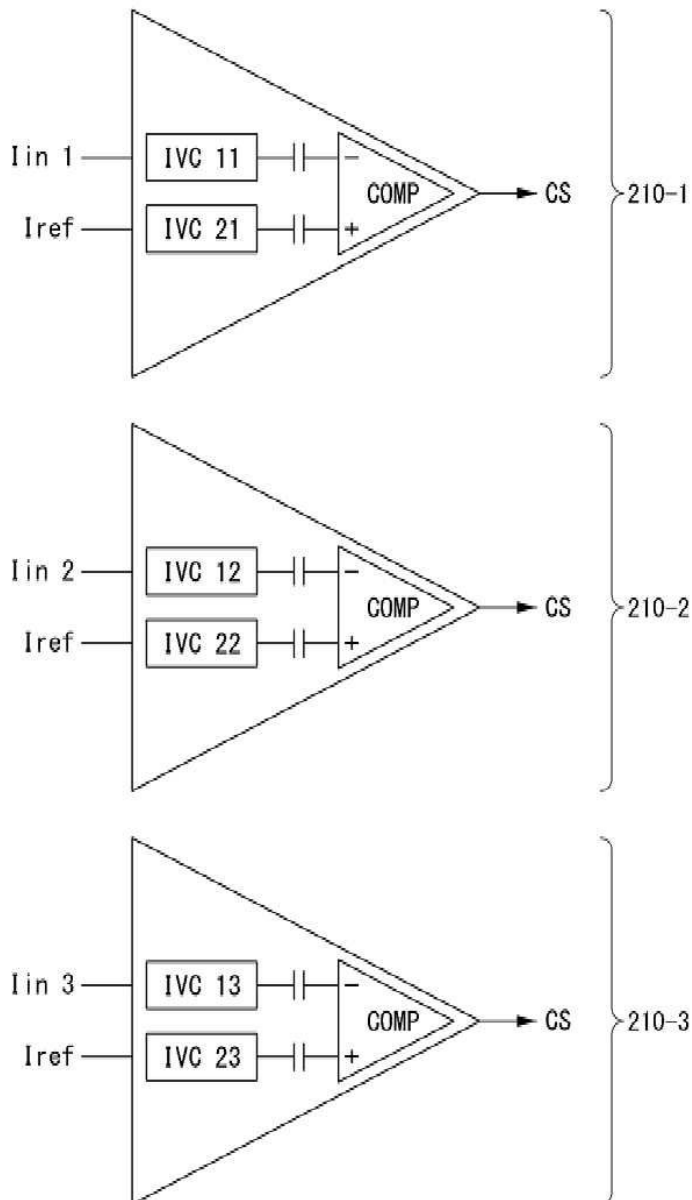
도면12



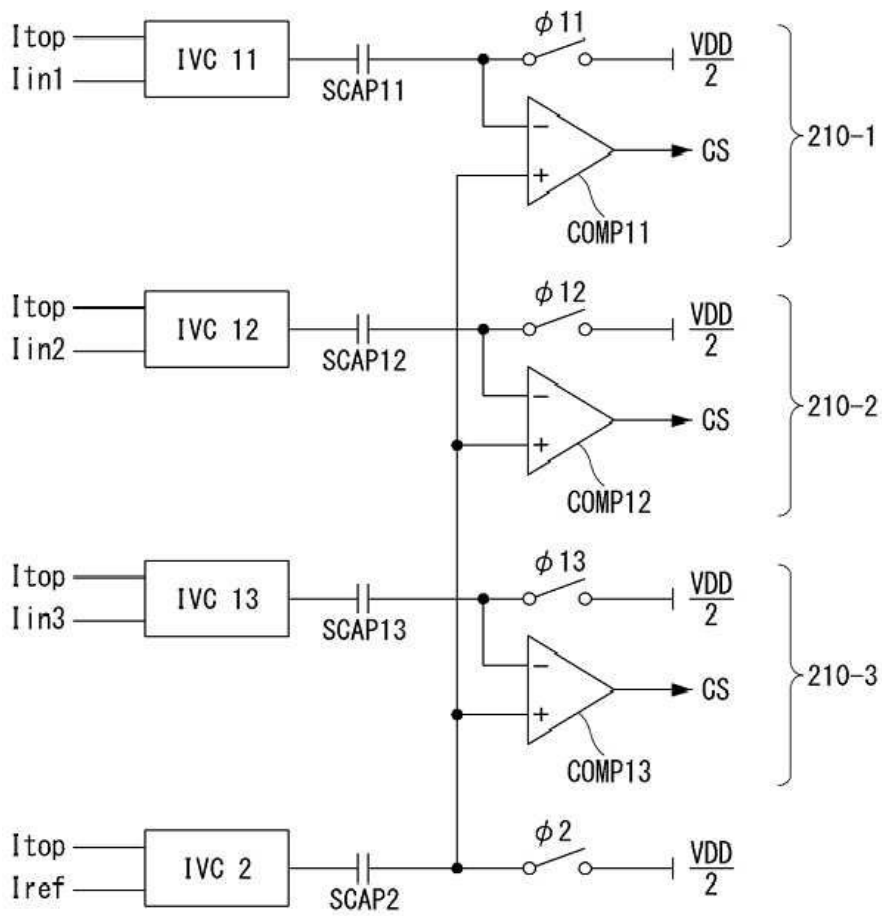
도면14c



도면15



도면16



专利名称(译)	电流传感装置和包括其的有机发光显示装置		
公开(公告)号	KR1020200036147A	公开(公告)日	2020-04-07
申请号	KR1020180115170	申请日	2018-09-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司 东国大学学术合作		
[标]发明人	김혁준 임명기 우경돈 김범식 김승태 이병재 송민규		
发明人	김혁준 임명기 우경돈 김범식 김승태 이병재 송민규		
IPC分类号	G09G3/00		
CPC分类号	G09G3/006 G09G2300/0828 G09G2320/0233 G09G2320/029 G09G2320/041 G09G2320/043 G09G2320/045 G01R17/02 G01R17/06 G01R19/0092 G09G3/3225 G09G3/3291 G09G2300/0452 G09G2320/0295 G09G3/3233 G09G3/3258 G09G3/3283 G09G2300/0857 G09G2310/0272 G09G2310/0294		
代理人(译)	이승찬		
外部链接	Espacenet		

摘要(译)

本公开中的电流感测装置包括多个感测单元，每个感测单元连接到感测通道。感测单元可以包括产生参考电流的参考电流发生器；电流比较器基于通过感测通道输入的像素电流和参考电流输出比较器输出信号，并通过使用外部施加的复位电流来去除像素电流和参考电流中包括的偏移偏差分量；边缘触发数据触发器基于比较器输出信号输出与像素电流相对应的数字感测值。

