



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0073773
(43) 공개일자 2019년06월27일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 27/32 (2006.01)
(52) CPC특허분류
H01L 51/524 (2013.01)
H01L 27/3246 (2013.01)
(21) 출원번호 10-2017-0174913
(22) 출원일자 2017년12월19일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
강경윤
경기도 파주시 월롱면 엘지로 245
이기형
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인로알

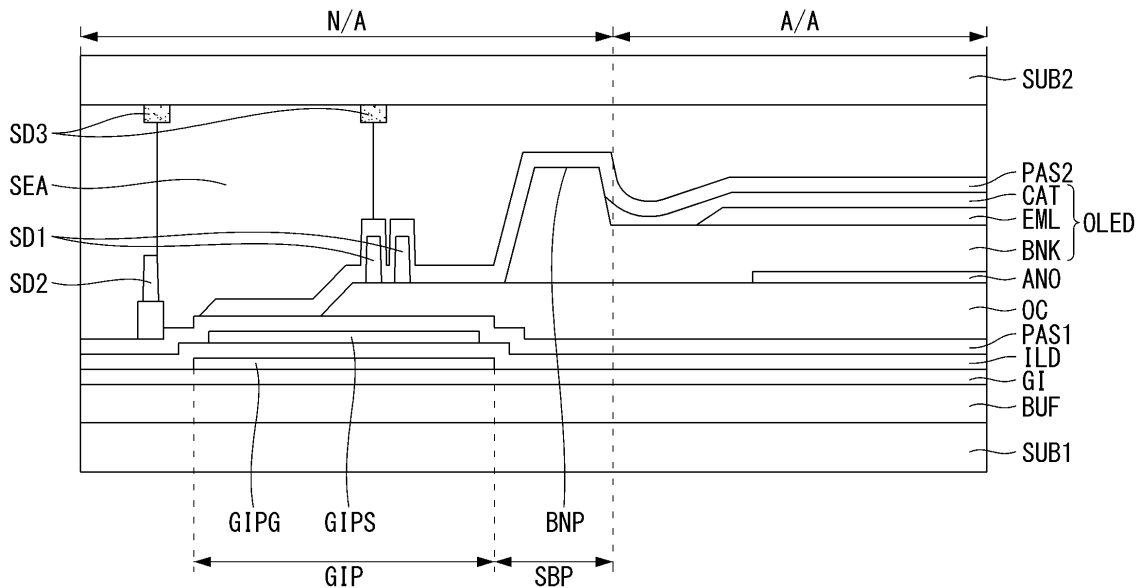
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 표시장치

(57) 요약

본 발명은 베젤 영역을 축소할 수 있는 표시장치에 관한 것이다. 본 발명의 일 실시예에 따른 표시장치는 기관 상에 배치되며, 유기발광 다이오드가 배치된 표시부 및 비표시부를 덮는 오버코트층, 상기 오버코트층 상에 위치하는 제1 전극, 상기 제1 전극 상에 위치하며, 상기 표시부 및 비표시부를 덮는 बैं크층, 상기 बैं크층 상에 위치하는 발광층, 상기 발광층 상에 위치하는 제2 전극을 포함하며, 상기 बैं크층은 상기 비표시부에 대응되는 영역에서 돌출된 돌출부를 포함하고, 상기 제2 전극은 상기 돌출부의 측면에 접촉한다.

대표도 - 도8



(52) CPC특허분류

H01L 51/5203 (2013.01)

H01L 51/5253 (2013.01)

명세서

청구범위

청구항 1

기관 상에 배치되며, 유기발광 다이오드가 배치된 표시부 및 비표시부를 덮는 오버코트층;
상기 오버코트층 상에 위치하는 제1 전극;
상기 제1 전극 상에 위치하며, 상기 표시부 및 비표시부를 덮는 बैं크층;
상기 बैं크층 상에 위치하는 발광층;
상기 발광층 상에 위치하는 제2 전극;을 포함하며,
상기 बैं크층은 상기 비표시부에 대응되는 영역에서 돌출된 돌출부를 포함하고,
상기 제2 전극은 상기 돌출부의 측면에 선택하는 표시장치.

청구항 2

제1 항에 있어서,
상기 बैं크층은 상기 표시부 및 상기 비표시부에 연속적으로 이루어진 표시장치.

청구항 3

제2 항에 있어서,
상기 बैं크층은 상기 표시부에 대응하는 제1 영역과, 상기 비표시부에 대응하는 제2 영역을 포함하는 표시장치.

청구항 4

제3 항에 있어서,
상기 돌출부는 상기 제2 영역에 위치하며, 상기 제1 영역보다 두께가 두꺼운 표시장치.

청구항 5

제4 항에 있어서,
상기 돌출부의 두께는 상기 제1 영역의 두께보다 1.5 내지 5배만큼 두껍게 이루어지는 표시장치.

청구항 6

제4 항에 있어서,
상기 बैं크층의 제2 영역에는 상기 돌출부보다 두께가 얇은 오목부를 더 포함하는 표시장치.

청구항 7

제6 항에 있어서,
상기 오목부의 두께는 상기 बैं크층의 제1 영역보다 두께가 얇은 표시장치.

청구항 8

제1 항 또는 제6 항에 있어서,
상기 돌출부와 상기 오목부는 라인 형상으로 이루어진 표시장치.

청구항 9

제6 항에 있어서,

상기 오목부는 적어도 둘 이상 이격된 표시장치.

청구항 10

제1 항에 있어서,

상기 비표시부에는 상기 बैं크층의 돌출부로부터 이격된 적어도 하나의 실땀을 더 포함하는 표시장치.

청구항 11

제10 항에 있어서,

상기 실땀은 상기 बैं크층의 돌출부보다 상기 표시부로부터 더 이격된 표시장치.

청구항 12

제10 항에 있어서,

상기 실땀의 두께는 상기 बैं크층의 돌출부의 두께보다 얇은 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시장치에 관한 것으로, 보다 자세하게는 베젤 영역을 축소할 수 있는 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 표시장치 분야는 부피가 큰 음극선관(Cathode Ray Tube: CRT)을 대체하는, 얇고 가벼우며 대면적이 가능한 평판 표시장치(Flat Panel Display Device: FPD)로 급속히 변화해 왔다. 평판 표시장치에는 액정표시장치(Liquid Crystal Display Device: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 유기발광표시장치(Organic Light Emitting Display Device: OLED), 그리고 전기영동표시장치(Electrophoretic Display Device: ED) 등이 있다.

[0003] 이 중 유기발광표시장치는 스스로 발광하는 자발광 소자로서 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다. 특히, 유기발광표시장치는 유연한(flexible) 플렉서블 기판 위에도 형성할 수 있을 뿐 아니라, 플라즈마 디스플레이 패널(Plasma Display Panel)이나 무기 전계발광(EL) 디스플레이에 비해 낮은 전압에서 구동이 가능하고 전력 소모가 비교적 적으며, 색감이 뛰어나다는 장점이 있다.

[0004] 표시장치는 화상이 표시되는 표시부와 표시부 외의 비표시부가 구비된다. 비표시부는 표시장치에서 검정색으로 보이는 베젤로 작용한다. 최근에는 표시장치의 심미성을 향상시키고 베젤이 축소되었으면 하는 사용자의 요구가 증가하였다. 따라서, 심미성을 향상시키고 베젤을 줄이고자 하는 연구가 계속되고 있다.

발명의 내용

해결하려는 과제

[0005] 따라서, 본 발명은 베젤 영역을 축소할 수 있는 표시장치를 제공한다.

과제의 해결 수단

[0006] 상기한 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 표시장치는 기판 상에 배치되며, 유기발광 다이오드가 배치된 표시부 및 비표시부를 덮는 오버코트층, 상기 오버코트층 상에 위치하는 제1 전극, 상기 제1 전극 상에 위치하며, 상기 표시부 및 비표시부를 덮는 बैं크층, 상기 बैं크층 상에 위치하는 발광층, 상기 발광층 상에 위치하는 제2 전극을 포함하며, 상기 बैं크층은 상기 비표시부에 대응되는 영역에서 돌출된 돌출부를 포함하고, 상기 제2 전극은 상기 돌출부의 측면에 접촉한다.

[0007] 상기 बैं크층은 상기 표시부 및 상기 비표시부에 연속적으로 이루어진다.

- [0008] 상기 बैं크층은 상기 표시부에 대응하는 제1 영역과, 상기 비표시부에 대응하는 제2 영역을 포함한다.
- [0009] 상기 돌출부는 상기 제2 영역에 위치하며, 상기 제1 영역보다 두께가 두껍다.
- [0010] 상기 돌출부의 두께는 상기 제1 영역의 두께보다 1.5 내지 5배만큼 두껍게 이루어진다.
- [0011] 상기 बैं크층의 제2 영역에는 상기 돌출부보다 두께가 얇은 오목부를 더 포함한다.
- [0012] 상기 오목부의 두께는 상기 बैं크층의 제1 영역보다 두께가 얇다.
- [0013] 상기 돌출부와 상기 오목부는 라인 형상으로 이루어진다.
- [0014] 상기 오목부는 적어도 둘 이상 이격된다.
- [0015] 상기 비표시부에는 상기 बैं크층의 돌출부로부터 이격된 적어도 하나의 실땀을 더 포함한다.
- [0016] 상기 실땀은 상기 बैं크층의 돌출부보다 상기 표시부로부터 더 이격된다.
- [0017] 상기 실땀의 두께는 상기 बैं크층의 돌출부의 두께보다 얇다.

발명의 효과

- [0018] 본 발명의 실시예에 따른 표시장치는 비표시부의 बैं크층에 돌출부를 구비하여, 제2 전극의 웨도우 마진부의 폭을 줄일 수 있다. 따라서, 표시장치의 베젤 영역을 줄일 수 있는 이점이 있다.

도면의 간단한 설명

- [0019] 도 1은 유기발광표시장치의 개략적인 블록도.
- 도 2는 서브 픽셀의 회로 구성을 나타낸 제1 예시도.
- 도 3은 서브 픽셀의 회로 구성을 나타낸 제2 예시도.
- 도 4는 본 발명에 따른 유기발광표시장치를 나타낸 평면도.
- 도 5는 본 발명에 따른 유기발광표시장치의 서브픽셀 부분을 나타낸 단면도.
- 도 6은 도 4의 절취선 A-A'에 따라 절취한 단면도.
- 도 7은 본 발명의 실시예에 따른 표시장치를 나타낸 평면도.
- 도 8은 도 7의 절취선 B-B'에 따라 절취한 단면도.
- 도 9는 본 발명의 실시예에 따른 बैं크층의 돌출부를 확대한 도면.
- 도 10은 웨도우 마진부를 비교한 모식도.
- 도 11은 본 발명의 다른 실시예에 따른 표시장치를 나타낸 평면도.
- 도 12는 도 11의 बैं크층의 돌출부와 오목부를 확대한 도면.
- 도 13은 본 발명의 다른 실시예에 따른 표시장치를 나타낸 또 다른 평면도.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 첨부한 도면을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.
- [0021] 본 발명에 따른 표시장치는 유리 기판 또는 플렉서블 기판 상에 표시소자가 형성된 표시장치이다. 표시장치의 예로, 유기발광표시장치, 액정표시장치, 전기영동표시장치 등이 사용 가능하나, 본 발명에서는 유기발광표시장치를 예로 설명한다. 유기발광표시장치는 애노드인 제1 전극과 캐소드인 제2 전극 사이에 유기물로 이루어진 유기막층을 포함한다. 따라서, 제1 전극으로부터 공급받는 정공과 제2 전극으로부터 공급받는 전자가 유기막층 내에서 결합하여 정공-전자쌍인 여기자(exciton)를 형성하고, 여기자가 바닥상태로 돌아오면서 발생하는 에너지에

의해 발광하는 자발광 표시장치이다.

- [0022] 본 발명에 따른 표시장치는 투명 표시장치일 수 있다. 유기발광표시장치를 예로 투명 표시장치를 설명하면, 각 서브픽셀에 발광부와 투과부를 구비한다. 발광부는 특정 색을 발광하여 화상을 표시하고, 투과부는 후면의 광을 전면으로 그대로 투과시켜 투명을 나타낸다. 따라서, 투명 유기발광표시장치는 화상을 표시함과 동시에 투명을 구현할 수 있다.
- [0023] 이하, 첨부한 도면을 참조하여, 본 발명의 실시예들을 설명하기로 한다.
- [0024] 도 1은 유기발광표시장치의 개략적인 블록도이고, 도 2는 서브 픽셀의 회로 구성을 나타낸 제1 예시도이고, 도 3은 서브 픽셀의 회로 구성을 나타낸 제2 예시도이다.
- [0025] 도 1을 참조하면, 유기발광표시장치는 영상 처리부(10), 타이밍 제어부(20), 데이터 구동부(30), 게이트 구동부(40) 및 표시패널(50)을 포함한다.
- [0026] 영상 처리부(10)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(10)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다. 영상 처리부(10)는 시스템 회로기판에 IC(Integrated Circuit) 형태로 형성된다.
- [0027] 타이밍 제어부(20)는 영상 처리부(10)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받는다.
- [0028] 타이밍 제어부(20)는 구동신호에 기초하여 게이트 구동부(40)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(30)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다. 타이밍 제어부(20)는 제어 회로기판에 IC 형태로 형성된다.
- [0029] 데이터 구동부(30)는 타이밍 제어부(20)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(20)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(30)는 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(30)는 기판 상에 IC 형태로 부착된다.
- [0030] 게이트 구동부(40)는 타이밍 제어부(20)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 게이트신호를 출력한다. 게이트 구동부(40)는 게이트라인들(GL1 ~ GLm)을 통해 게이트신호를 출력한다. 게이트 구동부(40)는 게이트 회로기판에 IC 형태로 형성되거나 표시패널(50)에 게이트인패널(Gate In Panel, GIP) 방식으로 형성된다.
- [0031] 표시패널(50)은 데이터 구동부(30) 및 게이트 구동부(40)로부터 공급된 데이터신호(DATA) 및 게이트신호에 대응하여 영상을 표시한다. 표시패널(50)은 영상을 표시하는 서브 픽셀들(SP)을 포함한다.
- [0032] 도 2를 참조하면, 하나의 서브 픽셀은 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 보상회로(CC) 및 유기발광 다이오드(OLED)를 포함한다. 유기발광 다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0033] 스위칭 트랜지스터(SW)는 게이트 라인(GL1)을 통해 공급된 게이트 신호에 응답하여 제1 데이터 라인(DL1)을 통해 공급되는 데이터 신호가 커패시터(Cst)에 데이터 전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터 전압에 따라 고전위 전원라인(VDD)과 저전위 전원라인(GND) 사이로 구동 전류가 흐르도록 동작한다. 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위한 회로이다. 또한, 스위칭 트랜지스터(SW)나 구동 트랜지스터(DR)에 연결된 커패시터는 보상회로(CC) 내부로 위치할 수 있다. 보상회로(CC)는 하나 이상의 박막 트랜지스터와 커패시터로 구성된다. 보상회로(CC)의 구성은 보상 방법에 따라 매우 다양한 바, 이에 대한 구체적인 예시 및 설명은 생략한다.
- [0034] 또한, 도 3에 도시된 바와 같이, 보상회로(CC)가 포함된 경우 서브 픽셀에는 보상 박막 트랜지스터를 구동함과 더불어 특정 신호나 전원을 공급하기 위한 신호라인과 전원라인 등이 더 포함된다. 게이트 라인(GL1)은 스위칭 트랜지스터(SW)에 게이트 신호를 공급하는 제1-1 게이트 라인(GL1a)과, 서브 픽셀에 포함된 보상 박막 트랜지스터를 구동하기 위한 제1-2 게이트 라인(GL1b)을 포함할 수 있다. 그리고 추가된 전원라인은 서브 픽셀의 특정 노드를 특정 전압으로 초기화하기 위한 초기화 전원라인(INIT)으로 정의될 수 있다. 그러나 이는 하나의 예시일 뿐 이에 한정되지 않는다.

- [0035] 한편, 도 2 및 도 3에서는 하나의 서브 픽셀에 보상회로(CC)가 포함된 것을 일례로 하였다. 하지만, 보상의 주체가 데이터 구동부(30) 등과 같이 서브 픽셀의 외부에 위치하는 경우 보상회로(CC)는 생략될 수도 있다. 즉, 하나의 서브 픽셀은 기본적으로 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터 및 유기발광 다이오드(OLED)를 포함하는 2T(Transistor)1C(Capacitor) 구조로 구성되지만, 보상회로(CC)가 추가된 경우 3T1C, 4T2C, 5T2C, 6T2C, 7T2C 등으로 다양하게 구성될 수도 있다. 또한, 도 2 및 도 3에서는 보상회로(CC)가 스위칭 트랜지스터(SW)와 구동 트랜지스터(DR) 사이에 위치하는 것으로 도시하였지만, 구동 트랜지스터(DR)와 유기발광다이오드(OLED) 사이에도 더 위치할 수도 있다. 보상회로(CC)의 위치와 구조는 도 2와 도 3에 한정되지 않는다.
- [0036] 도 4는 본 발명에 따른 유기발광표시장치를 나타낸 평면도이다. 도 5는 본 발명에 따른 유기발광표시장치의 서브픽셀 부분을 나타낸 단면도이다. 도 6은 도 4의 절취선 A-A'에 따라 절취한 단면도이다.
- [0037] 도 4를 참조하면, 유기발광표시장치는 기관(SUB1), 표시부(A/A) 및 표시부(A/A)의 양측에 배치된 GIP 구동부(GIP), 및 기관(SUB1)의 하측에 배치된 패드부(PD)를 포함한다. 표시부(A/A)는 복수의 서브픽셀(SP)이 배치되어, R, G, B 또는 R, G, B, W를 발광하여 풀컬러를 구현한다. 표시부(A/A)의 양측에는 GIP 구동부(GIP)가 배치되어 표시부(A/A)에 게이트 구동신호를 인가한다. 패드부(PD)는 표시부(A/A)의 일측 예를 들어 하측에 배치되고, 패드부(PD)에 칩온필름(COF)들이 부착된다. 표시부(A/A)로부터 연결된 복수의 신호선들(미도시)에 칩온필름(COF)을 통해 인가되는 데이터 신호 및 전원이 인가된다.
- [0038] 이하, 본 발명의 도 5를 참조하여, 유기발광표시장치의 서브픽셀(SP) 영역의 단면 구조를 살펴본다.
- [0039] 도 5를 참조하면, 본 발명에 따른 유기발광표시장치는 기관(SUB1) 상에 광차단층(LS)이 위치한다. 기관(SUB1)은 유리, 플라스틱 또는 금속으로 이루어질 수 있다. 광차단층(LS)은 외부의 광이 입사되는 것을 차단하여 박막트랜지스터에서 광전류가 발생하는 것을 방지하는 역할을 한다. 광차단층(LS) 상에 버퍼층(BUF)이 위치한다. 버퍼층(BUF)은 기관(SUB1)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막트랜지스터를 보호하는 역할을 한다. 버퍼층(BUF)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다중층일 수 있다.
- [0040] 버퍼층(BUF) 상에 반도체층(ACT)이 위치한다. 반도체층(ACT)은 실리콘 반도체나 산화물 반도체로 이루어질 수 있다. 실리콘 반도체는 비정질 실리콘 또는 결정화된 다결정 실리콘을 포함할 수 있다. 여기서, 다결정 실리콘은 이동도가 높아($100\text{cm}^2/\text{Vs}$ 이상), 에너지 소비 전력이 낮고 신뢰성이 우수하여, 구동 소자용 게이트 드라이버 및/또는 멀티플렉서(MUX)에 적용하거나 화소 내 구동 TFT에 적용할 수 있다. 한편, 산화물 반도체는 오프-전류가 낮으므로, 온(On) 시간이 짧고 오프(Off) 시간을 길게 유지하는 스위칭 TFT에 적합하다. 또한, 오프 전류가 작으므로 화소의 전압 유지 기간이 길어서 저속 구동 및/또는 저 소비 전력을 요구하는 표시장치에 적합하다. 또한, 반도체층(ACT)은 p형 또는 n형의 불순물을 포함하는 드레인 영역 및 소스 영역을 포함하고 이들 사이에 채널을 포함한다.
- [0041] 반도체층(ACT) 상에 게이트 절연막(GI)이 위치한다. 게이트 절연막(GI)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다중층일 수 있다. 게이트 절연막(GI) 상에 상기 반도체층(ACT)의 일정 영역, 즉 불순물이 주입되었을 경우의 채널과 대응되는 위치에 게이트 전극(GA)이 위치한다. 게이트 전극(GA)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 형성된다. 또한, 게이트 전극(GA)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 예를 들면, 게이트 전극(GA)은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.
- [0042] 게이트 전극(GA) 상에 게이트 전극(GA)을 절연시키는 층간 절연막(ILD)이 위치한다. 층간 절연막(ILD)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있다. 층간 절연막(ILD) 및 게이트 절연막(GI)의 일부 영역에 반도체층(ACT)의 일부를 노출시키는 콘택홀들(CH)이 위치한다.
- [0043] 층간 절연막(ILD) 상에 드레인 전극(DE)과 소스 전극(SE)이 위치한다. 드레인 전극(DE)은 반도체층(ACT)의 드레인 영역을 노출하는 콘택홀(CH)을 통해 반도체층(ACT)에 연결되고, 소스 전극(SE)은 반도체층(ACT)의 소스 영역을 노출하는 콘택홀(CH)을 통해 반도체층(ACT)에 연결된다. 소스 전극(SE) 및 드레인 전극(DE)은 단일층 또는 다중층으로 이루어질 수 있으며, 상기 소스 전극(SE) 및 드레인 전극(DE)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 상기 소스 전극(SE) 및 드레인 전극(DE)이 다중층일

경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 티타늄/알루미늄/티타늄, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다. 따라서, 반도체층(ACT), 게이트 전극(GA), 드레인 전극(DE) 및 소스 전극(SE)을 포함하는 박막트랜지스터(TFT)가 구성된다.

[0044] 박막트랜지스터(TFT)를 포함하는 기판(SUB1) 상에 제1 패시베이션막(PAS1)이 위치한다. 제1 패시베이션막(PAS1)은 하부의 소자를 보호하는 절연막으로, 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있다. 제1 패시베이션막(PAS1) 상에 오버코트층(OC)이 위치한다. 오버코트층(OC)은 하부 구조의 단차를 완화시키기 위한 평탄화막일 수 있으며, 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어진다. 오버코트층(OC)은 상기 유기물을 액상 형태로 코팅한 다음 경화시키는 SOG(spin on glass)와 같은 방법으로 형성될 수 있다.

[0045] 오버코트층(OC)의 일부 영역에는 드레인 전극(DE)을 노출시키는 비어홀(VIA)이 위치한다. 오버코트층(OC) 상에 유기발광 다이오드(OLED)가 위치한다. 보다 자세하게는, 오버코트층(OC) 상에 제1 전극(ANO)이 위치한다. 제1 전극(ANO)은 화소 전극으로 작용하며, 비어홀(VIA)을 통해 박막트랜지스터(TFT)의 드레인 전극(DE)에 연결된다. 제1 전극(ANO)은 애노드로 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 등의 투명도 전물질로 이루어질 수 있다. 제1 전극(ANO)이 반사 전극인 경우, 제1 전극(ANO)은 반사층을 더 포함한다. 반사층은 알루미늄(Al), 구리(Cu), 은(Ag), 니켈(Ni) 또는 이들의 합금으로 이루어질 수 있으며, 바람직하게는 APC(은/팔라듐/구리 합금)으로 이루어질 수 있다.

[0046] 제1 전극(ANO)을 포함하는 기판(SUB1) 상에 화소를 구획하는 बैं크층(BNK)이 위치한다. बैं크층(BNK)은 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어진다. बैं크층(BNK)은 제1 전극(ANO)을 노출시키는 화소정의부(OP)가 위치한다. 전술한, 오버코트층(OC)과 बैं크층(BNK)은 옐로위시(Yellowish) 현상이 발생하는 것을 방지하기 위해 투과부(TA)에 배치되지 않고 발광부(EA)에 배치된다. 옐로위시 현상은 오버코트층(OC)과 बैं크층(BNK)의 물질 특성으로 인해서 어떻게 빛바랜 색상이 표시되는 현상을 일컫는다.

[0047] 기판(SUB1) 전면에는 제1 전극(ANO)에 접촉하는 유기막층(EML)이 위치한다. 유기막층(EML)은 전자와 정공이 결합하여 발광하는 층으로, 유기막층(EML)과 제1 전극(ANO) 사이에 정공주입층 또는 정공수송층을 포함할 수 있으며, 유기막층(EML) 상에 전자수송층 또는 전자주입층을 포함할 수 있다. 유기막층(EML) 상에 제2 전극(CAT)이 위치한다. 제2 전극(CAT)은 표시부(A/A) 전면에서 위치하고, 캐소드 전극으로 일함수가 낮은 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있다. 제2 전극(CAT)이 투과 전극인 경우 광이 투과될 수 있을 정도로 얇은 두께로 이루어지고, 반사 전극인 경우 광이 반사될 수 있을 정도로 두꺼운 두께로 이루어진다. 제2 전극(CAT) 상에는 제2 패시베이션막(PAS2)이 배치되어 하부의 유기발광 다이오드(OLED)를 보호한다.

[0048] 도 6을 참조하여 본 발명의 표시장치의 일부 영역의 단면을 살펴보면, 표시부(A/A) 및 비표시부(N/A)가 기판(SUB1) 상에 배치된다. 비표시부(N/A)에는 GIP 구동부(GIP)가 배치된다.

[0049] 기판(SUB1) 상에 버퍼층(BUF)과 게이트 절연막(GI)이 배치되고, GIP 구동부(GIP)의 게이트 절연막(GI) 상에는 GIP 제1 전극(GIPG)이 배치된다. GIP 제1 전극(GIPG)은 GIP 구동부(GIP)에 구비된 복수의 박막트랜지스터의 게이트 전극일 수 있다. GIP 제1 전극(GIPG) 상에 층간 절연막(ILD)이 배치되고 GIP 구동부(GIP)의 층간 절연막(ILD) 상에 GIP 제2 전극(GIPS)이 배치된다. GIP 제2 전극(GIPS)은 GIP 구동부(GIP)에 구비된 복수의 박막트랜지스터의 소스/드레인 전극일 수 있다. GIP 제2 전극(GIPS) 상에 제1 패시베이션막(PAS1)이 배치되고, 제1 패시베이션막(PAS1) 상에 오버코트층(OC)이 배치된다. 오버코트층(OC)은 표시부(A/A)로부터 비표시부(N/A)의 GIP 구동부(GIP) 상으로 연장되어 배치된다.

[0050] 표시부(A/A)에는 오버코트층(OC) 상에 제1 전극(ANO), बैं크층(BNK), 발광층(EML), 제2 전극(CAT) 및 제2 패시베이션막(PAS2)이 배치된다. बैं크층(BNK), 발광층(EML), 제2 전극(CAT) 및 제2 패시베이션막(PAS2)은 비표시부(N/A)로 일부 연장될 수 있다. 비표시부(N/A)에는 오버코트층(OC) 상에 제1 및 제2 실댐(SD1, SD2)이 배치된다. 기판(SUB1)은 실재(SEA)를 통해 보호기판(SUB2)과 합착된다. 보호기판(SUB2)의 일면에도 제3 실댐(SD3)들이 배치되어, 제1 및 제2 실댐(SD1, SD2)과 함께 실재(SEA)가 표시부(A/A) 또는 바깥으로 넘치는 것을 방지한다.

[0051] 한편, 유기발광 다이오드(OLED)의 제2 전극(CAT)은 마스크를 이용하여 스퍼터링 공정을 통해 증착된다. 스퍼터링 공정 특성 상 마스크의 크기보다 증착 재료가 더 크게 증착되는 쉘도우 현상이 발생한다. 제2 전극(CAT)의 증착 쉘도우 현상을 감안하여 일정 폭의 쉘도우 마진부(SBP)가 존재한다. 그러나 쉘도우 마진부(SBP)의 존재는

표시장치의 폭을 증가시키게 되어 베젤이 증가된다.

[0052] 하기에서는 베젤이 증가를 방지할 수 있는 표시장치를 개시한다.

[0053] <실시예>

[0054] 도 7은 본 발명의 실시예에 따른 표시장치를 나타낸 평면도이고, 도 8은 도 7의 절취선 B-B'에 따라 절취한 단면도이며, 도 9는 본 발명의 실시예에 따른 뱅크층의 돌출부를 확대한 도면이고, 도 10은 웨도우 마진부를 비교한 모식도이다.

[0055] 도 7을 참조하면, 본 발명의 실시예에 따른 표시장치는 기관(SUB1), 표시부(A/A) 및 표시부(A/A)의 양측에 배치된 GIP 구동부(GIP), 및 기관(SUB1)의 하측에 배치된 패드부(PD)를 포함한다.

[0056] 표시부(A/A)는 복수의 서브픽셀(SP)이 배치되어, R, G, B 또는 R, G, B, W를 발광하여 풀컬러를 구현한다. 표시부(A/A)의 양측에는 GIP 구동부(GIP)가 배치되어 표시부(A/A)에 게이트 구동신호를 인가한다. 본 발명에서는 표시부(A/A)의 양측에 GIP 구동부(GIP)가 배치된 것으로 도시하고 설명하였으나, 어느 한 측에 GIP 구동부(GIP)가 배치될 수도 있다. 패드부(PD)는 표시부(A/A)의 일측 예를 들어 하측에 배치되고, 패드부(PD)에 칩온필름(COF) 등이 부착된다. 표시부(A/A)로부터 연결된 복수의 신호선들(미도시)에 칩온필름(COF)을 통해 인가되는 데이터 신호 및 전원이 인가된다.

[0057] 본 발명의 실시예에서는 제2 전극의 증착 웨도우 현상으로 인한 웨도우 마진부의 폭을 줄일 수 있도록, GIP 구동부(GIP)와 표시부(A/A) 사이에 뱅크층의 돌출부(BNP)가 배치된다.

[0058] 보다 자세하게, 도 8을 참조하면, 표시부(A/A) 및 비표시부(N/A)가 기관(SUB1) 상에 배치된다. 비표시부(N/A)에는 GIP 구동부(GIP)가 배치된다.

[0059] 기관(SUB1) 상에 버퍼층(BUF)과 게이트 절연막(GI)이 배치되고, GIP 구동부(GIP)의 게이트 절연막(GI) 상에는 GIP 제1 전극(GIPG)이 배치된다. GIP 제1 전극(GIPG)은 GIP 구동부(GIP)에 구비된 복수의 박막트랜지스터의 게이트 전극일 수 있다. GIP 제1 전극(GIPG) 상에 층간 절연막(ILD)이 배치되고 GIP 구동부(GIP)의 층간 절연막(ILD) 상에 GIP 제2 전극(GIPS)이 배치된다. GIP 제2 전극(GIPS)은 GIP 구동부(GIP)에 구비된 복수의 박막트랜지스터의 소스/드레인 전극일 수 있다. GIP 제2 전극(GIPS) 상에 제1 패시베이션막(PAS1)이 배치되고, 제1 패시베이션막(PAS1) 상에 오버코트층(OC)이 배치된다. 오버코트층(OC)은 표시부(A/A)로부터 비표시부(N/A)의 GIP 구동부(GIP) 상으로 연장되어 배치된다.

[0060] 표시부(A/A)에는 오버코트층(OC) 상에 제1 전극(ANO), 뱅크층(BNK), 발광층(EML), 제2 전극(CAT) 및 제2 패시베이션막(PAS2)이 배치된다. 뱅크층(BNK), 발광층(EML), 제2 전극(CAT) 및 제2 패시베이션막(PAS2)은 비표시부(N/A)로 일부 연장될 수 있다. 비표시부(N/A)에는 오버코트층(OC) 상에 제1 및 제2 실댐(SD1, SD2)이 배치된다. 기관(SUB1)은 실재(SEA)를 통해 보호기관(SUB2)과 합착된다. 보호기관(SUB2)의 일면에도 제3 실댐(SD3)들이 배치되어, 제1 및 제2 실댐(SD1, SD2)과 함께 실재(SEA)가 표시부(A/A) 또는 바깥으로 넘치는 것을 방지한다.

[0061] 도 8과 함께 도 9를 참조하면, 본 발명의 일 실시예에서는 제2 전극(CAT)의 증착 웨도우 현상으로 인한 웨도우 마진부(SBP)의 폭을 줄이기 위해, 뱅크층(BNK)의 돌출부(BNP)를 구비한다. 뱅크층(BNK)은 표시부(A/A)로부터 비표시부(N/A)에 이르기까지 연속적으로 이루어진다. 뱅크층(BNK)은 표시부(A/A)에 대응하는 제1 영역(BK1)과, 비표시부(N/A)에 대응하는 제2 영역(BK2)을 포함한다. 뱅크층(BNK)의 돌출부(BNP)는 제2 영역(BK2)에 위치한다.

[0062] 뱅크층(BNK)의 돌출부(BNP)는 표시부(A/A)로부터 연속적으로 연장된 뱅크층(BNK)의 일단에서 돌출된 부분으로, 비표시부(N/A)에 대응되는 영역에 배치된다. 뱅크층(BNK)의 돌출부(BNP)는 제2 전극(CAT)이 비표시부(N/A)쪽으로 증착되는 것을 방지하기 위해, 뱅크층(BNK)의 제1 영역(BK1)보다 두께가 두껍게 이루어진다. 예를 들어, 뱅크층(BNK)의 돌출부(BNP)의 두께(T1)는 뱅크층(BNK)의 제1 영역(BK1)의 두께(T2)보다 1.5 내지 5배만큼 두껍게 이루어질 수 있다. 뱅크층(BNK)의 돌출부(BNP)의 두께(T1)가 뱅크층(BNK)의 제1 영역(BK1)의 두께(T2)보다 1.5 배 이상이면 뱅크층(BNK)의 돌출부(BNP)로 인해 제2 전극(CAT)이 비표시부(N/A)로 증착되는 것을 방지할 수 있다. 뱅크층(BNK)의 돌출부(BNP)의 두께(T1)가 뱅크층(BNK)의 제1 영역(BK1)의 두께(T2)보다 5배 이하이면, 표시장치의 두께가 두꺼워지는 것을 방지하고 뱅크층 제조 공정을 용이하게 할 수 있다.

[0063] 본 실시예에서는 돌출부(BNP)가 뱅크층(BNK)의 끝단에 배치된 것으로 도시하고 설명하였으나, 돌출부(BNP)는 뱅크층(BNK)의 끝단에서 표시부(A/A) 방향으로 이격되어 배치될 수도 있다.

[0064] 뱅크층(BNK)의 돌출부(BNP)는 도 7에 도시된 것처럼, GIP 구동부(GIP)와 표시부(A/A) 사이에서 라인(line) 형상

으로 이루어진다. 뱅크층(BNK)의 돌출부(BNP)의 역할이 제2 전극(CAT)이 비표시부(N/A)로 더 이상 퍼져나가지 못하게 하는 것이므로, 굽김 없는 라인 형상임이 바람직하다. 라인 형상은 직선, 곡선 등 다양한 형상일 수 있으나, 베젤 폭을 줄이는 관점에서 직선 형상임이 바람직하다. 그러나 본 발명은 이에 한정되지 않는다.

[0065] 뱅크층(BNK)의 돌출부(BNP)가 구비됨에 따라, 제2 전극(CAT)은 더 이상 퍼져나가지 못하고 돌출부(BNP)에 의해서 가로막혀 돌출부(BNP)의 측면을 타고 증착되게 된다. 따라서, 뱅크층(BNK)의 돌출부(BNP)의 측면 즉 표시부(A/A)에 인접한 측면에 제2 전극(CAT)이 선택하게 된다.

[0066] 비표시부(N/A)에는 뱅크층(BNK)의 돌출부(BNP)로부터 이격된 적어도 하나의 실댐(SD1, SD2)이 배치된다. 실댐은 표시부(A/A)에 인접한 제1 실댐(SD1)과 실재(SEA)를 사이에 두고 이웃하는 제2 실댐(SD2)을 포함한다. 제1 및 제2 실댐(SD1, SD2)은 오버코트층(OC) 위에 뱅크층(BNK)과 동일 재료로 형성된다. 제1 및 제2 실댐(SD1, SD2)은 표시부(A/A)로부터 뱅크층(BNK)의 돌출부(BNP)보다 더 이격되어 배치된다.

[0067] 본 발명의 뱅크층(BNK)의 돌출부(BNP)는 전술한 제1 실댐(SD1)과 구분된다. 본 발명의 뱅크층(BNK)의 돌출부(BNP)는 GIP 구동부(GIP)와 이격되어 GIP 구동부(GIP)와 표시부(A/A) 사이에 배치되고, 제1 실댐(SD1)은 GIP 구동부(GIP) 위에 배치되는 위치적인 차이가 있다. 또한, 본 발명의 뱅크층(BNK)의 돌출부(BNP)는 제2 전극(CAT)이 측면에 선택되지만, 제1 실댐(SD1)은 제2 전극(CAT)이 선택하지 않는 구조적인 차이가 있다. 또한, 제1 실댐(SD1)의 두께는 뱅크층(BNK)의 돌출부(BNP)의 두께보다 얇게 이루어진다. 제1 실댐(SD1)의 두께는 뱅크층(BNK)의 제1 영역(BK1)의 두께와 동일하나, 뱅크층(BNK)의 돌출부(BNP)의 두께는 제1 영역(BK1)의 두께보다 두꺼운 차이가 있다.

[0068] 도 10을 참조하면, 전술한 도 6에 도시된 표시장치는 제2 전극(CAT)의 증착 웨도우 현상으로 인해 웨도우 마진부(SBP)가 제1 폭(d1)으로 이루어진다. 본 발명의 뱅크층(BNK)의 돌출부(BNP)가 구비되면, 웨도우 마진부(SBP)는 제1 폭(d1)보다 제2 폭(d2) 만큼 좁아진 제3 폭(d3)으로 이루어질 수 있다. 즉, 제3 폭(d3)만큼 웨도우 마진부(SBP)를 줄일 수 있어 표시장치의 베젤 영역을 줄일 수 있는 이점이 있다.

[0069] 한편, 본 발명의 일 실시예에 따른 표시장치는 뱅크층에 오목부를 더 구비할 수 있다.

[0070] 도 11은 본 발명의 다른 실시예에 따른 표시장치를 나타낸 평면도이고, 도 12는 도 11의 뱅크층의 돌출부와 오목부를 확대한 도면이며, 도 13은 본 발명의 다른 실시예에 따른 표시장치를 나타낸 또 다른 평면도이다. 하기에서는 전술한 실시예와 동일한 구성요소에 대한 설명은 생략하기로 한다.

[0071] 도 11 및 도 12를 참조하면, 본 발명의 다른 실시예에 따른 표시장치는 뱅크층(BNK)의 돌출부(BNP)와 표시부(A/A) 사이에 오목부(BNG)를 더 구비할 수 있다.

[0072] 뱅크층(BNK)의 오목부(BNG)는 뱅크층(BNK)의 일단에서 오목하게 함몰된 부분으로, 비표시부(N/A)에 대응되는 영역에 배치된다. 뱅크층(BNK)의 오목부(BNG)는 제2 전극(CAT)이 내부에 채워져 제2 전극(CAT)이 뱅크층(BNK)의 돌출부(BNP)를 넘어 비표시부(N/A)쪽으로 증착되는 것을 방지하는 역할을 할 수 있다. 이를 위해, 뱅크층(BNK)의 오목부(BNG)의 두께(T3)는 뱅크층(BNK)의 제1 영역(BK1)의 두께(T2)보다 얇게 이루어진다. 뱅크층(BNK)의 오목부(BNG)의 두께(T3)는 특별히 한정되지 않으며 존재하기만 하면 효과를 나타낼 수 있다.

[0073] 뱅크층(BNK)의 오목부(BNG)는 도 11에 도시된 것처럼, 뱅크층(BNK)의 돌출부(BNP)와 표시부(A/A) 사이에서 라인(line) 형상으로 이루어진다. 뱅크층(BNK)의 오목부(BNG)의 역할이 제2 전극(CAT)이 비표시부(N/A)로 더 이상 퍼져나가지 못하게 하는 것이므로, 굽김 없는 라인 형상임이 바람직하다. 라인 형상은 직선, 곡선 등 다양한 형상일 수 있으나, 베젤 폭을 줄이는 관점에서 직선 형상임이 바람직하다. 그러나, 본 발명의 뱅크층(BNK)의 오목부(BNG)는 돌출부(BNP)가 제2 전극(CAT)을 차단하기 때문에, 도 13에 도시된 것처럼, 둘 이상 이격되어 배치될 수도 있다. 본 발명에서는 뱅크층(BNK)의 오목부(BNG)가 돌출부(BNP)에 접한 것으로 도시하고 설명하였으나, 오목부(BNG)는 돌출부(BNP)와 이격되어 형성할 수도 있다.

[0074] 뱅크층(BNK)의 오목부(BNG)가 더 구비됨에 따라, 제2 전극(CAT)의 증착 시 제2 전극(CAT)이 오목부(BNG)에 채워져 더 이상 퍼져나가지 못한다. 따라서, 뱅크층(BNK)의 돌출부(BNP)와 오목부(BNG)로 인해 웨도우 마진부를 줄일 수 있어 표시장치의 베젤 영역을 줄일 수 있는 이점이 있다.

[0075] 전술한 바와 같이, 본 발명의 실시예에 따른 표시장치는 비표시부의 뱅크층에 돌출부를 구비하여, 제2 전극의 웨도우 마진부의 폭을 줄일 수 있다. 따라서, 표시장치의 베젤을 줄일 수 있는 이점이 있다.

[0076] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태

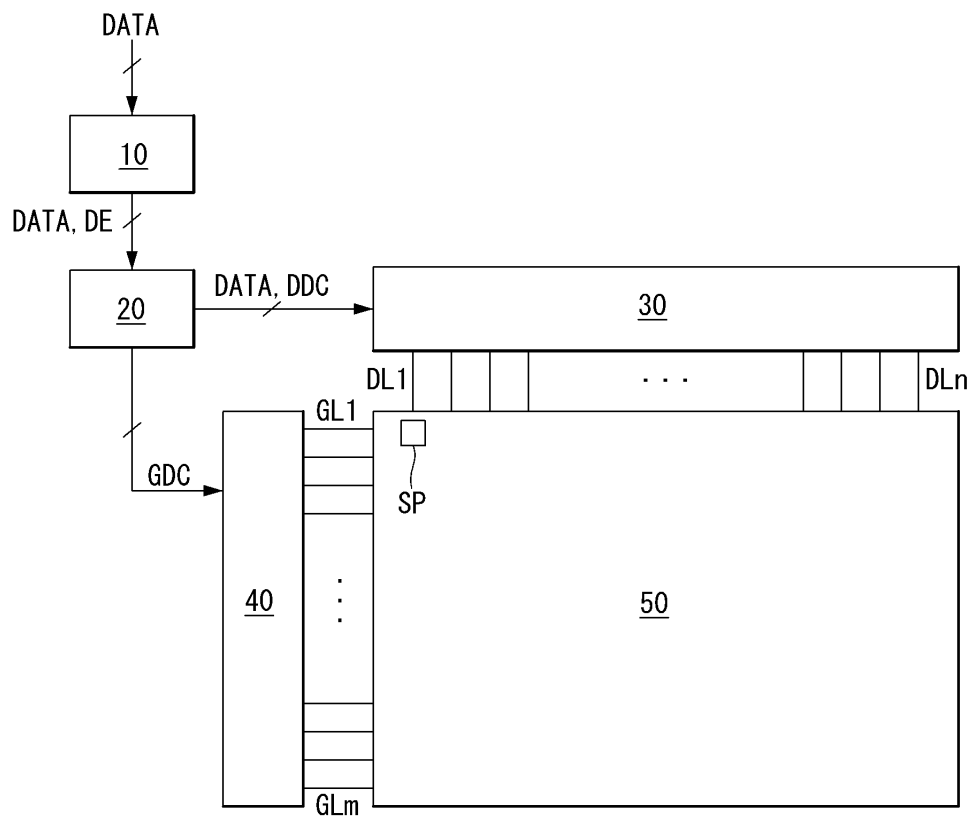
로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

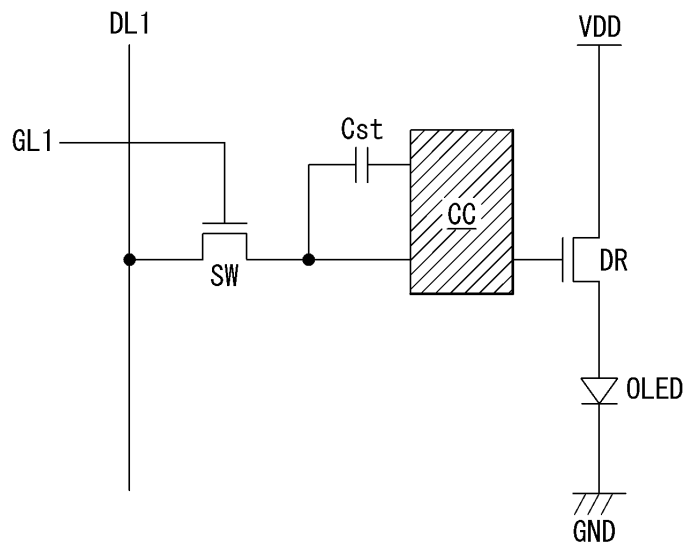
SUB1 : 기관 BNK : 뱅크층
BNP : 대출부 BNG : 오목부
CAT : 제2 전극 SBP : 셰도우 마진부
GIP : GIP 구동부 A/A : 표시부
N/A : 비표시부

도면

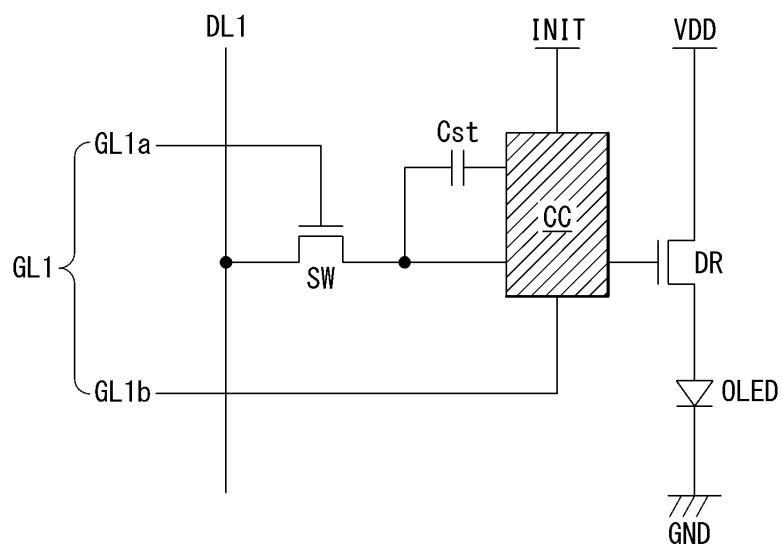
도면1



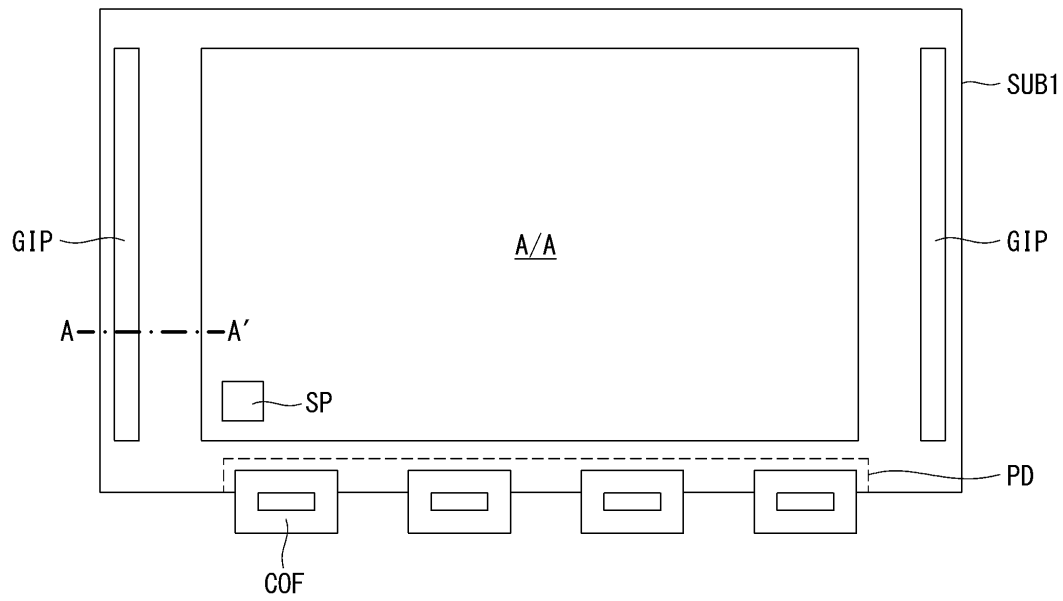
도면2



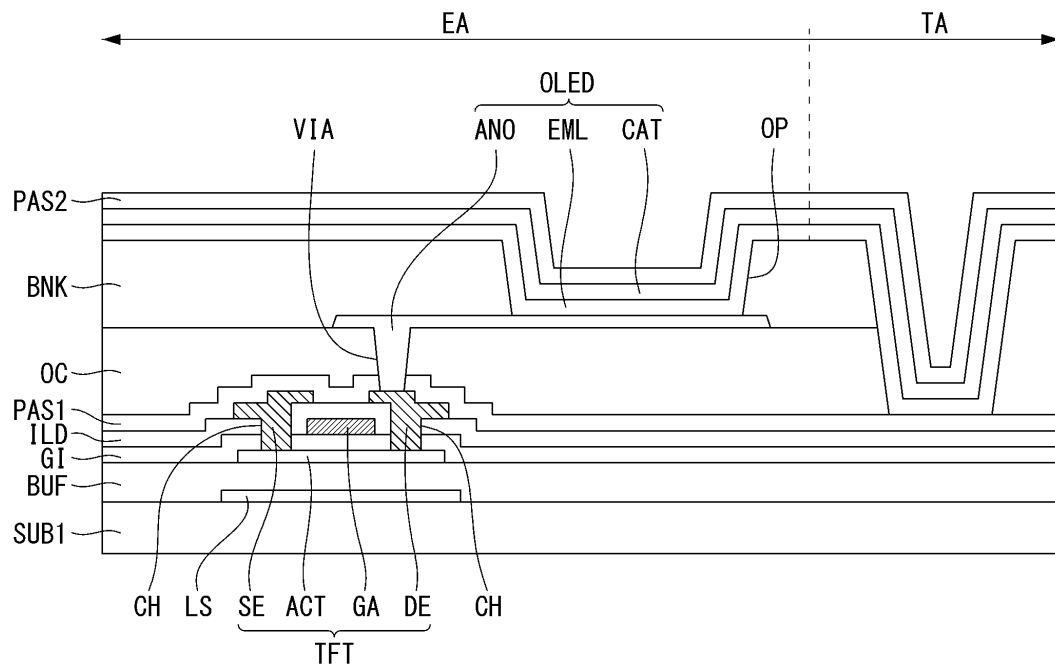
도면3



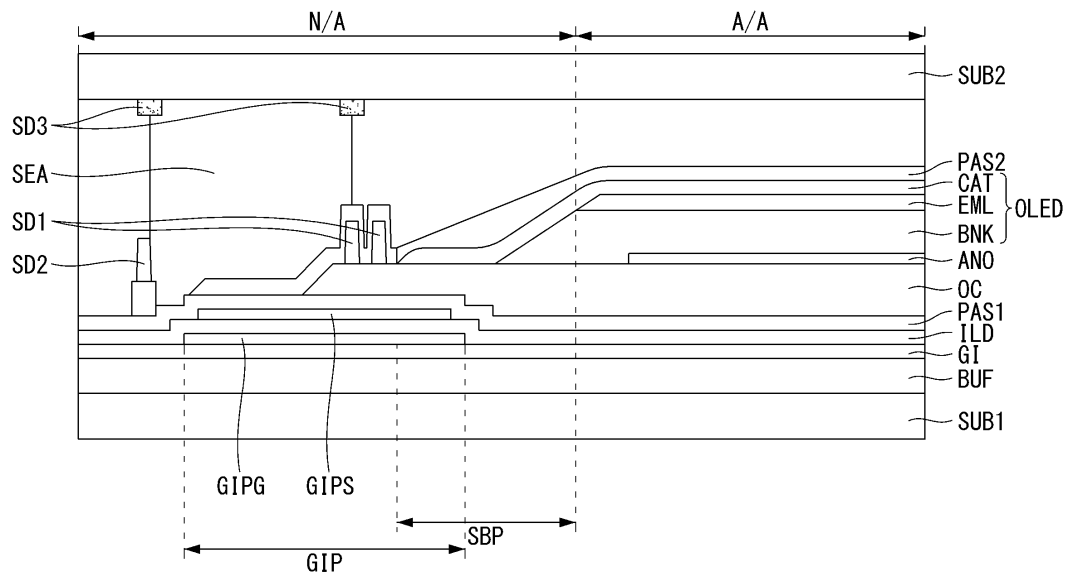
도면4



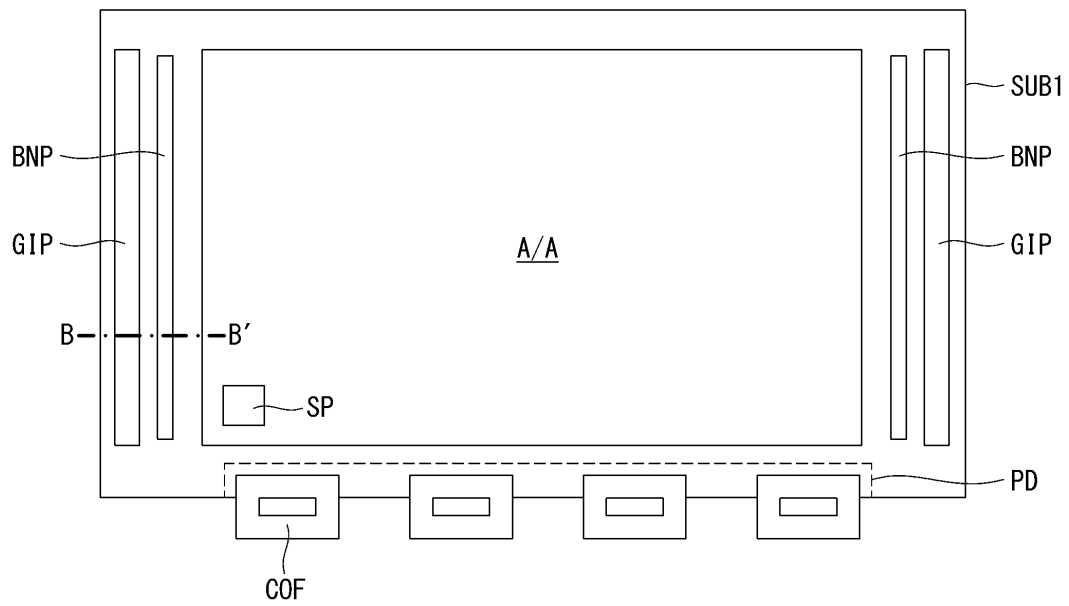
도면5



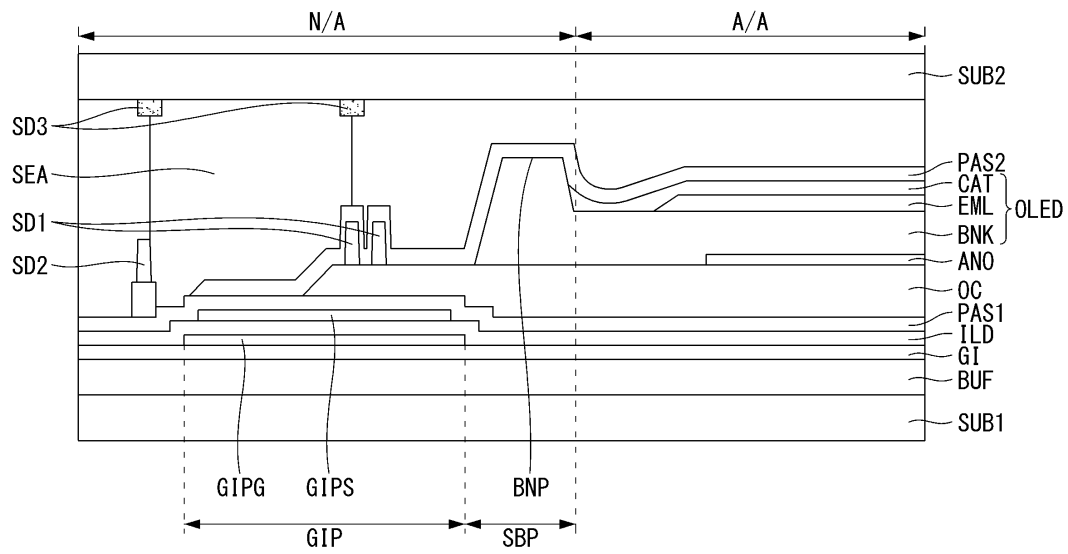
도면6



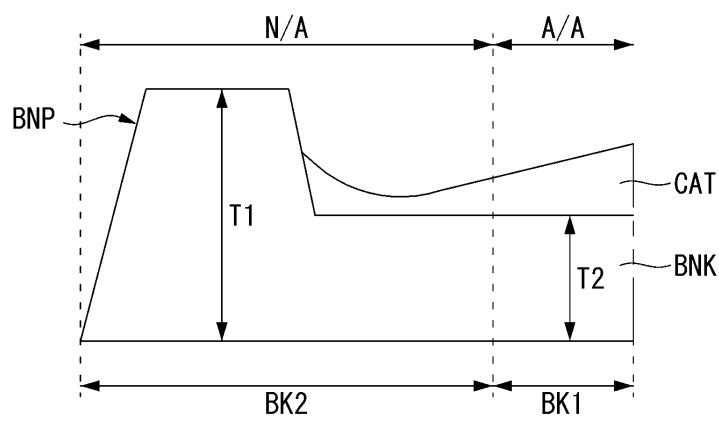
도면7



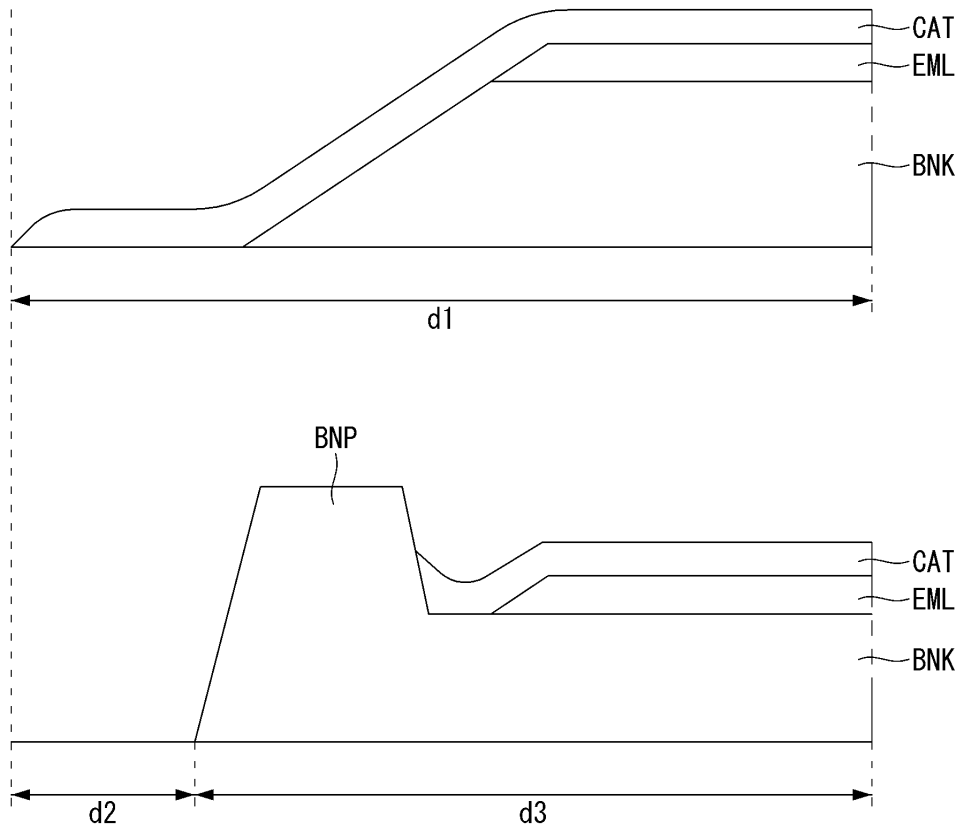
도면8



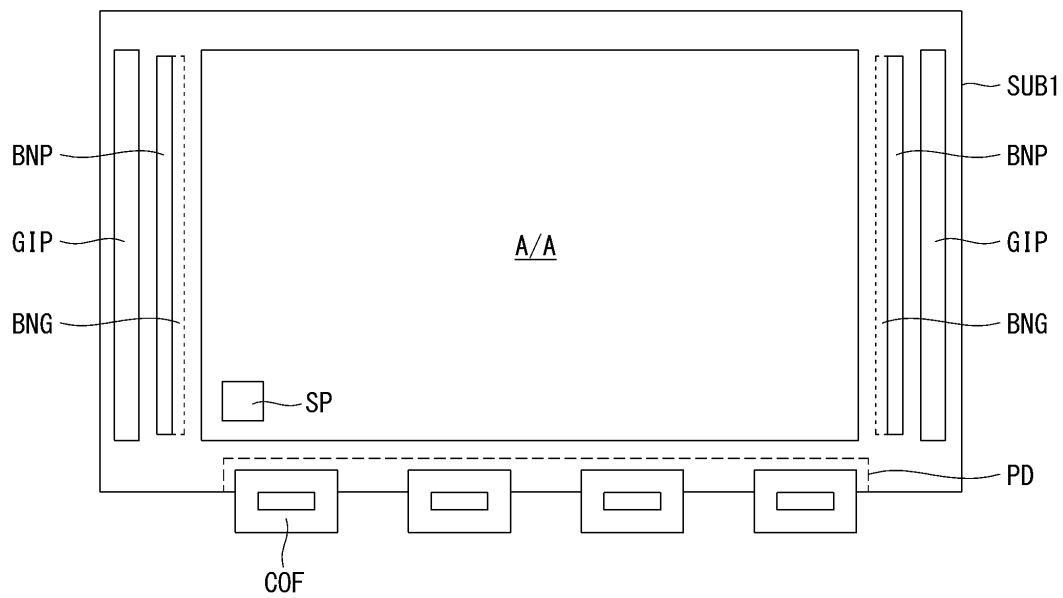
도면9



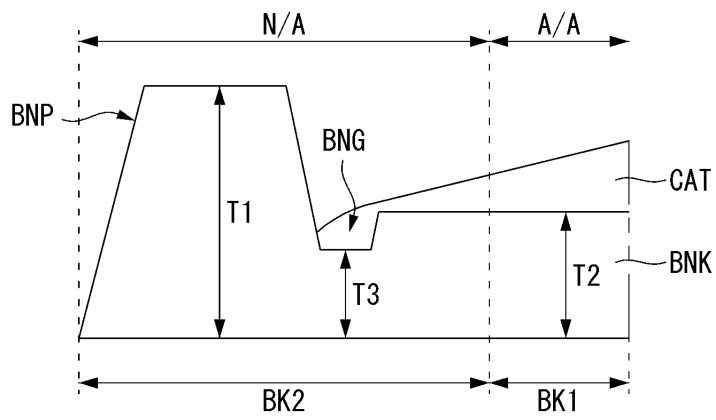
도면10



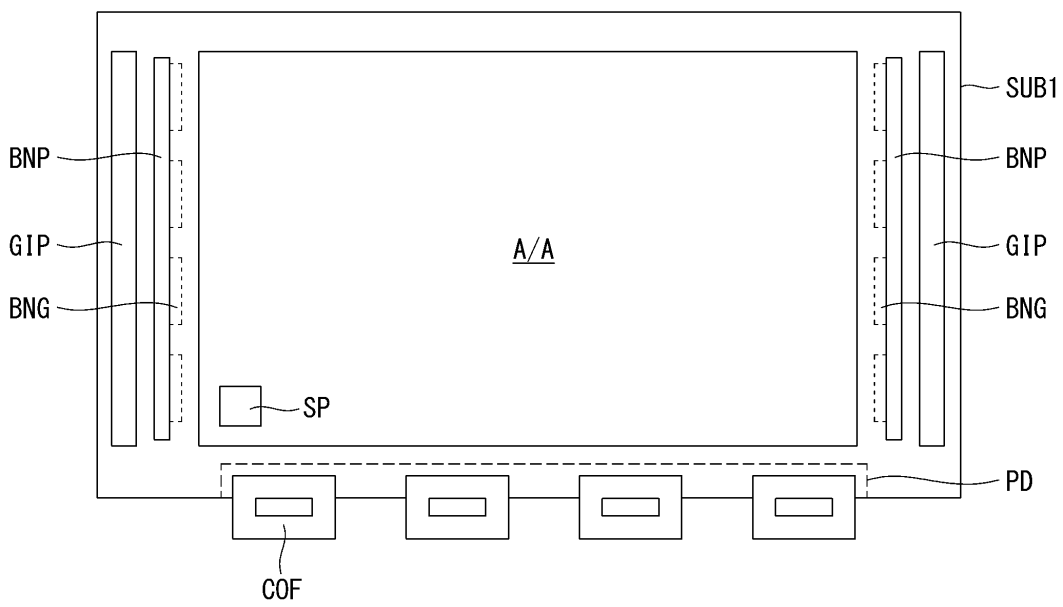
도면11



도면12



도면13



显示装置技术领域本发明涉及一种能够减小边框面积的显示装置。根据本发明的示例性实施例的显示装置设置在基板上，并且包括覆盖覆盖设置有机发光二极管的显示单元和非显示单元的覆盖层，覆盖层上的第一电极以及第一电极上的位置。以及覆盖显示单元和非显示单元的堤层，堤层上的发光层以及发光层上的第二电极，其中堤层从与非显示单元相对应的区域突出。并且第二电极接触突起的一侧。

