



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0029856
(43) 공개일자 2019년03월21일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/52 (2006.01)
H01L 51/56 (2006.01)

(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/3258 (2013.01)

(21) 출원번호 10-2017-0116795
(22) 출원일자 2017년09월12일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자
최재혁
경기도 화성시 동탄원천로 315-18 상록예가아파트
751동 1402호

정석원
세종특별자치시 달빛로 201 (아름동 , 범지기마을3단지) 310동 2601호
(뒷면에 계속)

(74) 대리인
특허법인 고려

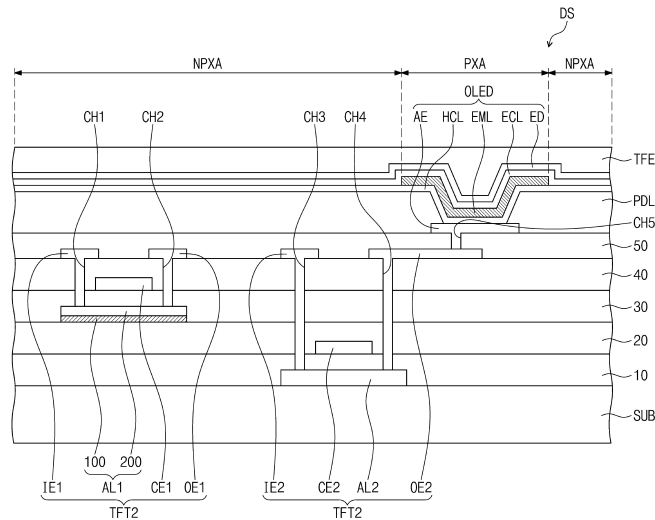
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 표시 장치 및 이를 이용한 제조방법

(57) 요약

본 발명의 표시 장치는 베이스 기판, 베이스 기판 상에 배치되고, 제1 층, 상기 제1 층 상에 접촉하여 배치되며, 4족 원소 중 적어도 두 가지 이상의 물질로 이루어진 화합물을 포함하는 제2 층을 포함하는 제1 반도체층, 제1 반도체층과 중첩하는 제1 제어 전극, 제1 반도체층에 접속된 제1 입력 전극, 제1 반도체층에 접속된 제1 출력 전극을 포함하는 제1 트랜지스터, 베이스 기판 상에 배치되고 제1 반도체층으로부터 이격된 제2 반도체층, 제2 반도체층과 중첩하는 제2 제어 전극, 제2 반도체층에 접속된 제2 입력 전극, 제2 반도체층에 접속된 제2 출력 전극을 포함하는 제2 트랜지스터 및 제1 트랜지스터, 제2 트랜지스터와 전기적으로 연결된 제1 전극, 상기 제1 전극 상에 배치된 제2 전극, 및 상기 제1 전극과 상기 제2 전극 사이에 배치된 발광층을 포함하는 유기발광소자를 포함한다.

대표도



(52) CPC특허분류

H01L 51/5203 (2013.01)

H01L 51/56 (2013.01)

(72) 발명자

허명수

경기도 수원시 영통구 매영로 10 (매탄동 , 삼성2
차아파트) 5동 1206호

고석진

서울특별시 서초구 신반포로 32 33동 205호 (반포
동, 주공아파트)

주현우

서울특별시 광진구 구의강변로 94 601동 1705호
(구의동, 현대6차아파트)

명세서

청구범위

청구항 1

베이스 기관;

상기 베이스 기관 상에 배치되고, 제1 층, 상기 제1 층 상에 접촉하여 배치되며, 4족 원소 중 적어도 두 가지 이상의 물질로 이루어진 화합물을 포함하는 제2 층을 포함하는 제1 반도체층, 상기 제1 반도체층과 중첩하는 제1 제어 전극, 상기 제1 반도체층에 접속된 제1 입력 전극, 상기 제1 반도체층에 접속된 제1 출력 전극을 포함하는 제1 트랜지스터;

상기 베이스 기관 상에 배치되고 상기 제1 반도체층으로부터 이격된 제2 반도체층, 상기 제2 반도체층과 중첩하는 제2 제어 전극, 상기 제2 반도체층에 접속된 제2 입력 전극, 상기 제2 반도체층에 접속된 제2 출력 전극을 포함하는 제2 트랜지스터; 및

상기 제1 트랜지스터 및 상기 제2 트랜지스터와 전기적으로 연결된 제1 전극, 상기 제1 전극 상에 배치된 제2 전극, 및 상기 제1 전극과 상기 제2 전극 사이에 배치된 발광층을 포함하는 유기발광소자를 포함하는 표시 장치.

청구항 2

제1 항에 있어서,

상기 제1 층은 소정의 결정을 갖고,

상기 제2 층의 적어도 일부는 상기 제1 층과 동일한 상기 결정을 갖는 것을 특징으로 하는 표시 장치.

청구항 3

제2 항에 있어서, 상기 화합물은

Si, Ge, C 중 적어도 두 가지 이상을 포함하는 것을 특징으로 하는 표시 장치.

청구항 4

제3 항에 있어서,

상기 2 반도체층은 다결정실리콘을 갖는 것을 특징으로 하는 표시 장치.

청구항 5

제1 항에 있어서,

상기 제1 반도체층과 제2 반도체층은 동일한 층 상에 배치되는 것을 특징으로 하는 표시 장치.

청구항 6

제1 항에 있어서,

상기 제1 반도체층과 제2 반도체층 사이에 배치된 적어도 하나의 절연층을 더 포함하고, 상기 제1 반도체층은 상기 절연층 상에 배치되는 것을 특징으로 하는 표시 장치.

청구항 7

제1 항에 있어서,

상기 제1 전극은 상기 제2 출력 전극에 접속된 것을 특징으로 하는 표시 장치.

청구항 8

베이스 기관 상에 제1 반도체층, 제1 제어 전극, 제1 입력 전극, 및 제1 출력 전극을 포함하는 제1 트랜지스터를 형성하는 단계;

상기 베이스 기관 상에 제2 반도체층, 제2 제어 전극, 제2 입력 전극, 및 제2 출력 전극을 포함하는 제2 트랜지스터를 형성하는 단계; 및

상기 베이스 기관 상에 제1 전극, 상기 제1 전극과 중첩하는 발광층, 상기 발광층 중첩하는 제2 전극을 포함하는 유기발광소자를 형성하는 단계를 포함하고,

상기 제1 트랜지스터를 형성하는 단계는,

4족 원소 중 적어도 어느 두 가지 물질이 포함된 가스를 증착하여 시드층을 형성하는 단계;

상기 시드층 상에 상기 시드층과 동일한 물질을 증착하여 결정화층을 형성하는 단계;

상기 제1 반도체층이 형성되도록 상기 시드층과 상기 결정화층을 패터닝 하는 단계;를 포함하는 표시 장치 제조 방법.

청구항 9

제8 항에 있어서,

상기 결정화층을 형성하는 단계에서, 상기 시드층과 동일한 물질은 상기 시드층과 동일한 결정을 가지며 성장하여 상기 결정화층으로 형성되는 것을 특징으로 하는 표시 장치 제조 방법.

청구항 10

제8 항에 있어서,

상기 제2 반도체층을 형성하는 단계는,

비정질 실리콘을 증착하는 단계;

상기 제2 반도체층이 형성되도록 상기 비정질 실리콘을 어닐링 하는 단계를 포함하는 표시 장치 제조 방법

청구항 11

제10 항에 있어서,

상기 시드층을 형성하는 단계는 상기 어닐링 하는 단계 이후에 진행 되는 것을 특징으로 하는 표시 장치 제조 방법

청구항 12

제8 항에 있어서,

상기 결정화층을 형성하는 단계에서, 화학 기상 증착에 의해 상기 시드층과 동일한 물질을 증착하는 것을 특징으로 하는 표시 패널 제조 방법.

청구항 13

제8 항에 있어서, 상기 제2 트랜지스터를 형성하는 단계 이후,

상기 제1 입력 전극을 형성하는 단계;

상기 제1 출력 전극을 형성하는 단계;

상기 제2 입력 전극 및 상기 제2 출력 전극 중 어느 하나에 연결되고, 적어도 하나의 발광층을 포함하는 유기발광소자를 형성하는 단계를 더 포함하는 반도체 장치 제조 방법.

청구항 14

베이스 기관;

상기 베이스 기관 상에 배치되고, 제1 층, 상기 제1 층 상에 접촉하여 배치되며, 4족 원소 중 적어도 두 가지

이상의 물질로 이루어진 결정을 포함하는 제2 층을 포함하는 제1 반도체층, 상기 제1 반도체층과 중첩하는 제1 제어 전극, 상기 제1 반도체층에 접속된 제1 입력 전극, 상기 제1 반도체층에 접속된 제1 출력 전극을 포함하는 제1 트랜지스터;

상기 베이스 기관 상에 배치되고 상기 제1 반도체층으로부터 이격된 제2 반도체층, 상기 제2 반도체층과 중첩하는 제2 제어 전극, 상기 제2 반도체층에 접속된 제2 입력 전극, 상기 제2 반도체층에 접속된 제2 출력 전극을 포함하는 제2 트랜지스터; 및

상기 제1 트랜지스터 및 상기 제2 트랜지스터와 전기적으로 연결되고, 제1 전극, 상기 제1 전극 상에 배치된 제2 전극, 및 상기 제1 전극과 상기 제2 전극 사이에 배치된 발광층을 포함하는 유기발광소자를 포함하는 표시 장치.

청구항 15

제14 항에 있어서,

상기 제1 층은 소정의 결정을 갖고,

상기 제2 층의 상기 결정은 화합물로 이루어진 것을 특징으로 하는 표시 장치.

청구항 16

제15 항에 있어서, 상기 제2 층은,

상기 4족 원소 중 Si, Ge, C 중 적어도 두 가지 이상의 물질로 이루어진 결정을 포함하는 것을 특징으로 하는 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치 및 이를 포함하는 제조방법에 관한 것으로 상세하게는 성능이 향상된 복층 구조의 트랜지스터를 구비한 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 표시 장치는 복수 개의 화소들 및 복수 개의 화소들을 제어하는 구동회로(예컨대, 주사 구동회로 및 데이터 구동회로)를 포함한다. 복수의 화소들 각각은 표시소자 및 표시소자를 제어하는 화소의 구동회로를 포함한다. 화소의 구동회로는 유기적으로 연결된 복수의 트랜지스터들을 포함할 수 있다.

[0003] 트랜지스터의 반도체층은 채널층으로 이용되며, 일반적으로, 다결정 실리콘층은 높은 전계 효과 이동도와 고속 동작 회로에 적용이 가능하며 트랜지스터용 반도체층의 용도로서 많이 사용되고 있다. 이러한 다결정 실리콘층을 이용한 박막트랜지스터는 주로 능동 행렬 액정 디스플레이 장치(AM-LCD)의 능동소자와 유기발광소자(OLED)의 스위칭 소자 및 구동 소자에 사용된다.

[0004] 기존의 복층 구조 중 상부의 스위칭 트랜지스터는 채널층으로 Oxide재료인 IGZO, ITZO 등이 사용되었다. 그 이유는 하부의 구동 트랜지스터의 채널층의 어닐링 공정 시 난반사 또는 열 문제로 인해 상부의 스위칭 트랜지스터의 채널층의 손상을 가하기 때문이다.

[0005] 스위칭 트랜지스터의 채널층은 Oxide재료인 IGZO, ITZO를 스퍼터링(Sputtering)공정을 통해 증착 시킨다. 스퍼터링(Sputtering)공정을 통해 증착하는 경우 파티클이 생성되며, 대면적의 균일한 결정화를 이루어 내기에는 기술적인 한계가 있어 수율 등 생산성 측면에서 문제가 있는 것으로 지적되고 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 상기와 같은 문제를 해결하기 위해 스위칭 트랜지스터의 채널층을 시드층 및 4족 원소 중 두 가지 이상의 물질로 이루어진 화합물 결정화 층을 채널층으로 이용함으로써 성능이 개선된 복층 구조의 트랜지스터를 구비한 표시 장치 및 이를 포함하는 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0007] 본 발명의 일 실시예에 따른 표시 장치는 베이스 기관; 베이스 기관 상에 배치되고, 제1 층, 상기 제1 층 상에 접촉하여 배치되며, 4족 원소 중 적어도 두 가지 이상의 물질로 이루어진 화합물을 포함하는 제2 층을 포함하는 제1 반도체층, 상기 제1 반도체층과 중첩하는 제1 제어 전극, 상기 제1 반도체층에 접속된 제1 입력 전극, 상기 제1 반도체층에 접속된 제1 출력 전극을 포함하는 제1 트랜지스터,
- [0008] 상기 베이스 기관 상에 배치되고 상기 제1 반도체층으로부터 이격된 제2 반도체층, 상기 제2 반도체층과 중첩하는 제2 제어 전극, 상기 제2 반도체층에 접속된 제2 입력 전극, 상기 제2 반도체층에 접속된 제2 출력 전극을 포함하는 제2 트랜지스터, 및 상기 제1 트랜지스터 및 상기 제2 트랜지스터와 전기적으로 연결된 제1 전극, 상기 제1 전극 상에 배치된 제2 전극, 및 상기 제1 전극과 상기 제2 전극 사이에 배치된 발광층을 포함하는 유기 발광소자를 포함한다.
- [0009] 본 발명의 일 실시예에 따른 표시 장치는 상기 제1 층은 소정의 결정을 갖고,
- [0010] 상기 제2 층의 적어도 일부는 상기 제1 층과 동일한 결정을 갖는 것을 특징으로 할 수 있다.
- [0011] 본 발명의 일 실시예에 따른 표시 장치는 상기 화합물은 Si, Ge, C 중 적어도 두 가지 이상을 포함하는 것을 특징으로 할 수 있다.
- [0012] 상기 2 반도체층은 다결정실리콘을 갖는 것을 특징으로 할 수 있다.
- [0013] 상기 제1 반도체층과 제2 반도체층은 동일한 층 상에 배치되는 것을 특징으로 할 수 있다.
- [0014] 상기 제1 반도체층과 제2 반도체층 사이에 배치된 적어도 하나의 절연층을 더 포함하고, 상기 제1 반도체층은 상기 절연층 상에 배치되는 것을 특징으로 할 수 있다.
- [0015] 상기 제1 전극은 상기 제2 출력 전극에 접속된 것을 특징으로 할 수 있다.
- [0016] 본 발명의 일 실시예에 따른 표시 장치 제조 방법은 베이스 기관 상에 제1 반도체층, 제1 제어 전극, 제1 입력 전극, 및 제1 출력 전극을 포함하는 제1 트랜지스터를 형성하는 단계, 상기 베이스 기관 상에 제2 반도체층, 제2 제어 전극, 제2 입력 전극, 및 제2 출력 전극을 포함하는 제2 트랜지스터를 형성하는 단계, 및 상기 베이스 기관 상에 제1 전극, 상기 제1 전극과 중첩하는 발광층, 상기 발광층 중첩하는 제2 전극을 포함하는 유기발광소자를 형성하는 단계를 포함하고, 상기 제1 트랜지스터를 형성하는 단계는, 4족 원소 중 적어도 어느 두 가지 물질이 포함된 가스를 증착하여 시드층을 형성하는 단계, 상기 시드층 상에 상기 시드층과 동일한 물질을 증착하여 결정화층을 형성하는 단계, 상기 제1 반도체층이 형성되도록 상기 시드층과 상기 결정화층을 패터닝 하는 단계를 포함한다.
- [0017] 본 발명의 일 실시예에 따른 표시 장치 제조 방법은 상기 결정화층을 형성하는 단계에서, 상기 시드층과 동일한 물질은 상기 시드층과 동일한 결정을 가지며 성장하여 상기 결정화층으로 형성되는 것을 특징으로 할 수 있다.
- [0018] 상기 제2 반도체층을 형성하는 단계는, 비정질 실리콘을 증착하는 단계, 상기 제2 반도체층이 형성되도록 상기 비정질 실리콘을 어닐링 하는 단계를 포함할 수 있다.
- [0019] 상기 시드층을 형성하는 단계는 상기 어닐링 하는 단계 이후에 진행 되는 것을 특징으로 할 수 있다.
- [0020] 상기 결정화층을 형성하는 단계에서, 화학 기상 증착에 의해 상기 시드층과 동일한 물질을 증착하는 것을 특징으로 할 수 있다.
- [0021] 상기 제2 트랜지스터를 형성하는 단계 이후, 상기 제1 입력 전극을 형성하는 단계, 상기 제1 출력 전극을 형성하는 단계, 상기 제2 입력 전극 및 상기 제2 출력 전극 중 어느 하나에 연결되고, 적어도 하나의 발광층을 포함하는 유기발광소자를 형성하는 단계를 더 포함할 수 있다.
- [0022] 본 발명의 일 실시예에 따른 표시 장치는 베이스 기관, 상기 베이스 기관 상에 배치되고, 제1 층, 상기 제1 층 상에 접촉하여 배치되며, 4족 원소 중 적어도 두 가지 이상의 물질로 이루어진 결정을 포함하는 제2 층을 포함하는 제1 반도체층, 상기 제1 반도체층과 중첩하는 제1 제어 전극, 상기 제1 반도체층에 접속된 제1 입력 전극, 상기 제1 반도체층에 접속된 제1 출력 전극을 포함하는 제1 트랜지스터,
- [0023] 상기 베이스 기관 상에 배치되고 상기 제1 반도체층으로부터 이격된 제2 반도체층, 상기 제2 반도체층과 중첩하는 제2 제어 전극, 상기 제2 반도체층에 접속된 제2 입력 전극, 상기 제2 반도체층에 접속된 제2 출력 전극을

포함하는 제2 트랜지스터 및 상기 제1 트랜지스터 및 상기 제2 트랜지스터와 전기적으로 연결되고, 제1 전극, 상기 제1 전극 상에 배치된 제2 전극, 및 상기 제1 전극과 상기 제2 전극 사이에 배치된 발광층을 포함하는 유기발광소자를 포함한다.

[0024] 본 발명의 일 실시예에 따른 표시 장치 상기 제1 층은 소정의 결정을 갖고,

[0025] 상기 제2 층의 상기 결정은 화합물로 이루어진 것을 특징으로 할 수 있다.

[0026] 상기 제2 층은, 상기 4족 원소 중 Si, Ge, C 중 적어도 두 가지 이상의 물질로 이루어진 결정을 포함하는 것을 특징으로 할 수 있다.

발명의 효과

[0027] 본 발명은 표시 패널의 대면적에 대응이 가능하며, 공정 수율 향상 등 성능이 개선된 복 층 트랜지스터를 갖는 표시 장치를 제공 할 수 있다.

도면의 간단한 설명

[0028] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 블록도이다.

도 2는 본 발명의 일 실시예에 따른 표시 장치의 일 부분을 도시한 단면도이다.

도 3은 본 발명의 일 실시예에 따른 표시 장치의 일 부분을 도시한 단면도이다.

도 4a 및 4b는 본 발명의 일 실시예에 따른 반도체층의 결정구조를 나타낸 투과전자현미경 사진들이다.

도 5a 내지 도 5h는 본 발명의 일 실시예에 따른 표시 장치의 제조 방법을 도시한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0029] 이하, 도면을 참조하여 본 발명의 실시예들을 설명한다. 본 명세서에서, 어떤 구성요소(또는 영역, 층, 부분 등)가 다른 구성요소 "상에 있다", "연결 된다", 또는 "결합 된다"고 언급되는 경우에 그것은 다른 구성요소 상에 직접 연결/결합될 수 있거나 또는 그들 사이에 제3의 구성요소가 배치될 수도 있다는 것을 의미한다.

[0030] 동일한 도면부호는 동일한 구성요소를 지칭한다. 또한, 도면들에 있어서, 구성요소들의 두께, 비율, 및 치수는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. "및/또는"은 연관된 구성들이 정의할 수 있는 하나 이상의 조합을 모두 포함한다.

[0031] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0032] 또한, "아래에", "하측에", "위에", "상측에" 등의 용어는 도면에 도시된 구성들의 연관관계를 설명하기 위해 사용된다. 상기 용어들은 상대적인 개념으로, 도면에 표시된 방향을 기준으로 설명된다.

[0033] "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 이하, 도면을 참조하여 본 발명의 일 실시예에 따른 표시 장치에 대해 상세히 설명한다.

[0035] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 블록도이다. 도 2는 본 발명의 일 실시예에 따른 표시 장치의 일 부분을 도시한 단면도이다. 이하, 도 1 및 도 2를 참조하여 표시 장치를 설명하도록 한다.

[0036] 표시 장치(DS)는 적어도 하나 이상의 트랜지스터를 포함한다. 도 1에는 본 발명의 일 실시예로 표시 장치(DS)를 도시하였다. 이하, 표시 장치(DS)를 예시적으로 설명하나, 본 발명의 일 실시예에 따른 표시 장치(DS)는 다양한 실시예들을 포함할 수 있으며, 어느 하나의 실시예에 한정되지 않는다.

[0037] 표시 장치(DS)는 타이밍 제어부(TC), 주사 구동회로(SDC), 데이터 구동회로(DDC), 및 표시 패널(DP)을 포

함할 수 있다.

- [0038] 타이밍 제어부(TC)는 주사 구동회로(SDC)와의 인터페이스 사양에 맞도록 입력 영상신호들의 데이터 포맷을 변환하는 영상 데이터들(D-RGB)을 생성한다. 또한, 타이밍 제어부(TC)는 각종 제어 신호들(DCS, SCS)을 출력한다.
- [0039] 주사 구동회로(SDC)는 타이밍 제어부(TC)로부터 주사 제어 신호(SCS)를 수신한다. 주사 제어 신호(SCS)는 주사 구동회로(SDC)의 동작을 개시하는 수직개시신호, 신호들의 출력 시기를 결정하는 클럭 신호 등을 포함할 수 있다.
- [0040] 주사 구동회로(SDC)는 복수의 주사 신호들을 생성하고, 주사 신호들을 복수의 주사 라인들(SL1~SLn)에 순차적으로 출력한다. 미 도시 되었으나, 주사 구동회로(SDC)는 주사 제어 신호(SCS)에 응답하여 복수의 발광 제어 신호들을 생성하고, 복수의 발광 라인들에 발광 제어 신호들을 출력할 수 있다.
- [0041] 데이터 구동회로(DDC)는 타이밍 제어부(TC)로부터 데이터 제어 신호(DCS) 및 영상 데이터들(D-RGB)을 수신한다. 데이터 구동회로(DDC)는 영상 데이터들(D-RGB)을 데이터 신호들로 변환하고, 데이터 신호들을 데이터 라인들(DL1~DLm)에 출력한다. 데이터 신호들은 영상 데이터들(D-RGB)의 계조값들에 대응하는 아날로그 전압들이다.
- [0042] 표시 패널(DP)은 주사 라인들(SL1~SLn), 데이터 라인들(DL1~DLm), 및 복수의 화소들(PX)을 포함한다. 설명의 편의를 위하여 복수의 화소들(PX)은 일 영역을 점선으로 표시 하였다.
- [0043] 주사 라인들(SL1~SLn)은 제1 방향(DR1)으로 연장되고, 제1 방향(DR1)에 직교하는 제2 방향(DR2)으로 나열된다. 데이터 라인들(DL1~DLm)은 주사 라인들(SL1~SLn)과 절연되게 교차한다.
- [0044] 복수의 화소들(PX)은 주사 라인들(SL1~SLn) 중 대응하는 주사 라인, 및 데이터 라인들(DL1~DLm) 중 대응하는 데이터 라인들에 접속된다. 미 도시 되었으나, 발광 라인들 중 대응하는 발광 라인에 접속 될 수 있다.
- [0045] 복수의 화소들(PX) 중 일 화소(PX11)를 이용하여 신호도를 상세하게 설명하도록 한다. 화소(PX11)에 포함되는 구성들은 복수의 화소들(PX)에 동일하게 적용될 수 있으며 중복된 설명은 생략한다.
- [0046] 화소(PX11)는 제1 트랜지스터(TFT1), 제2 트랜지스터(TFT2), 커패시터(Cap), 및 유기발광소자(OLED)를 포함한다.
- [0047] 화소(PX11)는 첫 번째 주사 라인(SL1)으로부터 주사 신호를 수신하고, 첫 번째 데이터 라인(DL1)으로부터 데이터 신호를 수신한다. 또한, 화소(PX11)는 전원 라인(PL)으로부터 제1 전원전압(ELVDD)을 수신한다.
- [0048] 제1 트랜지스터(TFT1)는 제1 입력 전극(IE1), 제1 출력 전극(OE1), 제1 제어 전극(CE1), 및 제1 반도체층(AL1)을 포함한다. 제1 트랜지스터(TFT1)는 1번째 주사 라인(SL1)에 인가된 주사 신호에 응답하여 1번째 데이터 라인(DL1)에 인가된 데이터 신호를 출력한다. 제1 트랜지스터(TFT1)는 화소(PX)를 턴-온 하기 위한 제어 트랜지스터일 수 있다.
- [0049] 커패시터(Cap)는 상기 제1 트랜지스터(TFT1)로부터 수신한 상기 데이터 신호에 대응하는 전압을 충전한다.
- [0050] 제2 트랜지스터(TFT2)는 제2 입력 전극(IE2), 제2 출력 전극(OE2), 제2 제어 전극(GE2), 및 제2 반도체층(AL2)을 포함한다. 제2 트랜지스터(TFT2)는 베이스 기관(SUB) 상에 배치될 수 있다. 제2 트랜지스터(TFT2)는 유기발광소자(OLED)에 연결된다. 제2 트랜지스터(TFT2)는 커패시터(Cap)에 저장된 전하량에 대응하여 유기발광소자(OLED)에 흐르는 구동전류를 제어하는 일 수 있다.
- [0051] 유기발광소자(OLED)는 제2 트랜지스터(TFT2)에 연결된 애노드전극(AE) 및 제2 전원전압(ELVSS)을 수신하는 캐소드전극(ED)을 포함한다. 제2 전원전압(ELVSS)은 제1 전원전압(ELVDD)보다 낮은 레벨을 갖는다. 또한, 유기발광소자(OLED)는 적어도 애노드전극(AE)과 캐소드전극(ED) 사이에 배치된 유기발광층(EML)을 포함한다. 상기 유기발광소자(OLED)는 상기 제2 트랜지스터(TFT2)의 턴-온 구간 동안 발광한다.
- [0052] 복수의 화소들(PX)의 구성은 다양한 실시예를 포함할 수 있으며, 어느 하나의 실시예에 한정되지 않는다.
- [0053] 표시 장치(DS)는 베이스 기관(SUB), 제1 트랜지스터(TFT1), 제2 트랜지스터(TFT2), 화소정의막(PDL), 유기발광소자(OLED), 박막 봉지층(TFE) 포함한다. 또한, 미 도시 되었으나, 커패시터(Cap: 도 1 참조)들을 포함할 수 있다.
- [0054] 베이스 기관(SUB)의 상면은 제1 방향(DR1, 도 1 참조)과 제2 방향(DR2, 도 1 참조)에 의해 정의되며 된다. 베이스 기관(SUB) 상에는 복수의 전극들, 절연층들 반도체층들 등이 배치되는 기저층일 수 있다. 베이스 기관(SUB)

은 플라스틱 기판, 유리 기판, 금속 기판 등을 포함할 수 있다.

- [0055] 미 도시 되었으나, 베이스 기판(SUB) 상에 베이스 기판(SUB)과 도전성 패턴들 또는 반도체 패턴들의 결합력을 향상시키는 버퍼층이 배치될 수 있다. 버퍼층은 선택적으로 배치되거나 생략 될 수 있다.
- [0056] 베이스 기판(SUB) 상에 제1 트랜지스터(TFT1) 및 제2 트랜지스터(TFT2)가 배치될 수 있다.
- [0057] 베이스 기판(SUB) 상에 제2 반도체층(AL2)이 배치될 수 있다. 제2 반도체층(AL2)은 제2 입력 전극(IE2) 및 제2 출력 전극(OE2)과 접속될 수 있다. 제2 반도체층(AL2)은 제2 제어 전극(GE2)과 중첩할 수 있다. 제2 반도체층(AL2)은 다결정 반도체 물질을 포함할 수 있다. 일 예시로서, 다결정 실리콘(Poly-Si)을 포함할 수 있다.
- [0058] 베이스 기판(SUB) 상에 제1 절연층(10)이 배치될 수 있다. 제1 절연층(10)은 제2 반도체층(AL2)을 커버할 수 있다. 제1 절연층(10)은 무기물 및/또는 유기물 중 적어도 어느 하나를 포함할 수 있다. 예를 들어, 제1 절연층(10)은 실리콘 질화물 및/또는 실리콘 산화물을 포함할 수 있다.
- [0059] 제1 절연층(10) 상에 제2 제어 전극(CE2)이 배치될 수 있다. 제2 제어 전극(CE2)은 제2 반도체층(AL2)과 중첩하여 배치될 수 있다.
- [0060] 제1 절연층(10) 상에 제2 절연층(20)이 배치될 수 있다. 제2 절연층(20)은 제2 제어 전극(CE2)을 커버할 수 있다. 제2 절연층(20)은 제1 절연층(10)과 동일한 물질을 포함할 수 있다.
- [0061] 제2 절연층 상에 제1 반도체층(AL1)이 배치될 수 있다. 제1 반도체층(AL1)은 제1 층(100) 및 제2 층(200)을 포함할 수 있다. 제1 반도체층(AL1)은 제1 입력 전극(IE1) 및 제1 출력 전극(OE1)과 접속될 수 있다.
- [0062] 제1 층(100)은 제2 층(200)의 결정을 제어 하는 시드층(Seed Layer)으로서 제2 층(200)의 결정이 성장하는데 기여층이 될 수 있다. 제1 층(100)은 4족 원소 중 적어도 두 가지 이상의 물질로 이루어질 수 있다.
- [0063] 제2 층(200)은 제1 층(100) 상에 접촉하여 배치된다. 제2 층(200)은 제1 층(100)에 의해 결정이 성장하며, 제2 층(200)의 성장된 결정은 제1 층(100)의 4족 원소 중 적어도 두 가지 이상의 물질과 동일한 물질로 이루어지며, 결정화된 화합물일 수 있다. 일 예시로서, 화합물은 실리콘(Si), 게르마늄(Ge), 탄소(C) 중 적어도 두 가지 이상의 물질로 이루어 질 수 있다.
- [0064] 제2 절연층(20) 상에 제3 절연층(30)이 배치될 수 있다. 제3 절연층(30)은 제1 반도체층(AL1)을 커버 할 수 있다. 제3 절연층(30)은 제1 절연층(10)과 동일한 물질을 포함할 수 있다.
- [0065] 제3 절연층(30) 상에 제1 제어 전극(CE1)이 배치될 수 있다. 제1 제어 전극(GE1)은 제1 반도체층(AL1)과 중첩하여 배치될 수 있다.
- [0066] 제3 절연층(30) 상에 제4 절연층(40)이 배치될 수 있다. 제4 절연층(40)은 제1 제어 전극(GE1)을 커버 할 수 있다. 제4 절연층(40)은 제1 절연층(10)과 동일한 물질을 포함할 수 있다.
- [0067] 제4 절연층(40) 상에 제1 트랜지스터(TFT1) 및 제2 트랜지스터(TFT2) 각각의 입력 전극들 및 출력 전극들 이 배치 될 수 있다. 제1 트랜지스터(TFT1)의 제1 입력 전극(IE1) 및 제1 출력 전극(OE1)과 제2 트랜지스터(TFT2)의 제2 입력 전극(IE2) 및 제2 출력 전극(OE2)은 각각 제1 반도체층(AL1) 및 제2 반도체층(AL2)에 접촉될 수 있다. 제1 트랜지스터(TFT1) 및 제2 트랜지스터(TFT2) 각각의 입력 전극들 및 출력 전극 들은 절연층들에 의해 정의된 컨택홀들을 통해 각각 반도체층들에 접촉 될 수 있다.
- [0068] 일 예시로서, 제1 컨택홀(CH1) 및 제2 컨택홀(CH2)은 제3 절연층(30) 및 제4 절연층(40)을 관통할 수 있다.
- [0069] 제1 입력 전극(IE1)과 제1 출력 전극(OE1)은 제1 컨택홀(CH1) 및 제2 컨택홀(CH2)을 통해 제1 반도체층(AL1)에 각각 접속될 수 있다.
- [0070] 일 예시로서, 제3 컨택홀(CH3) 및 제4 컨택홀(CH4)은 제1 절연층(10), 제2 절연층(20), 제3 절연층(30), 및 제 4 절연층(40)을 관통할 수 있다.
- [0071] 제2 입력 전극(IE2)과 제2 출력 전극(OE2)은 제3 컨택홀(CH3) 및 제4 컨택홀(CH4)을 통해 제2 반도체층(AL2)에 각각 접속될 수 있다.
- [0072] 제4 절연층(40) 상에 제5 절연층(50)이 배치될 수 있다. 제5 절연층(50)은 제1 트랜지스터(TFT1) 및 제2 트랜지스터(TFT2) 각각의 입력 전극들 및 출력 전극들을 커버 할 수 있다. 제5 절연층(50) 상에 상에 화소정의막(PDL) 및 유기발광소자(OLED)가 배치될 수 있다. 제5 절연층(50) 상에 애노드전극(AE)이 배치될 수 있다. 제5 절연층

(50)은 제1 절연층(10)과 동일한 물질을 포함할 수 있다.

- [0073] 애노드전극(AE)은 제5 절연층(50)을 관통하는 제5 컨택홀(CH5)을 통해 제2 출력 전극(OE2)에 연결될 수 있다.
- [0074] 화소정의막(PDL)에는 개구부(OP)가 정의될 수 있다. 화소정의막(PDL)의 개구부(OP)는 애노드전극(AE)의 적어도 일부분을 노출시킬 수 있다.
- [0075] 복수의 화소들(PX)은 표시 패널(DP)의 평면 상에서 화소 영역에 배치될 수 있다. 화소 영역은 발광영역(PXA)과 발광영역(PXA)에 인접한 비발광영역(NPXA)을 포함할 수 있다. 비발광영역(NPXA)은 발광영역(PXA)을 에워싸는 형상을 가질 수 있다. 본 실시예에서 발광영역(PXA)은 애노드전극(AE)에 대응하게 정의되었다. 그러나, 발광영역(PXA)은 이에 제한되지 않고, 발광영역(PXA)은 광이 발생하는 영역으로 정의되면 충분하다. 발광영역(PXA)은 개구부(OP)에 의해 노출된 애노드전극(AE)의 일부 영역에 대응하게 정의될 수도 있다.
- [0076] 화소정의막(PDL) 상에 정공 제어층(HCL)이 배치될 수 있다. 정공 제어층(HCL)은 정공 주입층, 정공 수송층, 및 정공 주입 기능 및 정공 수송 기능을 동시에 갖는 단일층 중 적어도 어느 하나를 포함할 수 있으며, 전공을 이동을 제어할 수 있다. 정공 제어층(HCL)은 발광영역(PXA)과 비발광영역(NPXA)에 공통으로 배치될 수 있다. 별도로 도시되지 않았으나, 정공 제어층(HCL)과 같은 공통층은 복수의 화소들(PX)에 공통으로 형성될 수 있다.
- [0077] 정공 제어층(HCL) 상에 유기발광층(EML)이 배치될 수 있다. 유기발광층(EML)은 개구부(OP)에 대응하는 영역에만 배치될 수 있다. 즉, 유기발광층(EML)은 복수의 화소들(PX) 각각에 분리되어 형성될 수 있다.
- [0078] 유기발광층(EML) 상에 전자 제어층(ECL)이 배치될 수 있다. 전자 제어층(ECL)은 전자 수송 물질을 포함하는 전자 수송층 이거나, 전자 수송 물질 및 전자 주입 물질을 포함하는 전자 주입/수송 단일층일 수 있다.
- [0079] 전자 제어층(ECL) 상에 캐소드전극(ED)이 배치될 수 있다. 캐소드전극(ED)은 복수의 화소들(PX)에 공통적으로 배치될 수 있다. 캐소드전극(ED)은 애노드전극(AE)에 대향되는 전압을 수신할 수 있다. 캐소드전극(ED)은 전자 주입이 용이하도록 낮은 일함수를 가진 물질로 구성될 수 있다.
- [0080] 캐소드전극(ED) 상에 박막 봉지층(TFE)이 배치될 수 있다. 박막 봉지층(TFE)은 복수의 화소들(PX)에 공통적으로 배치될 수 있다. 박막 봉지층(TFE)은 캐소드전극(ED) 전면을 커버하여 유기발광소자(OLED)를 밀봉한다.
- [0081] 박막 봉지층(TFE)은 복수의 무기막들을 포함할 수 있다. 무기막들 각각은 실리콘 나이트라이드 및 실리콘 옥사이드 중 적어도 어느 하나를 포함할 수 있다.
- [0082] 미 도시 되었으나, 캐소드전극(ED)을 커버하는 캡핑층이 더 배치될 수 있다. 이때 박막 봉지층(TFE)은 캡핑층을 직접 커버할 수 있다.
- [0083] 본 실시예에 따르면, 제1 트랜지스터(TFT1)와 제2 트랜지스터(TFT2)는 각기 서로 상이한 층에 배치 될 수 있다. 이에 따라, 트랜지스터들 간의 공정 과정 시 서로 영향을 미치지 않을 수 있다.
- [0085] 도 3은 본 발명의 일 실시예에 따른 표시 장치의 일 부분을 도시한 단면도이다. 도 3에는 용이한 설명을 위해 도 2에 도시된 일 실시예 중 유기발광소자(OLED: 도 2 참조) 및 박막 봉지층(TFE)은 생략하여 도시하였다. 이하, 도 2에서 도시한 구성과 대응되는 구성에 대해서는 유사한 참조 부호를 사용하며, 이하 중복된 설명은 생략하기로 한다.
- [0086] 베이스 기판(SUB-1) 상에 제1 반도체층(AL1-1) 및 제2 반도체층(AL2-1)이 배치될 수 있다.
- [0087] 베이스 기판(SUB-1) 상에 제1 절연층(10-1)이 배치될 수 있다. 제1 절연층(10-1)은 제1 반도체층(AL1-1) 및 제2 반도체층(AL2-1)을 커버할 수 있다.
- [0088] 제1 반도체층(AL1-1)은 제1 층(100-1) 및 제2 층(200-1)을 포함할 수 있다.
- [0089] 제1 반도체층(AL1-1)의 제1 층(100-1)은 상술한 제1 층(100: 도 2 참조) 과 대응되는 물질로 구성될 수 있으며, 제2 층(200-1)은 상술한 제2 층(200)과 대응되는 물질로 구성될 수 있다. 따라서, 제1 층(100-1)은 결정을 제어하는 시드층(Seed Layer)으로서 제2 층(200-1)의 결정이 성장하는데 기저층이 될 수 있다.
- [0090] 제2 반도체층(AL2-1)은 다결정 반도체 물질을 포함할 수 있다.
- [0091] 제1 절연층(10-1) 상에 제1 제어 전극(CE1-1) 및 제2 제어 전극(CE2-1)이 배치될 수 있다. 제1 제어 전극(CE1-1) 및 제2 제어 전극(CE2-1) 각각은 제1 반도체층(AL1-1) 및 제2 반도체층(AL2)과 각각 중첩하여 배치될 수 있

다.

- [0092] 제1 절연층(10-1) 상에 제2 절연층(20-1)이 배치될 수 있다. 제2 절연층(20-1)은 제1 제어 전극(CE1-1) 및 제2 제어 전극(CE2-1)을 커버할 수 있다.
- [0093] 제2 절연층(20-1) 상에 제1 트랜지스터(TFT1-1) 및 제2 트랜지스터(TFT2-2) 각각의 입력 전극들 및 출력 전극들이 배치될 수 있다. 제1 트랜지스터(TFT1-1)의 제1 입력 전극(IE1-1) 및 제1 출력 전극(OE1-1)과 제2 트랜지스터(TFT2-1)의 제2 입력 전극(IE2-1) 및 제2 출력 전극(OE2-1)은 각각 제1 반도체층(AL1) 및 제2 반도체층(AL2-1)에 접촉할 수 있다.
- [0094] 일 예시로서, 일 예시로서, 제1 컨택홀(CH1-1), 제2 컨택홀(CH2-1), 제3 컨택홀(CH3-1), 및 제4 컨택홀(CH4-1)은 제1 절연층(10-1) 및 제2 절연층(20-1)을 관통할 수 있다.
- [0095] 제1 입력 전극(IE1-1)과 제1 출력 전극(OE1-1)은 제1 컨택홀(CH1-1) 및 제2 컨택홀(CH2-1)을 통해 제1 반도체층(AL1-1)에 각각 접속될 수 있다. 제2 입력 전극(IE2-1)과 제2 출력 전극(OE2-1)은 제3 컨택홀(CH3-1) 및 제4 컨택홀(CH4-1)을 통해 제2 반도체층(AL2-1)에 각각 접속될 수 있다.
- [0096] 제2 절연층(20-1) 상에 제3 절연층(30-1)이 배치 될 수 있다. 제3 절연층(30-1)은 제1 트랜지스터(TFT1-1) 및 제2 트랜지스터(TFT2-2) 각각의 입력 전극들 및 출력 전극들을 커버할 수 있다. 제3 절연층(30-1)에는 제5 컨택홀(CH5-1)이 형성될 수 있다. 서로 다른 층 상에 배치된 제2 출력 전극(OE2-1)과 유기발광소자(OLED: 도 2 참조)는 제5 컨택홀(CH5-1)을 통해 서로 연결될 수 있다.
- [0097] 본 실시예에 따르면, 제1 트랜지스터(TFT1-1)와 제2 트랜지스터(TFT2-1)는 각기 서로 동일한 층에 배치 될 수 있다. 각 트랜지스터 들이 동일한 층에 형성됨으로써 표시 장치(DS)의 두께를 감소 시킬 수 있다. 또한, 각 트랜지스터들을 구성하는 전극들을 하나의 마스크를 통해 동시에 형성할 수 있어 공정 시간이 단축되고 공정 비용이 절감될 수 있다.
- [0098] 구체적으로 도시하지 않았으나, 본 발명의 일 실시예에 따른 제1 트랜지스터(TFT1-1) 및 제2 트랜지스터(TFT2-1)의 절연층들에 따른 적층 구조는 변경될 수 있다.
- [0100] 도 4a 및 도 4b들은 본 발명의 일 실시예에 따른 반도체층의 결정구조를 나타낸 투과전자현미경 사진들이다.
- [0101] 도 4a 및 도 4b들의 사진들은, 제1 트랜지스터(TFT1: 도1 참조)에 해당하는 제1 반도체층(AL1: 도2 참조)의 결정 구조 나타낸 실험에 이다.
- [0102] 도 4a의 사진은 실리콘(Si): 게르마늄(Ge)의 비율이 27:75 인 경우 제1 층(100: 도2 참조)인 시드층에 의해 성장된 결정을 나타 낸 사진이다
- [0103] 도 4b의 사진은 실리콘(Si): 게르마늄(Ge)의 비율이 50:50 인 경우 제1 층(100: 도2 참조)인 시드층에 의해 성장된 결정을 나타 낸 사진이다.
- [0104] 하기 표 1 은 제1 내지 제3 실시예들에 대한 것이다, 상세하게는 실리콘(Si): 게르마늄(Ge)의 질량% 비율이 25:75(실시예 1), 50:50(실시예 2), 75:25(실시예 3) 일 경우 결정을 형성한 각 화합물 상태에서의 실험값을 도시한 것이다. 각 실시예들은 동일한 온도 및 압력에서 측정된 고유 캐리어 농도, 융점, 및 전자와 전공의 이동도이다

표 1

항목	실시예 1	실시예 2	실시예 3
고유 캐리어 농도 (eV)	1.8×10^{13}	1.2×10^{13}	0.6×10^{13}
융점 (° C)	1056.5	1176	1295.5
이동도 (cm ² /V-s)	3300 _(electron) 1537.5 _(hole)	7700 _(electron) 1175 _(hole)	2100 _(electron) 812.5 _(hole)

[0106] 상기 표 1을 참조하면, 게르마늄(Ge)의 질량% 비율이 점점 증가 할수록, 즉 실시예 3에서 실시예 1로 갈수록 용

점이 낮아지는 실험값을 나타낸다. 용점이 낮은 경우 결정화가 진행되는 온도를 낮출 수 있으며, 이는 공정과정 시 낮은 온도에서 진행될 수 있는바, 트랜지스터를 구성하는 다른 인자들의 열에 의한 손상을 줄일 수 있다.

- [0107] 상술한 바와 같이, 제1 반도체층(AL1: 도 2 참조)은 화소(PX: 도 1 참조)의 온-오프를 제어하는 제1 트랜지스터(TFT1: 도 1 참조)를 구성한다. 따라서, 제1 반도체층(AL1)의 전하 이동도는 트랜지스터의 성능을 평가하는 중요한 지표로 작용한다. 전하 이동도가 높을수록 효율적인 전류 증폭이 가능하고 소자의 집적도를 높일 수 있다. 이러한 전하 이동도는 제1 반도체층(AL1: 도 2 참조) 결정 크기가 클수록 높아지고, 결정의 크기가 작을수록 전하 이동도는 낮아지게 된다. 실시예 2에 도시된 듯이 실리콘(Si): 게르마늄(Ge)의 질량% 비율이 50:50인 경우 전자의 이동도가 7700(cm²/V-S) 로 가장 우수한 특성을 가진다.
- [0108] 본 실험예는 일 예시로서, 실리콘(Si): 게르마늄(Ge)와 물리적, 화학적 성질이 유사한 4족 원소 중 적어도 2가지 이상의 물질을 이용하여 결정을 갖는 화합물을 형성 함으로써, 상기 실험예와 같이 높은 전하 이동도를 갖는 반도체층을 형성할 수 있다.
- [0109] 이러한 결정을 갖는 화합물을 제어 트랜지스터의 반도체층으로 이용한 경우 높은 전계 효과 이동도를 가지며 고속 동작 회로에 적용이 가능하여 성능이 향상된 표시 장치를 제공할 수 있다.
- [0111] 도 5a 내지 도 5h는 본 발명의 일 실시예에 따른 표시 장치의 제조방법을 도시한 단면도이다. 이하 도 5a 내지 도 5h를 참조하여 상세하게 설명 한다.
- [0112] 도 5a에 도시된 것과 같이, 베이스 기판(SUB)의 상면에 제2 반도체층(AL2)이 형성될 수 있다. 미 도시되었으나, 제2 반도체층(AL2)은 결정질 반도체 물질을 베이스 기판(SUB) 전면에 증착한 뒤 이를 패터닝하여 형성할 수 있다.
- [0113] 이후, 도 5b에 도시된 것과 같이, 베이스 기판(SUB) 상에 제1 절연층(10)을 형성할 수 있다. 제1 절연층(10)은 무기 물질 또는 유기 물질을 증착, 코팅, 또는 프린팅하여 형성할 수 있다. 제1 절연층(10)은 제2 반도체층(AL2)를 커버할 수 있다.
- [0114] 미 도시 되었으나, 제2 제어 전극(CE2)은 도전 물질을 제2 절연층(20) 전면에 증착한 뒤 이를 패터닝하여 형성할 수 있다. 제2 제어 전극(GE2)은 제2 반도체층(AL2)과 중첩하며 제1 절연층(10) 상에 형성될 수 있다.
- [0115] 이후, 도 5c에 도시된 것과 같이, 제1 절연층(10) 상에 제2 절연층(20)을 형성할 수 있다. 제2 절연층(20)은 무기 물질 또는 유기 물질을 증착, 코팅, 또는 프린팅하여 형성될 수 있다.
- [0116] 제2 절연층(20)상에는 시드층(300)이 형성될 수 있다. 시드층(300)은 시드 물질을 제2 절연층(20) 상에 증착하여 형성 될 수 있다. 이때, 시드층(300)은 소정의 결정 구조를 가지며 형성될 수 있다. 시드 물질의 증착 공정은 물리적 기상 증착 공정(PVD) 또는 화학적 기상 증착 공정(CVD)에 의해 증착될 수 있다. 시드층(300)은 제2 절연층(20)을 커버할 수 있다. 시드층(300)은 소정의 결정을 가지고 있는바, 결정을 성장 시키고자 하는 층 하부에 배치되어 기저층 역할을 할 수 있다.
- [0117] 이후, 도 5d에 도시된 것과 같이, 시드층(300) 상에 결정화층(400)이 형성될 수 있다. 결정화층(400)은 반도체 화합물을 시드층(300) 상에 증착하여 형성될 수 있다. 증착 공정은 PVD, CVD를 포함할 수 있다. 반도체 화합물은 4족 원소 중 두 가지 이상의 물질을 포함한다. 예를 들어, 반도체 화합물은 Si, Ge, C 중 적어도 두 개의 물질을 포함할 수 있다.
- [0118] 결정화층(400)은 시드층(300) 상에 증착되면서 시드층(300)의 결정구조를 따라 성장할 수 있다. 이에 따라, 결정화층(400)은 시드층(300)과 동일한 결정구조를 가질 수 있고, 시드층(300)은 결정화층(400)의 결정구조를 제어하는 역할을 할 수 있다.
- [0119] 한편, 본 실시예에서, 시드층(300)의 시드 물질은 결정화층(400)과 동일한 물질을 포함할 수 있다. 예를 들어, 시드층(300)은 4족 원소 중 두 가지 이상의 물질을 포함하는 반도체 화합물을 증착하여 형성될 수 있다. 이때, 시드층(300)과 결정화층(400)은 동일 챔버 내에서 연속적으로 형성될 수 있다. 본 발명의 일 실시예에 따른 표시 패널 제조방법은 별도의 결정화 단계를 추가하지 않더라도 다결정 구조를 가진 결정화층(400)을 형성할 수 있다. 또한, 본 발명의 일 실시예에 따른 표시 패널 제조방법은 시드층(300)의 형성단계를 포함함으로써, 결정화층(400)의 결정구조를 용이하게 제어할 수 있다.
- [0120] 이후, 도 5e에 도시된 것과 같이, 시드층(300) 및 결정화층(400)을 패터닝하여 제1 반도체층(AL1)을 형성한다.

제1 반도체층(AL1)은 시드층(300)과 결정화층(400)을 하나의 마스크로 동시에 패터닝하여 형성될 수 있다. 이에 따라, 제1 반도체층(AL1)은 동일 형상을 가진 제1 층(100) 및 제2 층(200)을 포함할 수 있다.

- [0121] 이후, 도 5f에 도시된 것과 같이, 제2 절연층(20) 상에 제3 절연층(30)을 형성할 수 있다. 제3 절연층(30)은 무기 물질 또는 유기 물질을 증착, 코팅, 또는 프린팅하여 형성될 수 있다.
- [0122] 제3 절연층(30)상에는 제1 제어 전극(CE1)이 형성될 수 있다. 미 도시 되었으나, 제1 제어 전극(CE1)은 도전 물질을 제3 절연층(30) 전면에 증착한 뒤 이를 패터닝하여 형성할 수 있다. 제1 제어 전극(CE1)은 제1 반도체층(AL1)과 중첩하여 형성될 수 있다.
- [0123] 이후, 도 5g에 도시된 것과 같이, 제3 절연층(30) 상에 제4 절연층(40)을 형성할 수 있다. 제4 절연층(40)은 무기 물질 또는 유기 물질을 증착, 코팅, 또는 프린팅하여 형성될 수 있다. 제4 절연층(40) 상에는 제1 트랜지스터(TFT1) 및 제2 트랜지스터(TFT2) 각각의 입력 전극들 및 출력 전극들이 형성될 수 있다. 각각의 입력 전극들 및 출력 전극들은 미 도시 되었으나, 도전 물질을 증착한 뒤 패터닝하여 형성 될 수 있다.
- [0124] 각각의 입력 전극들 및 출력 전극들은 대응하는 각각의 반도체층에 접속 될 수 있다. 이는 제1 절연층(10) 및 제2 절연층(20)의 식각 공정을 통해 제1 컨택홀(CH1) 및 제2 컨택홀(CH2)을 형성할 수 있다. 각각 대응하는 컨택홀들을 통해 제1 입력 전극(IE1) 및 제1 출력 전극(OE1)이 제1 반도체층(AL1)과 접속하게 된다. 또한, 제1 절연층(10), 제2 절연층(20), 제3 절연층(30), 및 제4 절연층(40)의 식각 공정을 통해 제3 컨택홀(CH3) 및 제4 컨택홀(CH4)를 형성할 수 있다. 각각 대응하는 컨택홀들을 통해 제2 입력 전극(IE2) 및 제2 출력 전극(OE2)이 제2 반도체층(AL2)과 접속하게 된다.
- [0125] 이후, 도 5h에 도시된 것과 같이, 제4 절연층(40) 상에 제5 절연층(50)을 형성할 수 있다. 제5 절연층(50)은 무기 물질 또는 유기 물질을 증착, 코팅, 또는 프린팅하여 형성될 수 있다.
- [0126] 제5 컨택홀(CH5)은 식각 공정을 통해 제5 절연층(50)의 일부를 제거하여 형성될 수 있다.
- [0127] 제5 절연층(50) 상에 애노드전극(AE)이 형성될 수 있다. 애노드전극(AE)는 도전물질을 제5 절연층(50) 상에 증착한 후, 이를 패터닝 하여 형성할 수 있다. 애노드전극(AE)는 제5 컨택홀(CH5)를 통해 제2 출력 전극(OE2)와 접속될 수 있다.
- [0128] 이후, 제5 절연층(50) 상에 화소정의막(PDL)이 형성될 수 있다. 화소정의막(PDL)은 유기물 및/또는 무기물을 증착, 코팅 또는 프린팅 공정을 통해 형성될 수 있다. 화소정의막(PDL)의 일부를 제거하여 소정의 개구부(OP)를 형성할 수 있다. 개구부(OP)는 애노드전극(AE)의 적어도 일부를 노출시킬 수 있다. 화소정의막(PDL) 상에 정공 제어층(HCL), 발광층(EML), 전자 제어층(ECL), 및 캐소드전극(ED)이 순차적으로 형성될 수 있다. 애노드전극(AE), 정공 제어층(HCL), 발광층(EML), 전자 제어층(ECL), 및 캐소드전극(ED)은 유기발광소자(OLED)를 구성할 수 있다. 한편, 정공 제어층(HCL), 발광층(EML), 및 전자 제어층(ECL) 각각은 단일의 공정에 의해 형성될 수도 있고, 복수 회의 공정들을 통해 형성될 수도 있다.
- [0129] 캐소드전극(ED) 상에는 박막 봉지층(TFE)이 형성 될 수 있다. 박막 봉지층(TFE)은 적어도 하나의 무기층과 적어도 하나의 유기층으로 교번하여 형성될 수 있다.
- [0130] 이와 같이 제1 반도체층(AL1)과 제2 반도체층(AL2)이 상이한 층에 형성됨으로 각 공정 시 발생하는 이물질 또는 열에 의한 손상을 감소시켜 신뢰성이 향상된 표시 장치를 제공할 수 있다.
- [0132] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.
- [0133] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

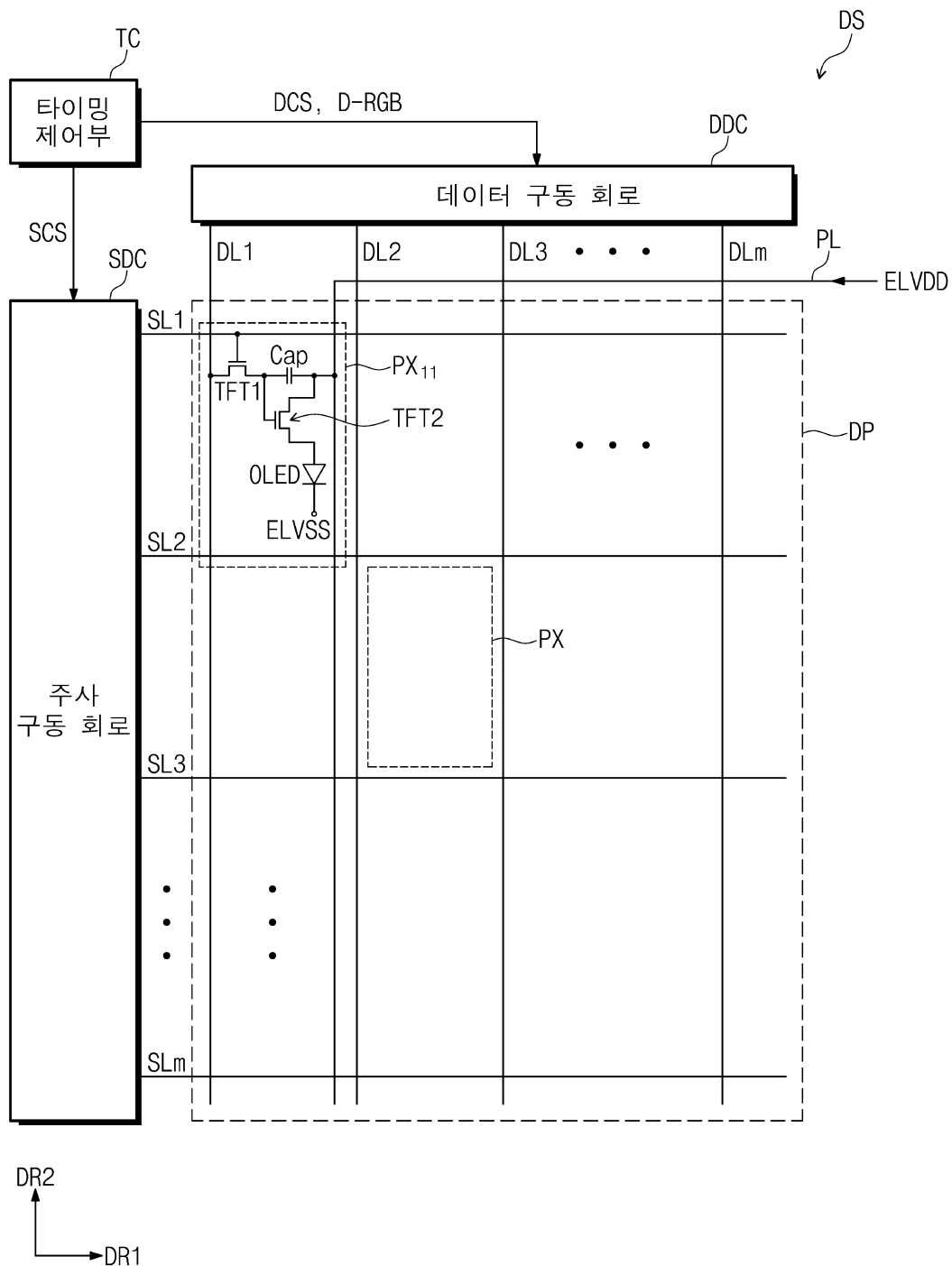
부호의 설명

[0136]

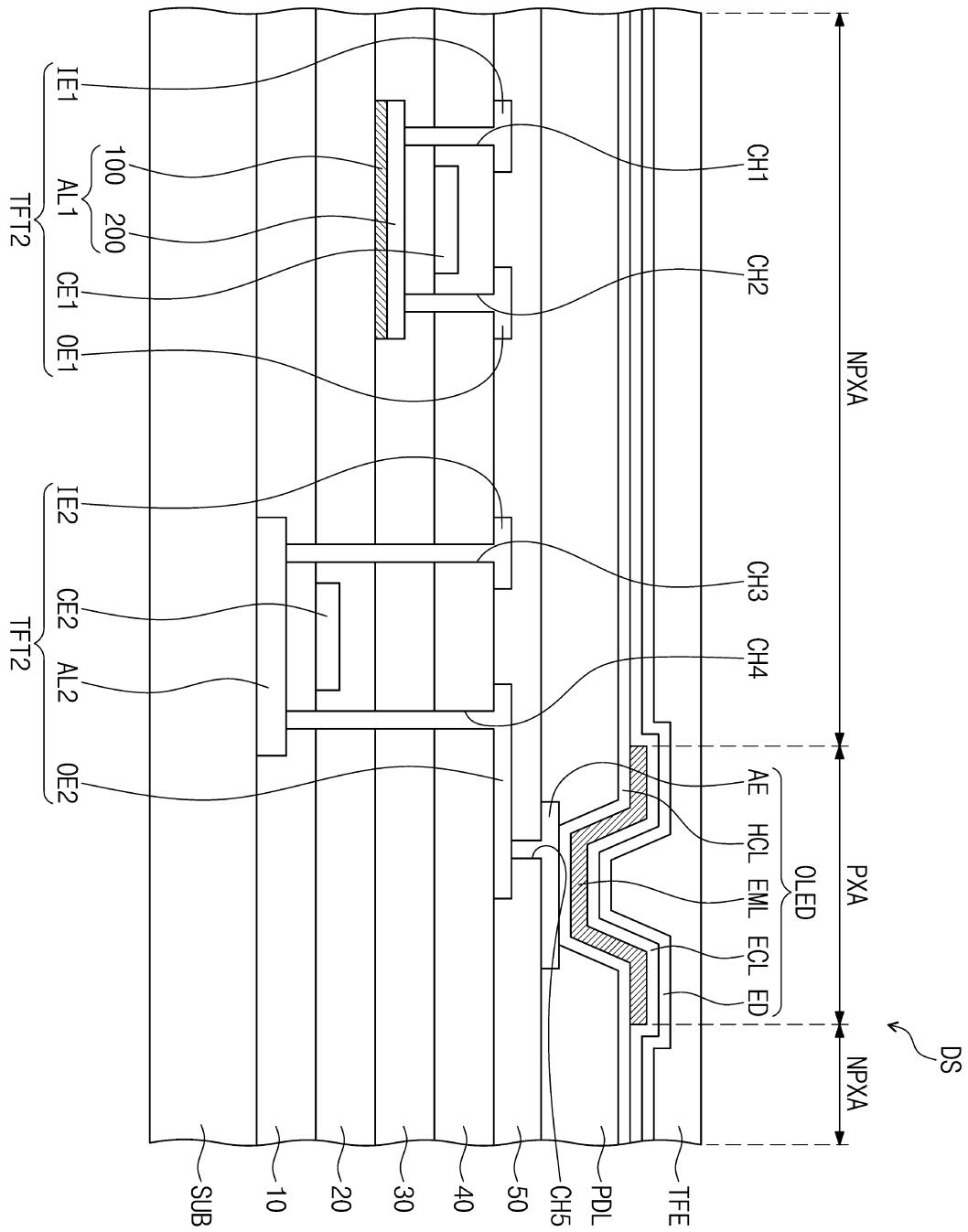
DS: 표시 장치 TFT1: 제1 트랜지스터
 TFT2: 제2 트랜지스터 AL1: 제1 반도체층
 AL2: 제2 반도체층 100: 제1 층
 200: 제2 층 300: 시드층
 400: 결정화층 OLED: 유기발광소자
 DP: 표시 패널

도면

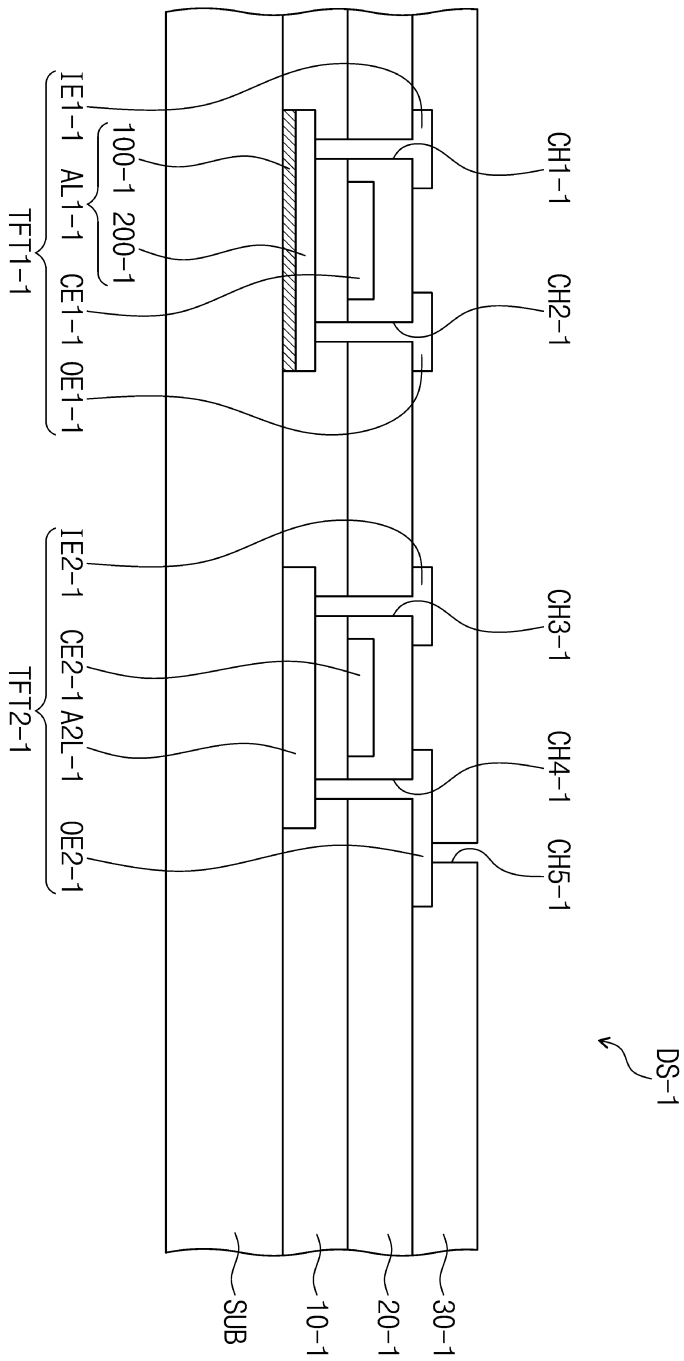
도면1



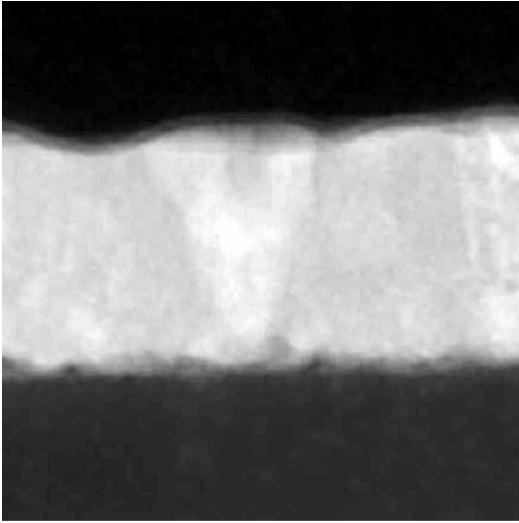
도면2



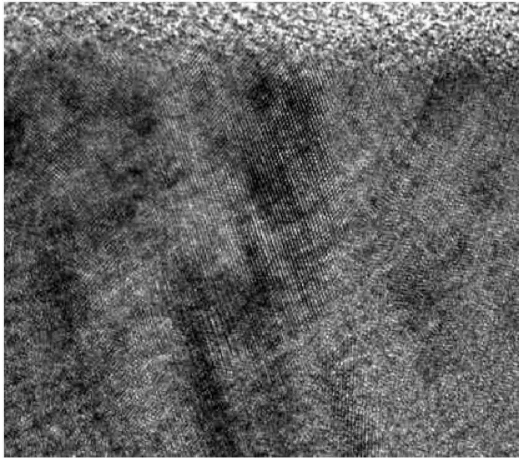
도면3



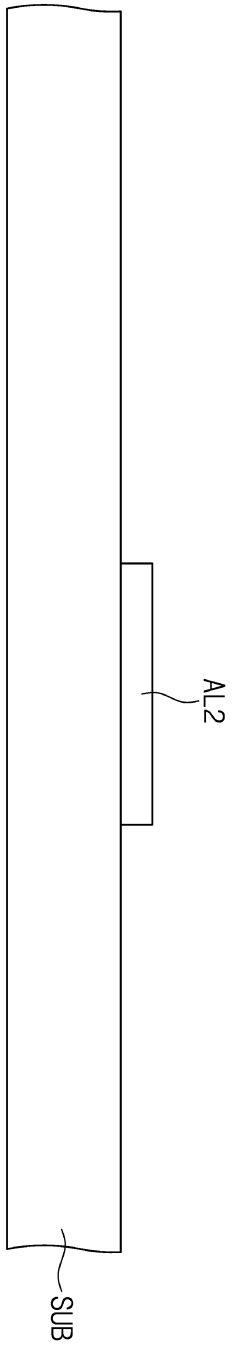
도면4a



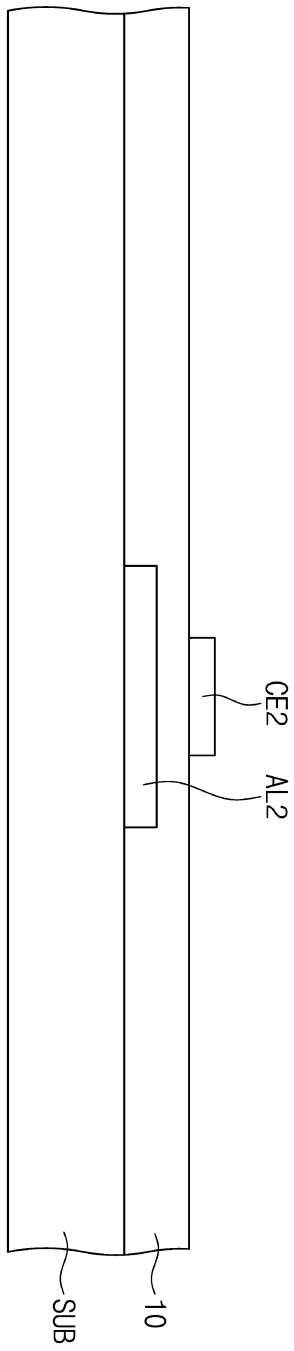
도면4b



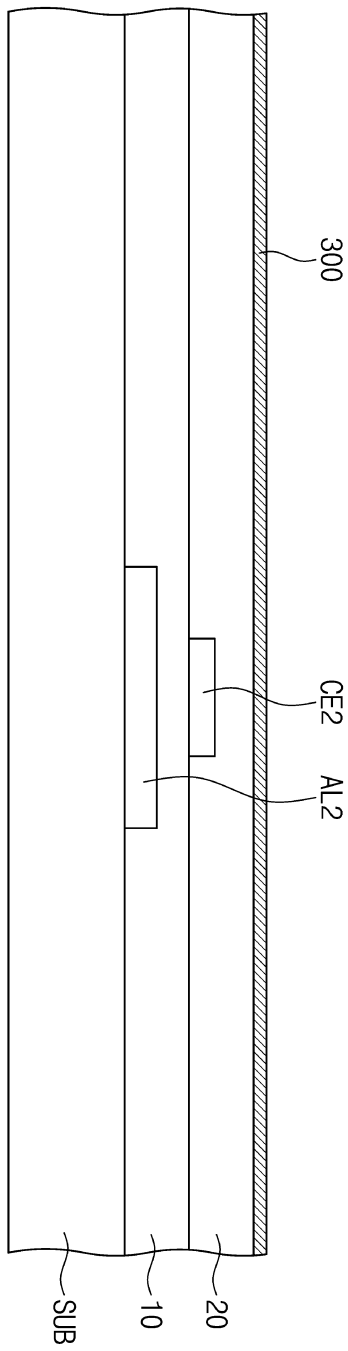
도면5a



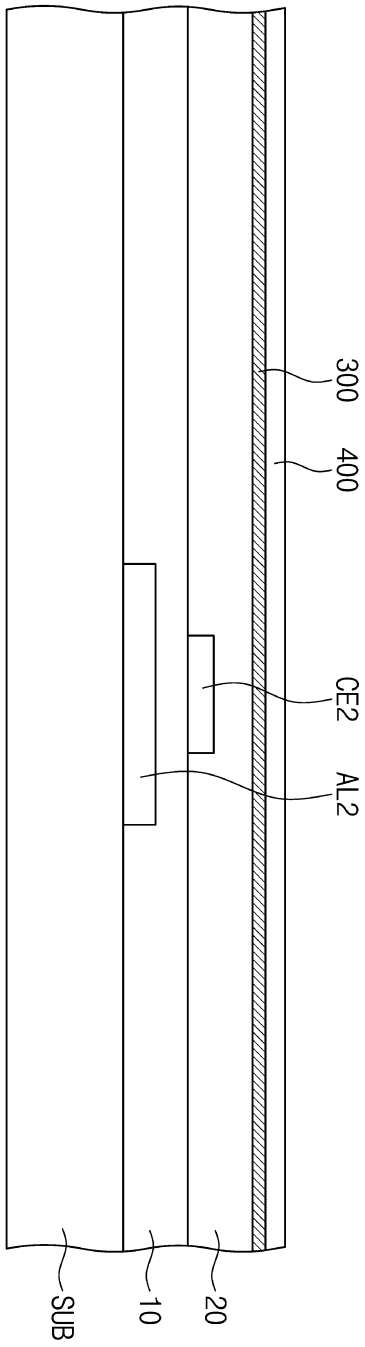
도면5b



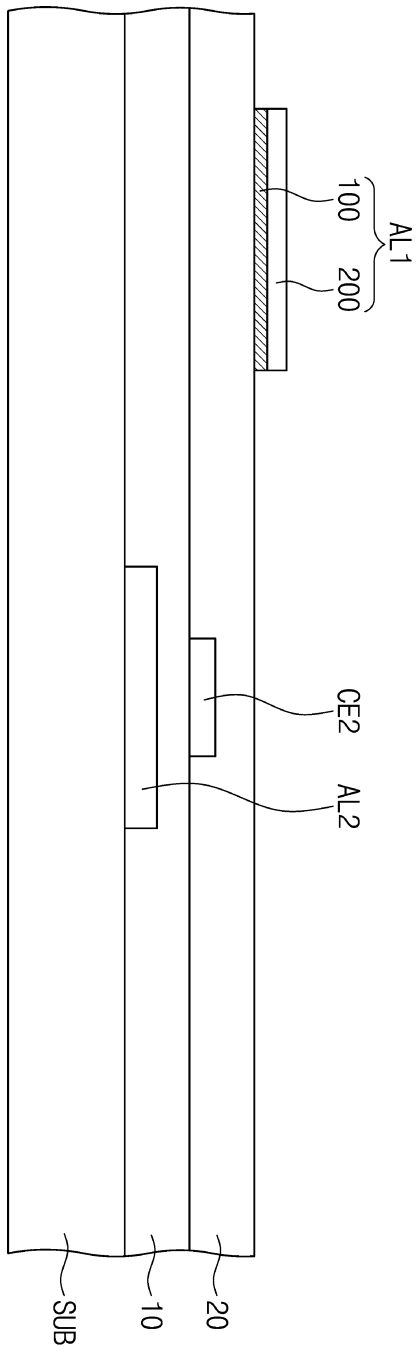
도면5c



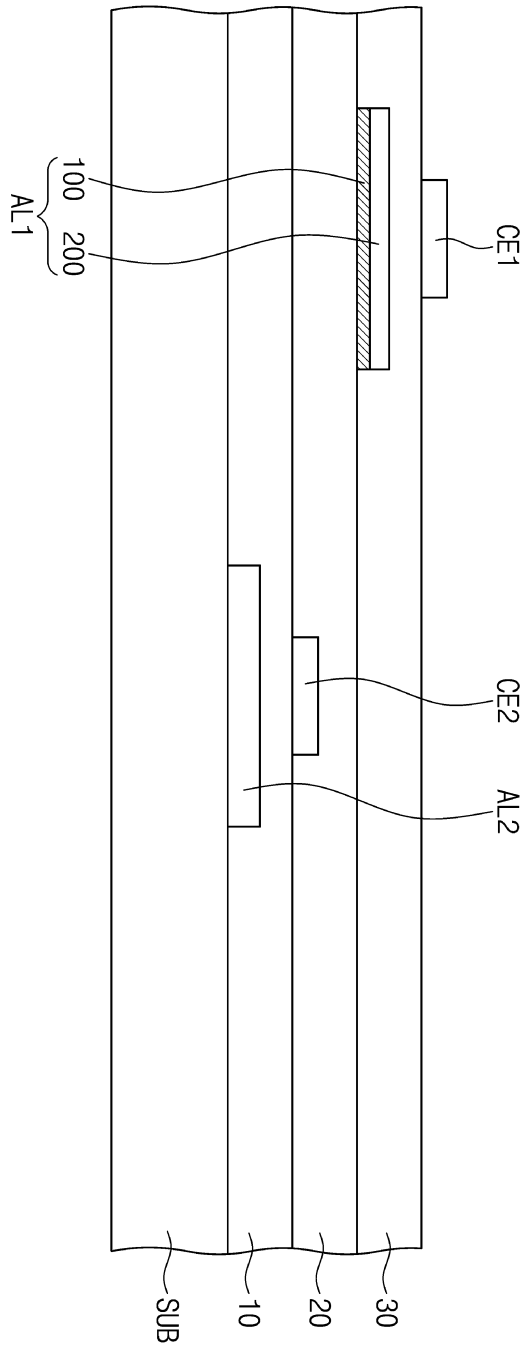
도면5d



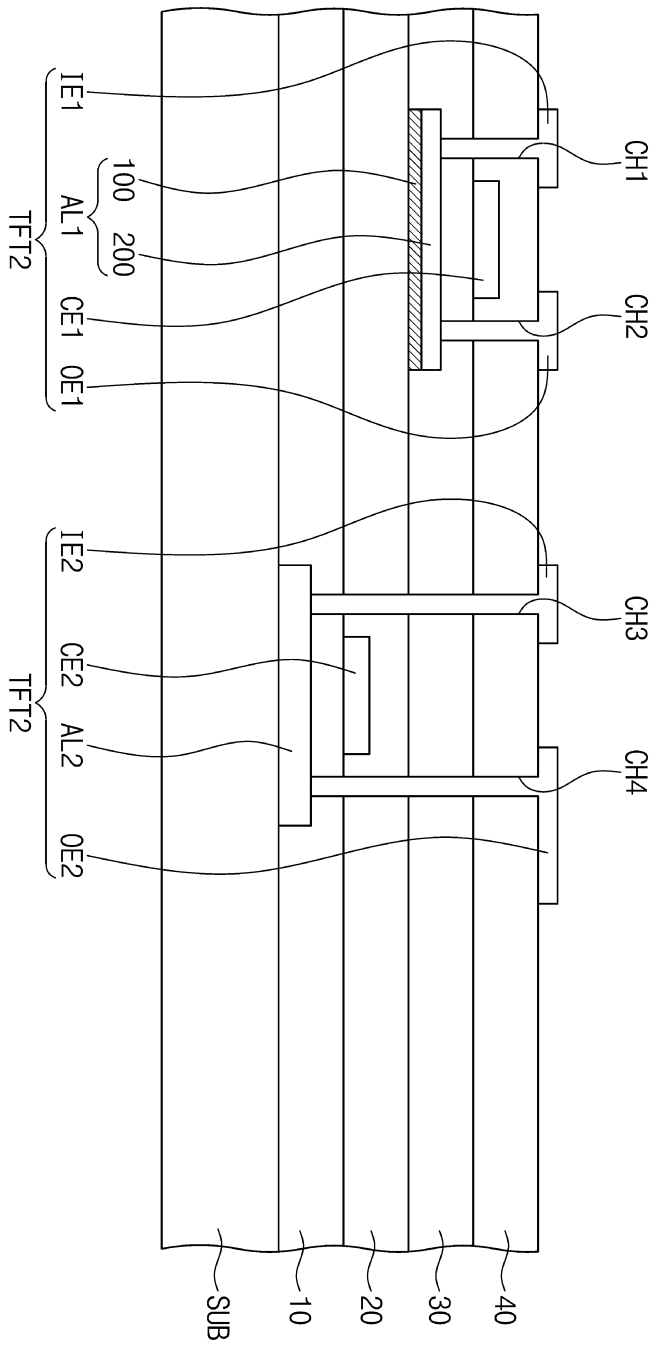
도면5e



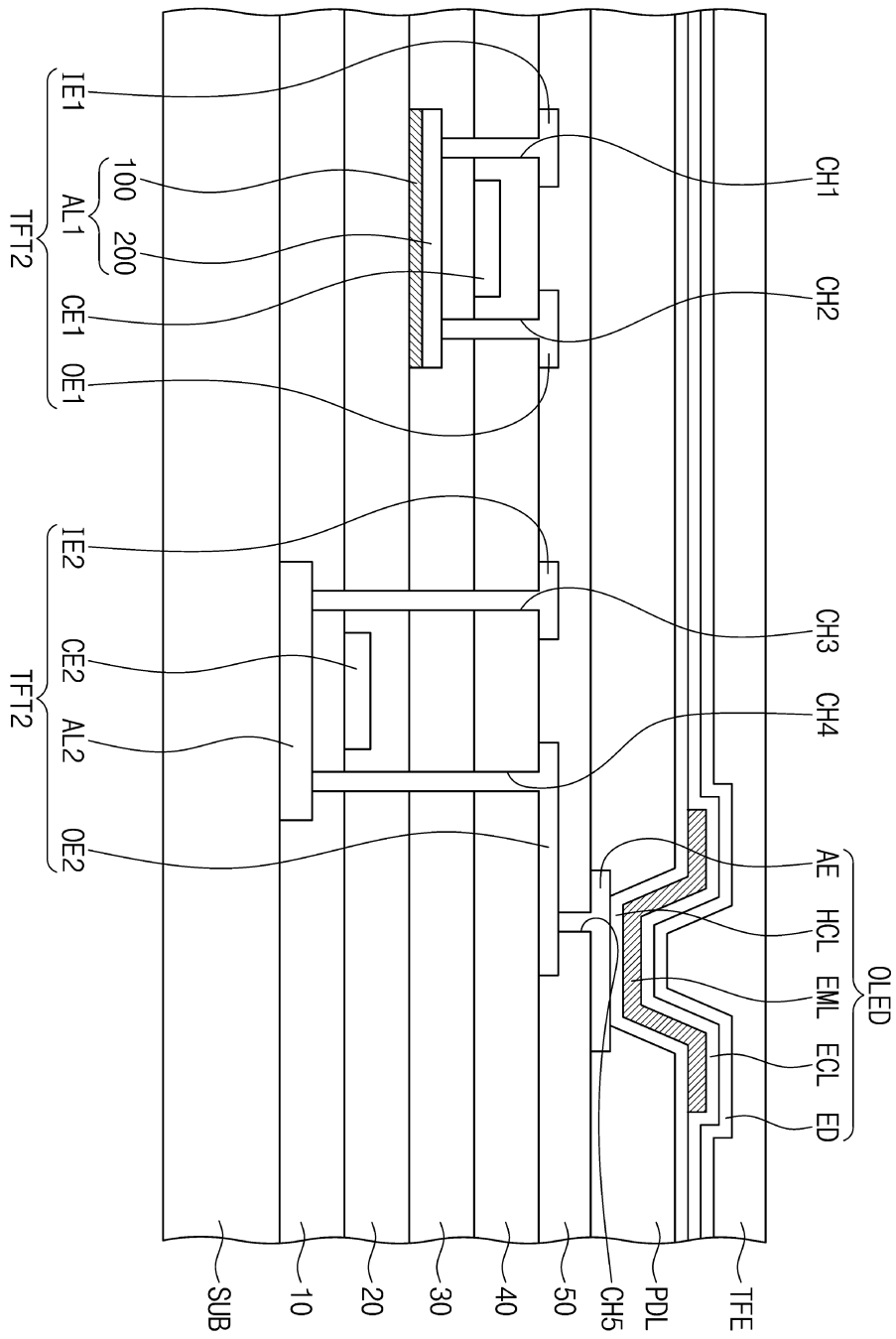
도면5f



도면5g



도면5h



专利名称(译)	显示装置及使用其的制造方法		
公开(公告)号	KR1020190029856A	公开(公告)日	2019-03-21
申请号	KR1020170116795	申请日	2017-09-12
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	최재혁 정석원 허명수 고석진 주현우		
发明人	최재혁 정석원 허명수 고석진 주현우		
IPC分类号	H01L27/32 H01L51/52 H01L51/56		
CPC分类号	H01L27/3262 H01L27/3258 H01L51/5203 H01L51/56 H01L27/1229 H01L27/1274 H01L29/78675 H01L29/78684 H01L29/78696 H01L2227/323		
外部链接	Espacenet		

摘要(译)

本发明的显示装置包括：基底基板；第二层，其设置在基底基板上，设置在第一层上并与第一层接触，并且包括由至少两种或更多种第4族元素的材料制成的化合物。第一半导体层，与第一半导体层重叠的第一控制电极，连接到第一半导体层的第一输入电极，包括连接到第一半导体层的第一输出电极的第一晶体管，基极第二半导体层设置在基板上并与第一半导体层间隔开，第二控制电极与第二半导体层重叠，第二输入电极连接至第二半导体层，第二输入电极连接至第二半导体层第二晶体管，包括输出电极和第一晶体管，第一电极电连接到第二晶体管，第二电极设置在第一电极上，并且设置在第一电极和第二电极之间含油发光层它包括发光器件。

