



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0078978
(43) 공개일자 2017년07월10일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2016.01)

(52) CPC특허분류

G09G 3/3266 (2013.01)

G09G 2230/00 (2013.01)

(21) 출원번호 10-2015-0188925

(22) 출원일자 2015년12월29일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

손기민

경기도 용인시 기흥구 강남서로115번길 6, 302호
(구갈동)

한인효

강원도 춘천시 지석로 29 (석사동, 휴먼타운아파트) 503동 402호

반명호

서울특별시 중랑구 검재로13길 3 301호 (면목동)

(74) 대리인

특허법인로알

전체 청구항 수 : 총 15 항

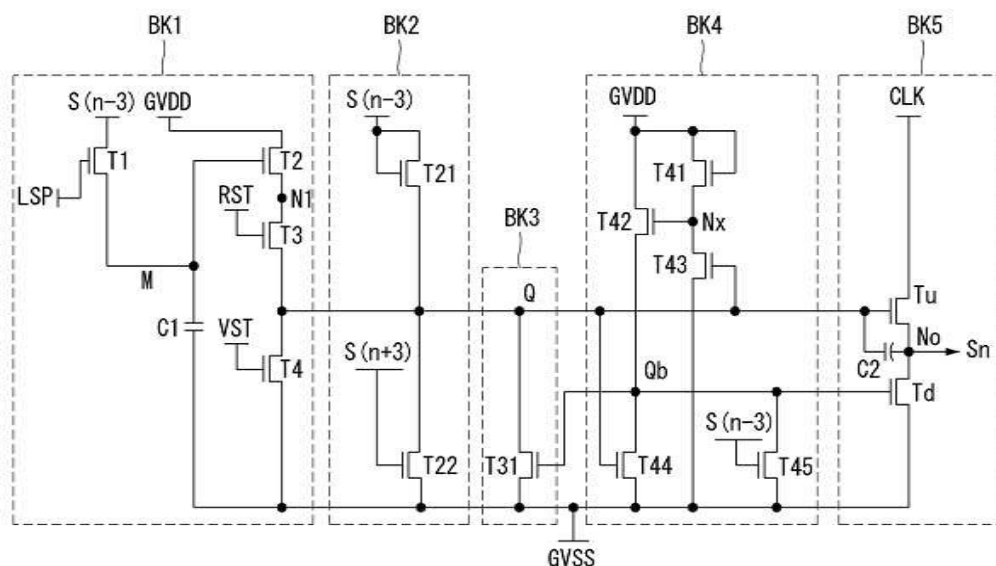
(54) 발명의 명칭 게이트 쉬프트 레지스터와 이를 포함한 유기발광 표시장치 및 그 구동방법

(57) 요약

본 발명은 외부 보상에 이용되는 센싱용 게이트펄스를 생성하는 게이트 쉬프트 레지스터에 관한 것이다.

본 발명은 수평 블랭크 기간에서 센싱용 게이트펄스를 랜덤 순서로 출력할 수 있도록 게이트 쉬프트 레지스터를 구성한다. 본 발명의 게이트 쉬프트 레지스터는 1 프레임 중의 화상 데이터 기입 기간(WP) 동안 화상 표시용 게이트 펄스들(P1)을 출력하고, 상기 1 프레임 중에서 상기 화상 표시용 데이터가 기입되지 않는 수직 블랭크 기간(BP)에서 센싱용 게이트 펄스(P2)를 선택적으로 출력하는 다수의 스테이지들을 갖는다. 상기 스테이지들 각각은, 상기 수직 블랭크 기간(BP)에서, 자신에게 구비된 노드 M의 활성화 전위와 상기 스테이지들에 공통으로 인가되는 글로벌 리셋 신호(RST)에 따라 노드 Q를 활성화하는 샘플링부(BK1)와, 상기 수직 블랭크 기간(BP)에서 상기 노드 Q가 활성화되는 기간 동안 상기 센싱용 게이트 펄스(P2)를 출력하는 출력부(BK5)를 포함한다.

대 표 도 - 도5



(52) CPC특허분류

G09G 2310/0286 (2013.01)

G09G 2310/061 (2013.01)

명세서

청구범위

청구항 1

1 프레임 중의 화상 데이터 기입 기간(WP) 동안 화상 표시용 게이트 펄스들(P1)을 출력하고, 상기 1 프레임 중에서 상기 화상 표시용 데이터가 기입되지 않는 수직 블랭크 기간(BP)에서 센싱용 게이트 펄스(P2)를 선택적으로 출력하는 다수의 스테이지들을 갖는 게이트 쉬프트 레지스터로서,

상기 스테이지들 각각은,

상기 수직 블랭크 기간(BP)에서, 자신에게 구비된 노드 M의 활성 전위와 상기 스테이지들에 공통으로 인가되는 글로벌 리셋 신호(RST)에 따라 노드 Q를 활성화하는 샘플링부(BK1); 및

상기 수직 블랭크 기간(BP)에서 상기 노드 Q가 활성화되는 기간 동안 상기 센싱용 게이트 펄스(P2)를 출력하는 출력부(BK5)를 포함하고,

상기 노드 M은 상기 노드 Q를 활성화하기 위한 캐리 신호(CRY)에 동기된 제1 라인 샘플링 펄스(L1)에 따라 상기 화상 데이터 기입 기간(WP) 내에서 활성화되는 게이트 쉬프트 레지스터.

청구항 2

제 1 항에 있어서,

상기 수직 블랭크 기간(BP) 내에서,

상기 노드 Q는 상기 글로벌 리셋 신호(RST)에 이어 상기 스테이지들에 공통으로 인가되는 글로벌 스타트 신호(VST)에 따라 비 활성화되고,

상기 노드 M은 상기 글로벌 스타트 신호(VST)에 동기되는 제2 라인 샘플링 펄스(L2)에 따라 비 활성화되는 게이트 쉬프트 레지스터.

청구항 3

제 2 항에 있어서,

상기 노드 M의 활성 전위는 상기 제1 라인 샘플링 펄스(L1)가 인가되는 시점부터 상기 제2 라인 샘플링 펄스(L2)가 인가되는 시점까지 유지되는 게이트 쉬프트 레지스터.

청구항 4

제 2 항에 있어서,

상기 제1 라인 샘플링 펄스(L1)는 차등 간격으로 인가되고, 상기 제2 라인 샘플링 펄스(L2)는 균등 간격으로 인가되는 게이트 쉬프트 레지스터.

청구항 5

제 2 항에 있어서,

상기 글로벌 리셋 신호(RST)의 펄스폭은 상기 글로벌 스타트 신호(VST)의 펄스폭에 비해 넓은 게이트 쉬프트 레지스터.

청구항 6

제 2 항에 있어서,

상기 샘플링부(BK1)는,

상기 제1 라인 샘플링 펄스(L1)와 상기 제2 라인 샘플링 펄스(L2)가 인가되는 게이트전극, 상기 캐리 신호(CR

Y)가 인가되는 드레인전극, 및 상기 노드 M에 연결된 소스전극을 갖는 스위치 T1과,

상기 노드 M에 연결된 게이트전극, 고전위 전원전압(GVDD)이 인가되는 드레인전극, 및 노드 N1에 연결된 소스전극을 갖는 스위치 T2와,

상기 글로벌 리셋 신호(RST)가 인가되는 게이트전극, 상기 노드 N1에 연결된 드레인전극, 및 상기 노드 Q에 연결된 소스전극을 갖는 스위치 T3과,

상기 글로벌 스타트 신호(VST)가 인가되는 게이트전극, 상기 노드 Q에 연결된 드레인전극, 및 저전위 전원전압(GVSS)이 인가되는 소스전극을 갖는 스위치 T4와,

상기 노드 M과 상기 저전위 전원전압(GVSS)의 입력단 사이에 연결되는 커패시터 C1을 포함하는 게이트 쉬프트 레지스터.

청구항 7

제 2 항에 있어서,

상기 샘플링부(BK1)는,

상기 제1 라인 샘플링 펄스(L1)와 상기 제2 라인 샘플링 펄스(L2)가 인가되는 게이트전극, 상기 캐리 신호(CRY)가 인가되는 드레인전극, 및 상기 노드 M에 연결된 소스전극을 갖는 스위치 T1과,

상기 노드 M에 연결된 게이트전극, 상기 클럭 신호(CLK)가 인가되는 드레인전극, 및 노드 N1에 연결된 소스전극을 갖는 스위치 T2와,

상기 글로벌 리셋 신호(RST)가 인가되는 게이트전극, 상기 노드 N1에 연결된 드레인전극, 및 상기 노드 Q에 연결된 소스전극을 갖는 스위치 T3과,

상기 글로벌 스타트 신호(VST)가 인가되는 게이트전극, 상기 노드 Q에 연결된 드레인전극, 및 저전위 전원전압(GVSS)이 인가되는 소스전극을 갖는 스위치 T4와,

상기 노드 M과 상기 저전위 전원전압(GVSS)의 입력단 사이에 연결되는 커패시터 C1을 포함하는 게이트 쉬프트 레지스터.

청구항 8

제 6 항 또는 제 7 항에 있어서,

상기 샘플링부(BK1)는,

상기 제1 라인 샘플링 펄스(L1)와 상기 제2 라인 샘플링 펄스(L2)가 인가되는 게이트전극, 상기 스위치 T1의 소스전극과 상기 노드 M 사이의 노드 N2에 연결된 드레인전극, 및 상기 노드 M에 연결된 소스전극을 갖는 스위치 T5와,

상기 노드 M에 연결된 게이트전극, 상기 고전위 전원전압(GVDD)이 인가되는 드레인전극, 및 상기 노드 N2에 연결된 소스전극을 갖는 스위치 T6을 더 포함하는 게이트 쉬프트 레지스터.

청구항 9

제 8 항에 있어서,

상기 노드 Q가 활성화되는 기간 동안 비 활성화되는 노드 Qb와 상기 저전위 전원전압(GVSS)의 입력단 사이에 연결된 안정화부(BK6)를 더 포함하고,

상기 안정화부(BK6)는

상기 글로벌 리셋 신호(RST)가 인가되는 게이트전극, 상기 Qb 노드에 연결된 드레인전극, 및 노드 N3에 연결된 소스전극을 갖는 스위치 T51과,

상기 노드 M에 연결된 게이트전극, 상기 노드 N3에 연결된 드레인전극, 및 상기 저전위 전원전압(GVSS)이 인가되는 소스전극을 갖는 스위치 T52를 포함하는 게이트 쉬프트 레지스터.

청구항 10

게이트라인들이 구비된 표시패널; 및

1 프레임 중의 화상 데이터 기입 기간(WP) 동안 화상 표시용 게이트 펄스들(P1)을 상기 게이트라인들에 출력하고, 상기 1 프레임 중에서 상기 화상 표시용 데이터가 기입되지 않는 수직 블랭크 기간(BP)에서 센싱용 게이트 펄스(P2)를 상기 게이트라인들에 선택적으로 출력하는 다수의 스테이지들을 갖는 게이트 쉬프트 레지스터를 구비하고,

상기 스테이지들 각각은, 상기 수직 블랭크 기간(BP)에서, 자신에게 구비된 노드 M의 활성화 전위와 상기 스테이지들에 공통으로 인가되는 글로벌 리셋 신호(RST)에 따라 노드 Q를 활성화하는 샘플링부(BK1); 및

상기 수직 블랭크 기간(BP)에서 상기 노드 Q가 활성화되는 기간 동안 상기 센싱용 게이트 펄스(P2)를 출력하는 출력부(BK5)

를 포함하고,

상기 노드 M은 상기 노드 Q를 활성화하기 위한 캐리 신호(CRY)에 동기된 제1 라인 샘플링 펄스(L1)에 따라 상기 화상 데이터 기입 기간(WP) 내에서 활성화되는 유기발광 표시장치.

청구항 11

다수의 스테이지들을 포함하여, 1 프레임 중의 화상 데이터 기입 기간(WP) 동안 화상 표시용 게이트 펄스들(P1)을 표시패널의 게이트라인들에 출력하고, 상기 1 프레임 중에서 상기 화상 표시용 데이터가 기입되지 않는 수직 블랭크 기간(BP)에서 센싱용 게이트 펄스(P2)를 상기 게이트라인들에 선택적으로 출력하는 유기발광 표시장치의 구동방법으로서,

상기 스테이지들 중 어느 하나의 특정 스테이지를 통해 상기 센싱용 게이트 펄스(P2)를 출력하는 단계는,

상기 수직 블랭크 기간(BP)에서, 상기 특정 스테이지에 구비된 노드 M의 활성화 전위와 상기 스테이지들에 공통으로 인가되는 글로벌 리셋 신호(RST)에 따라 상기 특정 스테이지의 노드 Q를 활성화하는 단계; 및

상기 수직 블랭크 기간(BP)에서 상기 노드 Q가 활성화되는 기간 동안 상기 센싱용 게이트 펄스(P2)를 출력하는 단계를 포함하고,

상기 노드 M은 상기 노드 Q를 활성화하기 위한 캐리 신호(CRY)에 동기된 제1 라인 샘플링 펄스(L1)에 따라 상기 화상 데이터 기입 기간(WP) 내에서 활성화되는 유기발광 표시장치의 구동방법.

청구항 12

제 11 항에 있어서,

상기 수직 블랭크 기간(BP) 내에서,

상기 노드 Q는 상기 글로벌 리셋 신호(RST)에 이어 상기 스테이지들에 공통으로 인가되는 글로벌 스타트 신호(VST)에 따라 비 활성화되고,

상기 노드 M은 상기 글로벌 스타트 신호(VST)에 동기되는 제2 라인 샘플링 펄스(L2)에 따라 비 활성화되는 유기발광 표시장치의 구동방법.

청구항 13

제 12 항에 있어서,

상기 노드 M의 활성화 전위는 상기 제1 라인 샘플링 펄스(L1)가 인가되는 시점부터 상기 제2 라인 샘플링 펄스(L2)가 인가되는 시점까지 유지되는 유기발광 표시장치의 구동방법.

청구항 14

제 12 항에 있어서,

상기 제1 라인 샘플링 펄스(L1)는 차등 간격으로 인가되고, 상기 제2 라인 샘플링 펄스(L2)는 균등 간격으로 인가되는 유기발광 표시장치의 구동방법.

청구항 15

제 12 항에 있어서,

상기 글로벌 리셋 신호(RST)의 펄스폭은 상기 글로벌 스타트 신호(VST)의 펄스폭에 비해 넓은 유기발광 표시장치의 구동방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 표시장치에 관한 것으로, 특히 외부 보상용 게이트 쉬프트 레지스터와 이를 포함한 유기발광 표시장치, 및 그 구동방법에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 자발광 소자인 OLED는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 유기발광 표시장치는 OLED를 각각 포함한 픽셀들을 매트릭스 형태로 배열하고 화상 표시용 데이터의 계조에 따라 픽셀들의 휘도를 조절한다. 픽셀들 각각은 게이트전극과 소스전극 사이에 걸리는 전압에 따라 OLED에 흐르는 구동전류를 제어하는 구동 소자 즉, 구동 TFT(Thin Film Transistor)를 포함한다. 구동 TFT는 온도나 열화에 의해 그 전기적 특성이 변한다. 구동 TFT의 전기적 특성이 픽셀들마다 달라지면 동일 화상 표시용 데이터에 대해 픽셀들 간 휘도가 달라지므로 원하는 화상 구현이 어렵다.

[0005] 구동 TFT에 대한 전기적 특성 변화를 보상하기 위해 외부 보상 기술이 알려져 있다. 외부 보상 기술은 구동 TFT의 전기적 특성을 센싱하고, 그 센싱 결과를 기초로 구동 TFT에 대한 전기적 특성이 변한만큼 화상 표시용 데이터를 변조한다.

[0006] 구동 TFT의 시변 특성을 보상하기 위해서는 구동 중에 실시간으로 구동 TFT의 전기적 특성을 센싱할 필요가 있다. 도 1에는 실시간 센싱 프로세스가 도시되어 있다. 도 1을 참조하면, 실시간 센싱 프로세스는 1 프레임 중에서 화상 데이터 기입 기간(WP)을 제외한 수직 블랭크 기간(BP)에서 센싱 동작을 수행하되, 1 프레임마다 1 픽셀라인씩 센싱한다. 여기서, 픽셀라인은 수평으로 이웃한 픽셀들의 집합을 의미하며, 1 픽셀라인에는 수평 해상도만큼의 픽셀들이 위치한다. 패널 구동회로는 화상 데이터 기입 기간(WP) 동안 화상 표시용 게이트펄스를 표시패널의 게이트라인들에 순차적으로 공급하여 화상 표시용 데이터를 표시패널의 모든 픽셀들에 기입하고, 수직 블랭크 기간(BP)에서 특정 픽셀라인에 연결된 게이트라인에만 센싱용 게이트펄스를 공급하여 센싱용 데이터를 상기 특정 픽셀라인의 픽셀들에 인가한다.

[0007] 이를 위해 종래 게이트 쉬프트 레지스터는, 게이트라인에 개별 접속된 각 스테이지(STG)마다 도 2와 같이 2개의 쉬프트 레지스터회로들(SR1,SR2)와 1개의 오알 게이트(OR)를 필요로 한다. 제1 쉬프트 레지스터회로(SR1)는 화상 데이터 기입 기간(WP) 동안 제1 캐리신호(C1)에 따라 활성화되어 제1 클럭 신호(CLK)를 화상 표시용 게이트펄스로 출력하고, 제2 쉬프트 레지스터회로(SR2)는 수직 블랭크 기간(BP) 동안 제2 캐리신호(C2)에 따라 활성화되어 제2 클럭 신호(WCLK)를 센싱용 게이트펄스로 출력한다. 오알 게이트(OR)는 쉬프트 레지스터회로들(SR1,SR2)로부터 입력되는 게이트펄스를 타이밍에 맞게 해당 게이트라인에 공급한다.

[0008] 이러한 종래 게이트 쉬프트 레지스터는 각 스테이지마다 2개의 쉬프트 레지스터회로들과 오알 게이트로 구성되어 기 때문에 센싱용 게이트펄스를 픽셀라인들에 순차적으로 인가할 수밖에 없고, 센싱용 게이트펄스를 랜덤한 순

서로 인가하는 것은 불가능하다. 수직 블랭크 기간(BP)에서 센싱이 이뤄지는 픽셀라인에서는 수직 블랭크 기간(BP)만큼 발광 듀티가 감소되기 때문에, 센싱이 이뤄지는 픽셀라인과 그렇지 않은 픽셀라인 간에는 휘도 편차가 생긴다. 따라서, 수직 블랭크 기간(BP)마다 1 픽셀라인씩 순차 센싱하는 경우에는 휘도 편차가 시인될 수 있다.

[0009] 또한, 종래 게이트 쉬프트 레지스터는 스테이지의 구성이 복잡하기 때문에 공정 불량이 발생될 확률이 높고, 특히 쉬프트 레지스터회로들(SR1,SR2) 간에 게이트 바이어스 스트레스에 따른 열화 정도가 다르기 때문에 신뢰성이 저하될 수 있다.

[0010] 또한, 종래 게이트 쉬프트 레지스터는 스테이지의 구성이 복잡하기 때문에 표시패널에 내장될 경우 베젤 사이드를 증가시킨다. 그리고, 종래 게이트 쉬프트 레지스터는 클럭 라인 및 전원 라인 증가로 인해 전력 소모가 크다.

발명의 내용

해결하려는 과제

[0011] 따라서, 본 발명은 종래 문제점을 해결하기 위해 안출된 것으로, 수평 블랭크 기간에 센싱용 게이트펄스를 랜덤한 순서로 출력할 수 있도록 한 게이트 쉬프트 레지스터와 이를 포함한 유기발광 표시장치, 및 그 구동방법을 제공하는 데 그 목적이 있다.

과제의 해결 수단

[0012] 상기 목적을 달성하기 위하여, 본 발명에 따른 게이트 쉬프트 레지스터는 1 프레임 중의 화상 데이터 기입 기간(WP) 동안 화상 표시용 게이트 펄스들(P1)을 출력하고, 상기 1 프레임 중에서 상기 화상 표시용 데이터가 기입되지 않는 수직 블랭크 기간(BP)에서 센싱용 게이트 펄스(P2)를 선택적으로 출력하는 다수의 스테이지들을 갖는다. 상기 스테이지들 각각은, 상기 수직 블랭크 기간(BP)에서, 자신에게 구비된 노드 M의 활성화 전위와 상기 스테이지들에 공통으로 인가되는 글로벌 리셋 신호(RST)에 따라 노드 Q를 활성화하는 샘플링부(BK1)와, 상기 수직 블랭크 기간(BP)에서 상기 노드 Q가 활성화되는 기간 동안 상기 센싱용 게이트 펄스(P2)를 출력하는 출력부(BK5)를 포함하고, 상기 노드 M은 상기 노드 Q를 활성화하기 위한 캐리 신호(CRY)에 동기된 제1 라인 샘플링 펄스(L1)에 따라 상기 화상 데이터 기입 기간(WP) 내에서 활성화된다.

[0013] 상기 수직 블랭크 기간(BP) 내에서, 상기 노드 Q는 상기 글로벌 리셋 신호(RST)에 이어 상기 스테이지들에 공통으로 인가되는 글로벌 스타트 신호(VST)에 따라 비 활성화되고, 상기 노드 M은 상기 글로벌 스타트 신호(VST)에 동기되는 제2 라인 샘플링 펄스(L2)에 따라 비 활성화된다.

[0014] 상기 노드 M의 활성화 전위는 상기 제1 라인 샘플링 펄스(L1)가 인가되는 시점부터 상기 제2 라인 샘플링 펄스(L2)가 인가되는 시점까지 유지된다.

[0015] 상기 제1 라인 샘플링 펄스(L1)는 차등 간격으로 인가되고, 상기 제2 라인 샘플링 펄스(L2)는 균등 간격으로 인가된다.

[0016] 상기 글로벌 리셋 신호(RST)의 펄스폭은 상기 글로벌 스타트 신호(VST)의 펄스폭에 비해 넓다.

[0017] 상기 샘플링부(BK1)는, 상기 제1 라인 샘플링 펄스(L1)와 상기 제2 라인 샘플링 펄스(L2)가 인가되는 게이트전극, 상기 캐리 신호(CRY)가 인가되는 드레인전극, 및 상기 노드 M에 연결된 소스전극을 갖는 스위치 T1과, 상기 노드 M에 연결된 게이트전극, 고전위 전원전압(GVDD)이 인가되는 드레인전극, 및 노드 N1에 연결된 소스전극을 갖는 스위치 T2와, 상기 글로벌 리셋 신호(RST)가 인가되는 게이트전극, 상기 노드 N1에 연결된 드레인전극, 및 상기 노드 Q에 연결된 소스전극을 갖는 스위치 T3과, 상기 글로벌 스타트 신호(VST)가 인가되는 게이트전극, 상기 노드 Q에 연결된 드레인전극, 및 저전위 전원전압(GVSS)이 인가되는 소스전극을 갖는 스위치 T4와, 상기 노드 M과 상기 저전위 전원전압(GVSS)의 입력단 사이에 연결되는 커패시터 C1을 포함한다.

[0018] 상기 샘플링부(BK1)는, 상기 제1 라인 샘플링 펄스(L1)와 상기 제2 라인 샘플링 펄스(L2)가 인가되는 게이트전극, 상기 캐리 신호(CRY)가 인가되는 드레인전극, 및 상기 노드 M에 연결된 소스전극을 갖는 스위치 T1과, 상기 노드 M에 연결된 게이트전극, 상기 클럭 신호(CLK)가 인가되는 드레인전극, 및 노드 N1에 연결된 소스전극을 갖는 스위치 T2와, 상기 글로벌 리셋 신호(RST)가 인가되는 게이트전극, 상기 노드 N1에 연결된 드레인전극, 및 상기 노드 Q에 연결된 소스전극을 갖는 스위치 T3과, 상기 글로벌 스타트 신호(VST)가 인가되는 게이트전극, 상기 노드 Q에 연결된 드레인전극, 및 저전위 전원전압(GVSS)이 인가되는 소스전극을 갖는 스위치 T4와, 상기 노

드 M과 상기 저전위 전원전압(GVSS)의 입력단 사이에 연결되는 커패시터 C1을 포함한다.

[0019] 상기 샘플링부(BK1)는, 상기 제1 라인 샘플링 펄스(L1)와 상기 제2 라인 샘플링 펄스(L2)가 인가되는 게이트전극, 상기 스위치 T1의 소스전극과 상기 노드 M 사이의 노드 N2에 연결된 드레인전극, 및 상기 노드 M에 연결된 소스전극을 갖는 스위치 T5와, 상기 노드 M에 연결된 게이트전극, 상기 고전위 전원전압(GVDD)이 인가되는 드레인전극, 및 상기 노드 N2에 연결된 소스전극을 갖는 스위치 T6를 더 포함한다.

[0020] 본 발명에 따른 게이트 쉬프트 레지스터는 상기 노드 Q가 활성화되는 기간 동안 비 활성화되는 노드 Qb와 상기 저전위 전원전압(GVSS)의 입력단 사이에 연결된 안정화부(BK6)를 더 포함한다. 이 안정화부(BK6)는 상기 글로벌 리셋 신호(RST)가 인가되는 게이트전극, 상기 Qb 노드에 연결된 드레인전극, 및 노드 N3에 연결된 소스전극을 갖는 스위치 T51과, 상기 노드 M에 연결된 게이트전극, 상기 노드 N3에 연결된 드레인전극, 및 상기 저전위 전원전압(GVSS)이 인가되는 소스전극을 갖는 스위치 T52를 포함한다.

[0021] 또한, 본 발명에 따른 유기발광 표시장치는 게이트라인들이 구비된 표시패널과, 1 프레임 중의 화상 데이터 기입 기간(WP) 동안 화상 표시용 게이트 펄스들(P1)을 상기 게이트라인들에 출력하고, 상기 1 프레임 중에서 상기 화상 표시용 데이터가 기입되지 않는 수직 블랭크 기간(BP)에서 센싱용 게이트 펄스(P2)를 상기 게이트라인들에 선택적으로 출력하는 다수의 스테이지들을 갖는 게이트 쉬프트 레지스터를 구비한다. 상기 스테이지들 각각은, 상기 수직 블랭크 기간(BP)에서, 자신에게 구비된 노드 M의 활성화 전위와 상기 스테이지들에 공통으로 인가되는 글로벌 리셋 신호(RST)에 따라 노드 Q를 활성화하는 샘플링부(BK1)와, 상기 수직 블랭크 기간(BP)에서 상기 노드 Q가 활성화되는 기간 동안 상기 센싱용 게이트 펄스(P2)를 출력하는 출력부(BK5)를 포함하고, 상기 노드 M은 상기 노드 Q를 활성화하기 위한 캐리 신호(CRY)에 동기된 제1 라인 샘플링 펄스(L1)에 따라 상기 화상 데이터 기입 기간(WP) 내에서 활성화된다.

[0023] 또한, 본 발명에 따른 유기발광 표시장치의 구동방법은 다수의 스테이지들을 포함하여, 1 프레임 중의 화상 데이터 기입 기간(WP) 동안 화상 표시용 게이트 펄스들(P1)을 표시패널의 게이트라인들에 출력하고, 상기 1 프레임 중에서 상기 화상 표시용 데이터가 기입되지 않는 수직 블랭크 기간(BP)에서 센싱용 게이트 펄스(P2)를 상기 게이트라인들에 선택적으로 출력한다. 이때, 상기 스테이지들 중 어느 하나의 특정 스테이지를 통해 상기 센싱용 게이트 펄스(P2)를 출력하는 단계는, 상기 수직 블랭크 기간(BP)에서, 상기 특정 스테이지에 구비된 노드 M의 활성화 전위와 상기 스테이지들에 공통으로 인가되는 글로벌 리셋 신호(RST)에 따라 상기 특정 스테이지의 노드 Q를 활성화하는 단계와, 상기 수직 블랭크 기간(BP)에서 상기 노드 Q가 활성화되는 기간 동안 상기 센싱용 게이트 펄스(P2)를 출력하는 단계를 포함하고, 상기 노드 M은 상기 노드 Q를 활성화하기 위한 캐리 신호(CRY)에 동기된 제1 라인 샘플링 펄스(L1)에 따라 상기 화상 데이터 기입 기간(WP) 내에서 활성화된다.

발명의 효과

[0024] 본 발명은 실시간 센싱을 구현하기 위한 게이트 쉬프트 레지스터의 구성이 종래 대비 매우 간소하다. 그럼에도 불구하고, 본 발명은 수평 블랭크 기간에서 센싱용 게이트펄스를 랜덤한 순서로 출력함으로써, 센싱 대상 픽셀 라인을 불규칙하게 선택할 수 있다. 본 발명은 센싱 대상 픽셀라인을 불규칙하게 선택함으로써 종래 기술의 문제점인 순차 센싱에 따른 휘도 편차 시인 현상을 방지할 수 있다.

도면의 간단한 설명

[0025] 도 1은 수직 블랭크 기간에서 센싱용 게이트 펄스를 출력하여 센싱 동작을 수행하는 실시간 센싱 프로세스를 보여주는 도면.

도 2는 실시간 센싱 프로세스를 구현하기 위한 종래 게이트 쉬프트 레지스터의 일 스테이지 구성을 보여주는 도면.

도 3은 본 발명의 일 실시예에 따른 게이트 쉬프트 레지스터 구성을 개략적으로 보여 주는 도면.

도 4는 라인 샘플링 신호, 글로벌 리셋 신호, 및 글로벌 스타트 신호가 인가되는 타이밍과 그에 따른 센싱용 게이트 펄스의 출력 타이밍을 보여주는 도면.

도 5는 본 발명의 제1 실시예에 따른 게이트 쉬프트 레지스터의 일 스테이지 구성을 보여주는 도면.

도 6은 라인 샘플링 신호, 글로벌 리셋 신호, 글로벌 스타트 신호 및 클럭신호의 파형과, 그에 따른 노드 M 및

노드 Q의 전위와, 센싱용 게이트 펄스의 출력 파형을 보여주는 도면.

도 7 내지 도 11은 본 발명의 다른 실시예에 따른 게이트 쉬프트 레지스터의 일 스테이지 구성을 보여주는 도면들.

도 12는 라인 샘플링 신호에 따라, 수평 블랭크 기간들에서 센싱용 게이트펄스가 랜덤한 순서로 출력되는 일 예를 보여주는 도면.

도 13은 본 발명의 실시예에 따른 게이트 쉬프트 레지스터를 포함한 유기발광 표시장치를 보여주는 도면.

발명을 실시하기 위한 구체적인 내용

- [0026] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 이하의 설명에서 사용되는 구성요소들의 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 명칭과는 상이할 수 있다. 이하의 설명에서 "전단 스테이지들"이란, 기준이 되는 스테이지의 상부에 위치하여 기준 스테이지에서 출력되는 게이트 출력신호에 비해 위상이 앞선 게이트 출력신호들을 생성하는 스테이지들을 의미한다. 그리고, "후단 스테이지들"이란, 기준이 되는 스테이지의 하부에 위치하여 기준 스테이지에서 출력되는 게이트 출력신호에 비해 위상이 뒤진 게이트 출력신호들을 생성하는 스테이지들을 의미한다. 이하의 설명에서, 본 발명의 게이트 쉬프트 레지스터를 구성하는 TFT들은 옥사이드 TFT, a-Si:H TFT 및 LTPS 공정의 폴리 TFT 중 적어도 어느 하나로 구현될 수 있다. 그리고, 특정 노드가 활성화된다는 것은 그 노드에 고전위 전원전압 또는 그에 상당하는 전압이 충전된다는 것을 의미하고, 특정 노드가 비 활성화된다는 것은 그 노드에 저전위 전원전압 또는 그에 상당하는 전압이 충전된다는 것을 의미한다.
- [0027] 도 4는 라인 샘플링 신호, 글로벌 리셋 신호, 및 글로벌 스타트 신호가 인가되는 타이밍과 그에 따른 센싱용 게이트 펄스의 출력 타이밍을 보여주는 도면.
- [0028] 도 4를 참조하면, 본 발명의 일 실시예에 따른 게이트 쉬프트 레지스터는 서로 종속적으로 접속된 다수의 스테이지들(STG1~STGn)을 구비한다. 제1 스테이지(STG1)의 전단에는 적어도 하나 이상의 제1 더미 스테이지(DUM1)가 더 구비되고, 제n 스테이지(STGn)의 후단에는 적어도 하나 이상의 제2 더미 스테이지(DUM2)가 더 구비될 수 있다.
- [0029] 스테이지들(STG1~STGn)은 게이트 출력신호(S1~Sn)를 생성하여 표시패널의 게이트라인들에 공급한다. 게이트 출력신호(S1~Sn) 각각은 화상 표시용 게이트 펄스(P1)와 센싱용 게이트 펄스(P2)를 포함할 수 있다. 화상 표시용 게이트 펄스(P1)는 화상 표시용 데이터가 기입될 픽셀 라인을 선택하기 위한 제1 스캔 제어신호이고, 센싱용 게이트 펄스(P2)는 센싱용 데이터가 기입될 픽셀 라인을 선택하기 위한 제1 스캔 제어신호이다. 센싱용 데이터는 표시패널에 구비된 픽셀들의 전기적 특성을 센싱하기 위한 것으로, 화상 표시와는 상관이 없는 데이터이다.
- [0030] 화상 표시용 게이트 펄스들(P1)은 1 프레임 중의 화상 데이터 기입 기간(WP) 동안 순차적으로 위상이 쉬프트되면서 스테이지들(STG1~STGn)로부터 출력될 수 있다. 반면, 센싱용 게이트 펄스(P2)는 1 프레임 중에서 화상 표시용 데이터가 기입되지 않는 수직 블랭크 기간(BP) 동안 스테이지들(STG1~STGn) 중 어느 하나로부터 출력(즉, 스테이지들(STG1~STGn)로부터 선택적으로 출력)될 수 있다. 센싱용 데이터가 기입될 픽셀 라인, 다시 말해 센싱 대상 픽셀라인은 시인성 저감을 위해 비 순차적 또는 랜덤하게 선택되는 것이 바람직하다. 따라서, 스테이지들(STG1~STGn)은 각 수직 블랭크 기간(BP)마다 하나씩 센싱용 게이트 펄스(P2)를 출력하되, 이러한 센싱용 게이트 펄스(P2)를 출력하는 스테이지는 비 순차적으로, 다시 말해 랜덤(random)하게 선택된다.
- [0031] 게이트 출력신호들(S1~Sn) 각각의 화상 표시용 게이트 펄스(P1)는 후단 스테이지들 중 어느 하나에 캐리 신호로 공급될 수 있고 아울러, 전단 스테이지들 중 어느 하나에 리셋 신호로 공급될 수 있다. 상기 후단 스테이지들 중 어느 하나는 상기 캐리 신호에 따라 그의 노드 Q가 활성화되며, 상기 전단 스테이지들 중 어느 하나는 상기 리셋 신호에 따라 그의 노드 Q가 비 활성화된다.
- [0032] 스테이지들(STG1~STGn)은 게이트 출력신호(S1~Sn)를 생성하기 위해 외부의 타이밍 컨트롤러(미도시)로부터 글로벌 스타트 신호(VST), 글로벌 리셋 신호(RST), 라인 샘플링 신호(LSP) 등을 공급받을 수 있다. 글로벌 스타트 신호(VST), 글로벌 리셋 신호(RST), 라인 샘플링 신호(LSP)는 스테이지들(STG1~STGn) 각각의 샘플링 블록(도 5의 BK1)에 공통으로 공급되는 신호들이다. 또한, 글로벌 스타트 신호(VST)는 제1 더미 스테이지(DUM1)의 스타트 단자에 더 공급될 수 있고, 글로벌 리셋 신호(RST)는 제2 더미 스테이지(DUM2)의 리셋단자에 더 공급될 수

있다.

- [0033] 스테이지들(STG1~STGn) 각각은 매 프레임마다 스타트단자에 인가되는 캐리 신호에 따라 노드 Q의 동작을 활성화한다. 이때, 스테이지들(STG1~STGn) 중 일부는 제1 더미 스테이지(DUM1)로부터 캐리 신호를 입력 받을 수 있다. 제1 더미 스테이지(DUM1)는 글로벌 스타트 신호(VST)에 따라 동작되어 캐리 신호를 일부 상단부 스테이지들에 공급할 수 있다.
- [0034] 한편, 스테이지들(STG1~STGn) 각각은 매 프레임마다 리셋단자에 인가되는 리셋 신호에 따라 노드 Q의 동작을 비활성화한다. 이때, 스테이지들(STG1~STGn) 중 일부는 제2 더미 스테이지(DUM2)로부터 리셋 신호를 입력 받을 수 있다. 제2 더미 스테이지(DUM2)는 글로벌 리셋 신호(RST)에 따라 동작되어 리셋 신호를 일부 하단부 스테이지들에 공급할 수 있다.
- [0035] 각 스테이지들(STG1~STGn)에는 적어도 하나 이상의 클럭 신호(CLKs)가 공급될 수 있다. 클럭 신호(CLKs)는 순차적으로 위상이 쉬프트되는 게이트 쉬프트 클럭들로 구현될 수 있다. 클럭 신호(CLKs)는 고속 구동시 충분한 충전시간 확보를 위해 4상 이상으로 구현됨이 바람직하다. 스테이지들(STG1~STGn)은 클럭 신호(CLKs)에 동기하여 화상 표시용 게이트 펄스(P1)를 순차적으로 출력할 수 있다. 스테이지들(STG1~STGn)은 클럭 신호(CLKs)에 동기하여 센싱용 게이트 펄스(P2)를 선택적으로 출력할 수 있다. 클럭 신호(CLKs)는 게이트 하이 전압과 게이트 로우 전압 사이에서 스윙될 수 있다.
- [0036] 각 스테이지들(STG1~STGn)에는 고전위 전원전압(GVDD)과 저전위 전원전압(GVSS)이 공급된다. 고전위 전원전압(GVDD)은 게이트 하이 전압과 실질적으로 동일하게 설정될 수 있고, 저전위 전원전압(GVSS)은 게이트 로우 전압과 실질적으로 동일하게 설정될 수 있다.
- [0037] 도 4는 라인 샘플링 신호(LSP), 글로벌 리셋 신호(RST), 및 글로벌 스타트 신호(VST)가 인가되는 타이밍과 그에 따른 센싱용 게이트 펄스(P2)의 출력 타이밍을 보여준다.
- [0038] 도 4를 참조하면, 라인 샘플링 신호(LSP)는 매 프레임의 화상 데이터 기입 기간(WP) 내에서 랜덤하게 발생하는 제1 라인 샘플링 펄스(L1)와, 매 프레임의 수직 블랭크 기간(BP) 내에서 글로벌 스타트 신호(VST)에 동기되는 제2 라인 샘플링 펄스(L2)를 포함한다. 제1 라인 샘플링 펄스(L1)는 랜덤하게 발생되므로 차등 간격으로 인가되고, 제2 라인 샘플링 펄스(L2)는 글로벌 스타트 신호(VST)에 동기되므로 균등 간격으로 인가된다. 1 프레임의 시작 시점부터 제1 라인 샘플링 펄스(L1)가 입력되는 시점까지의 시간적 간격(TP1, TP2)은 매 프레임마다 다르며, 더욱이 매 프레임마다 불규칙적이다. 제1 라인 샘플링 펄스(L1)에 따라 해당 프레임에서 센싱용 데이터가 기입될 센싱 대상 픽셀라인이 선택되게 된다. 제1 라인 샘플링 펄스(L1)에 동기된 캐리 신호를 입력 받은 스테이지는, 화상 데이터 기입 기간(WP) 내에서 자신의 샘플링 블록(도 5의 BK1)에 포함된 특정 노드(도 5의 노드 M)의 전위를 활성화하고, 수직 블랭크 기간(BP)에서 그 특정 노드 활성화 전위와 글로벌 리셋 신호(RST)에 따라 자신의 노드 Q를 활성화 함으로써 센싱용 게이트 펄스(P2)를 출력한다.
- [0039] 일 예로, 제1 프레임에서 제1 라인 샘플링 펄스(L1)가 제n 스테이지에 입력되는 캐리 신호에 동기되는 경우, 제n 스테이지가 수직 블랭크 기간(BP)에서 센싱용 게이트 펄스(P2n)를 출력한다. 화상 데이터 기입 기간(WP) 내에서 제n 스테이지의 특정 노드(도 5의 노드 M)의 전위는 제1 라인 샘플링 펄스(L1)에 따라 활성화된 후, 후속 수직 블랭크 기간(BP)에서 글로벌 스타트 신호(VST)가 입력될 때까지 그 활성화 상태를 유지한다. 제n 스테이지는 수직 블랭크 기간(BP) 내에서 상기 특정 노드의 활성화 전위와 글로벌 리셋 신호(RST)에 따라 노드 Q를 활성화하여 입력 클럭 신호를 센싱용 게이트 펄스(P2n)로 제n 게이트라인에 출력한다. 그러면, 제n 게이트라인에 연결된 제n 픽셀 라인에 상기 센싱용 게이트 펄스(P2n)에 따라 센싱되게 된다. 한편, 제n 스테이지의 노드 Q는 수직 블랭크 기간(BP) 내에서 글로벌 스타트 신호(VST)에 따라 비 활성화되며, 제n 스테이지의 상기 특정 노드는 수직 블랭크 기간(BP) 내에서 글로벌 스타트 신호(VST)에 동기된 제2 라인 샘플링 펄스(L2)에 따라 비 활성화된다. 이러한 초기화 동작은 제n 스테이지가 후속 프레임에서 화상 표시용 게이트 펄스를 정상적으로 생성할 수 있게 하기 위함이다.
- [0040] 또한, 제2 프레임에서 제1 라인 샘플링 펄스(L1)가 제m 스테이지에 입력되는 캐리 신호에 동기되는 경우, 제m 스테이지가 수직 블랭크 기간(BP)에서 센싱용 게이트 펄스(P2m)를 출력한다. 화상 데이터 기입 기간(WP) 내에서 제m 스테이지의 특정 노드(도 5의 노드 M)의 전위는 제1 라인 샘플링 펄스(L1)에 따라 활성화된 후, 후속 수직 블랭크 기간(BP)에서 글로벌 스타트 신호(VST)가 입력될 때까지 그 활성화 상태를 유지한다. 제m 스테이지는 수직 블랭크 기간(BP) 내에서 상기 특정 노드의 활성화 전위와 글로벌 리셋 신호(RST)에 따라 노드 Q를 활성화하여 입력 클럭 신호를 센싱용 게이트 펄스(P2m)로 제m 게이트라인에 출력한다. 그러면, 제m 게이트라인에 연결된 제m

픽셀 라인이 상기 센싱용 게이트 펄스(P2m)에 따라 센싱되게 된다. 한편, 제m 스테이지의 노드 Q는 수직 블랭크 기간(BP) 내에서 글로벌 스타트 신호(VST)에 따라 비 활성화되며, 제m 스테이지의 상기 특정 노드는 수직 블랭크 기간(BP) 내에서 글로벌 스타트 신호(VST)에 동기된 제2 라인 샘플링 펄스(L2)에 따라 비 활성화된다. 이러한 초기화 동작은 제m 스테이지가 후속 프레임에서 화상 표시용 게이트 펄스를 정상적으로 생성할 수 있게 하기 위함이다.

[0041] 한편, 제1 및 제2 프레임 각각에서, 제1 라인 샘플링 펄스(L1)에 동기되지 않는 캐리 신호를 입력 받는 나머지 스테이지들은 화상 데이터 기입 기간(WP) 내에서 자신의 특정 노드를 활성화시킬 수 없기 때문에, 수직 블랭크 기간(BP)에서 노드 Q를 활성화하는 것이 불가능하고, 그에 따라 센싱용 게이트 펄스(P2n)를 출력할 수 없게 된다.

[0042] 도 5는 본 발명의 제1 실시예에 따른 게이트 쉬프트 레지스터의 일 스테이지 구성을 보여준다. 그리고, 도 6은 라인 샘플링 신호(LSP), 글로벌 리셋 신호(RST), 글로벌 스타트 신호(VST) 및 클럭 신호(CLK)의 파형과, 그에 따른 노드 M 및 노드 Q의 전위와, 센싱용 게이트 펄스(P2n)의 출력 파형을 보여준다.

[0043] 제n 스테이지(STGn)는 도 5와 같이 제n-3 스테이지(STG(n-3))의 게이트 출력신호(S(n-3))(구체적으로, 화상 표시용 게이트 펄스)를 캐리 신호(CRY)로 입력 받을 수 있으나, 이에 한정되는 것은 아니다. 캐리 신호(CRY)는 전단 스테이지들 중 어느 하나로부터 입력 받을 수 있다. 도 5에서, 제1 라인 샘플링 펄스(L1)는 제n 픽셀 라인이 센싱될 수 있도록 제n 스테이지에 입력되는 캐리 신호(CRY)에 동기되고 있다. 제2 라인 샘플링 펄스(L2)는 수직 블랭크 기간(BP)에서 글로벌 스타트 신호(VST)에 동기된다. 글로벌 리셋 신호(RST)는 수직 블랭크 기간(BP)에서 글로벌 스타트 신호(VST)에 앞서 인가된다. 도 5의 스위치 T2와 스위치 T3의 사이즈를 최소화할 수 있도록, 글로벌 리셋 신호(RST)의 펄스폭(W2)은 글로벌 스타트 신호(VST)의 펄스폭(W1)에 비해 넓은 것이 바람직하다.

[0044] 도 5 및 도 6을 참조하면, 특정 프레임에서 센싱용 게이트 펄스(P2n)를 출력하기 위해, 제n 스테이지(STGn)는 노드 Q에 연결된 샘플링부(BK1)와, 노드 Q 및 노드 Qb에 연결된 출력부(BK5)를 포함한다.

[0045] 출력부(BK5)는 노드 Q가 활성화되는 기간 내에서 화상 표시용 게이트 펄스(P1) 또는 상기 센싱용 게이트 펄스(P2)를 출력한다. 이를 위해, 출력부(BK5)는 풀업 트랜지스터 Tu와 풀다운 트랜지스터 Td와 커패시터 C2를 포함한다. 풀업 트랜지스터 Tu는 노드 Q에 연결된 게이트전극, 클럭 신호(CLK)가 인가되는 드레인전극, 및 노드 No에 연결된 소스전극을 가지며, 노드 Q가 활성화되는 기간 내에서 클럭 신호(CLK)가 입력될 때 이 클럭 신호(CLK)를 노드 No에 출력한다. 풀다운 트랜지스터 Td는 노드 Qb에 연결된 게이트전극, 노드 No에 연결된 드레인전극, 및 저전위 전원전압(GVSS)이 인가되는 소스전극을 가지며, 노드 Qb가 활성화되는 기간 동안 저전위 전원전압(GVSS)을 노드 No에 출력한다. 커패시터 C2는 노드 Q와 노드 No 사이에 접속되며, 노드 Q가 활성화되는 기간 내에서 클럭 신호(CLK)가 입력될 때 노드 Q의 전위를 부스팅함으로써 풀업 트랜지스터 Tu를 충분히 온 시킨다.

[0046] 샘플링부(BK1)는 노드 Q를 활성화하기 위한 캐리 신호(CRY, S(n-3))에 동기된 제1 라인 샘플링 펄스(L1)에 따라 화상 데이터 기입 기간(WP) 내에서 노드 M을 활성화하고, 이 노드 M의 활성 상태를 수직 블랭크 기간(BP)의 일정 시점까지 유지시킨다. 노드 M의 활성 전위는 도 6에서와 같이 제1 라인 샘플링 펄스(L1)가 인가되는 시점부터 제2 라인 샘플링 펄스(L2)가 인가되는 시점까지 유지된다. 샘플링부(BK1)는 수직 블랭크 기간(BP)에서, 자신에게 구비된 노드 M의 활성 전위와 글로벌 리셋 신호(RST)에 따라 노드 Q를 활성화한다. 이를 위해, 샘플링부(BK1)는 스위치 T1, 스위치 T2, 스위치 T3, 스위치 T4, 및 커패시터 C1를 포함한다.

[0047] 스위치 T1은 제1 라인 샘플링 펄스(L1)와 제2 라인 샘플링 펄스(L2)를 포함한 라인 샘플링 신호(LSP)가 인가되는 게이트전극, 캐리 신호(CRY)가 인가되는 드레인전극, 및 노드 M에 연결된 소스전극을 갖는다. 스위치 T1은 화상 데이터 기입 기간(WP)에서 제1 라인 샘플링 펄스(L1)에 동기되는 캐리 신호(CRY, S(n-3))를 노드 M에 저장하여 노드 M을 활성화시킨 후, 제2 라인 샘플링 펄스(L2)에 따라 수직 블랭크 기간(BP)의 일정 시점에서 노드 M을 비 활성화시킨다. 커패시터 C1은 노드 M과 저전위 전원전압(GVSS)의 입력단 사이에 연결되어 노드 M의 전위를 유지시킨다. 스위치 T2는 노드 M에 연결된 게이트전극, 고전위 전원전압(GVDD)이 인가되는 드레인전극, 및 노드 N1에 연결된 소스전극을 갖는다. 스위치 T2는 노드 M의 활성 전위에 따라 고전위 전원전압(GVDD)을 노드 N1에 인가한다. 스위치 T3는 글로벌 리셋 신호(RST)가 인가되는 게이트전극, 노드 N1에 연결된 드레인전극, 및 노드 Q에 연결된 소스전극을 갖는다. 스위치 T3는 수직 블랭크 기간(BP)에서 노드 N1에 충전된 고전위 전원전압(GVDD)을 글로벌 리셋 신호(RST)에 따라 노드 Q에 인가한다. 스위치 T4는 글로벌 스타트 신호(VST)가 인가되는 게이트전극, 노드 Q에 연결된 드레인전극, 및 저전위 전원전압(GVSS)이 인가되는 소스전극을 갖는다. 스위치 T4는 수직 블랭크 기간(BP)에서 글로벌 스타트 신호(VST)에 따라 노드 Q에 저전위 전원전압(GVSS)을 인가하여 노

드 Q를 비 활성화시킨다.

- [0048] 한편, 제 n 스테이지(STG n)는 노드 Q에 연결된 입력부(BK2)와, 노드 Q 및 노드 Qb에 연결된 제1 안정화부(BK3)와 인버터부(BK4)를 더 포함할 수 있다.
- [0049] 입력부(BK2)는 화상 데이터 기입 기간(WP) 내에서 캐리 신호(CRY, S($n-3$))를 노드 Q에 인가하여 노드 Q를 활성화시키는 스위치 T21과, 리셋 신호(S($n+3$))에 따라 저전위 전원전압(GVSS)을 노드 Q에 인가하여 노드 Q를 비 활성화시키는 스위치 T22를 포함한다.
- [0050] 제1 안정화부(BK3)는 노드 Qb에 연결된 게이트전극, 노드 Q에 연결된 드레인전극 및 저전위 전원전압(GVSS)이 인가되는 소스전극을 가지며, 노드 Qb가 활성화될 때 노드 Q를 저전위 전원전압(GVSS)으로 비 활성화시키는 스위치 T31을 포함한다.
- [0051] 인버터부(BK4)는 노드 Q의 전위와 노드 Qb의 전위가 상반되도록 하기 위해 스위치 T41, T42, T43, T44 및 T45를 포함한다. 스위치 T41은 고전위 전원전압(GVDD)이 인가되는 게이트전극과 드레인전극, 노드 Nx에 연결된 소스전극을 가지며, 노드 Nx를 고전위 전원전압(GVDD)으로 활성화시킨다. 스위치 T42는 노드 Nx에 연결된 게이트전극, 고전위 전원전압(GVDD)이 인가되는 드레인전극, 노드 Qb에 연결되는 소스전극을 가지며, 노드 Nx가 활성화될 때 노드 Qb에 고전위 전원전압(GVDD)을 인가한다. 스위치 T43은 노드 Q에 연결된 게이트전극, 노드 Nx에 연결된 드레인전극 및 저전위 전원전압(GVSS)이 인가되는 소스전극을 가지며, 노드 Q가 활성화될 때 노드 Nx에 저전위 전원전압(GVSS)을 인가하여 노드 Nx를 비 활성화시킨다. 스위치 T44는 노드 Q에 연결된 게이트전극, 노드 Qb에 연결된 드레인전극, 및 저전위 전원전압(GVSS)이 인가되는 소스전극을 가지며, 노드 Q가 활성화될 때 노드 Qb를 저전위 전원전압(GVSS)으로 비 활성화시킨다. 스위치 T45는 캐리 신호(CRY, S($n-3$))가 인가되는 게이트전극, 노드 Qb에 연결된 드레인전극, 및 저전위 전원전압(GVSS)이 인가되는 소스전극을 가지며, 캐리 신호(CRY, S($n-3$))가 인가될 때 노드 Qb를 저전위 전원전압(GVSS)으로 비 활성화시킨다.
- [0052] 도 7 내지 도 11은 본 발명의 다른 실시예에 따른 게이트 쉬프트 레지스터의 일 스테이지 구성을 보여주는 도면들이다.
- [0053] 도 5에 비해, 도 7의 게이트 쉬프트 레지스터는 동작의 안정성을 높이기 위해 샘플링부(BK1) 내에 스위치 T5, T6을 더 포함한다.
- [0054] 스위치 T5는 제1 라인 샘플링 펄스(L1)와 상기 제2 라인 샘플링 펄스(L2)가 인가되는 게이트전극, 스위치 T1의 소스전극과 노드 M 사이의 노드 N2에 연결된 드레인전극, 및 노드 M에 연결된 소스전극을 갖는다. 스위치 T5는 노드 M에 충전된 캐리 신호(CRY, S($n-3$))가 누설되는 것을 방지한다. 스위치 T6은 노드 M에 연결된 게이트전극, 고전위 전원전압(GVDD)이 인가되는 드레인전극, 및 노드 N2에 연결된 소스전극을 갖는다. 스위치 T6은 노드 M에 캐리 신호(CRY, S($n-3$))가 빠르게 충전되게 한다.
- [0055] 도 5에 비해, 도 8의 게이트 쉬프트 레지스터는 동작의 안정성을 더욱 높이기 위해 제2 안정화부(BK6)를 더 포함한다.
- [0056] 제2 안정화부(BK6)는 스위치 T51과 스위치 T52를 포함하여, 노드 M이 활성화된 스테이지의 Qb 노드를 수직 브랭크 기간(BP)에서 저전위 전원전압(GVSS)으로 비 활성화시킴으로써 동작의 안전성을 더욱 높인다. 스위치 T51은 글로벌 리셋 신호(RST)가 인가되는 게이트전극, Qb 노드에 연결된 드레인전극, 및 노드 N3에 연결된 소스전극을 갖는다. 스위치 T52는 노드 M에 연결된 게이트전극, 노드 N3에 연결된 드레인전극, 및 상기 저전위 전원전압(GVSS)이 인가되는 소스전극을 갖는다.
- [0057] 도 5에 비해, 도 9의 게이트 쉬프트 레지스터는 스위치 T2의 드레인전극에 고전위 전원전압(GVDD) 대신에 클럭 신호(CLK)를 인가한다. 스위치 T2의 드레인전극에 클럭 신호(CLK)를 인가하면, 고전위 전원전압(GVDD)을 인가할 때에 비해 스위치 T2에서 누설되는 전류량이 줄어드는 효과가 있다.
- [0058] 도 9에 비해, 도 10의 게이트 쉬프트 레지스터는 동작의 안정성을 높이기 위해 샘플링부(BK1) 내에 스위치 T5, T6을 더 포함한다. 도 10의 스위치 T5, T6은 도 7에서 설명한 것과 실질적으로 동일하다.
- [0059] 도 9에 비해, 도 11의 게이트 쉬프트 레지스터는 동작의 안정성을 더욱 높이기 위해 제2 안정화부(BK6)를 더 포함한다. 도 11의 제2 안정화부(BK6)는 도 8에서 설명한 것과 실질적으로 동일하다.
- [0060] 도 12는 라인 샘플링 신호(LSP)에 따라, 수평 블랭크 기간들(BP)에서 센싱용 게이트펄스(P27, P25)가 랜덤한 순서로 출력되는 일 예를 보여준다.

- [0061] 도 12에서 센싱용 게이트펄스(P27,P25)가 출력되는 타이밍은, 도 5 내지 도 11에서 예시한 바와 같이 제 n 스테이지(STG n)가 제 $n-3$ 스테이지(STG($n-3$))의 게이트 출력신호(S($n-3$), P1 $n-3$)를 캐리 신호(CRY)로 입력 받는 것을 가정한 결과이다.
- [0062] 제1 프레임에서 제1 라인 샘플링 펄스(L1)가 제7 스테이지에 입력되는 캐리 신호(S4)에 동기되는 경우, 제7 스테이지만이 제1 프레임의 수직 블랭크 기간(BP)에서 센싱용 게이트 펄스(P27)를 출력하고, 나머지 스테이지들은 제1 프레임의 수직 블랭크 기간(BP)에서 센싱용 게이트 펄스(P27)를 출력하지 못한다.
- [0063] 한편, 제2 프레임에서 제1 라인 샘플링 펄스(L1)가 제5 스테이지에 입력되는 캐리 신호(S2)에 동기되는 경우, 제5 스테이지만이 제2 프레임의 수직 블랭크 기간(BP)에서 센싱용 게이트 펄스(P25)를 출력하고, 나머지 스테이지들은 제2 프레임의 수직 블랭크 기간(BP)에서 센싱용 게이트 펄스(P27)를 출력하지 못한다.
- [0064] 도 13은 본 발명의 실시예에 따른 게이트 쉬프트 레지스터를 포함한 유기발광 표시장치를 보여준다.
- [0065] 도 13을 참조하면, 본 발명의 유기발광 표시장치는 표시패널(100), 데이터 구동회로, 스캔 구동회로, 및 타이밍 콘트롤러(110) 등을 구비한다.
- [0066] 표시패널(100)에는 다수의 데이터라인들 및 센싱라인들과, 다수의 게이트라인들이 교차되고, 이 교차영역마다 외부 보상용 픽셀들이 매트릭스 형태로 배치되어 외부 보상용 픽셀 어레이를 구성할 수 있다. 각 픽셀은 OLED, 구동 TFT(Thin Film Transistor), 스토리지 커패시터, 제1 스위치 TFT, 및 제2 스위치 TFT를 포함할 수 있다. TFT들은 P 타입으로 구현되거나 또는, N 타입으로 구현되거나 또는, P 타입과 N 타입이 혼용된 하이브리드 타입으로 구현될 수 있다. 또한, TFT의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다.
- [0067] 외부 보상용 픽셀 어레이를 갖는 본 발명의 유기발광 표시장치는 OLED와 구동 TFT의 전기적 특성을 센싱하고 그 센싱값에 따라 화상 표시용 데이터를 보정하는 기술이다. OLED의 전기적 특성은 OLED의 동작점 전압을 의미한다. 구동 TFT의 전기적 특성은 구동 TFT의 문턱전압과 구동 TFT의 전자 이동도를 의미한다.
- [0068] 외부 보상용 픽셀 어레이를 포함한 유기발광 표시장치는 본원 출원인에 의해 기출원된 출원번호 제10-2013-0134256호(2013/11/06), 출원번호 제10-2013-0141334호(2013/11/20), 출원번호 제10-2013-0149395호(2013/12/03), 출원번호 제10-2014-0086901호(2014/07/10), 출원번호 제10-2014-0079255호(2014/06/26), 출원번호 제10-2014-0079587호(2014/06/27), 출원번호 제10-2014-0119357호(2014/09/05) 등에 나타나 있다.
- [0069] 본 발명의 유기발광 표시장치는 픽셀들의 전기적 특성을 센싱하기 위해 실시간 센싱 프로세스를 수행한다. 본 발명의 유기발광 표시장치는 1 프레임 중에서 화상 데이터 기입 기간(WP)을 제외한 수직 블랭크 기간(BP)에서 센싱 동작을 수행하되, 1 프레임마다 1 픽셀라인씩 센싱한다. 여기서, 픽셀라인은 수평으로 이웃한 픽셀들의 집합을 의미하며, 1 픽셀라인에는 수평 해상도만큼의 픽셀들이 위치한다. 패널 구동회로는 화상 데이터 기입 기간(WP) 동안 화상 표시용 게이트펄스를 표시패널의 게이트라인들에 순차적으로 공급하여 화상 표시용 데이터를 표시패널의 모든 픽셀들에 기입하고, 수직 블랭크 기간(BP)에서 특정 픽셀라인에 연결된 게이트라인에만 센싱용 게이트펄스를 공급하여 센싱용 데이터를 상기 특정 픽셀라인의 픽셀들에 인가한다.
- [0070] 이를 위해, 데이터 구동회로는 다수의 소스 드라이브 IC들(120)을 포함한다. 소스 드라이브 IC들(120)은 타이밍 콘트롤러(110)로부터 화상 표시용 데이터들(RGB)을 입력 받는다. 소스 드라이브 IC들(120)은 타이밍 콘트롤러(110)로부터의 소스 타이밍 제어신호에 응답하여 화상 표시용 데이터들(RGB)을 감마보상전압으로 변환하여 데이터전압을 발생하고, 그 데이터전압을 화상 표시용 게이트펄스들에 동기되도록 표시패널(100)의 데이터라인들에 공급한다. 소스 드라이브 IC들은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정으로 표시패널(100)의 데이터라인들에 접속될 수 있다.
- [0071] 스캔 구동회로는 타이밍 콘트롤러(110)와 표시패널(100)의 게이트라인들 사이에 접속된 레벨 쉬프트(level shiftet)(150), 및 게이트 쉬프트 레지스터(130)를 구비한다.
- [0072] 레벨 쉬프트(150)는 타이밍 콘트롤러(110)로부터 입력되는 클럭 신호들(CLKs)의 TTL(Transistor-Transistor-Logic) 레벨 전압을 표시패널(100)에 형성된 TFT를 스위칭시킬 수 있는 게이트 하이 전압과 게이트 로우 전압으로 레벨 쉬프팅한다. 게이트 쉬프트 레지스터(130)는 도 3 내지 도 12를 통해 설명한 바와 같이 종래 대비 간소화 스테이지 구성만으로 수평 블랭크 기간에 센싱용 게이트펄스를 랜덤한 순서로 출력함으로써, 센싱 대상 픽셀라인을 불규칙하게 선택할 수 있다.
- [0073] 스캔 구동회로는 GIP(Gate In Panel) 방식으로 표시패널(100)의 하부 기판 상에 직접 형성될 수 있다. GIP 방

식에서, 레벨 쉬프트(150)는 PCB(140) 상에 실장되고, 게이트 쉬프트 레지스터(130)는 표시패널(100)의 하부기판 상에 형성될 수 있다. 게이트 쉬프트 레지스터(130)는 표시패널(100)에서 화상이 표시되지 않는 영역(즉, 베젤 영역(BZ))에 형성된다.

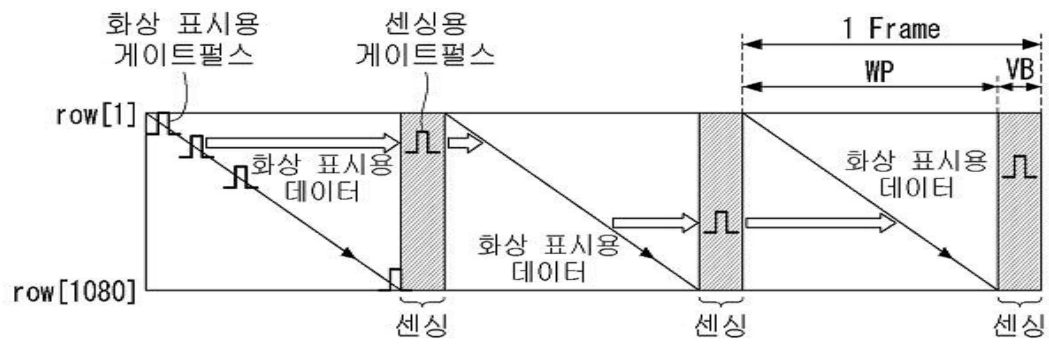
- [0074] 타이밍 컨트롤러(110)는 공지의 다양한 인터페이스 방식을 통해 외부의 호스트 시스템로부터 화상 표시용 데이터(RGB)를 입력 받는다. 타이밍 컨트롤러(110)는 실시간 센싱에 따른 센싱 결과를 기초로 픽셀들의 전기적 특성 편차가 보상되도록 화상 표시용 데이터(RGB)를 보정한 후 소스 드라이브 IC들(120)로 전송할 수 있다.
- [0075] 타이밍 컨트롤러(110)는 호스트 시스템으로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(MCLK) 등의 타이밍신호를 입력 받는다. 타이밍 컨트롤러(110)는 호스트 시스템으로부터의 타이밍 신호를 기준으로 데이터 구동회로 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호와, 스캔 구동회로의 동작 타이밍을 제어하기 위한 스캔 타이밍 제어신호를 생성한다.
- [0076] 스캔 타이밍 제어신호는 라인 샘플링 신호(LSP), 글로벌 리셋 신호(RST), 글로벌 스타트 신호(VST) 및 클럭 신호(CLKs) 등을 포함한다.
- [0077] 데이터 타이밍 제어신호는 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 소스 드라이브 IC들(120) 내에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 소스 출력 인에이블신호(SOE)는 데이터 전압의 출력 타이밍을 제어하는 신호이다.
- [0078] 전술한 본 발명은 다음과 같은 효과가 있다.
- [0079] 첫째, 본 발명은 실시간 센싱을 구현하기 위한 게이트 쉬프트 레지스터의 구성이 종래 대비 매우 간소하다. 그럼에도 불구하고, 본 발명은 수평 블랭크 기간에서 센싱용 게이트필스를 랜덤한 순서로 출력함으로써, 센싱 대상 픽셀라인을 불규칙하게 선택할 수 있다. 본 발명은 센싱 대상 픽셀라인을 불규칙하게 선택함으로써 종래 기술의 문제점인 순차 센싱에 따른 휘도 편차 시인 현상을 방지할 수 있다.
- [0080] 둘째, 본 발명은 종래 대비 간소한 구성의 게이트 쉬프트 레지스터를 구비하기 때문에 공정 불량이 발생할 확률이 낮고, 동작의 신뢰성이 높다.
- [0081] 셋째, 본 발명의 게이트 쉬프트 레지스터는 그 구성이 간소하기 때문에 표시패널에 내장될 경우 베젤 사이즈를 감소시킬 수 있다. 그리고, 본 발명의 게이트 쉬프트 레지스터는 실시간 센싱을 위해 클럭 라인 및 전원 라인을 추가할 필요가 없기 때문에 종래 대비 소비 전력 면에서 유리하다.
- [0082] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

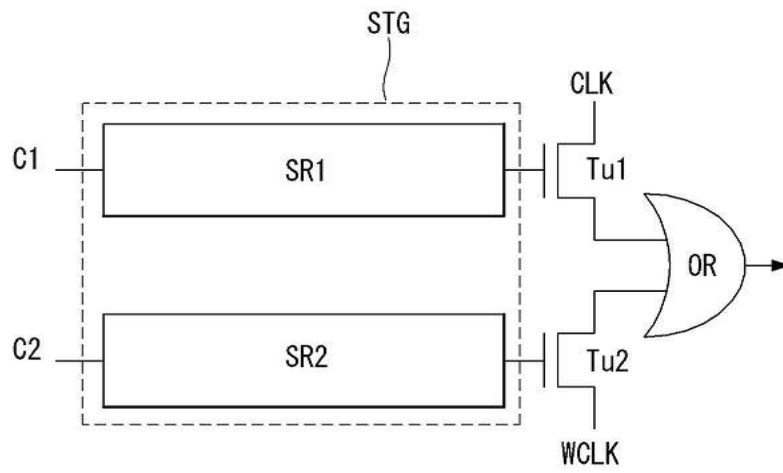
- [0083] 100 : 표시패널 110 : 타이밍 컨트롤러
120 : 소스 드라이브 IC 130 : 게이트 쉬프트 레지스터
140 : PCB 150 : 레벨 쉬프트

도면

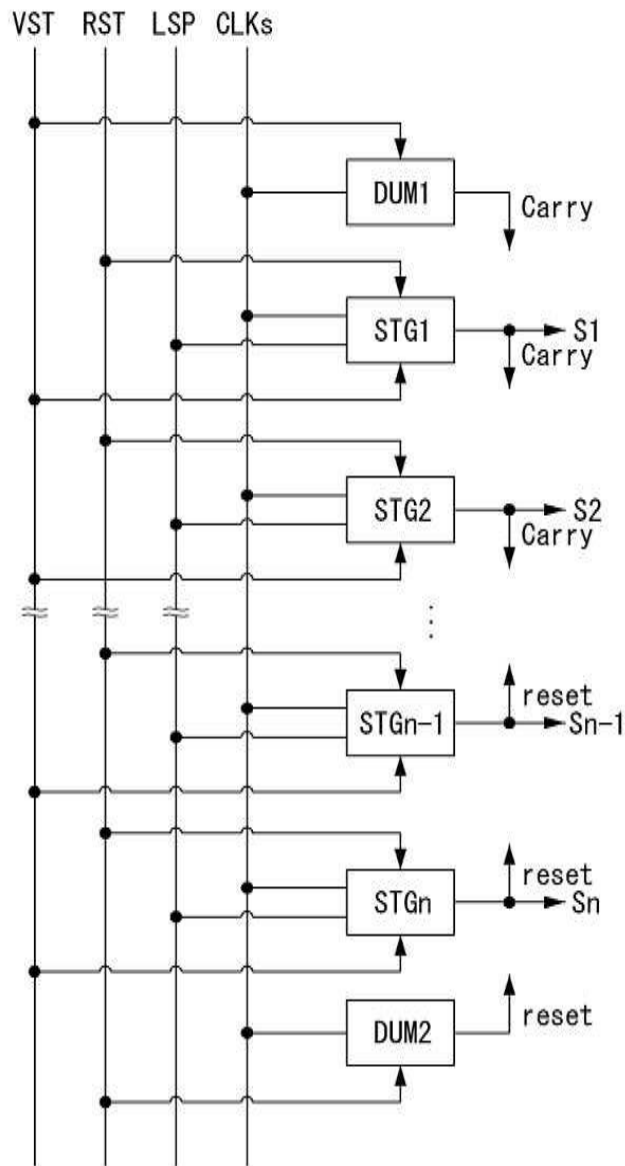
도면1



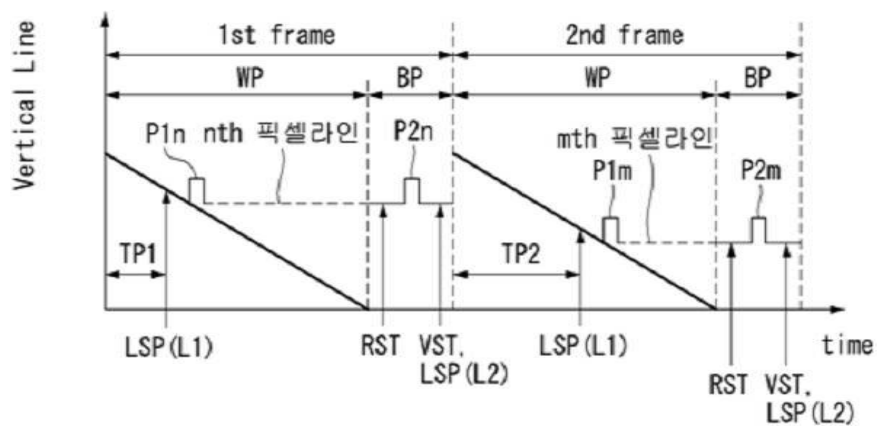
도면2



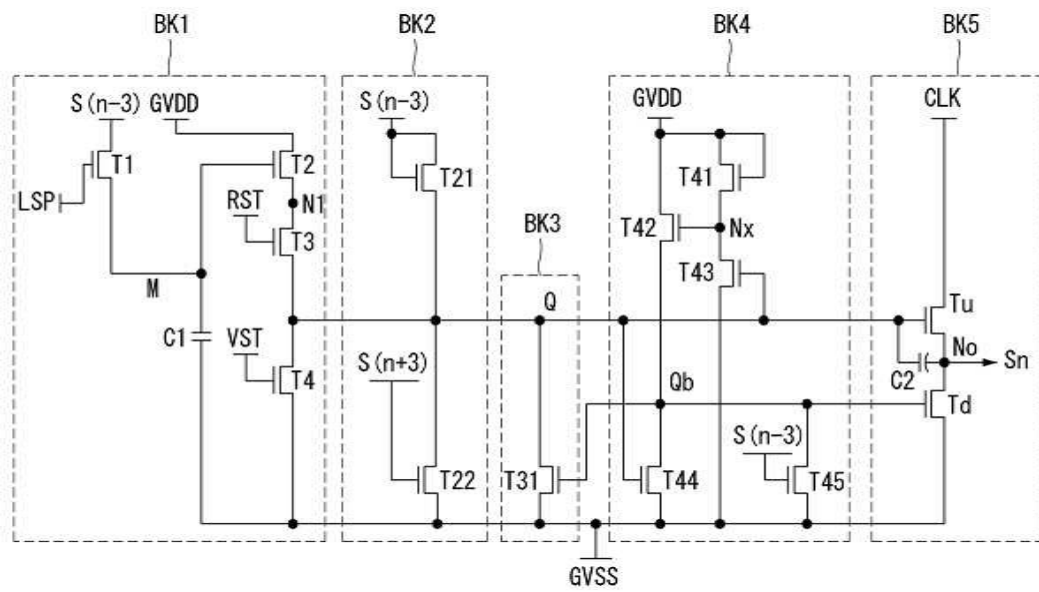
도면3



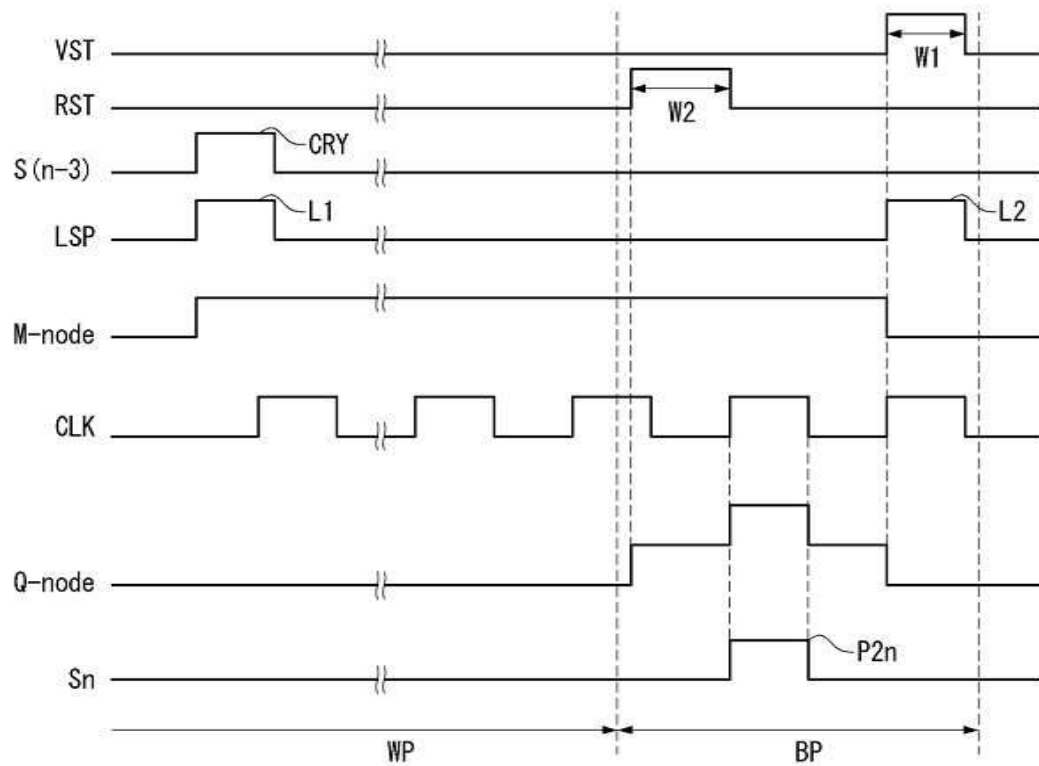
도면4



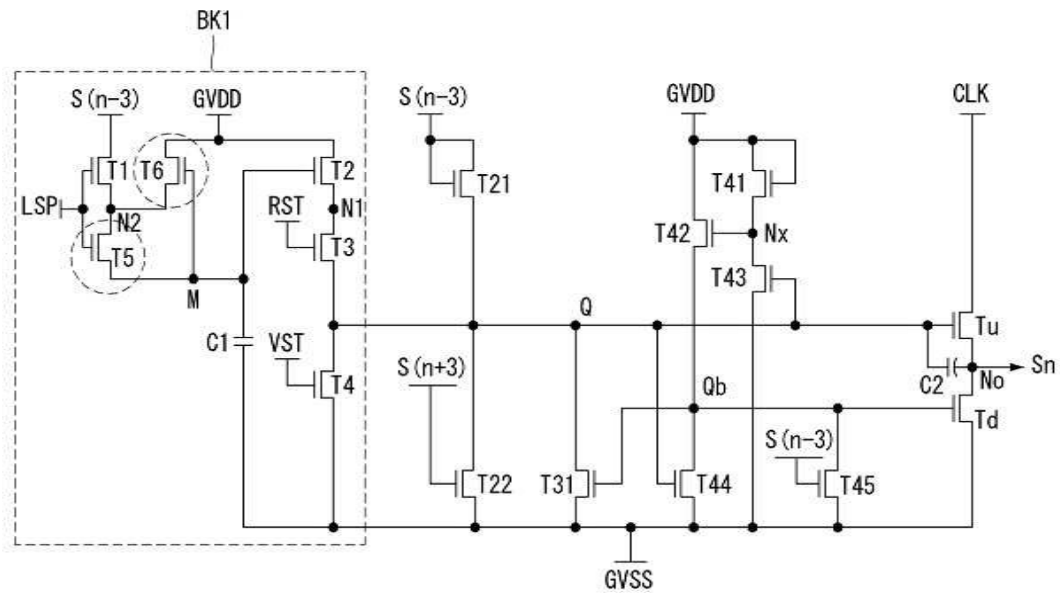
도면5



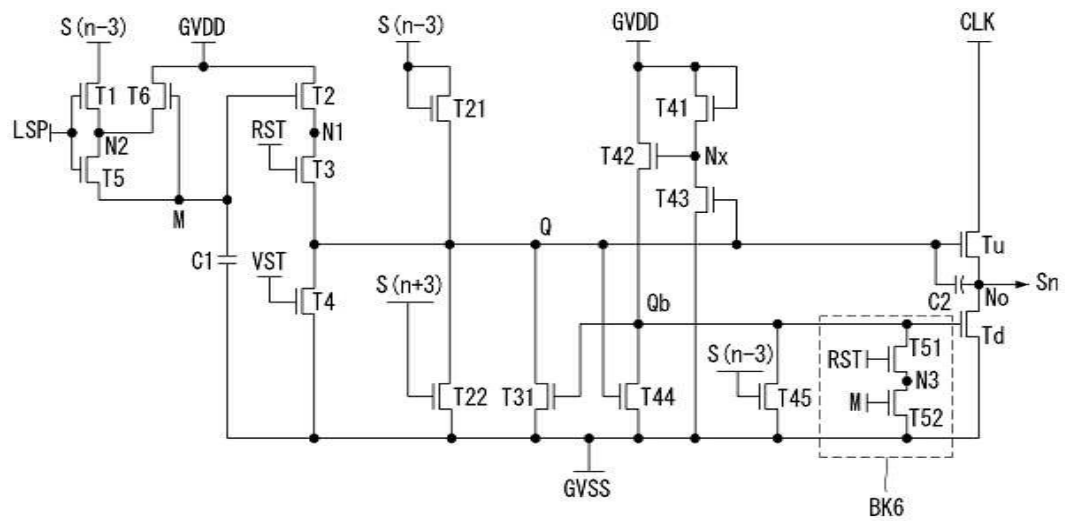
도면6



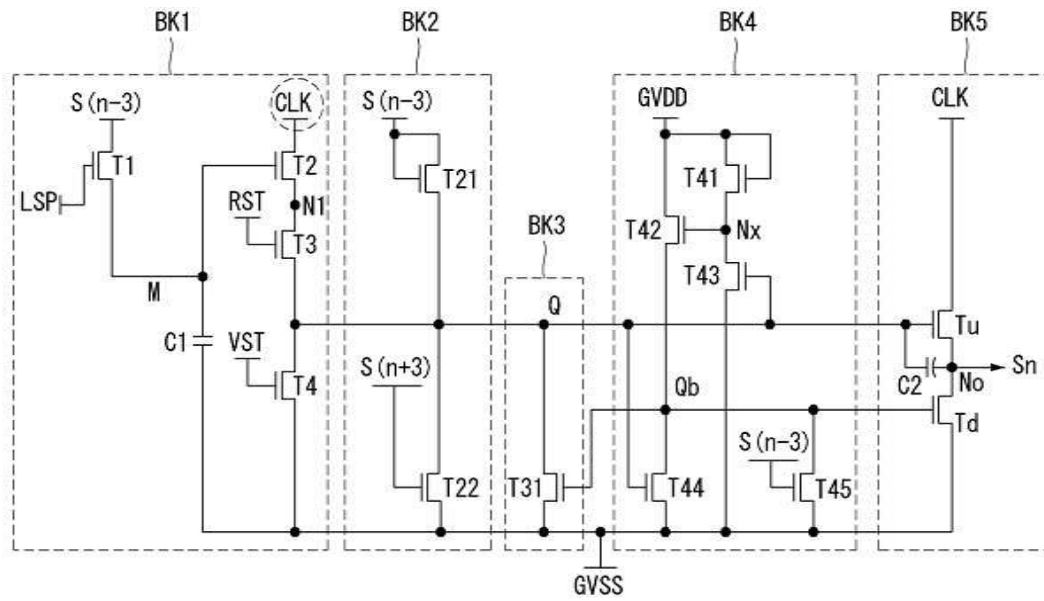
도면7



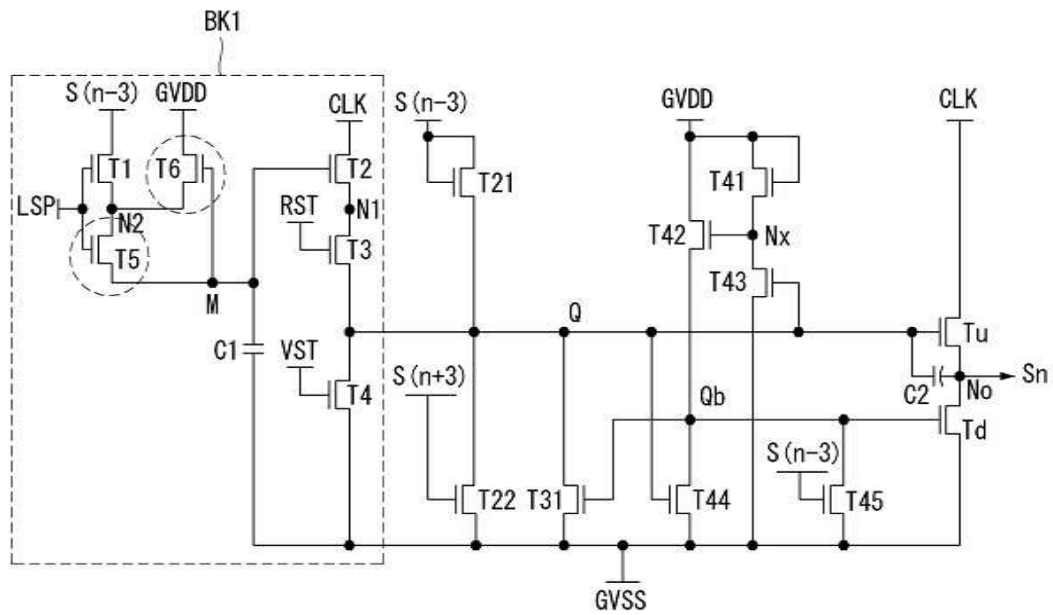
도면8



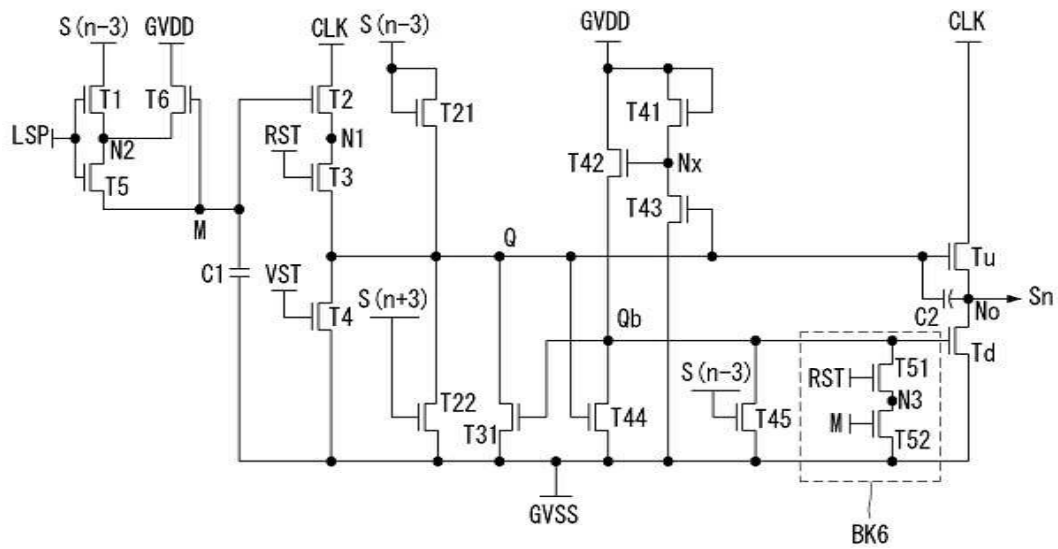
도면9



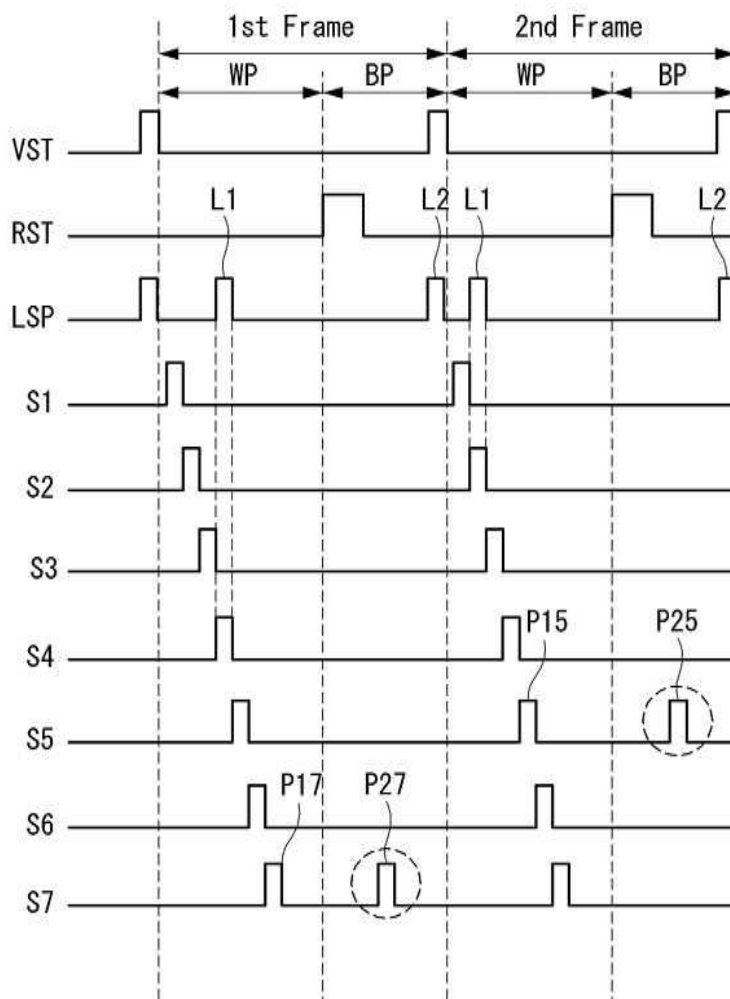
도면10



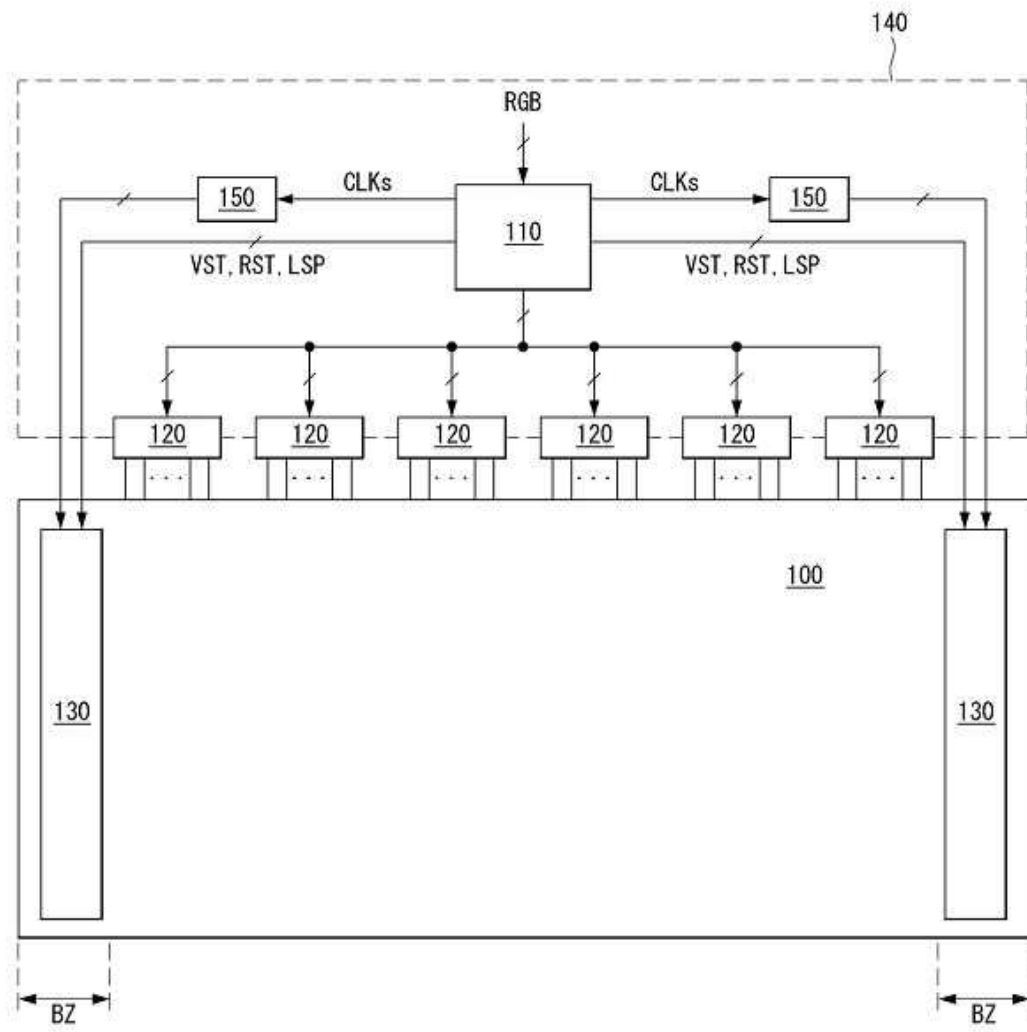
도면11



도면12



도면13



专利名称(译)	栅极移位寄存器和包括该栅极移位寄存器的有机发光显示装置及其驱动方法		
公开(公告)号	KR1020170078978A	公开(公告)日	2017-07-10
申请号	KR1020150188925	申请日	2015-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SON KI MIN 손기민 HAN IN HYO 한인호 BAN MYUNG HO 반명호		
发明人	손기민 한인호 반명호		
IPC分类号	G09G3/32 G09G3/3266		
CPC分类号	G09G3/3266 G09G2310/0286 G09G2310/061 G09G2230/00		
代理人(译)	이승찬		
外部链接	Espacenet		

摘要(译)

栅极移位寄存器技术领域本发明涉及一种用于产生用于外部补偿的感测门脉冲的栅极移位寄存器。 本发明配置选通移位寄存器以在水平消隐周期中以随机顺序输出感测选通脉冲。 本发明的栅极移位寄存器在一帧中在图像数据写入时段WP期间输出图像显示栅极脉冲P1，并且在一帧中输出其中未写入图像显示数据的垂直空白时段BP。 具有多个级，用于选择性地输出感测栅极脉冲 (P2)。 每个级可以包括采样单元BK1，用于根据在垂直消隐时段BP中提供的节点M的有效电势来激活节点Q，以及共同施加到这些级的全局复位信号RST。) 以及输出部分BK5，其用于在二次空白时段BP中在节点Q被激活的时段期间输出感测栅极脉冲P2。

