



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0120542
(43) 공개일자 2014년10월14일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H05B 33/26 (2006.01)
H05B 33/10 (2006.01)
(21) 출원번호 10-2013-0036441
(22) 출원일자 2013년04월03일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
신민철
경기도 용인시 기흥구 삼성2로 95 (농서동)
(74) 대리인
리엔목특허법인

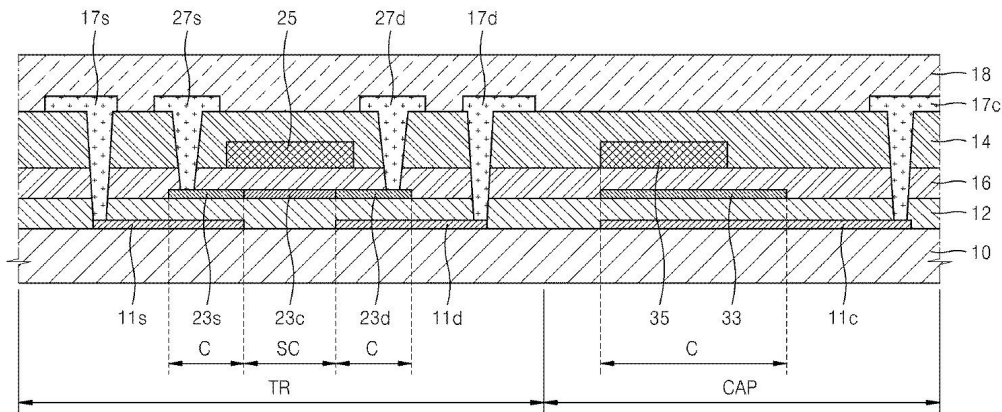
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 유기발광표시장치 및 이의 제조방법

(57) 요약

본 발명의 일 실시예에 따르면, 액티브층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막트랜지스터; 상기 박막트랜지스터의 하부에 형성된 적어도 하나 이상의 유도 전극; 상기 유도 전극에 전원을 공급하는 적어도 하나 이상의 유도 배선; 을 포함하고, 상기 유도 배선은 상기 유도 전극에 전압을 인가하여 상기 액티브층의 일부 영역에 불순물이 도핑된 것과 같은 효과를 내는 유기발광표시장치가 제공된다.

대표도



특허청구의 범위

청구항 1

액티브층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막트랜지스터;

상기 박막트랜지스터의 하부에 형성된 적어도 하나 이상의 유도 전극;

상기 유도 전극에 전원을 공급하는 적어도 하나 이상의 유도 배선;

을 포함하고,

상기 유도 배선은 상기 유도 전극에 전압을 인가하여 상기 액티브층의 일부 영역에 불순물이 도핑된 것과 같은 효과를 내는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 유도 전극은,

절연층을 사이에 두고 상기 액티브층의 하부에 형성되는 것을 특징으로 하는 유기발광표시장치.

청구항 3

제1항에 있어서,

상기 유도 전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW 및 Cu 가운데 선택된 하나 이상의 물질을 포함하는 것을 특징으로 하는 유기발광표시장치.

청구항 4

제1항에 있어서,

상기 액티브층은 반도체 물질을 포함하며, 상기 액티브층의 양측 단부는 상기 유도 전극에 기준값 이하의 전압이 인가될 때 전기 전도도가 기준치 이상인 소스 영역 및드레인 영역을 형성하는 것을 특징으로 하는 유기발광표시장치.

청구항 5

제4항에 있어서,

상기 소스 영역 및 드레인 영역은 절연층을 사이에 두고 하부에 상기 유도 전극이 위치하는 것을 특징으로 하는 유기발광표시장치.

청구항 6

제1항에 있어서,

상기 액티브층과 동일층에 동일물질로 형성되는 하부 전극;

및 상기 게이트 전극과 동일층에 동일물질로 형성되는 상부 전극;을 포함하는 커패시터;

를 더 포함하는 것을 특징으로 하는 유기발광표시장치.

청구항 7

제6항에 있어서,

상기 하부 전극은,

절연층을 사이에 두고 상기 유도 전극의 상부에 형성되는 것을 특징으로 하는 유기발광표시장치.

청구항 8

제6항에 있어서,

상기 하부 전극은 반도체 물질을 포함하며, 상기 하부 전극은 상기 유도 전극에 전압이 인가될 때 전기 전도도가 상승하는 것을 형성하는 것을 특징으로 하는 유기발광표시장치.

청구항 9

제1항에 있어서,

상기 유도 전극과 동일층에 동일 물질로 형성되는 하부 전극;

및 상기 게이트 전극과 동일층에 동일물질로 형성되는 상부 전극;을 포함하는 커패시터;

를 더 포함하는 것을 특징으로 하는 유기발광표시장치.

청구항 10

기판 상에 적어도 하나 이상의 유도 전극을 생성하는 제1 마스크 공정 단계;

상기 유도 전극 상에 반도체 물질을 포함하는 박막트랜지스터의 액티브층을 형성하는 제2 마스크 공정 단계;

상기 액티브층 상에 상기 박막트랜지스터의 게이트 전극 및 커패시터의 상부 전극을 형성하는 제3마스크 공정 단계;

상기 적어도 하나 이상의 유도 전극, 상기 액티브층의 양측의 일부를 노출하는 개구를 갖는 층간 절연막을 생성하는 제4 마스크 공정 단계;

상기 층간 절연막 상에 전면적으로 금속층을 형성하고, 상기 금속층을 소스 전극, 드레인 전극 및 적어도 하나 이상의 유도 배선으로 패터닝하는 제5 마스크 공정 단계;

상기 소스 전극, 드레인 전극, 및 적어도 하나 이상의 유도 배선 상에 층간 절연막을 형성하는 단계;

를 포함하는 유기발광표시장치의 제조 방법.

청구항 11

제10항에 있어서,

상기 제2 마스크 공정 단계는,

상기 유도 전극 상부에 전면적으로 반도체 물질을 포함하는 반도체층을 전면적으로 형성하는 단계; 및

상기 반도체층을 패터닝하여 상기 액티브층을 형성하는 것을 특징으로 하는 유기발광표시장치의 제조 방법.

청구항 12

제11항에 있어서,

상기 반도체층을 패터닝할 때 상기 반도체층과 상기 유도 전극의 사이에 있는 절연층을 함께 패터닝하는 것을 특징으로 하는 유기발광표시장치의 제조 방법.

청구항 13

제10항에 있어서,

상기 제2 마스크 공정 단계는,

상기 액티브층과 함께 상기 커패시터의 하부 전극을 생성하는 것을 특징으로 하는 유기발광표시장치의 제조 방법.

청구항 14

제10항에 있어서,

제5 마스크 공정 단계는,

상기 층간 절연막 상에 상기 개구들을 충전할 수 있도록 전면적으로 도전층을 증착하는 단계; 및

상기 도전층을 패터닝하여 상기 적어도 하나 이상의 유도 전극과 각각 연결되는 적어도 하나 이상의 유도 배선 및 상기 소스 전극, 드레인 전극을 형성하는 단계;

를 포함하는 것을 특징으로 하는 유기발광표시장치의 제조 방법.

청구항 15

제10항에 있어서,

상기 유도 전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW 및 Cu 가운데 선택된 하나 이상의 물질을 포함하는 것을 특징으로 하는 유기발광표시장치의 제조 방법.

청구항 16

제10항에 있어서,

상기 액티브층은 반도체 물질을 포함하며, 상기 액티브층의 양측 단부는 상기 유도 전극에 기준값 이하의 전압이 인가될 때 전기 전도도가 기준치 이상인 소스 영역 및 드레인 영역을 형성하는 것을 특징으로 하는 유기발광표시장치의 제조 방법.

청구항 17

반도체 물질을 함유하는 액티브층을 포함하는 박막트랜지스터를 일 구성요소로 하는 유기발광표시장치의 제조 방법에 있어서,

상기 박막트랜지스터의 액티브층 하부에 형성된 유도 전극에 기준치 이하의 전압을 인가하는 단계;

상기 박막트랜지스터의 액티브층의 영역 중 하부에 상기 유도 전극이 존재하는 영역의 전기 전도도가 증가하는 단계;

를 포함하는 유기발광표시장치의 제조 방법.

청구항 18

제17항에 있어서,

상기 전기 전도도가 증가한 영역에 상기 박막트랜지스터의 소스 전극 및 드레인 전극이 연결되는 것을 특징으로 하는 유기발광표시장치의 제조 방법.

명세서

기술분야

[0001] 본 발명은 유기발광표시장치 및 이의 제조방법에 관한 것으로, 상세하게는 유도 전극을 사용하여 액티브층에 불순물을 도핑하지 않아도 소스 영역 및 드레인 영역을 형성할 수 있는 유기발광표시장치 및 이의 제조방법에 관한 것이다.

배경기술

[0002] 유기발광표시장치, 액정 디스플레이 장치 등과 같은 평판 표시 장치는 박막트랜지스터(Thin Film Transistor: TFT) 및 커패시터 등과 이들을 연결하는 배선을 포함하는 패틴이 형성된 기판상에 제작된다.

[0003] 유기발광표시장치의 박막트랜지스터는 반도체물질로 이루어진 액티브층을 포함하며, 상기 액티브층에서 채널 영역 외에 박막트랜지스터의 소스 전극 및 드레인 전극과 컨택하는 영역을 소스 영역 및 드레인 영역이라 한다. 일반적으로, 상기 소스 영역 및 드레인 영역은 P+ 혹은 N+의 이온을 주입하는 불순물 도핑 공정을 통해 생성하였다. 그러나 불순물 도핑 공정은 설비 대형화시 많은 투자 비용이 필요하고 정전기를 유발하는 문제점이 있었다.

[0004] 이러한 불순물 공정을 없애기 위하여는 바텀-게이트(bottom-gate)방식을 사용할 수 있으나, 바텀-게이트 방식은 채널 영역의 길이가 명확히 정의되지 않기 때문에 박막트랜지스터의 특성 산포가 큰 단점이 존재한다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 불순물 도핑 공정이 없이도 유도 전극을 사용하여 액티브층의 소스 영역 및 드레인 영역을 형성할 수 있는 유기박막표시장치를 제공하는 것을 일 목적으로 한다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따르면, 액티브층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막트랜지스터; 상기 박막트랜지스터의 하부에 형성된 적어도 하나 이상의 유도 전극; 상기 유도 전극에 전원을 공급하는 적어도 하나 이상의 유도 배선; 을 포함하고, 상기 유도 배선은 상기 유도 전극에 전압을 인가하여 상기 액티브층의 일부 영역에 불순물이 도핑된 것과 같은 효과를 내는 유기발광표시장치가 제공된다.

[0007] 본 발명에 있어서, 상기 유도 전극은, 절연층을 사이에 두고 상기 액티브층의 하부에 형성되는 것을 특징으로 한다.

[0008] 본 발명에 있어서, 상기 유도 전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW 및 Cu 가운데 선택된 하나 이상의 물질을 포함하는 것을 특징으로 한다.

[0009] 본 발명에 있어서, 상기 액티브층은 반도체 물질을 포함하며, 상기 액티브층의 양측 단부는 상기 유도 전극에 기준값 이하의 전압이 인가될 때 전기 전도도가 높은 소스 영역 및 드레인 영역을 형성하는 것을 특징으로 한다.

[0010] 본 발명에 있어서, 상기 소스 영역 및 드레인 영역은 절연층을 사이에 두고 하부에 상기 유도 전극이 위치하는 것을 특징으로 한다.

[0011] 본 발명에 있어서, 상기 액티브층과 동일층에 동일물질로 형성되는 하부 전극; 및 상기 게이트 전극과 동일층에 동일물질로 형성되는 상부 전극;을 포함하는 커패시터; 를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

[0012] 본 발명에 있어서, 상기 하부 전극은, 절연층을 사이에 두고 상기 유도 전극의 상부에 형성되는 것을 특징으로 한다.

[0013] 본 발명에 있어서, 상기 하부 전극은 반도체 물질을 포함하며, 상기 하부 전극은 상기 유도 전극에 전압이 인가될 때 전기 전도도가 상승하는 것을 형성하는 것을 특징으로 한다.

[0014] 본 발명에 있어서, 상기 유도 전극과 동일층에 동일 물질로 형성되는 하부 전극; 및 상기 게이트 전극과 동일층에 동일물질로 형성되는 상부 전극;을 포함하는 커패시터; 를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

[0015] 본 발명의 일 실시예에 따르면, 기판 상에 적어도 하나 이상의 유도 전극을 생성하는 제1 마스크 공정 단계; 상기 유도 전극 상에 반도체 물질을 포함하는 박막트랜지스터의 액티브층을 형성하는 제2 마스크 공정 단계; 상기 액티브층 및 상기 하부 전극 상에 상기 박막트랜지스터의 게이트 전극 및 상기 커패시터의 상부 전극을 형성하는 제3마스크 공정 단계; 상기 적어도 하나 이상의 유도 전극, 상기 액티브층의 양측, 상기 커패시터의 하부 전극의 일부를 노출하는 개구를 갖는 층간 절연막을 생성하는 제4 마스크 공정 단계; 상기 층간 절연막 상에 전면적으로 금속층을 형성하고, 상기 금속층을 소스 전극, 드레인 전극 및 적어도 하나 이상의 유도 배선으로 패터닝하는 제5 마스크 공정 단계; 상기 소스 전극, 드레인 전극, 및 적어도 하나 이상의 유도 배선 상에 층간 절연막을 형성하는 단계; 를 포함하는 유기발광표시장치의 제조 방법이 제공된다.

[0016] 본 발명에 있어서, 상기 제2 마스크 공정 단계는, 상기 유도 전극 상부에 전면적으로 반도체 물질을 포함하는 반도체층을 전면적으로 형성하는 단계; 및 상기 반도체층을 패터닝하여 상기 액티브 영역을 형성하는 것을 특징으로 한다.

[0017] 본 발명에 있어서, 상기 반도체층을 패터닝할 때 상기 반도체층과 상기 유도 전극의 사이에 있는 절연층을 함께 패터닝하는 것을 특징으로 한다.

- [0018] 본 발명에 있어서, 상기 제2 마스크 공정 단계는, 상기 액티브층과 함께 상기 커패시터의 하부 전극을 생성하는 것을 특징으로 한다.
- [0019] 본 발명에 있어서, 제5 마스크 공정 단계는, 상기 층간 절연막 상에 상기 개구들을 충전할 수 있도록 전면적으로 도전층을 증착하는 단계; 및 상기 도전층을 패터닝하여 상기 적어도 하나 이상의 유도 전극과 각각 연결되는 적어도 하나 이상의 유도 배선 및 상기 소스 전극, 드레인 전극을 형성하는 단계; 를 포함하는 것을 특징으로 한다.
- [0020] 본 발명에 있어서, 상기 유도 전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW 및 Cu 가운데 선택된 하나 이상의 물질을 포함하는 것을 특징으로 한다.
- [0021] 본 발명에 있어서, 상기 액티브층은 반도체 물질을 포함하며, 상기 액티브층의 양측 단부는 상기 유도 전극에 기준값 이하의 전압이 인가될 때 전기 전도도가 높은 소스 영역 및 드레인 영역을 형성하는 것을 특징으로 한다.
- [0022] 본 발명의 일 실시예에 따르면, 반도체 물질을 포함하는 액티브층을 일 구성요소로 하는 유기발광표시장치의 제조 방법에 있어서, 상기 박막트랜지스터의 액티브층 하부에 형성된 유도 전극에 기준치 이하의 전압을 인가하는 단계; 상기 박막트랜지스터의 액티브층의 영역 중 하부에 상기 유도 전극이 존재하는 영역의 전기 전도도가 증가하는 단계; 를 포함하는 유기발광표시장치의 제조 방법이 제공된다.
- [0023] 본 발명에 있어서, 상기 전기 전도도가 증가한 영역에 상기 박막트랜지스터의 소스 전극 및 드레인 전극이 연결되는 것을 특징으로 한다.

발명의 효과

- [0024] 본 발명에 의하면, 불순물 도핑 공정이 없이도 유도 전극을 사용하여 액티브층의 소스 영역 및 드레인 영역을 형성할 수 있는 유기박막표시장치를 제공할 수 있다.

도면의 간단한 설명

- [0025] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치(1)의 구조를 개략적으로 나타낸 평면도이다.
- 도 2는 도 1의 I-I' 선을 따라 절개한 단면도이다.
- 도 3은 본 발명의 일 실시예에 따른 유기발광표시장치(1)의 제1 마스크 까지의 공정을 나타낸 도면이다.
- 도 4는 본 발명의 일 실시예에 따른 유기발광표시장치(1)의 제2 마스크 까지의 공정을 나타낸 도면이다.
- 도 5는 본 발명의 일 실시예에 따른 유기발광표시장치(1)의 제3 마스크 까지의 공정을 나타낸 도면이다.
- 도 6은 본 발명의 일 실시예에 따른 유기발광표시장치(1)의 제4 마스크 까지의 공정을 나타낸 도면이다.
- 도 7은 본 발명의 일 실시예에 따른 유기발광표시장치(1)의 제5 마스크 까지의 공정을 나타낸 도면이다.
- 도 8은 본 발명의 다른 일 실시예에 따른 유기발광표시장치(1)를 나타낸 도면이다.
- 도 9는 본 발명의 다른 일 실시예에 따른 유기발광표시장치(1)의 제조 공정 중 도 4b의 변형예를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 후술하는 본 발명에 대한 상세한 설명은, 본 발명이 실시될 수 있는 특정 실시예를 예시로서 도시하는 첨부 도면을 참조한다. 이러한 실시예는 당업자가 본 발명을 실시할 수 있기에 충분하도록 상세히 설명된다. 본 발명의 다양한 실시예는 서로 다르지만 상호 배타적일 필요는 없음이 이해되어야 한다. 예를 들어, 본 명세서에 기재되어 있는 특정 형상, 구조 및 특성은 본 발명의 정신과 범위를 벗어나지 않으면서 일 실시예로부터 다른 실시예로 변경되어 구현될 수 있다. 또한, 각각의 실시예 내의 개별 구성요소의 위치 또는 배치도 본 발명의 정신과 범위를 벗어나지 않으면서 변경될 수 있음이 이해되어야 한다. 따라서, 후술하는 상세한 설명은 한정적인 의미로서 행하여지는 것이 아니며, 본 발명의 범위는 특허청구범위의 청구항들이 청구하는 범위 및 그와 균등한 모든 범위를 포괄하는 것으로 받아들여져야 한다. 도면에서 유사한 참조부호는 여러 측면에 걸쳐서 동일하거나 유사한 구성요소를 나타낸다.

- [0027] 이하에서는, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있도록 하기 위하여, 본 발명의 여러 실시예에 관하여 첨부된 도면을 참조하여 상세히 설명하기로 한다.
- [0028] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치(1)의 구조를 개략적으로 나타낸 평면도이다.
- [0029] 도 1을 참조하면, 유기발광표시장치(1)는 복수개의 발광화소를 포함하는 제1기판(10), 제1기판(10)과 실링을 통해 합착되는 제2기판(70)을 포함한다.
- [0030] 제1기판(10)에는 박막트랜지스터(TFT), 유기발광소자(EL), 커패시터(Cst) 등이 형성될 수 있다. 또한, 제1기판(10)은 LTPS(crystalline silicon) 기판, 유리 기판 또는 플라스틱 기판 등일 수 있다.
- [0031] 제2기판(70)은 제1기판(10)에 구비된 TFT 및 발광화소 등을 외부 수분, 공기 등으로부터 차단하도록 제1기판(10) 상에 배치되는 봉지기판일 수 있다. 제2기판(70)은 제1기판(10)과 대향되도록 위치하고, 제1기판(10)과 제2기판(70)은 그 가장자리를 따라 배치되는 실링부재(90)에 의해 서로 접합된다. 제2기판(70)은 유리 기판 또는 플라스틱 기판 또는 스테인리스 스틸(Stainless Using Steel; SUS) 기판 일 수 있다.
- [0032] 도시되지 않았으나, 상기 제2기판(70) 박막의 밀봉필름을 발광 영역을 밀봉하도록 제1기판 상에 형성함으로써 발광 영역을 외기로부터 보호할 수 있다. 예를 들어, 밀봉필름은 실리콘옥사이드 또는 실리콘나이트라이드와 같은 무기물로 이루어진 막과 에폭시, 폴리이미드와 같은 유기물로 이루어진 막이 교대로 성막된 구조를 취할 수 있다. 다른 예로 밀봉필름(26)은 주석산화물(SnO)과 같은 저융점 유리(low melting glass)를 포함하는 막 구조를 취할 수 있다. 한편, 이는 예시적인 것에 불과하여 반드시 이에 한정되는 것은 아니며 박막(thin film)의 밀봉구조이면 어떠한 것이든 적용 가능하다.
- [0033] 제1기판(10)은 빛이 출사되는 발광영역(DA)과 이 발광영역(DA)의 외곽에 위치한 비발광영역(NDA)을 포함한다. 본 발명의 실시예들에 따르면, 발광 영역(DA) 외측의 비발광 영역(NDA)에 실링부재(90)가 배치되어, 제1기판(10)과 제2기판(70)을 접합한다.
- [0034] 상술한 바와 같이, 제1기판(10)의 발광영역(DA)에는 유기발광소자(EL), 이를 구동하는 박막트랜지스터(TFT) 및 이들과 전기적으로 연결된 배선이 형성된다. 그리고, 비발광 영역(NDA)에는 발광영역(DA)의 배선으로부터 연장 형성된 패드전극이 위치하는 패드영역(5)이 포함될 수 있다.
- [0035] 도 2는 도 1의 I-I' 선을 따라 절개한 단면도이다.
- [0036] 도 2를 참조하면, 본 발명의 유기발광표시장치(1)는, 트랜지스터 영역(TFT), 저장 영역(CAP)을 포함한다.
- [0037] 트랜지스터 영역(TR)에는 구동소자로서 박막트랜지스터(TFT)가 구비된다. 박막트랜지스터(TFT)는, 액티브층(23), (25) 및 소스/드레인 전극(27s/27d)으로 구성된다. 게이트 전극(25)과 액티브층(23) 사이에는 이들 간의 절연을 위한 게이트 절연막으로서 절연층(14)이 개재되어 있다. 또한, 액티브층(23)의 양쪽 가장자리에는 소스/드레인 영역(23s/23d)이 형성되어 있으며, 이들은 상기 소스/드레인 전극(27s/27d)에 각각 연결되어 있다.
- [0038] 또한, 트랜지스터 영역(TR)에는 상기 액티브층(23)의 하부에 보조층(12)을 사이에 두고 제1 유도 전극(11s) 및 제2 유도 전극(11d)이 형성되어 있다. 액티브층(23)에서 제1/제2 유도 전극(11s/11d)과 겹치는 부분은 제1/제2 유도 전극(11s/11d)에 기준값 이하의 전압이 인가되는 경우 불순물 도핑이 없이도 소스/드레인 영역(23s/23d)으로 기능한다.
- [0039] 저장 영역(CAP)에는 커패시터(Cst)가 구비된다. 커패시터(Cst)는 하부 전극(33) 및 상부 전극(35)으로 이루어지며, 이들 사이에 절연층(14)이 개재된다. 여기서, 하부 전극(33)은 박막트랜지스터(TFT)의 액티브층(23)과 동일한 층에 형성될 수 있다. 하부 전극(31)은 액티브층(23)과 같은 반도체 물질로 이루어지며, 불순물이 도핑되는 대신, 하부 전극(31) 아래에 위치한 제3 유도 전극(11c)의 전극 유도에 의해 전기전도성이 향상된다. 한편, 커패시터 상부 전극(35)은 박막트랜지스터 영역(TFT)의 게이트 전극(25)과 동일한 층에 동일한 물질로 형성될 수 있다.
- [0040] 즉, 본 발명에서는, 상기 소스/드레인 영역(23s/23d)은 액티브층(23)에 형성되며, 소스/드레인 영역은 보조층(12) 아래에 위치한 유도 전극에 기준값 이하의 전압이 인가되면 전기 전도도가 향상되어 P+(또는 N+)이온 주입 공정이 없이도 불순물 도핑된 것과 동일한 효과를 얻을 수 있는 유기박막표시장치를 제공한다. 또한, 커패시터(CAP)의 하부 전극(33)도 보조층(12) 아래에 위치한 유도 전극에 기준값 이하의 전압이 인가되면 전기 전도도가 향상되어 전극으로 기능할 수 있다.
- [0041] 비록 본 도면에는 도시되지 않았지만, 본 발명의 일 실시예에 따른 유기발광표시장치는 유기 발광 소자를 구비

하는 발광 영역 및 패드 전극을 포함하는 패드 영역을 추가로 구비할 수 있다. 발광 영역의 유기발광소자는 박막트랜지스터(TFT)의 소스/드레인 전극(27s/27d) 중 하나와 접속된 화소 전극, 화소 전극과 마주보도록 형성된 대향전극 및 그 사이에 개재된 중간층으로 구성된다. 화소전극은 투명한 전도성 물질로 형성되며, 중간층은 유기발광물질을 포함하여 화소 전극과 대향 전극에 전압이 인가되면 발광할 수 있다. 또한, 패드전극은 유기발광 표시장치(1)의 구동을 위해 전류를 공급하는 드라이버 IC(미도시)와 전기적으로 연결된다. 따라서, 패드전극(53)은 드라이버 IC로부터 전류를 인가받아 발광영역(도 1의 DA)으로 전달하게 된다.

[0042] 도 2 내지 도 7은 도 2에 도시된 유기발광표시장치(1)의 제조공정을 개략적으로 나타내는 단면도이다. 이하에서는 도 2에 도시된 유기발광표시장치(1)의 제조공정을 개략적으로 설명한다.

[0043] 도 3은 본 발명의 일 실시예에 따른 유기발광표시장치(1)의 제1 마스크 까지의 공정을 나타낸 도면이다.

[0044] 먼저, 도 3a에 도시된 바와 같이, 제1기판(10) 상부에 제1 도전층(11)을 형성한다. 상세히, 제1기판(10)은 SiO₂를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 제1기판(10)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재 또는 금속 재 등, 다양한 재질의 기판을 이용할 수 있다.

[0045] 제1 도전층(11)은 유전율이 높은 금속을 사용하며, 유도 전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW 및 Cu 가운데 선택된 하나 이상의 물질로 형성될 수 있다. 바람직하게는, 제1 도전층(11)은 Mo일 수 있다. 또한, 제1 도전층(11)의 두께는 기설정된 값보다 얇게 형성될 수 있으며, 바람직하게는 3000 옴 스트롱 이하로 형성될 수 있다.

[0046] 다음으로, 도 3b에 도시된 바와 같이, 제1 도전층(11)을 제1 마스크를 사용해 패터닝하여 제1 유도 전극(11s), 제2 유도 전극(11d), 제3 유도 전극(11c)을 형성한다. 제1 유도 전극(11s), 제2 유도 전극(11d), 제3 유도 전극(11c)은 후술할 배선들과 연결되어 전압이 인가될 수 있으며, 각각 유기박막트랜지스터(TFT)의 소스 영역(23s), 드레인 영역(23d), 커패시터(Cst)의 하부 전극이 불순물이 도핑된 것과 같은 효과를 내도록 유도하는 역할을 한다.

[0047] 도 4는 본 발명의 일 실시예에 따른 유기발광표시장치(1)의 제2 마스크 까지의 공정을 나타낸 도면이다.

[0048] 보다 상세히, 도 4a와 같이 제1기판(10) 상부에 보조층(12) 및 반도체층(13)을 순차적으로 형성한다.

[0049] 본 발명의 일 실시예에 따르면, 제1기판(10) 상면에 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 블록킹층, 및/또는 버퍼층과 같은 보조층(12)이 구비될 수 있다. 보조층(12)은 SiO₂ 및/또는 SiN_x 등을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 형성될 수 있다.

[0050] 또한, 보조층(11) 상부에 반도체층(13)을 적층한다. 반도체층(13)은 비정질실리콘층을 먼저 증착한 후 이를 결정화함으로써 다결정실리콘층이 된다. 비정질 실리콘은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다.

[0051] 다음으로, 도 4b와 같이 반도체층(13)을 제2 마스크 공정에 의해 박막트랜지스터(TFT)의 액티브층(23) 및 커패시터(Cst)의 하부 전극(33)으로 패터닝한다. 본 실시예에서는, 액티브층(23)과 커패시터 하부 전극(33)이 분리 형성되었으나, 액티브층(21)과 커패시터 하부 전극(33)을 일체로 형성할 수도 있다.

[0052] 도 5는 본 발명의 일 실시예에 따른 유기발광표시장치(1)의 제3 마스크 까지의 공정을 나타낸 도면이다.

[0053] 먼저, 도 5a를 참조하면, 제1기판(10) 상에 절연층(14) 및 제2 도전층(15)을 순차적으로 적층한다.

[0054] 절연층(14)은 SiN_x 또는 SiO_x 등과 같은 무기 절연막을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다. 절연층(14)은, 박막트랜지스터(TFT)의 액티브층(23)과 게이트 전극(25) 사이에 개재되어 박막트랜지스터(TFT)의 게이트 절연막 역할을 하며, 커패시터 상부 전극(35)과 하부 전극(33) 사이에 개재되어 커패시터(Cst)의 유전체층 역할을 하게 된다.

[0055] 제2 도전층(15)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 바람직하게, 제2 도전층(15)은 Mo - Al - Mo의 3층 구조로 형성될 수도 있다.

- [0056] 다음으로, 도 5b와 같이 제3 마스크 공정을 통해 제2 도전층(15)은 게이트 전극(25) 및 커패시터(Cst) 상부 전극(35)으로 패터닝된다.
- [0057] 종래에는, 게이트 전극(25)은 액티브층(23)의 중앙에 대응하도록 형성하여, 게이트 전극(25)을 셀프 얼라인(self align) 마스크로 하여 액티브층(23)으로 n형 또는 p형의 불순물을 도핑하였다. 이는 게이트 전극(25)의 양측에 대응하는 액티브층(23)의 가장자리에 소스/드레인 영역(23s/23d)과 이들 사이의 채널영역(23c)을 형성하기 위함이었다. 여기서 불순물은 보론(B) 이온 또는 인(P) 이온일 수 있다.
- [0058] 그러나, 본 발명의 일 실시예에 따르면 유도 전극에 의해 액티브층(23) 양측의 전기 전도도를 상승시키므로, n형 또는 p형의 불순물을 도핑하여 소스/드레인 영역(23s/23d)을 생성할 필요가 없다. 따라서, 도 5b와 같이 게이트 전극(25)의 양 끝라인이 반드시 소스/드레인 영역(23s/23d)의 끝라인과 일치하지 않을 수 있다.
- [0059] 도 6은 본 발명의 일 실시예에 따른 유기발광표시장치(1)의 제4 마스크까지의 공정을 나타낸 도면이다.
- [0060] 먼저, 도 6에 도시된 바와 같이, 게이트 전극(25)이 형성된 제1기판(10)의 전면에 층간 절연막(16)을 증착한다.
- [0061] 상기 층간 절연막(16)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성된다. 층간 절연막(16)은 충분한 두께로 형성되어, 박막트랜지스터(TFT)의 게이트 전극(25)과 소스/드레인 전극(27s/27d) 사이의 층간 절연막 역할을 수행한다. 한편, 층간 절연막(16)은 상기와 같은 유기 절연 물질뿐만 아니라, 전술한 절연층(14)과 같은 무기 절연 물질로 형성될 수 있으며, 유기 절연 물질과 무기절연 물질을 교번하여 형성할 수도 있다.
- [0062] 다음으로, 도 6에 도시된 바와 같이 층간 절연막(16)을 패터닝하여 액티브층(23)의 소스/드레인영역(23s/23d)의 일부와 커패시터(Cst)의 하부 전극(33)의 일부를 노출하는 개구들(H1, H2, H3, H4, H5)을 형성한다.
- [0063] 상세히, 상기 층간 절연막(16)은 제 4마스크를 사용한 마스크 공정에 의해 패터닝됨으로써 개구들(H1, H2, H3, H4, H5)을 형성한다. 여기서, 제1, 제2개구(H1, H2)는 제1/제2 유도 전극(11s/11d)의 일부를 각각 노출시키고, 제3, 제4개구(H3, H4)는 소스/드레인 영역(23s/23d)의 일부를 각각 노출시키고, 제5개구(H5)는 커패시터 하부 전극(33)의 일부를 노출시킨다.
- [0064] 다음으로, 제1 내지 제5 개구(H1 내지 H5)가 형성된 층간 절연막(16) 상에 제3 도전층(미도시)를 전면적으로 증착하며, 제3 도전층은 상기 제1 내지 제5 개구(H1 내지 H5)를 충전할 수 있을 정도로 충분한 두께로 증착된다. 다음으로, 제3 도전층을 제6 마스크를 사용하여 패터닝한다. 또한, 제3 도전층은 제1 도전층(11) 또는 제2 도전층(15)과 동일한 도전 물질 가운데 선택할 수 있으며, 이에 한정되지 않고 다양한 도전 물질들로 형성될 수 있다.
- [0065] 도 7은 본 발명의 일 실시예에 따른 유기발광표시장치(1)의 제5 마스크까지의 공정을 나타낸 도면이다.
- [0066] 도 7을 참조하면, 제3 도전층이 패터닝된 결과 제1 유도 배선(17s), 소스 전극(27s), 드레인 전극(27d), 제2 유도 배선(17d), 제3 유도 배선(17c)가 생성된 것을 알 수 있다. 보다 상세히, 제1 유도 배선(17s)은 제1 유도 전극(11s)에 연결되어 전압을 가할 수 있고, 제2 유도 배선(17d)은 제2 유도 전극(11d)에 연결되어 전압을 가할 수 있으며, 제3 유도 배선(17c)은 제2 유도 전극(11c)에 연결되어 전압을 가할 수 있다.
- [0067] 제1/제2 유도 배선(17s/17d)는 제1/제2 유도 전극(11s/11d)에 기준치 이하의 전압을 인가하여 소스/드레인 영역(23s/23d)에 불순물을 도핑하지 않고도 n형 또는 p형 불순물을 주입한 것과 유사한 효과를 낼 수 있다. 또한, 제3 유도 배선(17c)은 제2 유도 전극(11c)에 기준치 이하 전압을 인가하여 커패시터 하부 전극(33)의 전기전도도를 높일 수 있다.
- [0068] 다음으로, 소스/드레인 전극(27s/27d) 등이 형성된 제1기판(10)위에 도 2와 같이 픽셀 정의막(18)을 증착한다.
- [0069] 상세히, 제1 유도 배선(17s), 소스 전극(27s), 드레인 전극(27d), 제2 유도 배선(17d), 제3 유도 배선(17c)이 형성된 제1기판(10) 전면에 픽셀 정의막(18)을 충분히 두껍게 증착한다. 이때 상기 픽셀 정의막(18)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성될 수 있다. 한편, 상기 제3 절연층(16)은 상기와 같은 유기 절연 물질뿐만 아니라, SiO₂, SiN_x, Al₂O₃, CuO_x, Tb₄O₇, Y₂O₃, Nb₂O₅, Pr₂O₃ 등에서 선택된 무기 절연 물질로 형성될 수 있음은 물론이다. 또한 상기 픽셀 정의막(18)은 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.
- [0070] 도 2에는 도시되지 않았지만, 픽셀 정의막(18)을 패터닝하여 화소 전극(미도시)가 노출되도록 개구를 형성하여

픽셀을 정의할 수 있다. 상술한 바와 같이, 화소전극을 노출하는 개구에 발광층을 포함하는 중간층 및 대향 전극을 형성하여 본 발명의 유기발광표시장치(1)가 발광하도록 할 수 있다. 중간층은 유기 발광층(emissive layer: EML)과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다. 유기 발광층은 각 픽셀별로 별도의 발광 물질이 형성되거나, 픽셀의 위치에 관계 없이 공통으로 형성될 수 있다.

- [0071] 도 8은 본 발명의 다른 일 실시예에 따른 유기발광표시장치(1)의 일 예를 나타낸 도면이다.
- [0072] 도 8의 유기발광표시장치(1)의 단면은 도 2의 유기발광표시장치(1)의 단면의 변형 예로써, 도 2와 동일한 구성에 대해서는 설명을 생략하고 특징적인 구성에 대해서만 설명하기로 한다.
- [0073] 도 8을 참조하면, 도 2와 달리 보조층(12)이 패터닝되어 박막트랜지스터(TFT)의 액티브층(23) 하부의 보조 영역(22)을 제외한 나머지 부분은 식각된 것을 알 수 있다.
- [0074] 도 9는 본 발명의 다른 일 실시예에 따른 유기발광표시장치(1)의 제조 공정 중 도 4b의 변형예를 나타낸 도면이다.
- [0075] 도 4b에 따른 실시예에서는 보조층(12)을 적층한 후 반도체층(13)을 적층하고, 제2 마스크 공정에 의해 반도체층(13)의 일부만을 패터닝하여 액티브층(23) 및 커패시터 하부 전극(33)을 형성하였다.
- [0076] 그러나, 도 9를 참조하면 제2 마스크 공정에서 반도체층(13) 및 보조층(12) 역시 한번에 패터닝하여 액티브층(23) 하부의 보조 영역(22)만을 제외한 나머지 보조층(12)을 식각한 것을 알 수 있다. 또한, 제2 마스크 공정에서는 도 4b의 실시예와 달리 커패시터 영역(CAP)에 하부 전극(33)도 함께 식각한다.
- [0077] 따라서, 도 8과 도 9를 참조할 때 커패시터 영역(CAP)에는 도 2의 하부 전극(33)이 존재하지 않고, 대신 제3 유도 전극(11c)이 커패시터의 하부 전극으로서 기능하게 된다.
- [0078] 도 8 및 도 9의 실시예와 같이 액티브층(23)이 존재하지 않는 영역의 보조층(12)을 제거하는 경우, 패터닝할 때 다결정화 실리콘과 드라이 에칭(etching) 선택비의 마진을 높일 수 있는 장점이 있다. 또한, 도 2와 같이 제3 유도 전극(11c)에 전압을 가하여 커패시터 하부 전극(33)을 도핑된 것과 유사한 상태로 만들 필요 없이, 제3 유도 전극(13) 자체를 커패시터 하부 전극으로 활용할 수 있다.
- [0079] 본 발명에서 설명하는 특정 실행들은 일 실시 예들로서, 어떠한 방법으로도 본 발명의 범위를 한정하는 것은 아니다. 명세서의 간결함을 위하여, 종래 전자적인 구성들, 제어 시스템들, 소프트웨어, 상기 시스템들의 다른 기능적인 측면들의 기재는 생략될 수 있다. 또한, 도면에 도시된 구성 요소들 간의 선들의 연결 또는 연결 부재들은 기능적인 연결 및/또는 물리적 또는 회로적 연결들을 예시적으로 나타낸 것으로서, 실제 장치에서는 대체 가능하거나 추가의 다양한 기능적인 연결, 물리적인 연결, 또는 회로 연결들로서 나타내어질 수 있다. 또한, “필수적인”, “중요하게” 등과 같이 구체적인 언급이 없다면 본 발명의 적용을 위하여 반드시 필요한 구성 요소가 아닐 수 있다.
- [0080] 본 발명의 명세서(특히 특허청구범위에서)에서 “상기”의 용어 및 이와 유사한 지시 용어의 사용은 단수 및 복수 모두에 해당하는 것일 수 있다. 또한, 본 발명에서 범위(range)를 기재한 경우 상기 범위에 속하는 개별적인 값을 적용한 발명을 포함하는 것으로서(이에 반하는 기재가 없다면), 발명의 상세한 설명에 상기 범위를 구성하는 각 개별적인 값을 기재한 것과 같다. 마지막으로, 본 발명에 따른 방법을 구성하는 단계들에 대하여 명백하게 순서를 기재하거나 반하는 기재가 없다면, 상기 단계들은 적당한 순서로 행해질 수 있다. 반드시 상기 단계들의 기재 순서에 따라 본 발명이 한정되는 것은 아니다. 본 발명에서 모든 예들 또는 예시적인 용어(예들 들어, 등등)의 사용은 단순히 본 발명을 상세히 설명하기 위한 것으로서 특허청구범위에 의해 한정되지 않는 이상 상기 예들 또는 예시적인 용어로 인해 본 발명의 범위가 한정되는 것은 아니다. 또한, 당업자는 다양한 수정, 조합 및 변경이 부가된 특허청구범위 또는 그 균등물의 범주 내에서 설계 조건 및 팩터에 따라 구성될 수 있음을 알 수 있다.

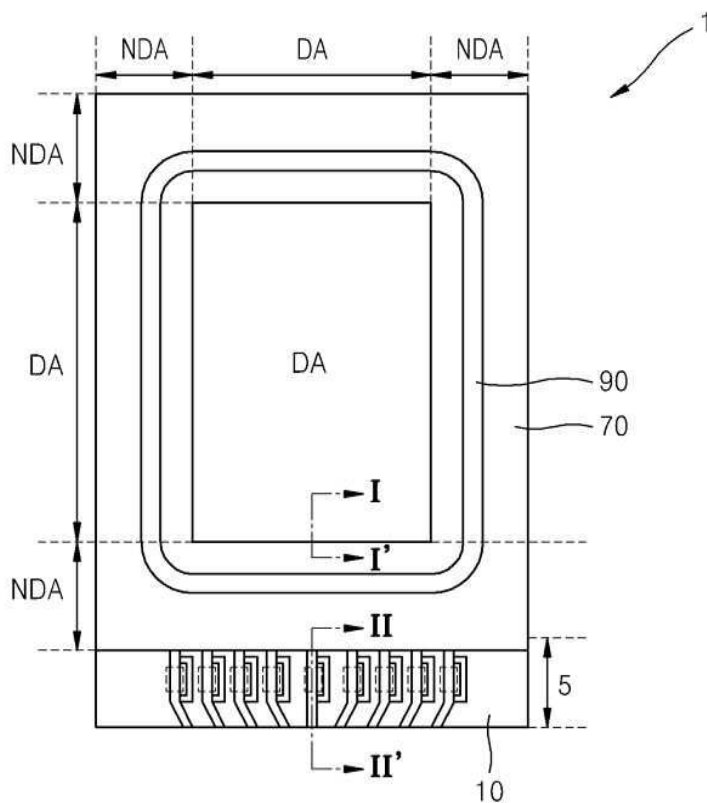
부호의 설명

- [0081] 1: 유기발광표시장치 90: 실링부재
10: 제1기판 70: 제2기판

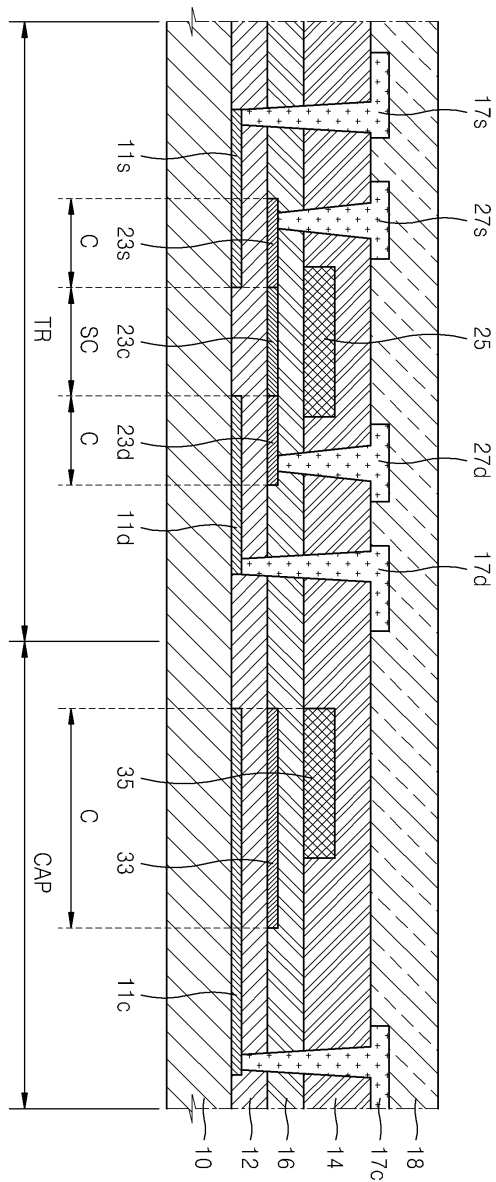
| | |
|---------------|---------------|
| TFT : 트랜지스터영역 | CAP: 저장 영역 |
| 4: 발광영역 | 5: 패드영역 |
| 11: 제1 도전층 | 11s: 제1 유도 전극 |
| 11d: 제2 유도 전극 | 11c: 제3 유도 전극 |
| 12: 절연층 | 13: 제1 도전층 |
| 14: 게이트 절연층 | 15: 제2 도전층 |
| 16: 층간 절연막 | 17s: 제1 유도 배선 |
| 17d: 제2 유도 배선 | 17c: 제3 유도 배선 |
| 18: 픽셀 정의막 | 23c: 채널 영역 |
| 23s: 소스 영역 | 23d: 드레인 영역 |
| 23: 액티브층 | 25: 게이트 전극 |
| 27s: 소스 전극 | 27d: 드레인 전극 |
| 33: 하부 전극 | 35: 하부 전극 |

도면

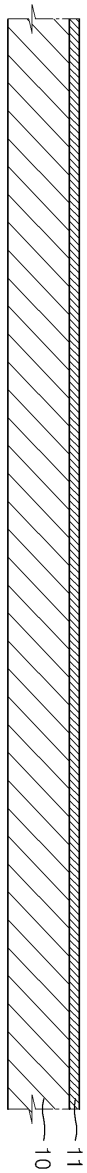
도면1



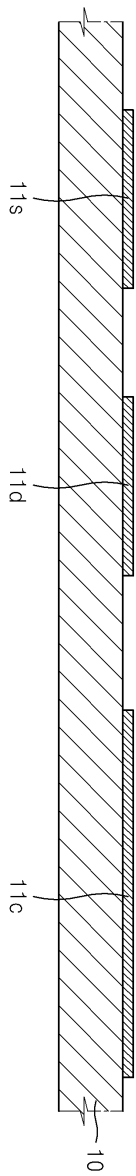
도면2



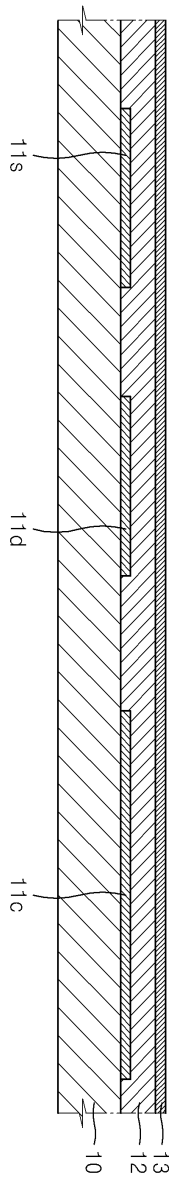
도면3a



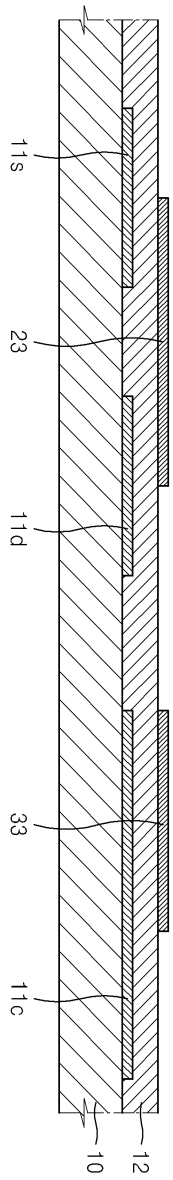
도면3b



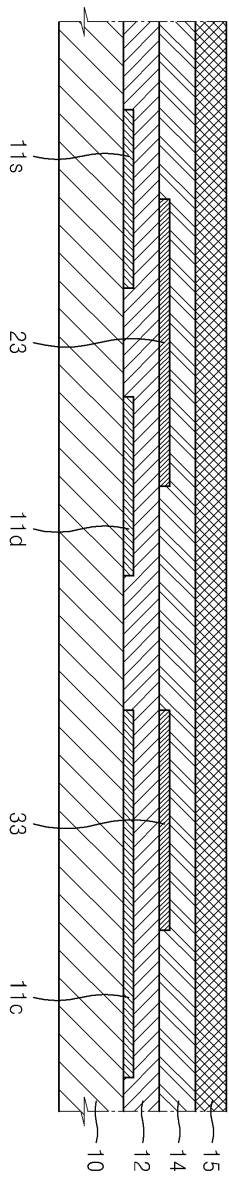
도면4a



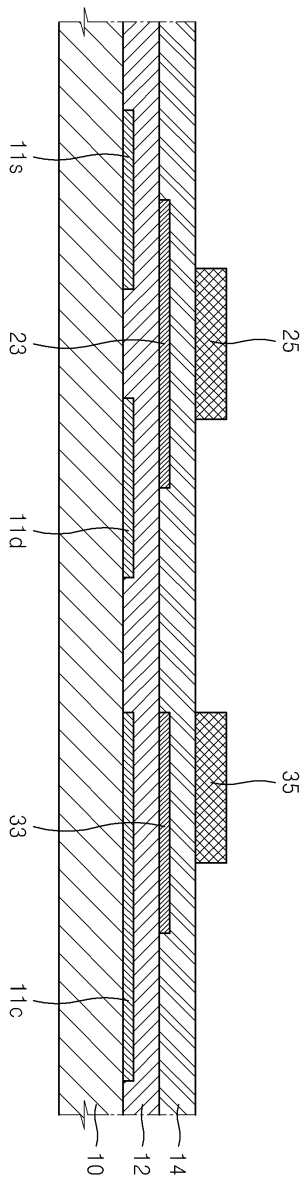
도면4b



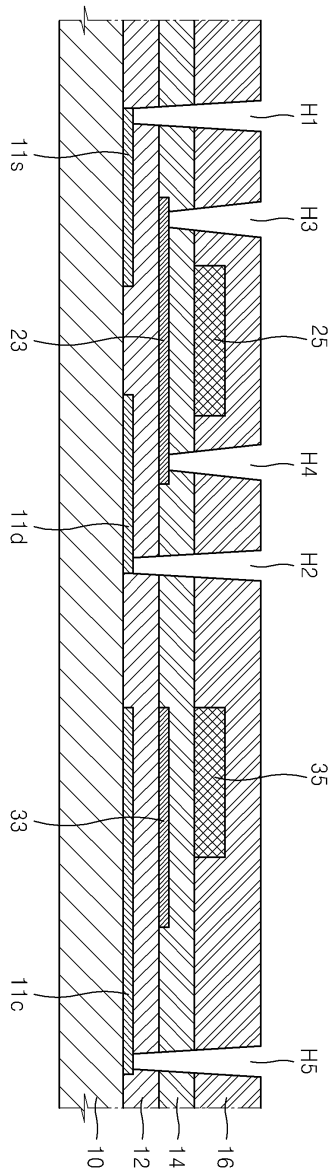
도면5a



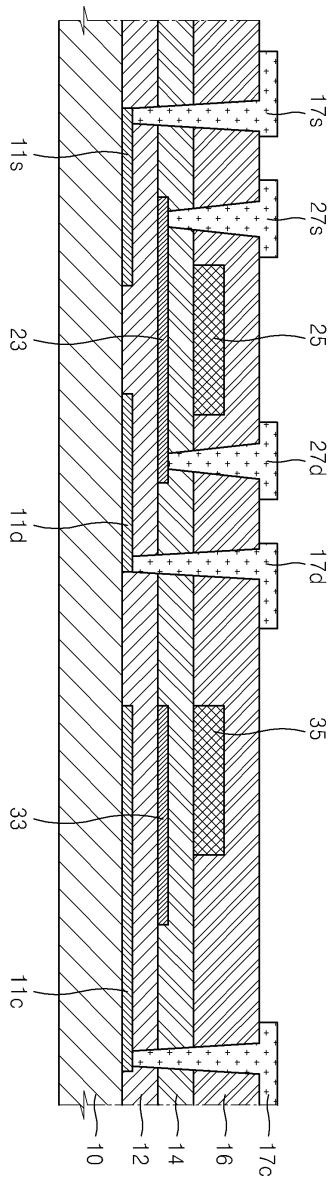
도면5b



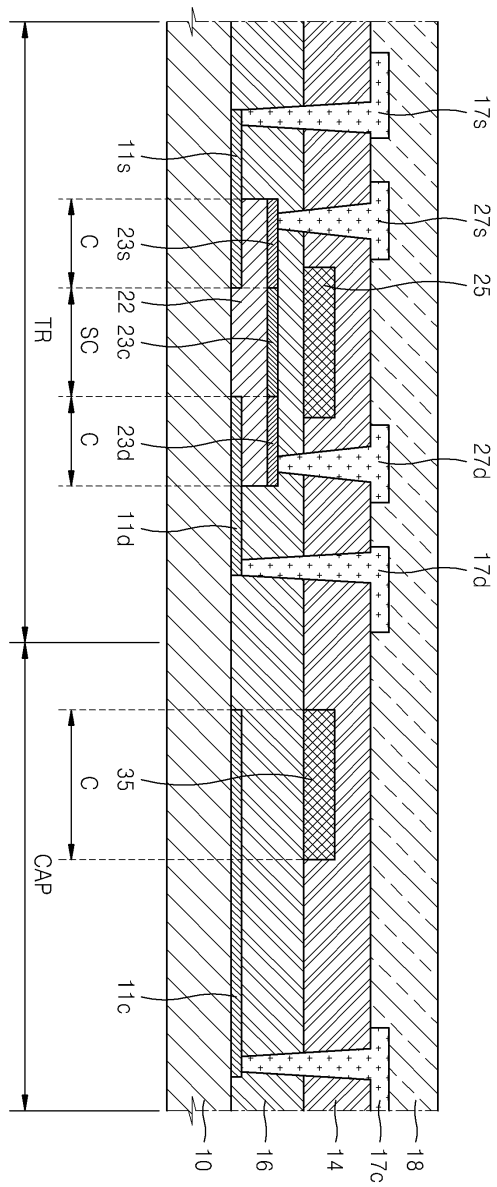
도면6



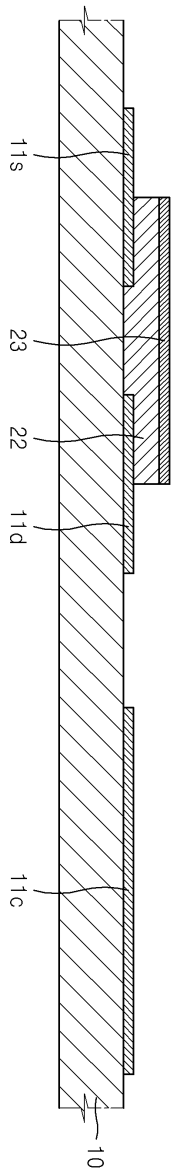
도면7



도면8



도면9



| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 标题：OLED显示器及其制造方法 | | |
| 公开(公告)号 | KR1020140120542A | 公开(公告)日 | 2014-10-14 |
| 申请号 | KR1020130036441 | 申请日 | 2013-04-03 |
| [标]申请(专利权)人(译) | 三星显示有限公司 | | |
| 申请(专利权)人(译) | 三星显示器有限公司 | | |
| 当前申请(专利权)人(译) | 三星显示器有限公司 | | |
| [标]发明人 | SHIN MIN CHUL 신민철 | | |
| 发明人 | 신민철 | | |
| IPC分类号 | H01L51/50 H05B33/26 H05B33/10 | | |
| CPC分类号 | H01L27/3248 H01L27/3258 H01L27/3262 H01L29/78618 H05B33/10 H05B33/26 | | |
| 外部链接 | Espacenet | | |

摘要(译)

该摘要目前正在准备中。更新的KPA将在2015年2月10日之后提供。*本标题 (54) 和代表图显示为申请人提交的。

