



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0027425
(43) 공개일자 2013년03월15일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H01L 29/786 (2006.01)
H05B 33/12 (2006.01)
(21) 출원번호 10-2012-0094259
(22) 출원일자 2012년08월28일
심사청구일자 없음
(30) 우선권주장
JP-P-2011-194958 2011년09월07일 일본(JP)

(71) 출원인
소니 주식회사
일본국 도쿄도 미나토쿠 코난 1-7-1
(72) 발명자
오모토 게이스게
일본 1080075 도쿄도 미나토쿠 코난 1-7-1 소니
주식회사 내
(74) 대리인
박충범, 장수길, 이중희

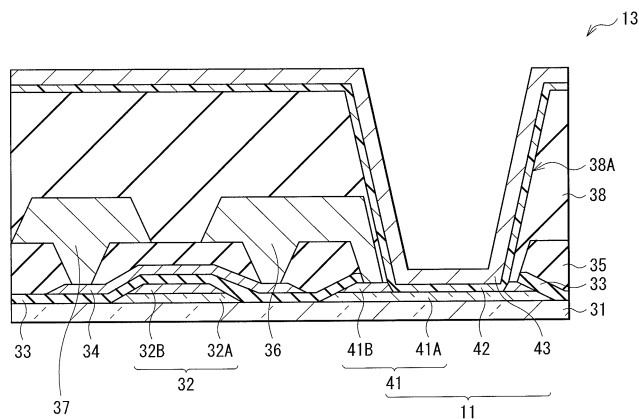
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 패널 및 표시 장치

(57) 요약

표시 패널은, 화소마다 유기 EL 소자와 화소 회로를 포함한다. 화소 회로는 화상 신호를 기입하는 제1 트랜지스터와, 제1 트랜지스터에 의해 기입된 화상 신호에 기초하여 유기 EL 소자를 구동하는 제2 트랜지스터를 갖고, 제2 트랜지스터는 게이트, 소스 및 드레인을 갖는다. 유기 EL 소자는 애노드, 유기층 및 캐소드를 갖는다. 제2 트랜지스터의 게이트는 투명 도전층의 단일 구조체, 또는 투명 도전층 및 금속 도전층의 적층체이다. 유기 EL 소자의 애노드는 투명 도전층과 동일한 층에 형성되며, 투명 도전층과 동일한 재료로 형성된 층을 갖는다.

대표도 - 도3



특허청구의 범위

청구항 1

표시 패널로서,

화소마다 유기 EL 소자와 화소 회로를 포함하고,

상기 화소 회로는 화상 신호를 기입하는 제1 트랜지스터와, 상기 제1 트랜지스터에 의해 기입된 상기 화상 신호에 기초하여 상기 유기 EL 소자를 구동하는 제2 트랜지스터를 갖고, 상기 제2 트랜지스터는 게이트, 소스 및 드레인을 갖고,

상기 유기 EL 소자는 애노드, 유기층 및 캐소드를 갖고,

상기 제2 트랜지스터의 상기 게이트는 투명 도전층의 단일 구조체, 또는 투명 도전층 및 금속 도전층의 적층체이고,

상기 유기 EL 소자의 상기 애노드는 상기 투명 도전층과 동일한 층에 형성되며, 상기 투명 도전층과 동일한 재료로 형성된 층을 갖는, 표시 패널.

청구항 2

제1항에 있어서,

상기 유기 EL 소자의 상기 애노드는 글래스 기판 상에 형성되는, 표시 패널.

청구항 3

표시 장치로서,

표시 패널과,

각 화소를 구동하는 구동 회로

를 포함하고,

상기 표시 패널은, 화소마다 유기 EL 소자와 화소 회로를 갖고,

상기 화소 회로는 화상 신호를 기입하는 제1 트랜지스터와, 상기 제1 트랜지스터에 의해 기입된 상기 화상 신호에 기초하여 상기 유기 EL 소자를 구동하는 제2 트랜지스터를 갖고, 상기 제2 트랜지스터는 게이트, 소스 및 드레인을 갖고,

상기 유기 EL 소자는 애노드, 유기층 및 캐소드를 갖고,

상기 제2 트랜지스터의 상기 게이트는 투명 도전층의 단일 구조체, 또는 투명 도전층 및 금속 도전층의 적층체이고,

상기 유기 EL 소자의 상기 애노드는 상기 투명 도전층과 동일한 층에 형성되며, 상기 투명 도전층과 동일한 재료로 형성된 층을 갖는, 표시 장치.

청구항 4

제1항에 있어서,

상기 애노드는 상기 제2 트랜지스터의 상기 게이트와 일괄로 형성되는, 표시 패널.

청구항 5

제1항에 있어서,

백색 EL 광을 방출하는 유기 EL 소자가 구비되어 있는, 표시 패널.

청구항 6

제1항에 있어서,

상기 화소 회로는 축적 용량(holding capacitor)을 포함하는, 표시 패널.

청구항 7

제1항에 있어서,

상기 화소 회로는 상기 제1 트랜지스터와 직렬로 접속된 기입 트랜지스터를 갖는, 표시 패널.

청구항 8

제1항에 있어서,

상기 유기 EL 소자의 상기 캐소드는 그라운드 선에 접속되는, 표시 패널.

청구항 9

제1항에 있어서,

상기 적층체는 상기 투명 도전층 및 상기 금속 도전층을 글래스 기판측으로부터 이 순서대로 적층함으로써 형성되는, 표시 패널.

청구항 10

제1항에 있어서,

상기 유기 EL 소자의 상기 애노드는 상기 투명 도전층과 동일한 막 두께를 갖도록 형성되는, 표시 패널.

청구항 11

제1항에 있어서,

상기 제2 트랜지스터의 상기 게이트는 글래스 기판 상에 형성되는, 표시 패널.

청구항 12

제3항에 있어서,

상기 유기 EL 소자의 상기 애노드는 글래스 기판 상에 형성되는, 표시 장치.

청구항 13

제3항에 있어서,

상기 제2 트랜지스터의 상기 애노드는 상기 제2 트랜지스터의 상기 게이트와 일괄로 형성되는, 표시 장치.

청구항 14

제3항에 있어서,

백색 EL 광을 방출하는 유기 EL 소자가 구비되어 있는, 표시 장치.

청구항 15

제3항에 있어서,

상기 화소 회로는 축적 용량을 포함하는, 표시 장치.

청구항 16

제3항에 있어서,

상기 화소 회로는 상기 제1 트랜지스터와 직렬로 접속된 기입 트랜지스터를 갖는, 표시 장치.

청구항 17

제3항에 있어서,

상기 유기 EL 소자의 상기 캐소드는 그라운드 선에 접속되는, 표시 장치.

청구항 18

제3항에 있어서,

상기 적층체는 상기 투명 도전층 및 상기 금속 도전층을 글래스 기판측으로부터 이 순서대로 적층함으로써 형성되는, 표시 장치.

청구항 19

제3항에 있어서,

상기 애노드는 상기 투명 도전층과 동일한 막 두께를 갖도록 형성되는, 표시 장치.

청구항 20

제3항에 있어서,

상기 제2 트랜지스터의 상기 게이트는 글래스 기판 상에 형성되는, 표시 장치.

명세서

기술분야

[0001] 본 발명은 유기 EL(Electro Luminescence) 소자를 포함하는 표시 패널 및 이러한 표시 패널을 포함하는 표시 장치에 관한 것이다.

배경기술

[0002] 최근, 화상 표시를 행하는 표시 장치의 분야에서는, 화소의 발광 소자로서, 흐르는 전류값에 따라 발광 휘도(luminescence)가 변화하는 전류 구동형의 광학 소자, 예를 들어 유기 EL 소자를 이용한 표시 장치가 개발되었고, 상품화가 진행되고 있다(예를 들어, 일본 특허 공개 공보 제2011-23240호 참조).

[0003] 유기 EL 소자는 액정 소자 등과는 달리 자발광(self-emitting) 소자이다. 따라서, 유기 EL 소자를 이용한 표시 장치(유기 EL 표시 장치)에서는, 광원(백라이트)이 필요없으므로, 광원을 포함하는 액정 표시 장치에 비해 화상의 시인성(visibility)이 높고, 소비 전력이 낮고, 소자 응답 속도가 빠르다.

[0004] 유기 EL 표시 장치는, 액정 표시 장치와 같이, 그 구동 방식으로서 심플(패시브) 매트릭스 방식과 액티브 매트릭스 방식을 갖는다. 전자는 구조가 단순하지만, 대형 및 고정밀의 표시 장치의 실현이 어렵다는 단점이 있다. 그 때문에, 현재, 액티브 매트릭스 방식의 개발이 활발하게 행해지고 있다. 이 방식은 화소마다 배치된 발광 소자를 통해 흐르는 전류를, 발광 소자마다 준비되어 있는 구동 회로 내에 구비된 능동 소자(통상, TFT(박막 트랜지스터))를 사용하여 제어한다.

[0005] 도 18은 유기 EL 표시 장치에서의 일반적인 서브 픽셀의 단면 구성을 나타낸다. 도 18에 나타낸 서브 픽셀(100)은 보텀-에미션(bottom-emission) 구조의 서브 픽셀이며, 예를 들어, TFT 등의 화소 회로가 형성된 회로 기판(110) 상에 평탄화층(120)을 포함하고 있으며, 평탄화층(120) 상에 유기 EL 소자(130)를 갖는다. 유기 EL 소자(130)는, 예를 들어, 평탄화층(120)측으로부터 순서대로, 애노드 전극(131), 유기층(132) 및 캐소드 전극(133)을 갖는다. 유기층(132) 및 캐소드 전극(133)에서의 애노드 전극(131) 상의 적층 부분은, 윈도우 규정층(window-defining layer, 140)에 형성된 개구에 의해 규정되어 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 특허 공개 공보 제2011-23240호

발명의 내용

해결하려는 과제

- [0007] 한편, 도 18에 나타난 서브 픽셀은 회로 기관(110)을 형성한 후 많은 수의 공정을 포함한다. 그 때문에, 제조 비용이 높아진다는 단점이 있다.
- [0008] 회로 기관 형성 후의 공정수를 삭감할 수 있는 표시 패널 및 이러한 표시 패널을 포함하는 표시 장치를 제공하는 것이 바람직하다.

과제의 해결 수단

- [0009] 본 발명의 실시 형태에 따르면, 화소마다 유기 EL 소자 및 화소 회로를 포함하고 있는 표시 패널이 제공된다. 화소 회로는 화상 신호를 기입하는 제1 트랜지스터와, 제1 트랜지스터에 의해 기입된 화상 신호에 기초하여 유기 EL 소자를 구동하며 게이트, 소스 및 드레인을 갖는 제2 트랜지스터를 갖는다. 유기 EL 소자는 애노드, 유기층 및 캐소드를 갖는다. 제2 트랜지스터의 게이트는 투명 도전층의 단일 구조체, 또는 투명 도전층 및 금속 도전층의 적층체이다. 유기 EL 소자의 애노드는 투명 도전층과 동일한 층에 형성되며, 투명 도전층과 동일한 재료로 형성된 층을 갖는다.
- [0010] 본 발명의 실시 형태에 따르면, 표시 패널 및 각 화소를 구동하는 구동 회로를 포함하는 표시 장치가 제공된다. 표시 패널은 화소마다 유기 EL 소자 및 화소 회로를 갖는다. 화소 회로는 화상 신호를 기입하는 제1 트랜지스터 및 제1 트랜지스터에 의해 기입된 화상 신호에 기초하여 유기 EL 소자를 구동하며 게이트, 소스 및 드레인을 갖는 제2 트랜지스터를 갖는다. 유기 EL 소자는 애노드, 유기층 및 캐소드를 갖는다. 제2 트랜지스터의 게이트는 투명 도전층의 단일 구조체, 또는 투명 도전층 및 금속 도전층의 적층체이다. 유기 EL 소자의 애노드는 투명 도전층과 동일한 층에 형성되며, 투명 도전층과 동일한 재료로 형성된 층을 갖는다.
- [0011] 본 발명의 실시 형태에 따른 발광 패널 및 표시 장치에서는, 유기 EL 소자의 애노드 상에, 게이트의 투명 도전층과 동일한 층에 형성되며, 투명 도전층과 동일한 재료로 형성된 층이 제공된다. 이에 의해, 예를 들어 게이트가 형성되는 기관 상에 애노드 전극을 제작할 수 있고, 또한, 애노드 전극을 게이트와 일괄로 형성할 수 있다.

발명의 효과

- [0012] 본 발명의 실시 형태에 따른 표시 패널 및 표시 장치에 의하면, 게이트가 형성되는 기관 상에 애노드 전극을 형성할 수 있고, 또한, 애노드 전극을 게이트와 일괄로 형성하는 것이 가능하므로, 평탄화층을 형성하거나, 애노드 전극을 별도로 형성하는 단계를 생략할 수 있다. 따라서, 회로 기관 형성 후의 공정수를 삭감할 수 있다.
- [0013] 이상의 일반적 설명과 이하의 상세 설명은 모두 예시적인 것이며, 청구되는 발명에 대해 자세히 설명하려는 것임을 이해해야 한다.

도면의 간단한 설명

- [0014] 첨부된 도면은 본 발명의 이해를 돕기 위해 포함되어 있으며, 본 명세서에 통합되어 일부를 구성한다. 도면은 실시 형태를 도시하고, 명세서와 함께 본 발명의 요지를 설명하는 기능을 한다.
- 도 1은 본 발명의 일 실시 형태에 따른 표시 장치의 개략적인 블록도이다.
- 도 2는 도 1에 도시된 서브 픽셀의 회로 구성의 일례를 나타내는 도면이다.
- 도 3은 도 1에 도시된 서브 픽셀의 단면 구성의 일례를 나타내는 도면이다.
- 도 4는 도 3에 도시된 서브 픽셀의 제조 방법의 일례를 설명하기 위한 도면이다.
- 도 5는 도 4의 공정에 후속되는 공정을 설명하기 위한 도면이다.
- 도 6은 도 5의 공정에 후속되는 공정을 설명하기 위한 도면이다.
- 도 7은 도 6의 공정에 후속되는 공정을 설명하기 위한 도면이다.
- 도 8은 도 7의 공정에 후속되는 공정을 설명하기 위한 도면이다.

도 9는 도 8의 공정에 후속되는 공정을 설명하기 위한 도면이다.

도 10은 도 9의 공정에 후속되는 공정을 설명하기 위한 도면이다.

도 11은 도 3에 도시된 서브 픽셀의 일 변형예를 나타내는 도면이다.

도 12는 본 발명의 상기한 실시 형태에 따른 표시 장치를 포함하는 모듈의 개략적인 구성을 나타내는 평면도이다.

도 13은 본 발명의 상기한 실시 형태에 따른 표시 장치의 적용예 1의 외관을 나타내는 사시도이다.

도 14의 (a)는 적용예 2의 정면측으로부터 본 외관을 나타내는 사시도이고, 도 14의 (b)는 배면측으로부터 본 외관을 나타내는 사시도이다.

도 15는 적용예 3의 외관을 나타내는 사시도이다.

도 16은 적용예 4의 외관을 나타내는 사시도이다.

도 17의 (a)는 적용예 5의 열린 상태의 정면도이고, 도 17의 (b)는 그 측면도이고, 도 17의 (c)는 폐쇄한 상태의 정면도이고, 도 17의 (d)는 좌측면도이고, 도 17의 (e)는 우측면도이고, 도 17의 (f)는 상면도이고, 도 17의 (g)는 하면도이다.

도 18은 종래의 서브 픽셀의 회로 구성의 일례를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 본 개시물의 실시 형태에 대해서, 도면을 참조하여 상세하게 설명한다. 또한, 설명은 이하의 순서로 행함에 주목한다.
- [0016] 1. 실시 형태
- [0017] 2. 변형예
- [0018] 3. 모듈 및 적용예
- [0019] (1. 실시 형태)
- [0020] 도 1은 본 발명의 일 실시 형태에 따른 표시 장치(1)의 전체 구성의 일례를 나타낸다. 표시 장치(1)는, 표시 패널(10)과, 표시 패널(10)을 구동하는 구동 회로(20)를 포함한다.
- [0021] 표시 패널(10)은 복수의 표시 화소(14)가 2차원 배치된 표시 영역(10A)을 갖는다. 표시 패널(10)은 각 표시 화소(14)의 액티브 매트릭스 구동에 의해 외부로부터 입력된 화상 신호(20A)에 기초하여 화상을 표시한다. 각 표시 화소(14)는 서로 다른 색을 방출하는 복수 종류의 서브 픽셀을 포함한다. 구체적으로는, 각 표시 화소(14)는 적색 서브 픽셀(13R), 녹색 서브 픽셀(13G), 청색 서브 픽셀(13B) 및 백색 서브 픽셀(13W)을 포함한다. 이하에서는, 서브 픽셀(13R, 13G, 13B 및 13W)은 서브 픽셀(13)로서 총칭하여 참조됨에 주목한다.
- [0022] 도 2는 서브 픽셀(13)의 회로 구성의 일례를 나타낸다. 도 2에 도시한 바와 같이, 서브 픽셀(13)은, 유기 EL 소자(11)와, 유기 EL 소자(11)를 구동하는 화소 회로(12)를 갖는다. 또한, 서브 픽셀(13R)에는, 유기 EL 소자(11)로서, 적색의 EL 광을 방출하는 유기 EL 소자(11R)가 구비되어 있음에 주목한다. 마찬가지로, 서브 픽셀(13G)에는, 유기 EL 소자(11)로서, 녹색의 EL 광을 방출하는 유기 EL 소자(11G)가 구비되어 있다. 서브 픽셀(13B)에는, 유기 EL 소자(11)로서, 청색의 EL 광을 방출하는 유기 EL 소자(11B)가 구비되어 있다. 서브 픽셀(13W)에는, 유기 EL 소자(11)로서, 백색의 EL 광을 방출하는 유기 EL 소자(11W)가 구비되어 있다.
- [0023] 화소 회로(12)는, 예를 들어, 기입 트랜지스터 T_{ws} (제1 트랜지스터), 구동 트랜지스터 T_{dr} (제2 트랜지스터) 및 축적 용량(holding capacitor) C_s 을 포함하도록 구성되어, 2Tr1C의 회로 구성을 채용하고 있다. 화소 회로(12)는 이러한 2Tr1C의 회로 구성에 한정되는 것은 아니고, 서로 직렬 접속된 2개의 기입 트랜지스터 T_{ws} 를 포함할 수 있고, 상기 이외의 트랜지스터와 용량을 포함할 수 있다.
- [0024] 기입 트랜지스터 T_{ws} 는 화상 신호(20A)에 대응하는 전압을 축적 용량 C_s 으로 기입하는 트랜지스터이다. 구동 트랜지스터 T_{dr} 는 기입 트랜지스터 T_{ws} 에 의해 축적 용량 C_s 으로 기입된 전압에 기초하여 유기 EL 소자(11)를 구동하는 트랜지스터이다. 기입 트랜지스터 T_{ws} 및 구동 트랜지스터 T_{dr} 는, 예를 들어, n채널 MOS형 TFT(Thin Film Transistor)로 구성되어 있다. 대안으로서, 기입 트랜지스터 T_{ws} 와 구동 트랜지스터 T_{dr} 가 p채널 MOS형

TFT로 구성될 수 있음에 주목한다.

- [0025] 구동 회로(20)는 타이밍 생성 회로(21), 화상 신호 처리 회로(22), 데이터 선 구동 회로(23), 게이트 선 구동 회로(24) 및 드레인 선 구동 회로(25)를 갖는다. 구동 회로(20)는 또한 데이터 선 구동 회로(23)의 출력에 접속된 데이터 선 DTL, 게이트 선 구동 회로(24)의 출력에 접속된 게이트 선 WSL 및 드레인 선 구동 회로(25)의 출력에 접속된 드레인 선 DSL을 갖는다. 또한, 구동 회로(20)는 유기 EL 소자(11)의 캐소드에 접속된 그라운드 선 GND(도 2 참조)를 갖는다. 그라운드 선 GND은 그라운드에 접속되는 것을 의미하며, 그라운드에 접속되면, 그라운드 전압이 됨에 주목한다.
- [0026] 타이밍 생성 회로(21)는, 예를 들어, 데이터 선 구동 회로(23), 게이트 선 구동 회로(24) 및 드레인 선 구동 회로(25)가 서로 연동하여 동작되도록 제어한다. 타이밍 생성 회로(21)은, 예를 들어, 외부로부터 입력된 동기 신호(20B)에 따라(그러한 신호에 동기하여), 이들 회로에 제어 신호(21A)를 출력한다.
- [0027] 화상 신호 처리 회로(22)는, 예를 들어, 외부로부터 입력된 디지털의 화상 신호(20A)를 보정하고, 보정된 화상 신호를 아날로그 신호로 변환하여, 그 결과인 신호 전압(22B)을 출력으로서 데이터 선 구동 회로(23)에 전달한다.
- [0028] 데이터 선 구동 회로(23)는 제어 신호(21A)의 입력에 따라(이 신호에 동기하여), 화상 신호 처리 회로(22)로부터 입력된 아날로그의 신호 전압(22B)을, 각 데이터 선 DTL을 통하여, 선택하려는 표시 화소(14)(또는 서브 픽셀(13))에 기입한다. 데이터 선 구동 회로(23)는, 예를 들어, 신호 전압(22B)과, 화상 신호와는 관계 없는 정 전압을 출력하는 것이 가능하다.
- [0029] 게이트 선 구동 회로(24)는, 제어 신호(21A)의 입력에 따라(이 신호에 동기하여), 복수의 게이트선 WSL에 선택 펄스를 순차 인가함으로써, 복수의 표시 화소(14)(또는 서브 픽셀(13))를 게이트 선 WSL 단상에 순차 선택한다. 게이트 선 구동 회로(24)는, 예를 들어, 기입 트랜지스터 T_{ws} 를 온시킬 때에 인가되는 전압과, 기입 트랜지스터 T_{ws} 를 오프시킬 때에 인가되는 전압을 출력하는 것이 가능하다.
- [0030] 드레인 선 구동 회로(25)는, 제어 신호(21A)의 입력에 따라(이 신호에 동기하여), 소정의 전압을, 각 드레인 선 DSL을 통하여, 각 화소 회로(12)의 구동 트랜지스터 T_{dr} 의 드레인에 출력한다. 드레인 선 구동 회로(25)는, 예를 들어, 유기 EL 소자(11)가 발광 상태일 때에 인가되는 전압과, 유기 EL 소자(11)가 소광 상태때에 인가되는 전압을 출력하는 것이 가능하다.
- [0031] 다음으로, 도 2를 참조하여, 구성 요소들의 접속 관계 및 배치에 대해서 설명한다. 게이트 선 WSL은 행 방향으로 연장되도록 형성되고, 기입 트랜지스터 T_{ws} 의 게이트에 접속된다. 드레인 선 DSL도 행 방향으로 연장되도록 형성되어, 구동 트랜지스터 T_{dr} 의 드레인에 접속된다. 데이터 선 DTL은 열 방향으로 연장되도록 형성되어, 기입 트랜지스터 T_{ws} 의 드레인에 접속된다.
- [0032] 기입 트랜지스터 T_{ws} 의 소스는 구동 트랜지스터 T_{dr} 의 게이트 및 축적 용량 C_s 의 제1 단부에 접속된다. 구동 트랜지스터 T_{dr} 의 소스와 축적 용량 C_s 의 제2 단부(기입 트랜지스터 T_{ws} 와 접속되지 않은 단자)는 유기 EL 소자(11)의 애노드에 접속된다. 유기 EL 소자(11)의 캐소드는 그라운드 선 GND에 접속된다. 캐소드는, 예를 들어, 표시 영역(10A) 전체면에 걸쳐 형성된다.
- [0033] 그 다음으로, 도 3을 참조하여, 표시 패널(10)의 표시 영역(10A)에서의 단면 구성에 대해서 설명한다. 표시 패널(10)은, 예를 들어, 도 3에 도시한 바와 같이, 글래스 기판(31) 상에, 게이트 전극(32), 게이트 절연막(33), 채널층(34), 절연 보호층(35), 소스 전극(36), 드레인 전극(37), 절연 보호막(38) 및 유기 EL 소자(11)를 갖는다.
- [0034] 게이트 전극(32)은, 글래스 기판(31)의 표면에 형성되어 있고, 예를 들어, 투명 도전층(32A) 및 금속 도전층(32B)이, 글래스 기판(31)측으로부터 이 순서대로 적층된 적층체이다. 게이트 절연막(33)은, 게이트 전극(32)을 포함하는 글래스 기판(31) 표면의 거의 전체를 커버한다.
- [0035] 채널층(34)은, 게이트 전극(32)에 대향하는 영역을 가로지르도록 형성되어 있고, 소스 전극(36) 및 드레인 전극(37)에 대향하는 방향(후술)으로 연장되도록 형성된다. 채널층(34)의 상면에서의 소스 전극(36)과 드레인 전극(37) 사이의 간극(gap space)은 소스 전극(36) 및 드레인 전극(37)에 의해 커버되지 않는 노출면이다. 채널층(34) 상의 노출면을 포함하는 소정의 영역이 채널 영역이다.
- [0036] 소스 전극(36) 및 드레인 전극(37)은, 채널층(34)의 면내 방향으로 소정의 간극을 사이에 두고 대향 배치된다. 소스 전극(36)은 채널층(34)의 일단부뿐만 아니라 유기 EL 소자(11)의 애노드 전극(41)과도 접한다. 한편, 드

레인 전극(37)은 채널층(34)의 제2 단부뿐만 아니라 드레인 선 DSL과도 접한다. 절연 보호막(35)은 게이트 절연막(33) 및 채널층(34)의 표면 전체를 커버한다. 개구 규정 절연층(38)은 유기 EL 소자(11)의 위치에 대응하는 개구(38A)를 갖는다.

[0037] 유기 EL 소자(11)는, 예를 들어, 애노드 전극(41), 유기층(42) 및 캐소드 전극(43)이 글래스 기판(31)측부터 이 순서대로 적층된 구성을 갖는다. 유기층(42)은, 예를 들어, 애노드 전극(41)측부터 순서대로, 정공 주입 효율을 높이는 정공 주입층, 발광층에의 정공 수송 효율을 높이는 정공 수송층, 전자-정공 재결합에 기초하여 광을 방출하는 발광층 및 발광층에의 전자 수송 효율을 높이는 전자 수송층이 적층되어 있는 적층 구조를 갖는다. 애노드 전극(41)은 글래스 기판(31)의 표면(평탄면) 상에 형성된다. 그 때문에, 애노드 전극(41)은 글래스 기판(31)의 평탄면에 계속되는 평탄한 막이다. 유기층(42) 및 캐소드 전극(43)은 적어도 개구(38A)의 저면인 애노드 전극(41)의 상면에 접해서 형성되고, 예를 들어, 개구(38A)의 저면 및 개구 규정 절연층(38)의 표면 전체를 커버한다.

[0038] 애노드 전극(41)은, 예를 들어, 투명 도전층(41A) 및 금속 도전층(41B)을, 글래스 기판(31)측으로부터 이 순서대로 적층하여 구성된 적층체이다. 투명 도전층(41A)은 투명 도전층(32A)과 동일한 층 상에 형성되고, 투명 도전층(32A)과 동일한 재료 및 동일한 막 두께로 형성된다. 금속 도전층(41B)은, 금속 도전층(32B)과 동일한 층 상에 형성되고, 금속 도전층(32B)과 동일한 재료 및 동일한 막 두께로 형성된다.

[0039] 다음으로, 본 발명의 실시 형태에 따른 박막 트랜지스터(1)의 제조 방법의 일례에 대해서 설명한다.

[0040] 우선, 글래스 기판(41) 상에, 게이트 전극(32)을 형성하고, 애노드 전극(41)을 형성한다(도 4). 그 다음에, 게이트 전극(32) 및 애노드 전극(41)을 포함하는 표면 전체 영역에 게이트 절연막(33)을 형성한 뒤, 게이트 전극(32)의 바로 위에 채널층(34)을 형성한다(도 5). 그 후, 개구(35A 및 35B)를 갖는 절연 보호층(35)을 형성한다. 개구(35A)는 애노드 전극(41) 바로 위에 형성되고, 개구(35B)는 채널층(34)의 양 단부 바로 위에 형성된다(도 6). 이 때, 게이트 절연막(33) 상의 애노드 전극(41)의 바로 위의 부분을 개구(35A)를 통한 에칭에 의해 제거한다(도 6).

[0041] 그 후, 표면 전체 영역에 걸쳐, 소스 전극(36) 및 드레인 전극(37)에 이용되는 재료를 성막한 뒤, 패터닝 및 에칭을 행함으로써, 개구(35B)에 대응하는 위치에 소스 전극(36) 및 드레인 전극(37)을 형성한다(도 7). 이 때, 소스 전극(36)의 일부가, 개구(35A)의 저부에 노출되어 있는 애노드 전극(41)에 접하도록, 소스 전극(36)을 형성한다.

[0042] 그 후, 개구(35A)에 대응하는 개구(38A)를 갖는 개구 규정 절연층(38)을 형성한 뒤(도 8), 개구(38A)의 저부에 노출되어 있는 금속 도전층(41B)을 개구(38A)를 통한 에칭에 의해 제거한다(도 9). 이에 의해, 개구(38A)의 저부에 대응하는 금속 도전층(41B) 상의 개구 H가 형성되므로, 그 결과 개구 H(개구(38A))내에 투명 도전층(41A)이 노출된다. 그 다음에, 개구(38A)의 저부에 노출된 투명 도전층(41A)에 접하도록 유기층(42)을 형성하고, 유기층(42) 상에 캐소드 전극(43)을 형성한다. 이와 같이 하여, 개구(38A) 내에 유기 EL 소자(11)가 형성된다. 이상의 방법으로, 본 실시 형태의 서브 픽셀(13)이 형성된다.

[0043] [동작 및 효과]

[0044] 본 실시 형태에 따른 표시 장치(1)에서, 각 표시 화소(14)의 화소 회로(12)가 온 오프 제어되고, 각 표시 화소(14)의 유기 EL 소자(11)에 구동 전류가 주입됨으로써, 정공과 전자가 재결합해서 광이 방출된다. 이 광은, 애노드 전극(41) 및 글래스 기판(31)을 통해 전송되어 외부로 추출된다. 그 결과, 표시 영역(10A)에 화상이 표시된다.

[0045] 도 18은 유기 EL 표시 장치에서의 전형적인 서브 픽셀의 단면 구성을 나타낸다. 도 18에 도시된 서브 픽셀(100)은 보텀-에미션 구조의 서브 픽셀이며, 예를 들어, TFT 등의 화소 회로가 형성된 회로 기판(110) 상에 평탄화층(120)이 형성되어 있으며, 평탄화층(120) 상에 유기 EL 소자(130)를 갖는다. 유기 EL 소자(130)는, 예를 들어, 평탄화층(120)측으로부터 순서대로, 애노드 전극(131), 유기층(132) 및 캐소드 전극(133)을 갖는다. 유기층(132) 및 캐소드 전극(133)에서의, 애노드 전극(131) 상의 적층 부분은 윈도우 규정층(140) 상에 형성된 개구에 의해 규정되어 있다.

[0046] 한편, 도 18에 도시된 서브 픽셀은 회로 기판(110)을 형성한 후에 많은 수의 공정을 포함한다. 이는 제조 비용이 높아진다는 단점을 초래한다.

[0047] 한편, 본 발명의 실시 형태에서는, 유기 EL 소자(11)의 애노드 전극(41) 상에, 구동 트랜지스터 Tdr의 게이트

전극(32)의 투명 도전층(32A)과 동일한 층에 형성되며, 투명 도전층(32A)과 동일한 재료로 형성된 층(투명 도전층(41A))이 구비된다. 이에 의해, 예를 들어, 게이트 전극(32)이 형성되는 글래스 기판(31) 상에 애노드 전극(41)을 형성할 수 있고, 또한, 애노드 전극(41)을 게이트 전극(32)과 일괄로 형성할 수 있어, 그 결과, 도 18의 평탄화층(120)을 형성하거나, 도 18의 애노드 전극(131)을 별도로 형성하거나 하는 단계를 생략할 수 있다. 따라서, 회로 기판 형성 후의 공정수를 삭감할 수 있다.

[0048] (2. 변형예)

상기 본 발명의 실시 형태에 따른 제조 과정에서는, 금속 도전층(41B) 상의 개구 H의 형성이 개구 규정 절연층(38)을 형성한 후에 행해졌지만, 대안으로서 별개의 공정으로 행해질 수 있다. 예를 들어, 도 10에 도시한 것 같이, 절연 보호층(35)을 형성할 때에, 개구(35A)를 통한 에칭에 의해 금속 도전층(41B) 상에 개구 H를 형성할 수 있다.

또한, 상기 본 발명의 실시 형태에서는, 게이트 전극(32) 및 애노드 전극(41)은 모두 적층체였지만, 단층일 수 있다. 예를 들어, 도 11에 도시한 바와 같이, 게이트 전극(32)이 투명 도전층(32A)만의 단일 구조체로 구성되고, 애노드 전극(41)도 투명 도전층(41A)만의 단일 구조체로 구성될 수 있다.

[0051] (3. 모듈 및 적용예)

이하, 상기 실시 형태 및 변형예에서 설명한 표시 장치의 적용예에 대해서 설명한다. 상기 실시 형태 등에 따른 표시 장치는, 텔레비전 수신기, 디지털 카메라, 개인용 노트북 컴퓨터, 휴대 전화 등의 휴대 단말 장치 또는 비디오 카메라 등, 외부로부터 입력된 화상 신호 또는 내부에서 생성된 화상 신호를, 화상 또는 영상으로서 표시하는, 여러 분야의 전자 기기 상의 표시 장치에 적용하는 것이 가능하다.

[0053] [모듈]

상기 실시 형태 등의 표시 장치는, 예를 들어, 도 12에 도시한 바와 같은 모듈로서, 후술하는 적용예 1 내지 5 등의 여러 전자 기기에 내장된다. 이 모듈은, 예를 들어, 기판(3)의 1면에, 표시부(10)을 밀봉하는 부재(도시 생략)로부터 노출된 영역(210)을 갖고, 이 노출된 영역(210)에, 타이밍 제어 회로(21), 수평 구동 회로(22), 기입 주사 회로(23) 및 전원 주사 회로(24)의 배선을 연장하여 외부 접속 단자(도시 생략)를 형성한다. 외부 접속 단자에는 신호의 입/출력을 위한 FPC(Flexible Printed Circuit, 220)이 구비될 수 있다.

[0055] [적용예 1]

도 13은 상기 실시 형태 등에 따른 표시 장치가 적용되는 텔레비전 장치의 외관을 나타낸다. 이 텔레비전 장치는, 예를 들어, 정면 패널(310) 및 필터 글래스(320)를 포함하는 화상 표시 스크린(300)을 가지며, 화상 표시 스크린(300)은 상기 실시 형태 등에 따른 표시 장치로 구성되어 있다.

[0057] [적용예 2]

도 14는 상기 실시 형태 등의 표시 장치가 적용되는 디지털 카메라의 외관을 나타낸다. 이 디지털 카메라는, 예를 들어, 플래시용 발광부(410), 표시부(420), 메뉴 스위치(430) 및 셔터 버튼(440)을 가지며, 표시부(420)는 상기 실시 형태 등에 따른 표시 장치로 구성되어 있다.

[0059] [적용예 3]

도 15는 상기 실시 형태 등의 표시 장치가 적용되는 개인용 노트북 컴퓨터의 외관을 나타낸다. 이 개인용 노트북 컴퓨터는, 예를 들어, 본체(510), 문자 등의 입력 조작을 위한 키보드(520) 및 화상을 표시하는 표시부(530)를 가지며, 표시부(530)는 상기 실시 형태 등에 따른 표시 장치로 구성되어 있다.

[0061] [적용예 4]

도 16은 상기 실시 형태 등의 표시 장치가 적용되는 비디오 카메라의 외관을 나타낸다. 이 비디오 카메라는, 예를 들어, 본체부(610), 본체부(610)의 전방측면에 구비되어 있는 피사체 촬영용 렌즈(620), 촬영 시의 시작/정지 스위치(630) 및 표시부(640)를 가지며, 표시부(640)는 상기 실시 형태 등에 따른 표시 장치로 구성되어 있다.

[0063] [적용예 5]

도 17은 상기 실시 형태 등의 표시 장치가 적용되는 휴대 전화기의 외관을 나타낸다. 이 휴대 전화기는, 예를 들어, 상측 하우징(710)과 하측 하우징(720)을 연결부(힌지부)(730)로 연결하여 구성된 것이며, 디스플레이

(740), 서브 디스플레이(750), 픽처라이트(760) 및 카메라(770)를 갖는다. 디스플레이(740) 또는 서브 디스플레이(750)는 상기 실시 형태 등에 따른 표시 장치로 구성되어 있다.

- [0065] 이상, 상기 실시 형태 및 적용예를 들어서 본 발명을 설명했으나, 본 발명은 그것들에 한정되는 것은 아니며, 여러 변형이 가능하다.
- [0066] 예를 들어, 상기 실시 형태 등에서는, 본 발명을 표시 장치에 적용했을 경우에 대해서 설명했지만, 본 발명을 그 이외의 디바이스, 예를 들어, 조명 장치 등에 적용하는 것도 가능하다. 조명 장치의 경우에는, 상기의 표시 패널은 발광 패널이 된다.
- [0067] 또한, 상기 실시 형태 등에서는, 표시 장치가 액티브 매트릭스형인 경우에 대해 설명했으나, 액티브 매트릭스 구동을 위한 화소 회로(12)의 구성은 상기 실시 형태 등에서 설명한 것에 한정되지 않는다. 따라서, 필요에 따라 용량 소자나 트랜지스터를 화소 회로(12)에 추가하는 것이 가능하다. 그 경우, 화소 회로(12)의 변경에 따라 전술된 타이밍 생성 회로(21), 화상 신호 처리 회로(22), 데이터 선 구동 회로(23), 게이트 선 구동 회로(24) 및 드레인 선 구동 회로(25)의 이외에도, 필요한 구동 회로를 추가할 수 있다.
- [0068] 또한, 상기 실시 형태 등에서는, 데이터 선 구동 회로(23), 게이트 선 구동 회로(24) 및 드레인 선 구동 회로(25)의 구동을, 타이밍 생성 회로(21) 및 화상 신호 처리 회로(22)가 제어했지만, 대안으로서 다른 회로가 이들의 구동을 제어할 수 있다. 또한, 데이터 선 구동 회로(23), 게이트 선 구동 회로(24) 및 드레인 선 구동 회로(25)의 제어는 하드웨어(회로) 또는 소프트웨어(프로그램)로 행해질 수 있다.
- [0069] 또한, 상기 실시 형태 등에서는, 기입 트랜지스터 T_{ws} 의 소스 및 드레인뿐만 아니라, 구동 트랜지스터 T_{dr} 의 소스 및 드레인이 고정된 것으로서 설명되었지만, 전류가 흐르는 방향에 따라 소스와 드레인 사이의 대향 위치에서의 관계가 상기 설명과 반대가 될 수 있음은 물론이다.
- [0070] 또한, 상기 실시 형태 등에서는, 기입 트랜지스터 T_{ws} 및 구동 트랜지스터 T_{dr} 가 n채널 MOS형의 TFT로 형성되어 있는 것으로 설명되었지만, 기입 트랜지스터 T_{ws} 및 구동 트랜지스터 T_{dr} 의 적어도 한쪽이 p채널 MOS형의 TFT로 형성되어 있어도 된다. 구동 트랜지스터 T_{dr} 가 p채널 MOS형 TFT로 형성되어 있는 경우에는, 상기 실시 형태 등에서, 유기 EL 소자(11)의 애노드(35A)가 캐소드가 되고, 유기 EL 소자(11)의 캐소드(35B)가 애노드가 됨에 주목한다. 또한, 상기 실시 형태 등에서, 기입 트랜지스터 T_{ws} 및 구동 트랜지스터 T_{dr} 는 반드시 아몰퍼스 실리콘형 TFT나 마이크로 실리콘형 TFT일 필요는 없고, 예를 들어, 저온 폴리실리콘형 TFT일 수 있다. 또한, 게이트가 형성되어 있는 기판은 글래스 기판에 한정되지 않고, Si 기판 등의 절연 기판일 수 있다.
- [0071] 본 발명은 이하의 구성을 포함할 수 있음에 주목한다.
- [0072] (1) 표시 패널로서,
- [0073] 화소마다 유기 EL 소자와 화소 회로를 포함하고,
- [0074] 상기 화소 회로는 화상 신호를 기입하는 제1 트랜지스터와, 상기 제1 트랜지스터에 의해 기입된 상기 화상 신호에 기초하여 상기 유기 EL 소자를 구동하는 제2 트랜지스터를 갖고, 상기 제2 트랜지스터는 게이트, 소스 및 드레인을 갖고,
- [0075] 상기 유기 EL 소자는 애노드, 유기층 및 캐소드를 갖고,
- [0076] 상기 제2 트랜지스터의 상기 게이트는 투명 도전층의 단일 구조체, 또는 투명 도전층 및 금속 도전층의 적층체이고,
- [0077] 상기 유기 EL 소자의 상기 애노드는 상기 투명 도전층과 동일한 층에 형성되며, 상기 투명 도전층과 동일한 재료로 형성된 층을 갖는, 표시 패널.
- [0078] (2) (1)에 있어서, 상기 유기 EL 소자의 상기 애노드는 글래스 기판 상에 형성되는, 표시 패널.
- [0079] (3) 표시 장치로서,
- [0080] 표시 패널과,
- [0081] 각 화소를 구동하는 구동 회로
- [0082] 를 포함하고,
- [0083] 상기 표시 패널은, 화소마다 유기 EL 소자와 화소 회로를 갖고,

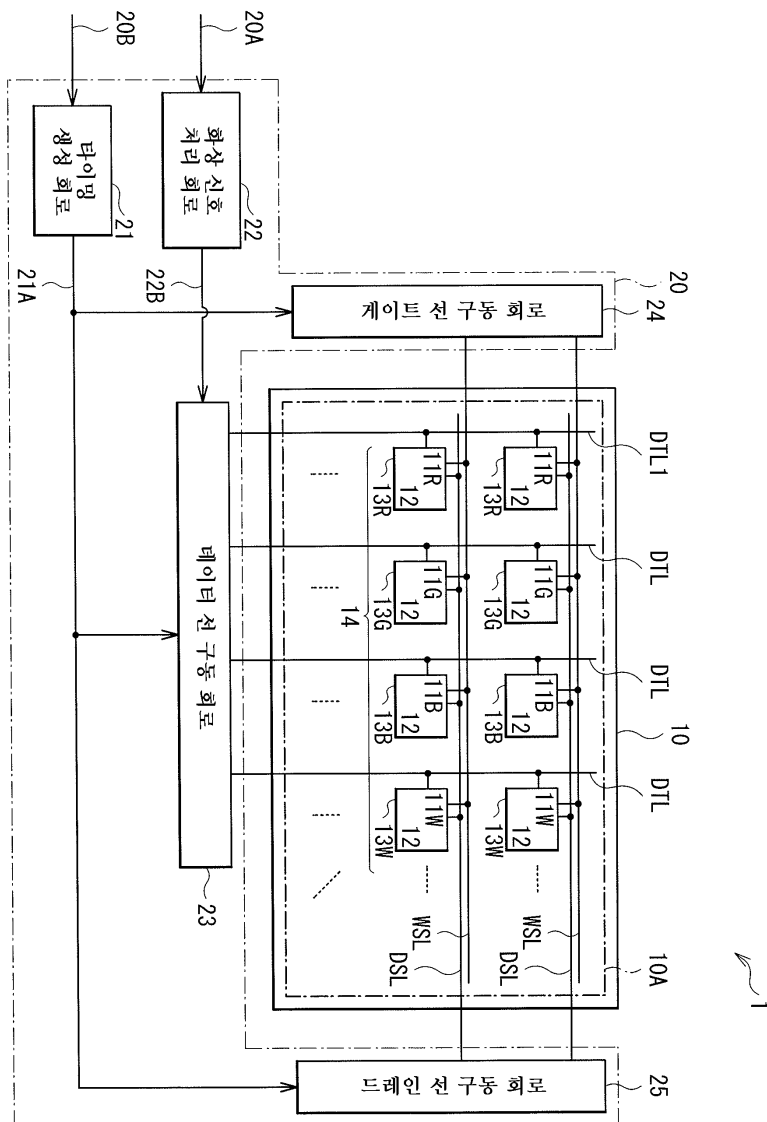
- [0084] 상기 화소 회로는 화상 신호를 기입하는 제1 트랜지스터와, 상기 제1 트랜지스터에 의해 기입된 상기 화상 신호에 기초하여 상기 유기 EL 소자를 구동하는 제2 트랜지스터를 갖고, 상기 제2 트랜지스터는 게이트, 소스 및 드레인을 갖고,
- [0085] 상기 유기 EL 소자는 애노드, 유기층 및 캐소드를 갖고,
- [0086] 상기 제2 트랜지스터의 상기 게이트는 투명 도전층의 단일 구조체, 또는 투명 도전층 및 금속 도전층의 적층체이고,
- [0087] 상기 유기 EL 소자의 상기 애노드는 상기 투명 도전층과 동일한 층에 형성되며, 상기 투명 도전층과 동일한 재료로 형성된 층을 갖는, 표시 장치.
- [0088] (4) (1) 또는 (2)에 있어서, 상기 애노드는 상기 제2 트랜지스터의 상기 게이트와 일괄로 형성되는, 표시 패널.
- [0089] (5) (1), (2) 및 (4)중 어느 하나에 있어서, 백색 EL 광을 방출하는 유기 EL 소자가 구비되어 있는, 표시 패널.
- [0090] (6) (1), (2), (4) 및 (5)중 어느 하나에 있어서, 상기 화소 회로는 축적 용량을 포함하는, 표시 패널.
- [0091] (7) (1), (2) 및 (4) 내지 (6)중 어느 하나에 있어서, 상기 화소 회로는 상기 제1 트랜지스터와 직렬로 접속된 기입 트랜지스터를 갖는, 표시 패널.
- [0092] (8) (1), (2) 및 (4) 내지 (7)중 어느 하나에 있어서, 상기 유기 EL 소자의 상기 캐소드는 그라운드 선에 접속되는, 표시 패널.
- [0093] (9) (1), (2) 및 (4) 내지 (8)중 어느 하나에 있어서, 상기 적층체는 상기 투명 도전층 및 상기 금속 도전층을 글래스 기판측으로부터 이 순서대로 적층함으로써 형성되는, 표시 패널.
- [0094] (10) (1), (2) 및 (4) 내지 (9)중 어느 하나에 있어서, 상기 유기 EL 소자의 상기 애노드는 상기 투명 도전층과 동일한 막 두께를 갖도록 형성되는, 표시 패널.
- [0095] (11) (1), (2) 및 (4) 내지 (10)중 어느 하나에 있어서, 상기 제2 트랜지스터의 상기 게이트는 글래스 기판 상에 형성되는, 표시 패널.
- [0096] (12) (3)에 있어서, 상기 유기 EL 소자의 상기 애노드는 글래스 기판 상에 형성되는, 표시 장치.
- [0097] (13) (3) 또는 (12)에 있어서, 상기 제2 트랜지스터의 상기 애노드는 상기 제2 트랜지스터의 상기 게이트와 일괄로 형성되는, 표시 장치.
- [0098] (14) (3), (12) 및 (13)중 어느 하나에 있어서, 백색 EL 광을 방출하는 유기 EL 소자가 구비되어 있는, 표시 장치.
- [0099] (15) (3) 및 (12) 내지 (14)중 어느 하나에 있어서, 상기 화소 회로는 축적 용량을 포함하는, 표시 장치.
- [0100] (16) (3) 및 (12) 내지 (15)중 어느 하나에 있어서, 상기 화소 회로는 상기 제1 트랜지스터와 직렬로 접속된 기입 트랜지스터를 갖는, 표시 장치.
- [0101] (17) (3) 및 (12) 내지 (16)중 어느 하나에 있어서, 상기 유기 EL 소자의 상기 캐소드는 그라운드 선에 접속되는, 표시 장치.
- [0102] (18) (3) 및 (12) 내지 (17)중 어느 하나에 있어서, 상기 적층체는 상기 투명 도전층 및 상기 금속 도전층을 글래스 기판측으로부터 이 순서대로 적층함으로써 형성되는, 표시 장치.
- [0103] (19) (3) 및 (12) 내지 (18)중 어느 하나에 있어서, 상기 애노드는 상기 투명 도전층과 동일한 막 두께를 갖도록 형성되는, 표시 장치.
- [0104] (20) (3) 및 (12) 내지 (19)중 어느 하나에 있어서, 상기 제2 트랜지스터의 상기 게이트는 글래스 기판 상에 형성되는, 표시 장치.
- [0105] 본 발명은 2011년 9월 7일자로 일본 특허청에 출원된 일본 특허 출원 제JP2011-194958호에 개시된 것과 관련된 요지를 포함하며, 그 전체 내용은 참조로서 본원에 원용된다.
- [0106] 당업자라면, 첨부된 특허청구범위 또는 그 균등물의 범위 내에 속한다면, 설계 요건 및 다른 요소들에 따라 다양한 변경, 조합, 서브-조합 및 대체가 이루어질 수 있음을 이해할 수 있다.

부호의 설명

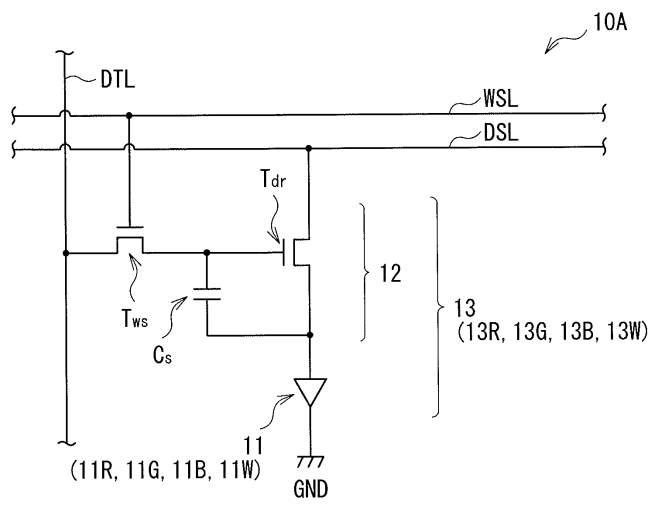
- [0107]
- 1: 표시 장치
 - 10: 표시 패널
 - 10A: 표시 영역
 - 11, 11R, 11G, 11B: 유기 EL 소자
 - 12: 화소 회로
 - 13, 13R, 13G, 13B: 서브 픽셀
 - 14: 표시 화소

도면

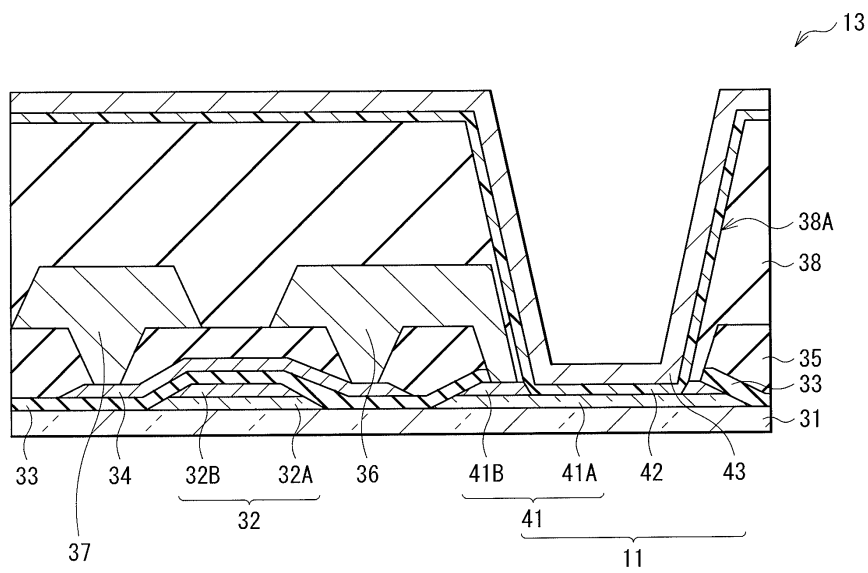
도면1



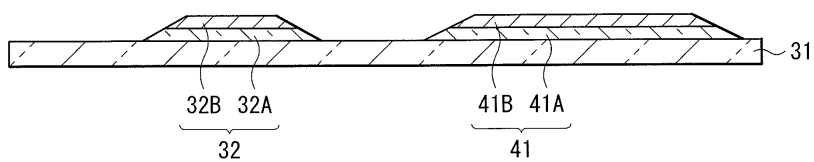
도면2



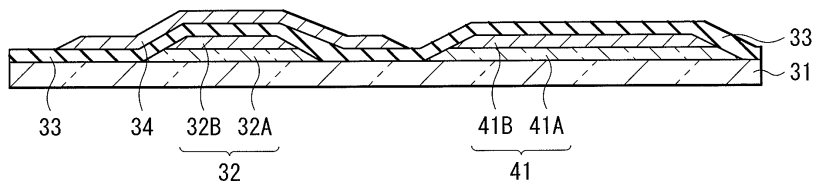
도면3



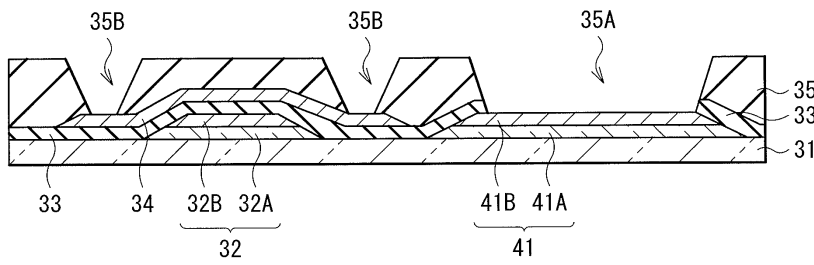
도면4



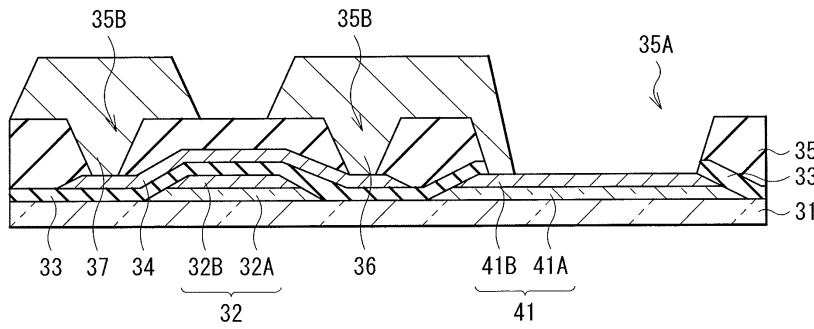
도면5



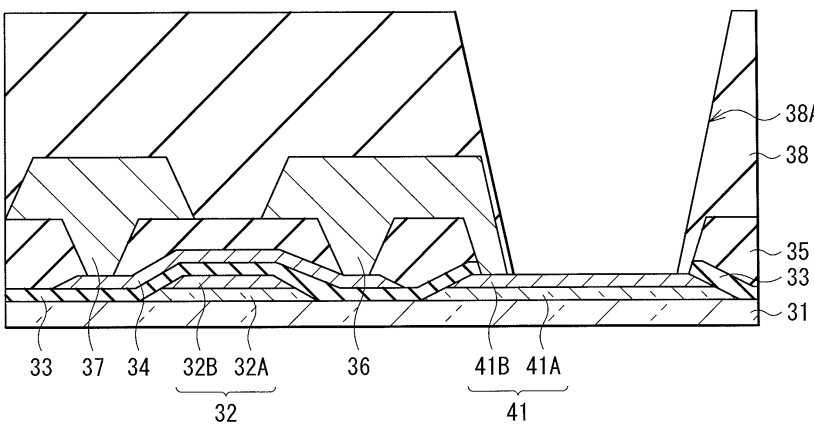
도면6



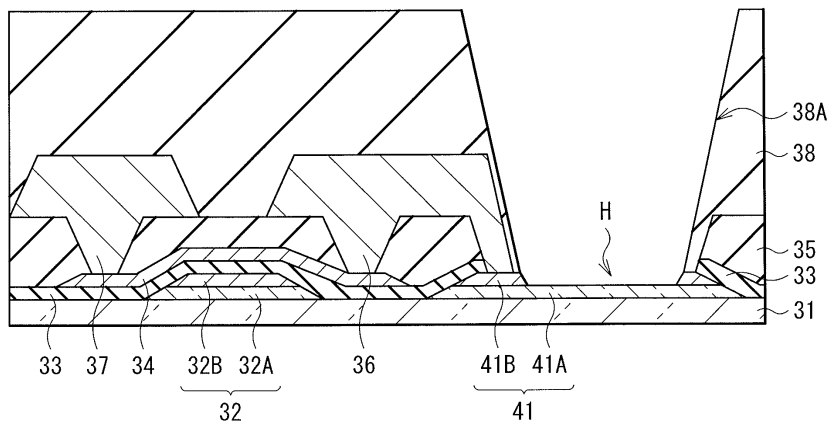
도면7



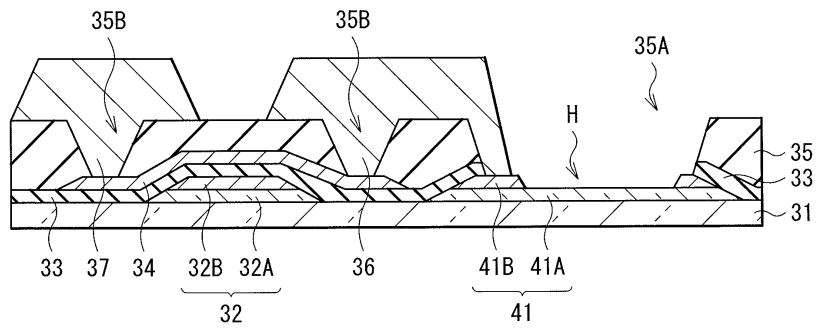
도면8



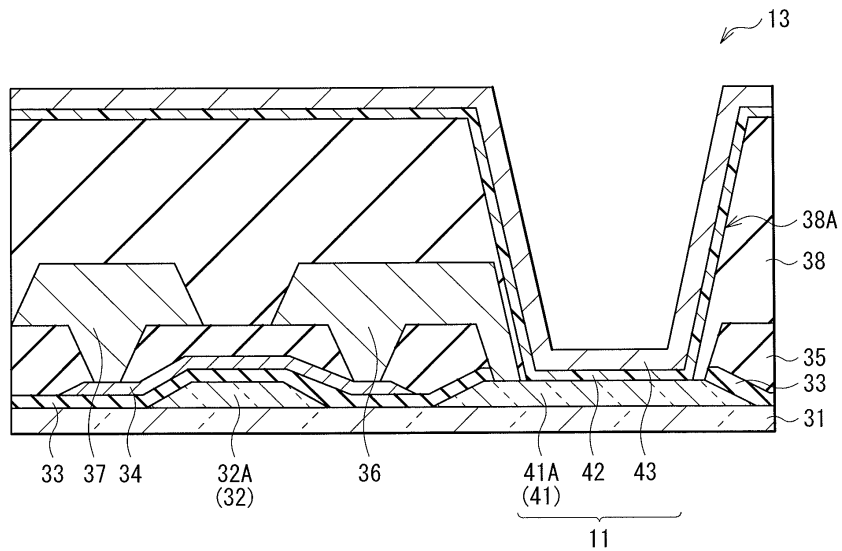
도면9



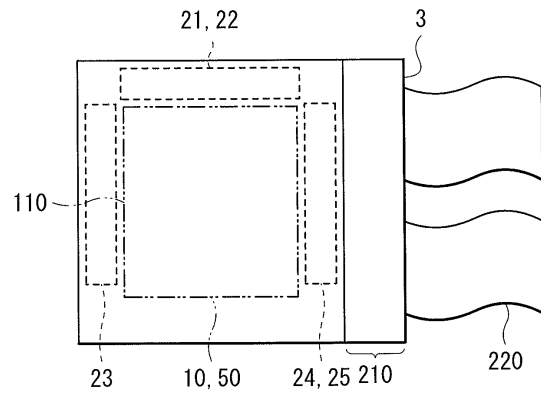
도면10



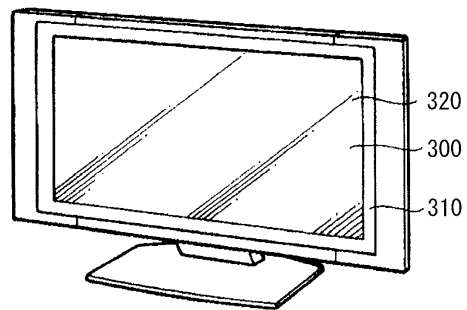
도면11



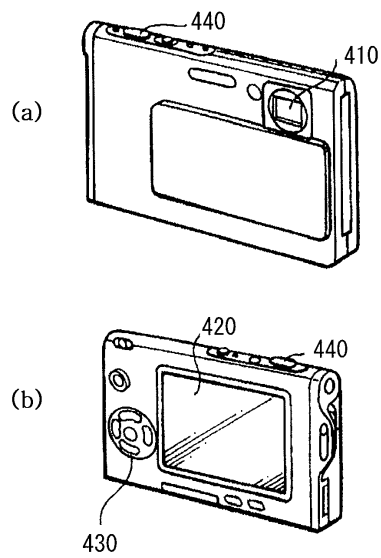
도면12



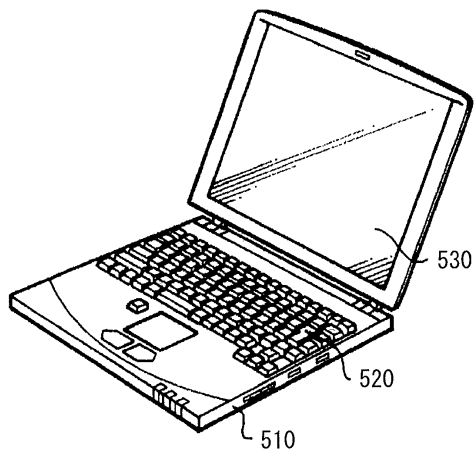
도면13



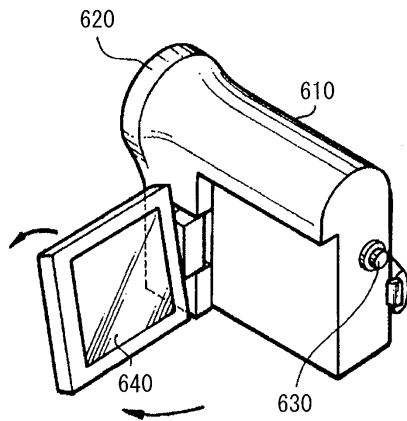
도면14



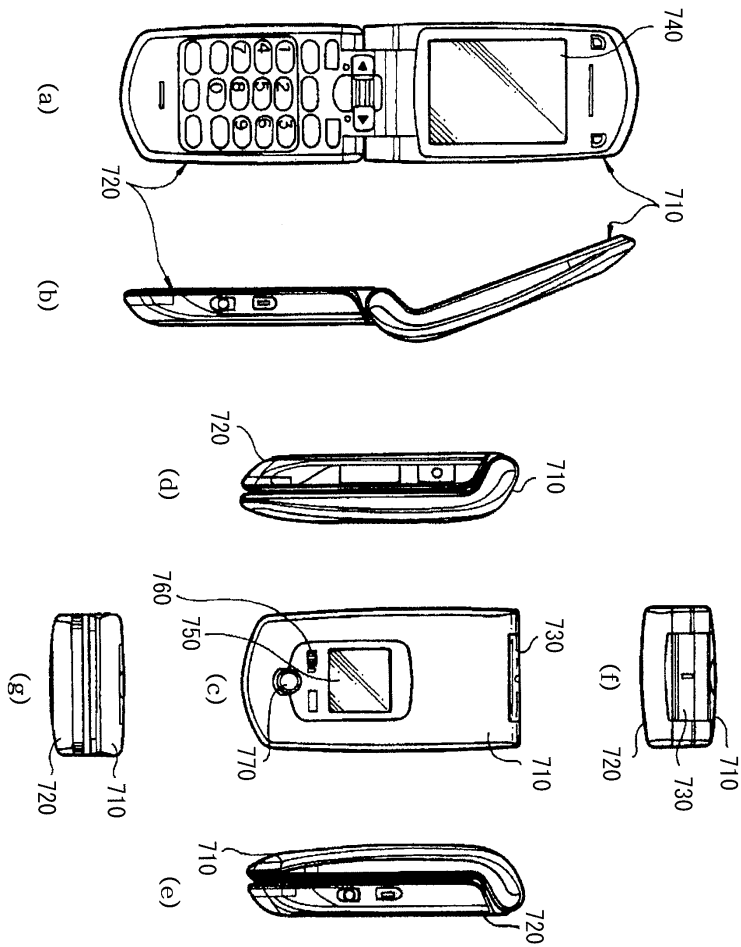
도면15



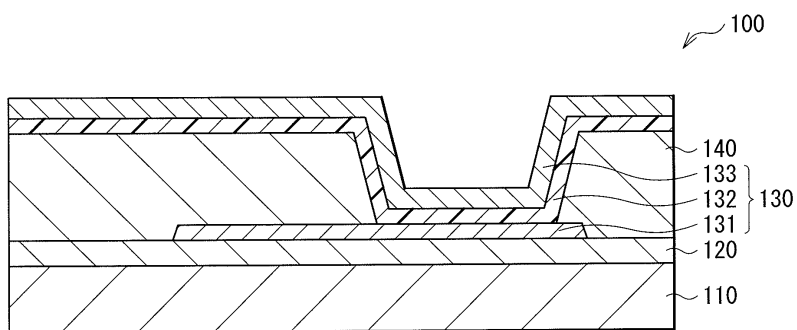
도면16



도면17



도면18



专利名称(译)	显示面板和显示设备		
公开(公告)号	KR1020130027425A	公开(公告)日	2013-03-15
申请号	KR1020120094259	申请日	2012-08-28
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	OMOTO KEISUKE		
发明人	오모토게이스케		
IPC分类号	H01L51/50 H01L29/786 H05B33/12		
CPC分类号	H01L27/3248 G09G3/3225 H01L27/3258 H01L27/326 H01L51/5206 H01L29/4908 H01L2227/323 H01L51/5215		
代理人(译)	Jangsugil Bakchungbeom Yijunghui		
优先权	2011194958 2011-09-07 JP		
外部链接	Espacenet		

摘要(译)

用途：提供显示面板和显示装置，通过整体形成阳极和栅极来去除平坦化层形成过程或阳极电极形成过程。组成：在玻璃表面上形成栅电极（32）基板（31）。栅极绝缘层（33）覆盖包括栅电极的玻璃基板的表面。沟道层（34）与面对栅电极的区域交叉。源电极（36）和漏电极（37）在沟道层的表面方向上彼此面对。在源电极和漏电极之间形成预设空间。绝缘保护层（35）覆盖沟道层和栅极绝缘层的表面。有机EL器件（11）包括阳极（41），有机层（42）和阴极（43）。COPYRIGHT KIPO 2013

