



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2018년04월13일

(11) 등록번호 10-1847910

(24) 등록일자 2018년04월05일

(51) 국제특허분류(Int. Cl.)
H01L 51/56 (2006.01) H01L 29/786 (2006.01)
(21) 출원번호 10-2011-0050183
(22) 출원일자 2011년05월26일
심사청구일자 2016년05월13일
(65) 공개번호 10-2012-0131773
(43) 공개일자 2012년12월05일
(56) 선행기술조사문헌
KR1020060081506 A
KR1020080084449 A
US20100112790 A1
US20100224881 A1

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
신민철
서울특별시 구로구 부일로 861-6 (운수동)
김도영
경기도 화성시 노작로4길 35 (반송동)
(74) 대리인
(뒷면에 계속)
특허법인가산

전체 청구항 수 : 총 25 항

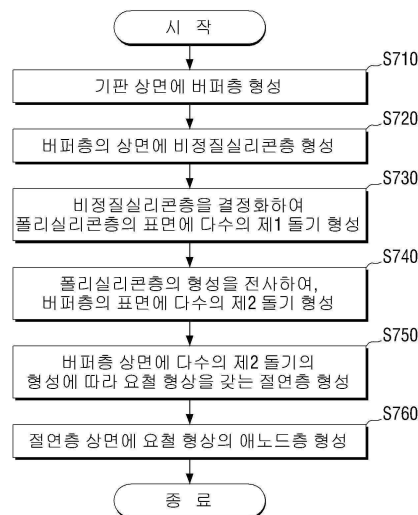
심사관 : 고연화

(54) 발명의 명칭 픽셀부 요철간 간격 조절방법 및 이를 이용한 표시장치 제조방법

(57) 요약

픽셀부 요철간 간격 조절방법 및 이를 이용한 표시장치 제조방법이 제공된다. 본 발명의 픽셀부 요철간 간격 조절방법의 일 태양은 기판 상면에 버퍼층을 형성하는 단계, 상기 버퍼층의 상면에 비정질실리콘층을 형성하는 단계, 상기 비정질실리콘층에 레이저를 조사하여 폴리실리콘층을 형성하되, 상기 폴리실리콘층의 표면에 다수의 제1 돌기를 형성하는 단계, 상기 폴리실리콘층의 형상을 전사하여, 상기 버퍼층의 표면에 다수의 제2 돌기를 형성하는 단계, 및 상기 버퍼층 상에 절연층을 형성하되, 상기 절연층은 상기 다수의 제2 돌기의 형상에 따라 요철 형상을 갖는 단계를 포함할 수 있다.

대표도 - 도6



(72) 발명자

이윤규

경기도 수원시 영통구 매영로 346, 신나무실 건영
아파트 667동 1503호 (영통동)

허종무

경기도 화성시 영통로27번길 53, 신영통현대 아파
트 204동 902호 (반월동)

명세서

청구범위

청구항 1

기관 상면에 버퍼층을 형성하는 단계;

상기 버퍼층의 상면에 비정질실리콘층을 형성하는 단계;

상기 비정질실리콘층에 레이저를 조사하여 폴리실리콘층을 형성하되, 상기 폴리실리콘층의 표면에 다수의 제1 돌기를 형성하는 단계;

상기 폴리실리콘층의 형상을 전사하여, 상기 버퍼층의 표면에 다수의 제2 돌기를 형성하는 단계; 및

상기 버퍼층 상에 절연층을 형성하되, 상기 절연층은 상기 다수의 제2 돌기의 형상에 따라 요철 형상을 갖는 단계를 포함하는 표시장치 제조방법.

청구항 2

제1항에 있어서,

상기 절연층 상에, 요철 형상의 애노드 층을 형성하는 단계를 더 포함하는 표시장치 제조방법.

청구항 3

제1항에 있어서,

상기 다수의 제1 돌기 사이의 간격은, 상기 레이저의 조사 회수에 따라 조절되는 표시장치 제조방법.

청구항 4

제3항에 있어서,

상기 폴리실리콘층은 상기 레이저를 n (단, n 은 자연수)회 조사한 제1 영역과, 상기 레이저를 m (단, m 은 n 보다 큰 자연수)회 조사한 제2 영역을 포함하고,

상기 제1 영역에서 다수의 제1 돌기의 간격은, 상기 제2 영역에서 다수의 제1 돌기의 간격보다 작은 표시장치 제조방법.

청구항 5

제4항에 있어서,

상기 레이저는 일정 면적을 조사하고, 상기 레이저를 다수회 오버랩시켜 조사하는 표시장치 제조방법.

청구항 6

제4항에 있어서,

상기 폴리실리콘층은 다수의 상기 제1 영역을 포함하고, 상기 제2 영역은 다수의 제1 영역이 서로 오버랩되는 영역인 표시장치 제조방법.

청구항 7

제1항에 있어서,

상기 다수의 제1 돌기 사이의 간격은, 상기 조사되는 레이저의 에너지 밀도에 따라 조절되는 표시장치 제조방법.

청구항 8

제7항에 있어서,

상기 레이저를 조사하여 폴리실리콘층을 형성하는 단계는, 서로 다른 제1 레이저 빔과 제2 레이저 빔을 사용하고,

상기 제1 레이저 빔은 제3 영역에 제1 에너지 밀도로 조사되고,

상기 제2 레이저 빔은 상기 제3 영역보다 넓은 제4 영역에, 상기 제1 에너지 밀도보다 작은 제2 에너지 밀도로 조사되는 표시장치 제조방법.

청구항 9

제8항에 있어서,

상기 제3 영역은 액티브 영역인 표시장치 제조방법.

청구항 10

제1항에 있어서,

상기 다수의 제2 돌기를 형성하는 단계는, 비등방성 건식 식각을 사용하는 표시장치 제조방법.

청구항 11

제10항에 있어서,

상기 비등방성 건식 식각은 8플루오르화 부텐 기체를 사용하는 표시장치 제조방법.

청구항 12

기관상에 형성된 비정질 실리콘층을 레이저로 조사하여 결정화시킨 후, 비등방성 건식 식각으로 픽셀부의 버퍼층에 요철을 형성하는 단계;

상기 픽셀부 상면 및 상기 픽셀부 이외 부분의 상면에 요철 형상의 절연층, 요철 형상의 애노드층 및 배선용 메탈층을 순차적으로 형성하고 상기 배선용 메탈층에 패턴을 형성하는 단계;

상기 메탈층 패턴이 형성된 부분의 상면 및 상기 메탈층 패턴이 형성되지 않은 부분의 상면에 층간절연막을 형성하고, 상기 층간 절연막에 콘택트 홀을 형성하는 단계; 및

소스 및 드레인 패턴을 형성하고, 상기 애노드층과 반응하지 않는 식각액을 사용하여 픽셀부 상부에 형성된 상기 메탈층을 제거하여 픽셀을 형성하는 단계를 포함하는 표시장치 제조방법.

청구항 13

제12항에 있어서,

상기 픽셀부 상부에 형성된 상기 메탈층을 제거하여 픽셀을 형성하는 단계 이후에,

상기 픽셀부 상면의 애노드층을 노출하는 개구부를 가지는 격벽을 형성하는 단계를 더 포함하는 표시장치 제조방법.

청구항 14

제12항에 있어서,

상기 기관상에 형성된 비정질 실리콘층을 레이저로 조사하여 결정화하는 단계는,

상기 기관 상면에 버퍼층을 형성하는 단계;

상기 버퍼층의 상면에 비정질실리콘층을 형성하는 단계;

상기 비정질실리콘층에 레이저를 조사하여 폴리실리콘층을 형성하되, 상기 폴리실리콘층의 표면에 다수의 제1 돌기를 형성하는 단계; 및

상기 폴리실리콘층의 형상을 전사하여, 상기 버퍼층의 표면에 다수의 제2 돌기를 형성하는 단계를 포함하는 표

시장치 제조방법.

청구항 15

제14항에 있어서,

상기 픽셀부 상면 및 상기 픽셀부 이외 부분의 상면에 요철 형상의 절연층을 형성하는 단계에서,

상기 절연층은 상기 다수의 제2 돌기의 형상에 따라 요철 형상을 갖는 표시장치 제조방법.

청구항 16

제14항에 있어서,

상기 다수의 제1 돌기 사이의 간격은, 상기 레이저의 조사 회수에 따라 조절되는 표시장치 제조방법.

청구항 17

제16항에 있어서,

상기 폴리실리콘층은 상기 레이저를 n (단, n 은 자연수)회 조사한 제1 영역과, 상기 레이저를 m (단, m 은 n 보다 큰 자연수)회 조사한 제2 영역을 포함하고,

상기 제1 영역에서 다수의 제1 돌기의 간격은, 상기 제2 영역에서 다수의 제1 돌기의 간격보다 작은 표시장치 제조방법.

청구항 18

제17항에 있어서,

상기 레이저는 일정 면적을 조사하고, 상기 레이저를 다수회 오버랩시켜 조사하는 표시장치 제조방법.

청구항 19

제17항에 있어서,

상기 폴리실리콘층은 다수의 상기 제1 영역을 포함하고, 상기 제2 영역은 다수의 제1 영역이 서로 오버랩되는 영역인 표시장치 제조방법.

청구항 20

제14항에 있어서,

상기 다수의 제1 돌기 사이의 간격은, 상기 조사되는 레이저의 에너지 밀도에 따라 조절되는 표시장치 제조방법.

청구항 21

제16항에 있어서,

상기 레이저를 조사하여 폴리실리콘층을 형성하는 단계는, 서로 다른 제1 레이저 빔과 제2 레이저 빔을 사용하고,

상기 제1 레이저 빔은 제3 영역에만 제1 에너지 밀도로 조사되고,

상기 제2 레이저 빔은 상기 제3 영역보다 넓은 제4 영역에, 상기 제1 에너지 밀도보다 작은 제2 에너지 밀도로 조사되는 표시장치 제조방법.

청구항 22

제21항에 있어서,

상기 제3 영역은 액티브 영역인 표시장치 제조방법.

청구항 23

제14항에 있어서,

상기 다수의 제2 돌기를 형성하는 단계는, 비등방성 건식 식각을 사용하는 표시장치 제조방법.

청구항 24

제23항에 있어서,

상기 비등방성 건식 식각은 8플루오르화 부텐 기체를 사용하는 표시장치 제조방법.

청구항 25

제12항에 있어서,

상기 애노드층과 반응하지 않는 식각액은 인산, 질산, 초산을 포함하는 혼합물인 표시장치 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 레이저 결정화를 통해 발광 효율을 향상시킬 수 있는 박막 트랜지스터 구조 형성 방법에 관한 것이다.

배경 기술

[0002] 본 발명은 비정질 실리콘(a-Si, amorphous silicon)을 결정화하는 방법 및 이를 이용하여 제조된 박막 트랜지스터(TFT, thin film transistor) 구조에 관한 것으로서, 통상적으로 비정질 실리콘층을 폴리 실리콘(poly-Si, poly silicon) 층으로 결정화하는 방법은 버퍼층이 형성된 기판상에 비정질 실리콘층을 형성한 후, ELA(Eximer Laser Annealing)나 SLS(Sequential Lateral Solidification) 등의 방법으로 결정화하여 전자의 채널 영역으로 기능하는 폴리 실리콘층을 형성하게 된다.

[0003] ELA 는 다결정 실리콘의 형성방법으로서 일반적으로 사용되는 방법으로서, 엑사이머 레이저(Eximer Laser)를 수 나노초(ns) 동안 순간 조사를 하여 기판의 손상 없이 비정질 실리콘 막을 녹여 재결정시키는 방법으로서, 유리 기판이 녹지 않는 저온에서 폴리 실리콘을 만든다. SLS는 패턴 마스크 사이로 조사된 레이저에 의해서 실리콘 표면을 완전히 녹인 후 빔을 이동시켜 이동방향으로 확장된 그레인(grain)을 얻는 방법이다.

[0004] 그러나, 본 발명은 종래의 결정화 기술인 ELA나 SLS를 사용하지 않고, 유기발광소자에 적당한 요철을 형성시키 되, 사용자가 원하는 영역에 사용자가 원하는 정도의 돌기간의 간격을 형성시킴으로써 종래의 결정화 기술보다 개선된 박막 트랜지스터 패널 구조 형성방법을 제공하고자 한다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하려는 과제는, Laser로 결정화 시에 에너지 및 조사 회수를 조절하여 유기 발광 다이오드(OLED, Organic light-emitting diode)의 발광 영역 하부에 필요로 하는 간격으로 요철을 형성시켜 발광 효율을 개선하는 방법을 제공하는 것이다.

[0006] 본 발명이 해결하려는 다른 과제는, 5 마스크(Mask) 공정을 그대로 실현하면서 추가적인 마스크없이 유기 발광 소자가 요철 구조를 갖는 박막 트랜지스터 구조를 제공함으로써 저원가의 우수한 발광 효율을 갖는 능동형 유기 발광 다이오드 패널 제조 방법을 제공하는 것이다.

[0007] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0008] 상기 과제를 해결하기 위한 본 발명의 픽셀부 요철간 간격 조절방법의 일 태양은 기판 상면에 버퍼층을 형성하는 단계, 상기 버퍼층의 상면에 비정질실리콘층을 형성하는 단계, 상기 비정질실리콘층에 레이저를 조사하여 폴리실리콘층을 형성하되, 상기 폴리실리콘층의 표면에 다수의 제1 돌기를 형성하는 단계, 상기 폴리실리콘층의

형상을 전사하여, 상기 버퍼층의 표면에 다수의 제2 돌기를 형성하는 단계, 및 상기 버퍼층 상에 절연층을 형성하되, 상기 절연층은 상기 다수의 제2 돌기의 형상에 따라 요철 형상을 갖는 단계를 포함할 수 있다.

[0009] 상기 과제를 해결하기 위한 본 발명의 표시장치 제조방법의 태양은 (a) 기판상에 형성된 비정질 실리콘층을 레이저로 조사하여 결정화시킨 후, 비등방성 건식 식각으로 픽셀부의 버퍼층에 요철을 형성하는 단계, (b) 상기 픽셀부 상면 및 상기 픽셀부 이외 부분의 상면에 요철 형상의 절연층, 요철 형상의 애노드층 및 배선용 메탈층을 순차적으로 형성하고 상기 배선용 메탈층에 패터를 형성하는 단계, (c) 상기 메탈층 패터가 형성된 부분의 상면 및 상기 메탈층 패터가 형성되지 않은 부분의 상면에 층간절연막을 형성하고, 상기 층간 절연막에 콘택트홀을 형성하는 단계, 및 (d) 소스 및 드레인 패터를 형성하고, 상기 애노드층과 반응하지 않는 식각액을 사용하여 픽셀부 상부에 형성된 상기 메탈층을 제거하여 픽셀을 형성하는 단계를 포함할 수 있다.

[0010] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0011] 본 발명인 픽셀부 요철간 간격 조절 방법을 통하여, Laser로 결정화 시에 에너지 및 조사 회수를 조절하여 유기 발광 다이오드(OLED, Organic light-emitting diode)의 발광 영역 하부에 필요로 하는 간격으로 요철을 형성시켜 발광 효율을 개선할 수 있다.

[0012] 본 발명인 박막 트랜지스터 패널 구조 형성 방법을 통하여, 5 마스크(Mask) 공정을 그대로 실현하면서 추가적인 마스크없이 유기 발광 소자가 요철 구조를 갖는 박막 트랜지스터 구조를 제공함으로써 저원가의 우수한 발광 효율을 갖는 능동형 유기발광 다이오드 패널 제조 방법을 제공한다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 일 실시예로서 레이저 조사 영역을 서로 오버랩시켜서 돌기간의 간격을 조절하는 모습을 보여주는 예시도이다.

도 2는 본 발명의 다른 일 실시예로서 특정 영역에 에너지 밀도가 높은 레이저를 조사하여 돌기간의 간격을 조절하는 모습을 보여주는 예시도이다.

도 3은 비등방성 건식 식각에 따른 돌기의 변화를 보여주는 예시도이다.

도 4는 본 발명에서 제시한 방법을 통해 상대적으로 작은 간격으로 요철의 형상을 형성하는 모습을 보여주는 예시도이다.

도 5는 본 발명에서 제시한 방법을 통해 상대적으로 넓은 간격으로 요철의 형상을 형성하는 모습을 보여주는 예시도이다.

도 6는 박막 트랜지스터 패널의 픽셀부에 요철을 형성하는 과정을 설명하는 순서도이다.

도 7은 요철 구조를 갖는 박막 트랜지스터 구조를 형성하는 일련의 과정을 보여주는 단면도이다.

도 8은 도 7의 A부분을 확대한 확대도이다.

도 9는 박막 트랜지스터 패널의 픽셀부에 요철을 형성하는 과정을 설명하는 순서도이다.

도 10은 박막 트랜지스터 패널의 픽셀부에 요철을 형성하는 과정을 설명하는 순서도이다.

도 11는 결정화 후에 표면에 형성된 요철을 보여주는 사진이다.

도 12는 레이저를 반복하여 조사했을 경우 형성되는 돌기들의 간격 변화를 보여주는 실험예이다.

발명을 실시하기 위한 구체적인 내용

[0014] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0015] 하나의 소자(elements)가 다른 소자와 "접속된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는

것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 "직접 접속된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0016] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션 일 수도 있음은 물론이다.

[0017] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0018] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.

[0019] 픽셀 전극이 요철 형태를 가지는 경우, 그 표면적이 넓어져서 발광 면적이 늘어나게 된다. 이에 따라 평면 구조인 경우와 비교하여 동일한 개구율에서 발광 면적을 늘릴 수 있다. 더 나아가 굴절률의 관점에서 살펴보면, 종래의 유기 발광 표시 장치가 양극 및 발광소자 사이의 면과 화소전극 및 보호막 사이의 면이 서로 평행하게 되어 있다. 이러한 구조에서는 한 번 입계각 이상을 발생된 빛은 전반사를 하게 되고, 입사각과 반사각이 동일하게 되므로 이 빛은 화소 전극 및 보호막 사이의 면을 빠져 나올 수 없다. 하지만 픽셀 영역에 요철 구조를 형성한다면 입계각 이상으로 발생된 빛도 전반사를 거치면서 반사각이 바뀔 수 있게 되어 발광 소자의 광 추출 효율을 증가시킬 수 있다.

[0020] 그런데, 요철의 크기가 모든 영역에서 일정하기보다는, 필요에 따라서 특정 영역, 예를 들어 액티브 패턴(Active Pattern) 영역에서는 요철의 크기를 다른 영역에 비하여 더 크게 만들 필요가 있다. 그러나, 종래의 결정화 기술인 ELA나 SLS의 경우, 전면을 결정화하는 경우 그 결정화 특성이 일정할 수밖에 없다.

[0021] 도 1은 본 발명의 일 실시예로서 레이저 조사 영역을 서로 오버랩시켜서 돌기간의 간격을 조절하는 모습을 보여주는 예시도이고, 도 2는 본 발명의 다른 일 실시예로서 특정 영역에 에너지 밀도가 높은 레이저를 조사하여 돌기간의 간격을 조절하는 모습을 보여주는 예시도이다.

[0022] 비정질 실리콘층을 레이저로 조사하여 폴리 실리콘층을 형성하면서, 폴리 실리콘층에 돌기들이 형성되는데, 도 1에서 살펴본 바와 같이 레이저의 조사 회수에 따라 돌기들 간의 간격이 조절될 수 있다. 만약 레이저를 n 회 조사한 제1 영역과 m 회 조사한 제2 영역이 있는 경우, 만약 n 이 m 보다 작다면, n 회 조사한 영역에서 형성되는 돌기들의 간격은 m 회 조사한 영역에서 형성되는 돌기들의 간격보다 작다.

[0023] 비정질 실리콘층에 레이저를 반복하여 조사하되, 돌기들 간의 간격을 크게 만들 필요가 있는 영역에 대해서는 이전에 조사했던 영역의 일부 또는 전체에 오버랩시켜 조사함으로써 돌기들 간의 간격을 다른 영역에 비해 크게 만들 수 있다. 즉, 제1 영역의 넓이를 조사하는 레이저를 수 회 조사함에 있어서, 이전에 조사했던 제1 영역과 일부 오버랩시켜 조사하게 되면, 오버랩된 영역은 오버랩되지 않은 영역에 비해 더 많은 횟수의 레이저 조사가 이루어지게 될 것이다. 이러한 방식으로, 오버랩되는 영역을 m 회 조사하고, 오버랩되지 않은 영역을 n 회 조사하면, 오버랩되지 않은 영역은 제1 영역, 오버랩되는 영역은 제2 영역이 된다.

[0024] 도 1에서 볼 수 있듯, 일정한 면적을 조사하는 레이저 빔을 수 회 반복하여 조사하는 과정에서, 이전에 조사한 영역의 일부와 겹쳐 조사하도록 한다. 이 때, 돌기들간의 간격을 크게 만들 필요가 있는 영역인 오버랩 영역(31)에서는 다른 영역에 비해 보다 많은 회수의 조사가 이루어지게 함으로써 돌기들 간의 간격을 조절하는 것이다.

[0025] 한편, 돌기들 간의 간격은 조사되는 레이저의 에너지 밀도에 따라서도 조절할 수 있으므로, 돌기들 간의 간격을 다른 영역에 비해 크게 만들고자 하는 영역에 대해서는 에너지의 밀도를 높여 조사함으로써 마찬가지로 돌기들

간의 간격을 조절할 수 있다.

- [0026] 즉, 에너지 밀도와 조사 영역의 넓이가 서로 다른 두 개의 다른 레이저 빔을 사용한다. 조사되는 에너지의 밀도가 상대적으로 높은 제1 레이저 빔과, 제1 레이저 빔보다는 에너지 밀도가 작은 제2 레이저 빔을 사용할 수 있다. 이 때 제1 레이저 빔이 조사하는 영역을 제3 영역이라 하고, 제2 레이저 빔이 조사하는 영역을 제4 영역이라고 할 때 제4 영역은 제3 영역보다 넓은 영역일 수 있다.
- [0027] 도 2에서 볼 수 있듯, 액티브 패턴 영역(41(a), 41(b))만 조사되는 레이저 빔과 그보다 더 넓은 영역(43(a), 43(b))을 조사하는 레이저 빔을 사용하되, 액티브 영역만 조사되는 레이저 빔은 넓은 영역을 조사하는 레이저 빔보다 높은 에너지 밀도를 가지고 있으므로 결국 액티브 패턴 영역에는 그 외 다른 영역에 비해 보다 넓은 간격을 갖는 돌기들을 형성하게 된다. 즉, 이 때 액티브 패턴 영역이 제3 영역이 될 수 있다.
- [0028] 도 3은 건식 식각 비율에 따른 돌기의 변화를 보여주는 예시도이다. 폴리 실리콘층의 식각 비율과 버퍼층의 식각 비율을 조절함으로써 요철의 형성에 기여할 수 있다.
- [0029] 만약, 폴리 실리콘층의 식각 비율이 버퍼층의 식각 비율에 비해 더 큰 경우라면, 폴리 실리콘층에 형성된 돌기들이 식각 과정에서 대부분 식각되고, 결국 버퍼층에는 돌기들이 남아있지 않게 되거나 혹은 그 크기가 작아진다. 이렇게 약화된 돌기를 갖는 버퍼층 상에 절연층 및 애노드층을 형성시키면 원하고자 하는 요철구조를 형성할 수 없게 된다.
- [0030] 버퍼층과 폴리 실리콘층의 식각 비율에 변화를 주는 방법은 식각 과정에서 사용하는 기체의 종류를 달리하는 것으로 가능할 수 있다. 만약, 사용하는 기체의 일 예로 염소 가스(Cl_2)를 사용하여 화학적 식각을 수행할 경우, 식각 속도는 폴리 실리콘(Poly-si)이 버퍼층의 원료가 되는 이산화규소(SiO_2)에 비해 빠른 속도로 식각되어 결국 돌기를 약화시키는 건식 식각 방법이 된다. 이러한 등방성 식각 방식을 사용할 경우 돌기를 형성시키기 어렵다.
- [0031] 따라서, 도 3a 내지 도 3c에서와 같은 비등방성 건식 식각을 행하되, 사용하는 기체의 일 예로 8플루오르화 부텐(C_4F_8)을 사용하여 물리적 식각을 진행한다. 이로써, 도 3a에서와 같이 폴리 실리콘층(50)을 식각하여 제거하면서, 이전에 비정질실리콘층을 레이저로 조사하여 폴리 실리콘층(50)에 형성한 돌기(56)들의 형상이 버퍼층(51)에 그대로 유지되어 형성되도록 한다. 도 3b에서 볼 수 있듯이, 버퍼층에 그대로 돌기(57)들이 형성되어 있는 것을 볼 수 있다. 이 버퍼층(51) 상에 절연층(53)을 형성하게 되면, 버퍼층(51)에 그대로 유지되어 형성된 돌기들로 인하여 도 3c와 같이 원하고자 하는 요철구조를 형성할 수 있게 되며, 절연층(53) 상에 애노드층(55)을 형성시킴으로써 결국 픽셀부에 요철을 형성하게 된다.
- [0032] 이와 같이, 도 1 및 도 2에서 설명한 레이저 조사 회수 및 레이저의 에너지 밀도를 조절하여 돌기들의 크기 및 돌기들간의 간격을 형성시킨 후 도 3a 내지 도 3c에서 설명한 비등방성 식각을 거쳐 요철을 형성한다.
- [0033] 도 4a 내지 도 4c 및 도 5a 내지 도 5c 는 본 발명에서 제시한 방법을 통해 형성한 요철의 형상을 보여주는 예시도이다. 도 4a 내지 도 4c는 레이저의 조사 회수를 적게 하거나 조사되는 레이저의 에너지 밀도를 상대적으로 작게 함으로써 결국 작은 간격의 요철구조를 획득하게 되는 과정을 보여준다. 만약 이보다 큰 간격의 요철구조를 형성하고자 할 경우에는 특정 영역에 대해 레이저를 오버랩시켜 조사하여 레이저 조사 회수를 늘리거나 혹은 조사되는 레이저의 에너지 밀도를 높임으로써, 도 5c와 같이 상대적으로 넓은 간격의 요철 구조를 갖는 픽셀부를 형성시킬 수 있다.
- [0034] 도 6은 박막 트랜지스터 패널의 픽셀부에 요철을 형성하는 과정을 설명하는 순서도이다. 기판 상면에 버퍼층을 형성한 후(S710), 상기 버퍼층 상에 비정질 실리콘층을 형성한다(S720). 상기 비정질 실리콘층을 레이저로 조사하여 폴리 실리콘층을 형성하는 과정에서, 폴리 실리콘층에 제1 돌기들을 형성한다(S730).
- [0035] 이 때 일정한 면적을 조사하는 레이저 빔을 수 회 반복하여 조사하는 과정에서, 돌기들간의 간격을 크게 만들 필요가 있는 영역에는 다른 영역에 비해 보다 많은 회수의 조사가 이루어지게 하거나 혹은 에너지의 밀도를 높여 조사함으로써 돌기들 간의 간격을 보다 더 크게 조절할 수 있다.
- [0036] 다음으로, 비등방성 건식 식각 방식을 이용하여 돌기들이 형성된 폴리 실리콘층을 식각하여 제거하는데, 이 때 폴리 실리콘층과 버퍼층에 대한 식각 비율을 조절함으로써 폴리 실리콘층에서 형성된 돌기들의 형상이 버퍼층에 유지되게 함으로써 제2돌기들을 형성한다(S740). 식각 비율의 조절은 시각시 사용하는 기체의 종류를 달리하는 것으로 가능한데, 본 발명에서는 일 실시예로 8플루오르화 부텐(C_4F_8) 기체를 사용한다.
- [0037] 다음으로 제2돌기들을 갖는 버퍼층 상에 절연층(Gate Insulator)을 형성한다. 이 때 절연층은 버퍼층에 이미 형

성되어 있는 돌기들에 의해 요철구조를 형성하게 된다(S750). 이후, 이러한 요철구조를 갖는 절연층 상에 애노드층을 형성한다(S760). 형성된 애노드층도 여전히 요철구조를 유지한다.

- [0038] 도 7a 내지 도 7e는 요철 구조를 갖는 박막 트랜지스터 구조를 형성하는 일련의 과정을 보여주는 단면도들이고, 도 8은 도 7의 A부분을 확대한 확대도이다. 도 9와 도 10은 박막 트랜지스터 패널의 픽셀부에 요철을 형성하는 과정을 설명하는 순서도이다.
- [0039] 도 7a 내지 도 7e 그리고 도 8 내지 도 10을 통해 본 발명의 5-마스크 공정을 그대로 실현하면서 추가적인 마스크 없이 유기발광소자가 요철 구조를 갖게 하는 AMOLED 패널 제조방법을 설명한다.
- [0040] 도 7a에서와 같이 박막 트랜지스터 패널이 영역 I, 영역 II, 영역 III 등으로 구성될 수 있다. 여기에서 영역 I은 픽셀부, 영역 II는 TFT부, 영역 III은 스토리지 커패시터스부가 될 수 있다.
- [0041] 우선, 비정질 실리콘층을 레이저로 조사하여 결정화시킨 후, 비등방성 건식 식각으로 픽셀부의 버퍼층에 요철을 형성한다(도 9의 S910).
- [0042] 이 때 S910과정은 보다 구체적으로, 기판 상면에 버퍼층을 형성하는 단계(S911), 상기 버퍼층상에 비정질 실리콘층을 형성하는 단계(S913), 상기 비정질실리콘층에 레이저를 조사하여 폴리실리콘층을 형성하되, 상기 폴리실리콘층의 표면에 다수의 제1 돌기를 형성하는 단계(S915), 및 상기 폴리실리콘층의 형상을 전사하여, 상기 버퍼층의 표면에 다수의 제2 돌기를 형성하는 단계(S917)로 구성될 수 있다. 이들 과정에 대해서는 도 6에서 이미 설명한 S710 내지 S740 단계와 동일하므로 이를 참조할 수 있다.
- [0043] S910단계에 따라 픽셀부의 버퍼층(81)에 요철을 형성한 이후, 픽셀부 및 필셀부 이외의 부분, 즉 기판의 전 영역에 절연층(Gate Insulator)(83)을 형성시킨다(도 7a). 이 때 형성되는 절연층은 다수의 제2 돌기들로 인하여 요철 형상을 띠게 된다.
- [0044] 그 다음으로 애노드층(85)을 형성시킨다. 이 때 형성되는 애노드층도 요철 형상을 띠며 형성된다. 이후 배선용 메탈층(87)을 필요한 부분에 순차적으로 증착하고 상기 배선용 메탈층의 패턴을 형성한다(도 7b 및 도 9의 S920).
- [0045] 그 다음, 상기 메탈층 패턴이 형성된 부분 및 상기 메탈층 패턴이 형성되지 않은 부분, 즉 기판의 전 영역에 층간절연막(88)을 형성하고, 상기 층간 절연막에 콘택트 홀(82)을 형성한다(도 7c 및 도 9의 S930).
- [0046] 다음으로, 소스 및 드레인 패턴을 형성한다(도 9의 S940). 그리고, 픽셀부의 상부에 형성된 메탈층(87b)을 제거하는데, 이 때 애노드층(85)과는 반응하지 않는 식각액을 사용한다(도 8d 및 도 9의 S950).
- [0047] 애노드층만을 식각시키고 메탈층과는 반응하지 않도록 하는 용도로서, 옥살산을 주 원료로 사용하는 애칭액이 존재한다. 그러나, 본 발명에서는 픽셀부에 형성된 요철 형상을 띤 애노드층을 노출시키도록 하기 위해, 애노드층(85)과는 반응하지 않고 메탈층(87b)과만 반응하는 애칭액을 사용할 필요가 있다. 본 발명에서 애노드층(85)과는 반응하지 않는 식각액의 주성분은 인산, 질산, 초산을 포함하는 혼합물이다. 경우에 따라 미량의 다른 첨가물로 특성을 조절하는 경우도 있다.
- [0048] 그 다음으로, 상기 픽셀부 상면의 애노드층을 외부로 노출하도록, 픽셀부 상면에 개구부를 갖는 격벽(PDL, Pixel Define Layer)(89)을 형성한다(도 7e 및 도 9의 S960).
- [0049] 도 8는 격벽의 개구부를 통해 외부로 노출된 픽셀부, 즉 도 7e에서의 A부분을 확대한 그림이다. 도 8에서 볼 수 있듯, 버퍼층(81), 절연층(83) 및 애노드층(85)으로 구성된 픽셀부를 볼 수 있다. 버퍼층에는 제2돌기들이 형성되어 있으며, 이러한 제2돌기들로부터 기인하여 버퍼층 상면의 절연층(83) 및 애노드층(85)이 요철구조를 띄고 있다. 이러한 요철구조는 레이저를 조사하는 회수 및 에너지 밀도를 조절하여 필요한 영역의 요철 간격을 넓히거나 혹은 좁힐 수 있으며, 이에 대한 설명은 도 1 내지 도 2 및 이에 해당하는 상세한 설명에서 이미 설명한 방식과 동일하다. 즉, 비정질실리콘층에 레이저를 조사하여 폴리실리콘층을 형성하여, 상기 폴리실리콘층의 표면에 다수의 제1 돌기를 형성할 때, 레이저를 조사하는 회수 및 에너지 밀도를 조절함으로써 돌기들의 크기 및 간격을 사용자가 원하는 정도로 조절한다.
- [0050] 도 11은 결정화 후에 표면에 형성된 요철을 보여주는 사진이고, 도 12는 레이저를 반복하여 조사했을 경우 형성되는 돌기들의 간격 변화를 보여주는 실험레이다.
- [0051] 도 11는 결정화 후의 표면을 AFM(Atomic Force Microscopy)으로 관찰하였을 경우 볼 수 있는 요철 구조이다. 비정질 실리콘층을 레이저로 조사하면 도 11과 같이 그레인 바운더리(grain boundary)에서 돌기가 형성된다.

[0052] 또한, 도 12에서 볼 수 있듯이, 레이저의 조사 반복 회수가 늘어날수록 그레이의 크기가 커져 돌기간의 간격도 커지게 된다. 도 12에서, 레이저를 1회, 2회, 6회, 10회 및 20회 반복하여 조사했을 경우 형성되는 그레이의 크기를 확인할 수 있다. 다시 말해, 조사 회수가 반복될수록, 즉 폴리실리콘층에 조사되는 에너지의 양이 많을수록 돌기간의 간격이 커지게 됨을 확인할 수 있다.

[0053] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구의 범위에 의하여 나타내어지며, 특허청구의 범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0054] 31: 오버랩 영역

41(a), 41(b): 제1 레이저 빔에 의해 조사되는 영역

43(a), 43(b): 제2 레이저 빔에 의해 조사되는 영역

51, 61a, 61b, 81: 버퍼층

53, 63a, 63b, 83: 절연층

55, 65a, 65b, 85: 애노드층

56, 66a, 66b: 제1 돌기

57, 67a, 67b: 제2 돌기

87: 메탈층

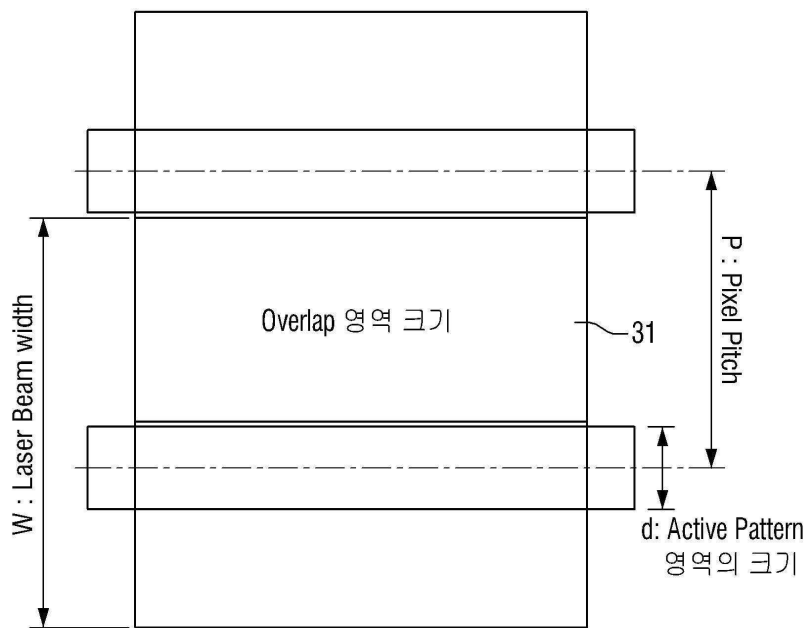
87b: 픽셀부 상부에 형성된 메탈층

88: 층간절연막

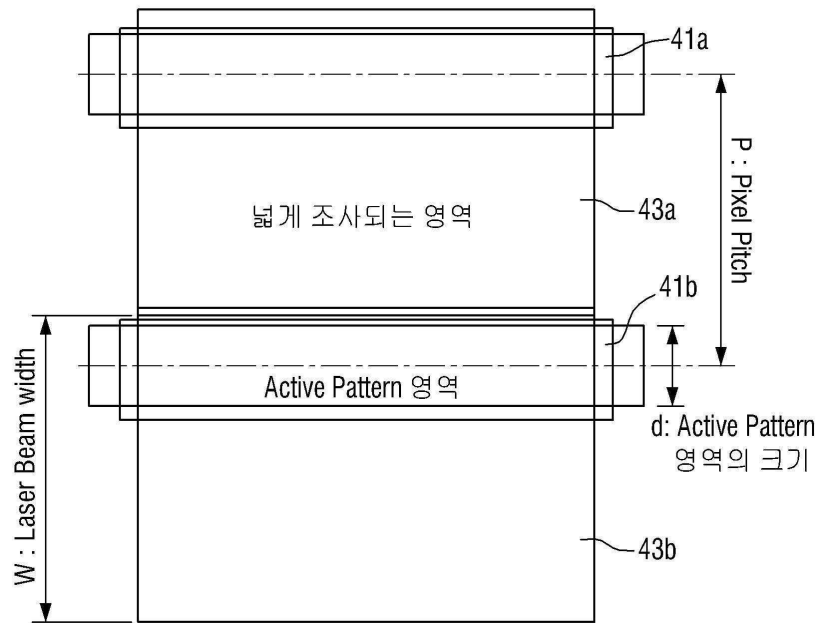
89: 격벽(PDL)

도면

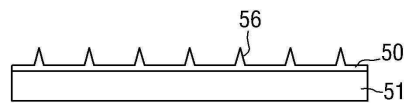
도면1



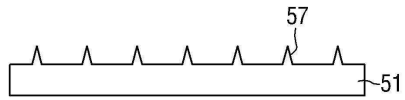
도면2



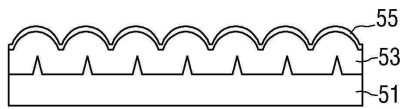
도면3a



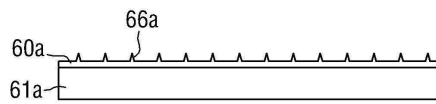
도면3b



도면3c



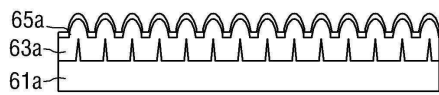
도면4a



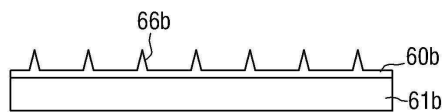
도면4b



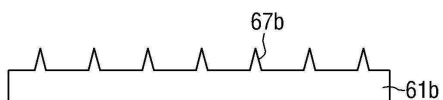
도면4c



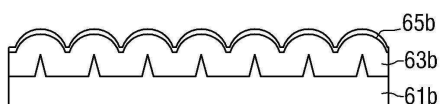
도면5a



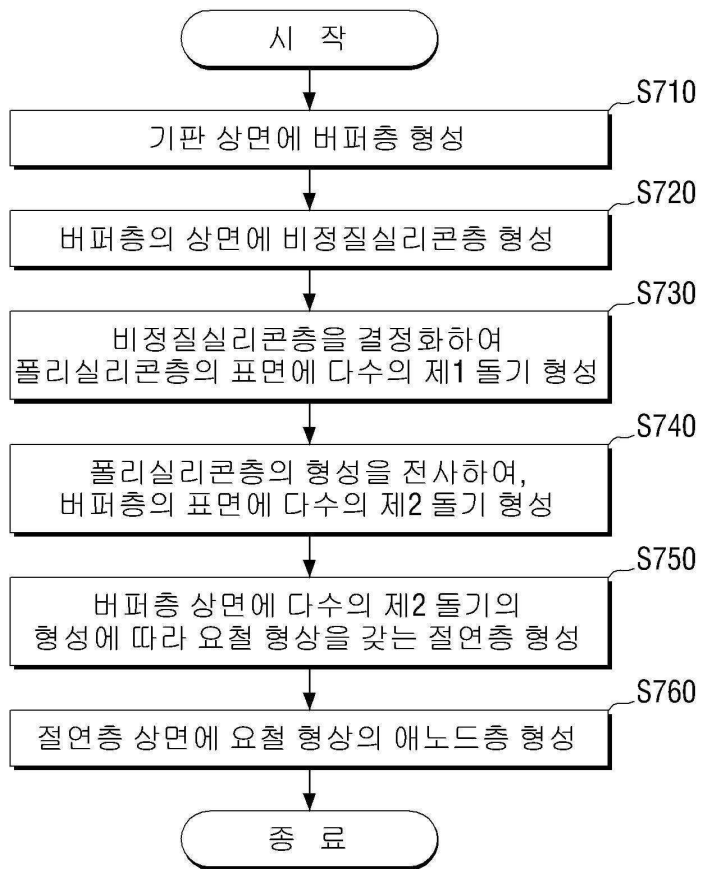
도면5b



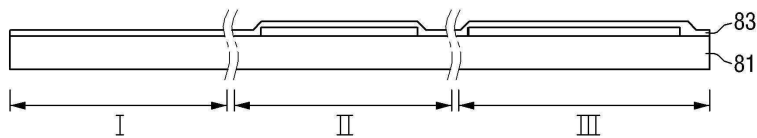
도면5c



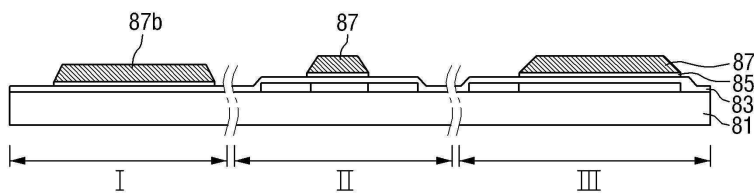
도면6



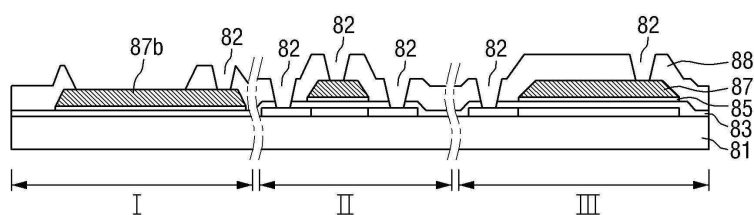
도면7a



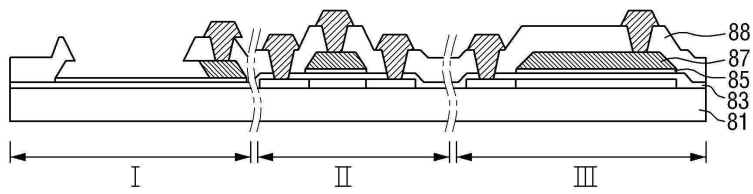
도면7b



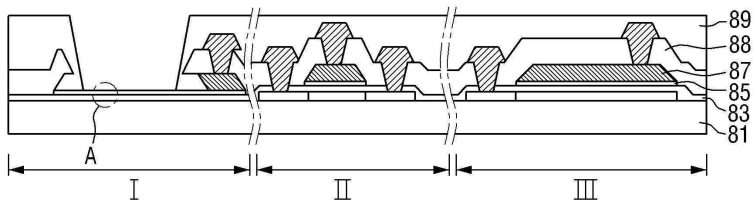
도면7c



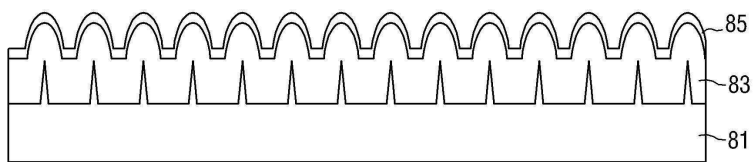
도면7d



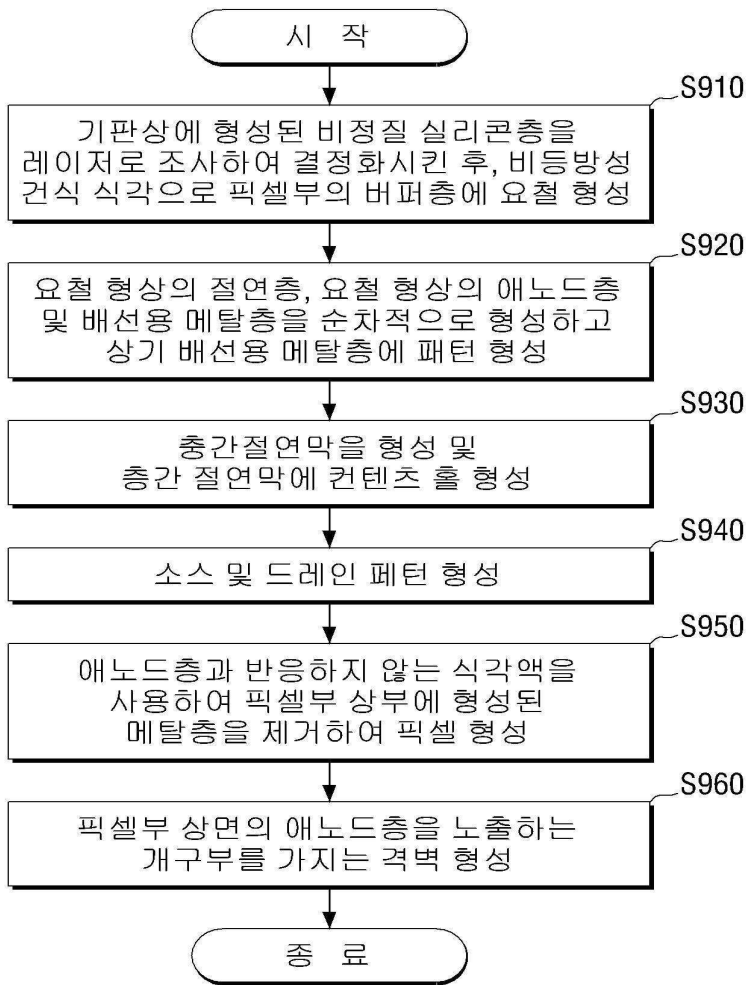
도면7e



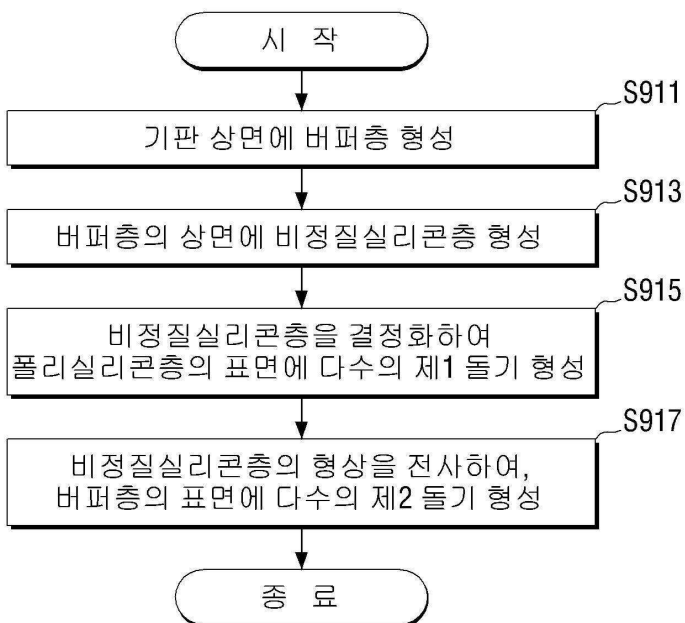
도면8



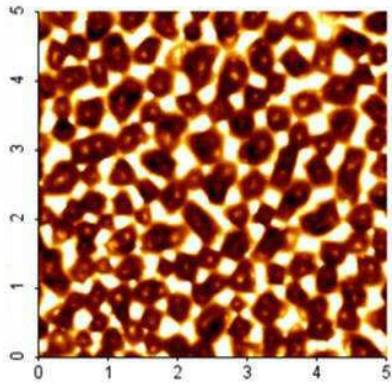
도면9



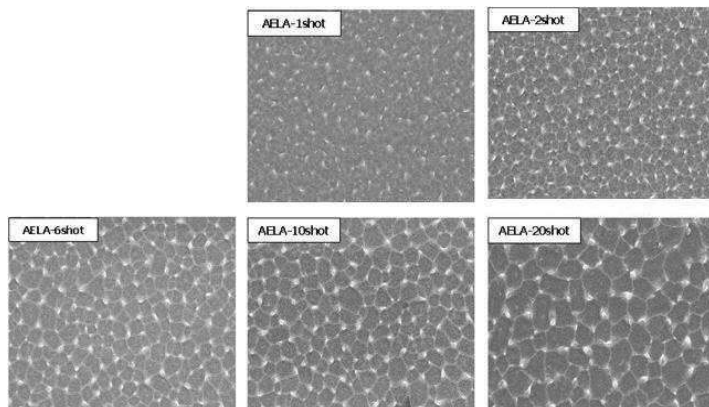
도면10



도면11



도면12



专利名称(译)	在像素部分反射之间调整空间的方法		
公开(公告)号	KR101847910B1	公开(公告)日	2018-04-13
申请号	KR1020110050183	申请日	2011-05-26
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	SHIN MIN CHUL 신민철 KIM DO YOUNG 김도영 LEE YUN GYU 이윤규 HUH JONG MOO 허종무		
发明人	신민철 김도영 이윤규 허종무		
IPC分类号	H01L51/56 H01L29/786		
CPC分类号	H01L27/1285 H01L27/3258 H01L51/5209 H01L29/34		
其他公开文献	KR1020120131773A		
外部链接	Espacenet		

摘要(译)

提供了一种用于调整像素部分的凹凸部分之间的间隔的方法，以及使用该方法制造显示装置的方法。本发明的一个方面是一种调整像素的凹凸之间的空间的方法，包括：在基板的顶表面上形成缓冲层；在缓冲层的上表面上形成非晶硅层；形成多晶硅层在多晶硅层的表面上形成多个第一突起，转移多晶硅层的形状以在缓冲层的表面上形成多个第二突起，根据多个第二突起的形状，绝缘层可以具有凹凸形状。

