



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0049677
(43) 공개일자 2020년05월08일

- | | |
|--|--|
| <p>(51) 국제특허분류(Int. Cl.)
G09G 3/3266 (2016.01)</p> <p>(52) CPC특허분류
G09G 3/3266 (2013.01)
G09G 2310/08 (2013.01)</p> <p>(21) 출원번호 10-2019-0137527
(22) 출원일자 2019년10월31일
심사청구일자 없음
(30) 우선권주장
1020180132490 2018년10월31일 대한민국(KR)</p> | <p>(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)</p> <p>(72) 발명자
김동명
경기도 파주시 월롱면 엘지로 245
장민규
경기도 파주시 월롱면 엘지로 245
(뒷면에 계속)
(74) 대리인
이승찬</p> |
|--|--|

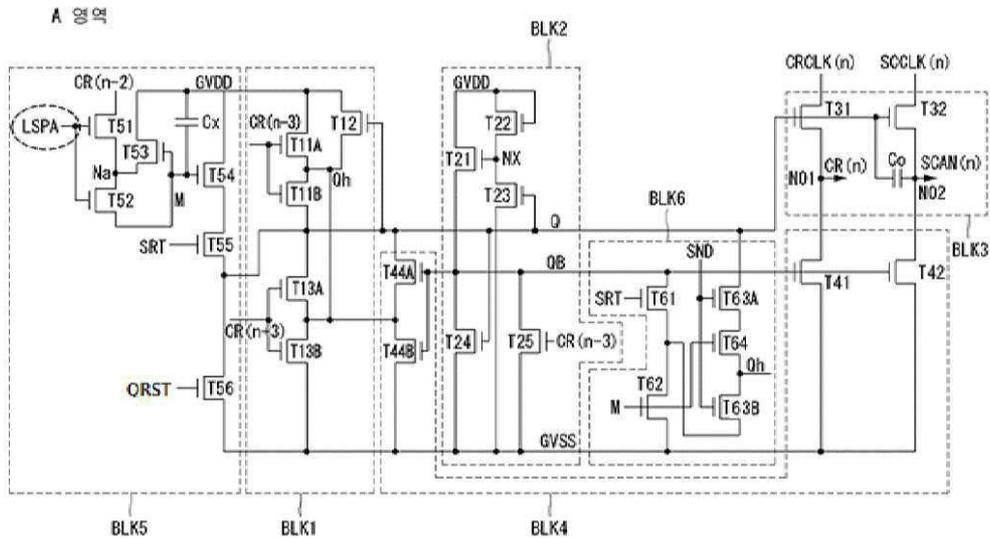
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 게이트 구동부와 이를 포함한 유기발광 표시장치

(57) 요약

본 발명의 실시예에 따른 게이트 구동부는 본 발명의 실시예에 따른 게이트 구동부는 한 프레임 중의 수직 액티브 기간에서 화상용 스캔신호를 출력하고, 상기 한 프레임 중의 수직 블랭크 기간에서 센싱용 스캔신호를 출력하며, M 노드와 Qh 노드와 Q 노드와 QB 노드를 갖는 스테이지들을 포함한다. 상기 스테이지들 각각은, 상기 수직 액티브 기간에서 픽셀라인 선택 신호에 따라 진단 캐리신호로 상기 M 노드를 충전하고, 상기 수직 블랭크 기간에서 상기 M 노드의 충전 전압과 센싱 시작신호에 따라 고전위 전원전압 레벨로 상기 Q 노드를 충전하는 픽셀라인 선택부; 상기 수직 블랭크 기간에서 상기 M 노드의 충전 전압과 센싱 종료신호에 따라 상기 Q 노드의 충전 전압 누설을 방지하는 Q 노드 강화부; 및 상기 수직 블랭크 기간에서 상기 Q 노드가 충전 상태를 유지하는 동안에 상기 고전위 전원전압 레벨의 센싱용 스캔 클럭을 상기 센싱용 스캔신호로 출력하는 출력부를 포함한다.

대표도 - 도15



- (52) CPC특허분류
G09G 2320/0295 (2013.01)
G09G 2330/028 (2013.01)
- (72) 발명자
박재규
경기도 파주시 월롱면 엘지로 245
최우석
경기도 파주시 월롱면 엘지로 245

다카수기신지
경기도 파주시 월롱면 엘지로 245
이태관
경기도 파주시 월롱면 엘지로 245

명세서

청구범위

청구항 1

한 프레임 중의 수직 액티브 기간에서 화상용 스캔신호를 출력하고, 상기 한 프레임 중의 수직 블랭크 기간에서 센싱용 스캔신호를 출력하며, M 노드와 Qh 노드와 Q 노드와 QB 노드를 갖는 스테이지들을 포함하고,

상기 스테이지들 각각은,

상기 수직 액티브 기간에서 픽셀라인 선택 신호에 따라 진단 캐리신호로 상기 M 노드를 충전하고, 상기 수직 블랭크 기간에서 상기 M 노드의 충전 전압과 센싱 시작신호에 따라 고전위 전원전압 레벨로 상기 Q 노드를 충전하는 픽셀라인 선택부;

상기 수직 블랭크 기간에서 상기 M 노드의 충전 전압과 센싱 종료신호에 따라 상기 Q 노드의 충전 전압 누설을 방지하는 Q 노드 강화부; 및

상기 수직 블랭크 기간에서 상기 Q 노드가 충전 상태를 유지하는 동안에 상기 고전위 전원전압 레벨의 센싱용 스캔 클럭을 상기 센싱용 스캔신호로 출력하는 출력부를 포함한 게이트 구동부.

청구항 2

제 1 항에 있어서,

상기 수직 블랭크 기간에서 상기 M 노드가 충전 상태를 유지하는 동안에, 상기 Q 노드가 상기 센싱 시작신호에 따라 상기 고전위 전원전압 레벨로 충전되고 상기 센싱 종료신호는 저전위 전원전압 레벨을 유지하며,

상기 Q 노드 강화부는,

게이트전극이 상기 M 노드에 접속되고, 일측 전극이 저전위 전원전압의 입력단에 접속된 제1 트랜지스터;

게이트전극이 상기 센싱 종료신호의 입력단에 접속되고 일측 전극이 상기 Q 노드에 접속된 제2 트랜지스터; 및

게이트전극이 상기 센싱 종료신호의 입력단에 접속되고 일측 전극이 상기 제1 트랜지스터의 타측 전극에 접속된 제3 트랜지스터를 포함한 게이트 구동부.

청구항 3

제 2 항에 있어서,

상기 수직 블랭크 기간에서 상기 Q 노드가 충전 상태를 유지하는 동안에, 상기 제3 트랜지스터의 타측 전극은 상기 고전위 전원전압 레벨의 상기 Qh 노드에 연결된 게이트 구동부.

청구항 4

제 3 항에 있어서,

상기 제2 트랜지스터와 상기 제3 트랜지스터는 상기 Qh 노드를 통해 직렬 접속되어 제1 듀얼 게이트 트랜지스터부를 구현하는 게이트 구동부.

청구항 5

제 2 항에 있어서,

상기 Q 노드 강화부는,

게이트전극이 상기 M 노드에 접속되고, 일측 전극이 상기 제2 트랜지스터의 타측 전극에 접속되며, 타측 전극이 상기 제3 트랜지스터의 타측 전극에 접속된 제4 트랜지스터를 더 포함한 게이트 구동부.

청구항 6

제 2 항에 있어서,

상기 Q 노드 강화부는,

게이트전극이 상기 센싱 시작신호의 입력단에 접속되고, 일측 전극이 상기 QB 노드에 접속되며, 타측 전극이 상기 제1 트랜지스터의 타측 전극에 접속된 제5 트랜지스터를 더 포함한 게이트 구동부.

청구항 7

제 1 항에 있어서,

상기 수직 블랭크 기간에서 상기 M 노드가 충전 상태를 유지하는 동안에, 상기 Q 노드가 상기 센싱 시작신호에 따라 상기 고전위 전원전압 레벨로 충전되고 상기 센싱 종료신호는 저전위 전원전압 레벨을 유지하며,

상기 Q 노드 강화부는,

게이트전극이 상기 M 노드에 접속되고, 일측 전극이 상기 QB 노드에 접속된 제1 트랜지스터;

게이트전극이 상기 센싱 시작신호의 입력단에 접속되고, 일측 전극이 상기 제1 트랜지스터의 타측 전극에 접속되며, 타측 전극이 저전위 전원전압의 입력단에 접속된 제2 트랜지스터;

게이트전극이 상기 M 노드에 접속되고, 일측 전극이 상기 Q 노드에 접속된 제3 트랜지스터; 및

게이트전극이 상기 센싱 종료신호의 입력단에 접속되고, 일측 전극이 상기 제3 트랜지스터의 타측 전극에 접속되며, 타측 전극이 상기 저전위 전원전압의 입력단에 접속된 제4 트랜지스터를 포함한 게이트 구동부.

청구항 8

제 7 항에 있어서,

상기 고전위 전원전압 레벨의 센싱용 스캔 클럭이 상기 센싱용 스캔신호로 출력되는 동안에,

상기 센싱 시작신호와 상기 센싱 종료신호는 각각, 상기 저전위 전원전압 레벨보다 낮은 제1 저전위 전원전압 레벨로 유지되는 게이트 구동부.

청구항 9

제 8 항에 있어서,

상기 고전위 전원전압 레벨의 센싱용 스캔 클럭이 상기 센싱용 스캔신호로 출력되는 동안에,

상기 제2 트랜지스터의 게이트-소스 간 전압은 상기 제2 트랜지스터가 턴 오프 상태를 유지할 수 있도록 상기 제2 트랜지스터의 문턱전압보다 일정치 이상 낮고,

상기 제4 트랜지스터의 게이트-소스 간 전압은 상기 제4 트랜지스터가 턴 오프 상태를 유지할 수 있도록 상기 제4 트랜지스터의 문턱전압보다 일정치 이상 낮은 게이트 구동부.

청구항 10

제 9 항에 있어서,

상기 저전위 전원전압 레벨과 제1 저전위 전원전압 레벨 간의 차이는 상기 제2 트랜지스터와 상기 제4 트랜지스터에 대한 최대 문턱전압 쉬프트량보다 큰 게이트 구동부.

청구항 11

제 1 항에 있어서,

상기 Qh 노드는 제6 트랜지스터(T12)를 통해 고전위 전원전압의 입력단에 접속되고,

상기 제6 트랜지스터는, 상기 Q 노드에 접속된 게이트전극과, 상기 고전위 전원전압의 입력단에 접속된 일측 전극과, 상기 Qh 노드에 접속된 타측 전극을 포함한 게이트 구동부.

청구항 12

제 1 항에 있어서,

상기 픽셀라인 선택 신호는,

상기 수직 액티브 기간에서 상기 전단 캐리신호에 동기하여 상기 고전위 전원전압 레벨로 인가되고,

상기 수직 블랭크 기간에서 상기 센싱 종료신호에 동기하여 상기 고전위 전원전압 레벨로 인가되는게이트 구동부.

청구항 13

제 12 항에 있어서,

상기 스테이지들 중에서, 상기 수직 액티브 기간 동안 상기 고전위 전원전압 레벨의 상기 전단 캐리신호로 상기 M 노드가 충전되는 활성 스테이지의 개수가 프레임마다 1개이며, 상기 활성 스테이지의 위치가 프레임마다 랜덤하게 바뀌는 게이트 구동부.

청구항 14

제 1 항에 있어서,

상기 수직 블랭크 기간에서,

상기 센싱용 스캔신호의 출력에 앞서 상기 센싱 시작신호가 상기 스테이지들에 동시에 상기 고전위 전원전압 레벨로 입력되고,

상기 센싱용 스캔신호의 출력이 끝난 후에 상기 센싱 종료신호가 상기 스테이지들에 동시에 상기 고전위 전원전압 레벨로 입력되는 게이트 구동부.

청구항 15

제 1 항에 있어서,

상기 픽셀라인 선택부는,

상기 전단 캐리신호의 입력단과 상기 M 노드 사이에 직렬 접속되어, 상기 고전위 전원전압 레벨의 상기 픽셀라인 선택 신호에 따라 동시에 턴 온 되는 제1 트랜지스터와 제2 트랜지스터;

제1 전극이 고전위 전원전압의 입력단에 접속되고 제2 전극이 상기 제1 트랜지스터와 제2 트랜지스터 사이에 접속되어, 상기 M 노드의 충전 전압에 따라 턴 온 되는 제3 트랜지스터;

제1 전극이 상기 고전위 전원전압의 입력단에 접속되어, 상기 M 노드의 충전 전압에 따라 턴 온 되는 제4 트랜지스터;

제1 전극이 상기 제4 트랜지스터의 제2 전극에 접속되고 제2 전극이 상기 Q 노드에 접속되어, 상기 고전위 전원전압 레벨의 상기 센싱 시작신호에 따라 턴 온 되는 제5 트랜지스터; 및

상기 고전위 전원전압의 입력단과 상기 M 노드 사이에 접속된 커패시터를 포함한 게이트 구동부.

청구항 16

제 15 항에 있어서,

상기 픽셀라인 선택부는,

제1 전극이 상기 Q 노드에 접속되고 제2 전극이 저전위 전원전압의 입력단에 접속되어, 상기 고전위 전원전압 레벨의 글로벌 리셋 신호에 따라 턴 온 되는 제6 트랜지스터를 더 포함한 게이트 구동부.

청구항 17

제 15 항에 있어서,

상기 고전위 전원전압 레벨의 센싱용 스캔 클럭이 상기 센싱용 스캔신호로 출력되는 동안에,

상기 글로벌 리셋 신호는 상기 저전위 전원전압 레벨보다 낮은 제1 저전위 전원전압 레벨로 유지되는 게이트 구

동부.

청구항 18

제 17 항에 있어서,

상기 고전위 전원전압 레벨의 센싱용 스캔 클럭이 상기 센싱용 스캔신호로 출력되는 동안에,

상기 제6 트랜지스터의 게이트-소스 간 전압은 상기 제6 트랜지스터가 턴 오프 상태를 유지할 수 있도록 상기 제6 트랜지스터의 문턱전압보다 일정치 이상 낮고,

상기 저전위 전원전압 레벨과 제1 저전위 전원전압 레벨 간의 차이는 상기 제6 트랜지스터에 대한 최대 문턱전압 쉬프트량보다 큰 게이트 구동부.

청구항 19

제 12 항에 있어서,

상기 스테이지들 각각은,

상기 수직 블랭크 기간에서 상기 센싱 종료신호와 상기 픽셀라인 선택 신호가 모두 고전위 전원전압 레벨로 인가될 때, 상기 M 노드를 전단 캐리신호의 입력단에 연결하여, 상기 전단 캐리신호의 저전위 전원전압 레벨까지 상기 M 노드를 방전하는 게이트 구동부.

청구항 20

제 1 항에 있어서,

상기 픽셀라인 선택신호는,

제1 영역의 픽셀 라인들에 연결된 제1 스테이지들로 입력되는 제1 픽셀라인 선택신호와,

제2 영역의 픽셀 라인들에 연결된 제2 스테이지들로 입력되는 제2 픽셀라인 선택신호를 포함하고,

상기 제1 픽셀라인 선택신호와 상기 제2 픽셀라인 선택신호는 교번적으로 상기 고전위 전원전압 레벨로 활성화되고, 동일 프레임 내에서 상기 제1 픽셀라인 선택신호와 상기 제2 픽셀라인 선택신호 중 어느 하나가 활성화된 경우에 나머지 하나는 비 활성화된 게이트 구동부.

청구항 21

상기 청구항 제1항 내지 제20항 중 어느 한 항의 게이트 구동부; 및

게이트 라인들을 통해 상기 게이트 구동부에 연결되며, 상기 화상용 스캔 신호와 상기 센싱용 스캔신호에 따라 구동되는 다수의 픽셀들을 포함하는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 게이트 구동부와 이를 포함한 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 유기발광 표시장치는 픽셀들에 구비된 스위치 소자들을 구동시키기 위해 게이트 구동부를 포함한다. 스위치 소자들의 게이트전극들은 게이트라인들을 통해 게이트 구동부에 연결된다. 게이트 구동부는 게이트 신호(스캔 신호)를 생성하여 게이트라인들에 순차적으로 공급한다.

[0004] 유기발광 표시장치에서는 화상 품질을 높이기 위해 외부 보상 기술이 사용되고 있다. 외부 보상 기술은 픽셀의 구동 특성(또는 전기적 특성)에 따른 픽셀 전압 또는 전류를 센싱하고, 센싱된 결과를 바탕으로 입력 영상의 데이터를 변조함으로써 픽셀들 간 구동 특성 편차를 보상하는 것이다. 입력 영상이 기입되지 않는 일정 시간 내에

서 픽셀의 구동 특성이 센싱될 수 있도록, 게이트 구동부는 상기 일정 시간 내에서 특정 스테이지를 동작시켜 센싱 구동을 위한 게이트신호를 출력한다. 센싱 구동시, 원하는 게이트신호가 출력되기 위해서는 특정 스테이지의 Q 노드가 게이트 온 전압으로 유지되어야 한다. 특정 스테이지에서 Q 노드와 저전위 전원전압의 입력단 사이에는 복수의 트랜지스터들이 연결되어 있다. 센싱 구동시 Q 노드가 게이트 온 전압으로 충전된 동안 복수의 트랜지스터들은 완전히 오프 되어야 한다. 하지만, 문턱전압 쉬프트 등의 여러 요인에 의해 복수의 트랜지스터들에서 누설 전류(Off current)가 흐를 수 있다. 이러한 누설 전류는 Q 노드의 충전 레벨을 떨어뜨려 센싱용 게이트신호를 왜곡시킬 수 있다. 센싱 구동시 원하는 게이트신호가 인가되지 못하면 픽셀의 구동 특성이 정확히 센싱될 수 없고, 이는 보상 성능의 저하를 초래한다.

발명의 내용

해결하려는 과제

[0005] 따라서, 본 발명은 종래 문제점을 해결하기 위해 안출된 것으로, 센싱 구동시 Q 노드의 충전 상태를 안정화시켜 원하는 게이트 출력 특성이 확보될 수 있도록 한 게이트 구동부와 이를 포함한 유기발광 표시장치를 제공한다.

과제의 해결 수단

[0006] 본 발명의 실시예에 따른 게이트 구동부는 한 프레임 중의 수직 액티브 기간에서 화상용 스캔신호를 출력하고, 상기 한 프레임 중의 수직 블랭크 기간에서 센싱용 스캔신호를 출력하며, M 노드와 Qh 노드와 Q 노드와 QB 노드를 갖는 스테이지들을 포함한다.

[0007] 상기 스테이지들 각각은, 상기 수직 액티브 기간에서 픽셀라인 선택 신호에 따라 전단 캐리신호로 상기 M 노드를 충전하고, 상기 수직 블랭크 기간에서 상기 M 노드의 충전 전압과 센싱 시작신호에 따라 고전위 전원전압 레벨로 상기 Q 노드를 충전하는 픽셀라인 선택부; 상기 수직 블랭크 기간에서 상기 M 노드의 충전 전압과 센싱 종료신호에 따라 상기 Q 노드의 충전 전압 누설을 방지하는 Q 노드 강화부; 및 상기 수직 블랭크 기간에서 상기 Q 노드가 충전 상태를 유지하는 동안에 상기 고전위 전원전압 레벨의 센싱용 스캔 클럭을 상기 센싱용 스캔신호로 출력하는 출력부를 포함한다.

발명의 효과

[0008] 본 발명은 수직 블랭크 기간에서 M 노드의 충전 전압과 센싱 종료신호에 따라 Q 노드의 충전 전압 누설을 방지하는 Q 노드 강화부를 각 스테이지에 포함시킴으로써, 센싱 구동시 Q 노드의 충전 상태를 안정화시켜 원하는 게이트 출력 특성이 확보할 수 있다. 본 발명은 센싱 구동시 게이트 출력 특성을 확보하여 픽셀의 구동 특성에 대한 센싱 및 보상 성능을 크게 개선할 수 있다.

[0009] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0010] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여준다.
- 도 2는 도 1의 유기발광 표시장치에 포함된 픽셀 어레이를 보여준다.
- 도 3은 도 2의 픽셀 어레이에 포함된 일 픽셀의 등가회로를 보여준다.
- 도 4 내지 도 6은 도 1의 유기발광 표시장치에 적용되는 블랙 영상 삽입 기술을 보여준다.
- 도 7은 도 6의 IDW 구동과 BDI 구동을 구현하기 위한 게이트신호 및 데이터신호의 타이밍도이다.
- 도 8a는 도 7의 프로그래밍 기간에 대응되는 픽셀의 등가회로도이다.
- 도 8b는 도 7의 발광 기간에 대응되는 픽셀의 등가회로도이다.
- 도 8c는 도 7의 블랙 기간에 대응되는 픽셀의 등가회로도이다.
- 도 9는 위상 분리된 제1 클럭군과 제2 클럭군을 기초로 픽셀 어레이를 복수의 제1 영역들과 복수의 제2 영역들로 분할 구동하는 예를 보여주는 도면이다.
- 도 10은 제1 클럭군과 제2 클럭군에 따라, 영상 데이터와 블랙 데이터가 서로 다른 영역에 동시에 기입되는 것

을 보여주는 도면이다.

도 11은 본 발명의 실시예에 따른 게이트 구동부의 스테이지 접속 구성을 보여주는 도면이다.

도 12는 도 11의 스테이지들에서 출력되는 게이트신호를 기반으로 IDW 구동과 BDI 구동과 SDW 구동이 수행되는 타이밍을 설명하기 위한 도면이다.

도 13은 SDW 구동을 위한 게이트신호 및 데이터신호의 타이밍도이다.

도 14a는 도 13의 셋업 기간에 대응되는 픽셀의 증가회로도이다.

도 14b는 도 13의 센싱 기간에 대응되는 픽셀의 증가회로도이다.

도 14c는 도 13의 리셋 기간에 대응되는 픽셀의 증가회로도이다.

도 15는 도 11의 스테이지들 중에서 제1 영역에 연결된 일 스테이지의 제1 증가 회로도이다.

도 16은 도 15에 도시된 증가 회로도의 동작 타이밍도이다.

도 17은 도 11의 스테이지들 중에서 제2 영역에 연결된 일 스테이지의 제1 증가 회로도이다.

도 18은 도 17에 도시된 증가 회로도의 동작 타이밍도이다.

도 19는 도 11의 스테이지들 중에서 제1 영역에 연결된 일 스테이지의 제2 증가 회로도이다.

도 20은 도 19에 도시된 증가 회로도의 동작 타이밍도이다.

도 21은 도 11의 스테이지들 중에서 제2 영역에 연결된 일 스테이지의 제2 증가 회로도이다.

도 22는 도 21에 도시된 증가 회로도의 동작 타이밍도이다.

도 23a는 도 19 및 도 21에서 고전위 전원전압 레벨의 센싱용 스캔신호가 출력되는 동안 트랜지스터(T56)의 게이트-소스 간 전압을 나타낸 도면이다.

도 23b는 도 19 및 도 21에서 고전위 전원전압 레벨의 센싱용 스캔신호가 출력되는 동안 트랜지스터(T62)의 게이트-소스 간 전압을 나타낸 도면이다.

도 23c는 도 19 및 도 21에서 고전위 전원전압 레벨의 센싱용 스캔신호가 출력되는 동안 트랜지스터(T64)의 게이트-소스 간 전압을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 명세서는 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 명세서의 개시가 완전하도록 하며, 본 명세서가 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 명세서는 청구항의 범주에 의해 정의될 뿐이다.
- [0012] 본 명세서의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 명세서가 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0013] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0014] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0015] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용될 수 있으나, 이 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 명세서의 기술적 사상 내에서 제2 구성요소일 수도 있다.

- [0016] 본 명세서에서 표시패널의 기판 상에 형성되는 픽셀 회로와 게이트 구동부는 n 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 TFT로 구현될 수 있으나 이에 한정되지 않고 p 타입 MOSFET 구조의 TFT로 구현될 수도 있다. TFT는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 TFT에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 TFT (NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 TFT에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. 이에 반해, p 타입 TFT(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, 본 명세서의 실시예에 대한 설명에서는 소스와 드레인 중 어느 하나를 제1 전극, 소스와 드레인 중 나머지 하나를 제2 전극으로 기술한다.
- [0017] 이하, 첨부된 도면을 참조하여 본 명세서의 실시예를 상세히 설명한다. 이하의 실시예에서, 표시장치는 유기발광 광 물질을 포함한 유기발광 표시장치를 중심으로 설명한다. 하지만, 본 명세서의 기술적 사상은 유기발광 표시 장치에 국한되지 않고, 액정 표시장치 등의 다른 표시장치에도 적용될 수 있음에 주의하여야 한다.
- [0018] 이하의 설명에서, 본 명세서와 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 명세서의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0019] 이하의 설명에서 "전단 스테이지들"이란, 기준이 되는 스테이지의 상부에 위치하여 기준 스테이지에서 출력되는 게이트 신호에 비해 위상이 앞선 게이트 신호들을 생성하는 스테이지들을 의미한다. 그리고, "후단 스테이지들"이란, 기준이 되는 스테이지의 하부에 위치하여 기준 스테이지에서 출력되는 게이트 신호에 비해 위상이 뒤진 게이트 신호들을 생성하는 스테이지들을 의미한다. 이하의 설명에서, 본 발명의 게이트 구동부를 구성하는 스위치 소자들은 옥사이드 소자, 아몰포스 실리콘 소자, 폴리 실리콘 소자 중 적어도 어느 하나로 구현될 수 있다. 그리고, 특정 스테이지가 활성화된다는 것은 그 스테이지의 Q노드에 게이트 온 전압이 충전된다는 것을 의미하고, 특정 스테이지가 비 활성화된다는 것은 그 스테이지의 Q노드가 게이트 오프 전압으로 방전된다는 것을 의미한다.
- [0020] 도 1은 본 명세서의 실시예에 따른 유기발광 표시장치를 나타낸 도면이다. 도 2는 도 1의 유기발광 표시장치에 포함된 픽셀 어레이를 보여주는 도면이다. 그리고, 도 3은 도 2의 픽셀 어레이에 포함된 일 픽셀의 등가회로이다.
- [0021] 도 1 내지 도 3을 참조하면, 본 명세서의 실시예에 따른 표시장치는 표시패널(10), 타이밍 컨트롤러(11), 패널 구동부(12,13)를 포함할 수 있다. 패널 구동부(12,13)는 표시패널(10)의 데이터라인들(15)을 구동하는 데이터 구동부(12)와, 표시패널(10)의 게이트라인들(17)을 구동하는 게이트 구동부(13)를 포함한다.
- [0022] 표시패널(10)에는 다수의 데이터라인들(15) 및 기준전압 라인들(16)과, 다수의 게이트라인들(17)이 구비될 수 있다. 그리고, 데이터라인들(15), 기준전압 라인들(16) 및 게이트라인들(17)의 교차영역에는 픽셀들(PXL)이 배치될 수 있다. 매트릭스 형태로 배치된 픽셀들(PXL)에 의해 표시패널(10)의 표시 영역(AA)에 도 2와 같은 픽셀 어레이가 형성될 수 있다.
- [0023] 픽셀 어레이에서, 픽셀들(PXL)은 일 방향을 기준으로 라인 별로 구분될 수 있다. 예컨대, 픽셀들(PXL)은 게이트 라인 연장 방향(또는 수평 방향)을 기준으로 다수의 픽셀 라인들(Line 1-Line 4 등)로 구분될 수 있다. 여기서, 픽셀 라인은 물리적인 신호라인이 아니라, 일 수평 방향을 따라 서로 이웃하게 배치된 픽셀들(PXL)의 집합체를 의미한다. 따라서, 동일 픽셀 라인을 구성하는 픽셀들(PXL)은 동일한 게이트라인(17)에 연결될 수 있다.
- [0024] 픽셀 어레이에서, 픽셀들(PXL) 각각은 데이터라인(15)을 통해 디지털-아날로그 컨버터(이하, DAC)(121)에 연결되고, 기준전압 라인(16)을 통해 센싱부(SU)(122)에 연결될 수 있다. 기준전압 라인(16)은 기준 전압의 공급을 위해 DAC(121)에 더 연결될 수 있다. 기준전압 라인(16)은 도시하지 않는 스위치를 통해 DAC(121)와 센싱부(SU)에 선택적으로 연결될 수 있다. DAC(121)와 센싱부(SU)는 데이터 구동부(12)에 내장될 수 있으나, 이에 한정되지 않는다.
- [0025] 픽셀 어레이에서, 픽셀들(PXL) 각각은 전원라인(18)을 통해 고전위 픽셀전원(EVDD)에 연결될 수 있다. 그리고, 픽셀들(PXL) 각각은 게이트라인(17)을 통해 게이트 구동부(13)에 연결될 수 있다.

- [0026] 각 픽셀(PXL)은 도 3과 같이 구현될 수 있다. k(k는 정수)번째 픽셀라인에 배치된 일 픽셀(PXL)은, OLED, 구동 TFT(Thin Film Transistor)(DT), 스토리지 커패시터(Cst), 제1 스위치 TFT(ST1), 및 제2 스위치 TFT(ST2)를 포함하며, 제1 스위치 TFT(ST1)와 제2 스위치 TFT(ST2)가 동일한 게이트라인(17)에 연결될 수 있으나, 이에 한정되지 않는다. 제1 스위치 TFT(ST1)와 제2 스위치 TFT(ST2)는 서로 다른 게이트라인에 연결될 수도 있다.
- [0027] OLED는 소스 노드(Ns)에 접속된 애노드전극과, 저전위 픽셀전원(EVSS)의 입력단에 접속된 캐소드전극과, 애노드전극과 캐소드전극 사이에 위치하는 유기화합물층을 포함한다. 구동 TFT(DT)는 게이트 노드(Ng)와 소스 노드(Ns) 간의 전압차에 따라 OLED에 흐르는 구동 전류를 제어한다. 구동 TFT(DT)는 게이트 노드(Ng)에 접속된 게이트전극, 고전위 픽셀전원(EVDD)의 입력단에 접속된 제1 전극, 및 소스 노드(Ns)에 접속된 제2 전극을 구비한다. 스토리지 커패시터(Cst)는 게이트 노드(Ng)와 소스 노드(Ns) 사이에 접속되어 구동 TFT(DT)의 게이트-소스 간 전압을 저장한다.
- [0028] 제1 스위치 TFT(ST1)는 스캔신호(SCAN(k))에 따라 턴 온 되어, 데이터라인(15)에 충전되어 있는 데이터전압을 게이트 노드(Ng)에 인가한다. 제1 스위치 TFT(ST1)는 게이트라인(17)에 접속된 게이트전극, 데이터라인(15)에 접속된 제1 전극, 및 게이트 노드(Ng)에 접속된 제2 전극을 구비한다. 제2 스위치 TFT(ST2)는 스캔신호(SCAN(k))에 따라 턴 온 되어, 기준전압 라인(16)에 충전된 기준전압을 소스 노드(Ns)에 인가하거나 또는, 픽셀전류에 따른 소스 노드(Ns) 전압 변화를 기준전압 라인(16)으로 전달한다. 제2 스위치 TFT(ST2)는 게이트라인(17)에 접속된 게이트전극, 기준전압 라인(16)에 접속된 제1 전극, 및 소스 노드(Ns)에 접속된 제2 전극을 구비한다.
- [0029] 각 픽셀(PXL)에 연결되는 게이트라인(17)의 개수는 픽셀(PXL) 구조에 따라 달라질 수 있다. 이하에서는 설명의 편의상, 1-스캔 픽셀 구조를 예시 대상으로 하지만, 본 명세서의 기술적 사상은 픽셀 구조나 게이트라인의 개수 등에 제한되지 않는다.
- [0030] 타이밍 컨트롤러(11)는 호스트 시스템(14)으로부터 입력되는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동부(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동부(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 생성할 수 있다. 게이트 제어신호(GDC)는 게이트 스타트 신호, 게이트 쉬프트 클럭들, 픽셀 라인 선택신호, 센싱 시작신호, 센싱 종료신호 등을 포함할 수 있다. 데이터 제어신호(DDC)는 소스 스타트 펄스, 소스 샘플링 클럭, 및 소스 출력 인에이블신호 등을 포함한다. 소스 스타트 펄스는 데이터 구동부(12)의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭은 라이징 또는 폴링 에지에 기초하여 데이터의 샘플링 타이밍을 제어한다. 소스 출력 인에이블신호는 데이터 구동부(12)의 출력 타이밍을 제어한다.
- [0031] 타이밍 컨트롤러(11)는 타이밍 제어신호들(GDC,DDC)을 기초로 표시패널(10)의 픽셀 라인들에 대한 디스플레이 구동 타이밍과 센싱 구동 타이밍을 제어함으로써, 화상 표시 중에 실시간으로 픽셀들의 구동 특성이 센싱되도록 할 수 있다.
- [0032] 여기서, 센싱 구동이란 특정 픽셀 라인에 배치된 픽셀들(PXL)에 센싱용 데이터(SD)를 기입하여 해당 픽셀들(PXL)의 구동 특성을 센싱하고, 이 센싱 결과를 기초로 해당 픽셀들(PXL)의 구동 특성 변화를 보상하기 위한 보상 값을 업데이트하는 구동이다. 이하, 센싱 구동에서 특정 픽셀 라인에 배치된 픽셀들(PXL)에 센싱용 데이터(SD)를 기입하기 위한 동작을 SDW(Sensing Data Writing) 구동이라 칭한다.
- [0033] 디스플레이 구동이란 1 프레임 내에서 입력 영상 데이터(ID)와 블랙 영상 데이터(BD)를 일정 시간차를 두고 픽셀 라인들에 기입하여 입력 영상과 블랙 영상을 순차적으로 표시패널(10)에서 재현하는 구동이다. 디스플레이 구동은 입력 영상 데이터(ID)를 픽셀 라인들에 기입하기 위한 IDW(Image Data Writing) 구동과, 블랙 영상 데이터(BD)를 픽셀 라인들에 기입하기 위한 BDI(Black Data Insertion) 구동을 포함한다. 고속 구동에 최적화된 표시장치가 구현될 수 있도록, 1 프레임 내에서 IDW 구동이 완료되기 전에 BDI 구동이 시작될 수 있다. 즉, 1 프레임 내에서 제1 픽셀 라인을 대상으로 한 IDW 구동과 제2 픽셀 라인을 대상으로 한 BDI 구동은 시간적으로 중첩해서 이뤄질 수 있다.
- [0034] 타이밍 컨트롤러(11)는 1 프레임 내에서 BDI 구동의 시작 타이밍을 제어함으로써, IDW 구동의 시작 타이밍과 BDI 구동의 시작 타이밍 간의 시간 차이 즉, 발광 듀티를 조정할 수 있다.
- [0035] 타이밍 컨트롤러(11)는 입력 영상 데이터(ID)의 프레임간 변화량에 연동하여 1 프레임 내에서 BDI 구동의 시작 타이밍을 제어할 수 있다. 타이밍 컨트롤러(11)는 공지된 다양한 영상 처리 기술을 통해 입력 영상 데이터(ID)의 프레임간변화량을 검출한 후, 입력 영상 데이터(ID)의 프레임간 변화량이 클수록 1 프레임 내에서 BDI 구동

의 시작 타이밍을 앞당겨 발광 듀티를 줄일 수 있다. 이를 통해 급격한 영상 변화가 있을 때 MPRT 성능이 향상되고 모션 블러링(Motion blurring)이 완화될 수 있다. 한편, 영상 변화가 없을 때는 1 프레임 내에서 BDI 구동의 시작 타이밍을 늦추고 발광 듀티를 늘려서 화소의 최대 순간 휘도를 낮출 수 있다.

- [0036] 타이밍 컨트롤러(11)는 한 프레임 중의 수직 액티브 기간에서 IDW 구동을 구현하고, 수직 액티브 기간과 수직 블랭크 기간을 모두 이용하여 BDI 구동을 구현할 수 있다. 따라서, BDI 구동 타이밍은, 수직 액티브 기간에서 IDW 구동 타이밍과 중첩될 수 있다.
- [0037] 타이밍 컨트롤러(11)는 게이트 쉬프트 클럭들을 위상이 다른 A 클럭군과 B 클럭군으로 분리하고, A 클럭군과 B 클럭군을 기초로 게이트 구동부(13)의 동작을 제어하여 픽셀 어레이를 적어도 하나 이상의 제1 영역과 적어도 하나 이상의 제2 영역으로 분할 구동할 수 있다. 즉, 타이밍 컨트롤러(11)는 제1 영역을 대상으로 IDW/SDW 구동이 수행되는 동안 제2 영역을 BDI 구동시키고, 이와 반대로 제1 영역을 대상으로 BDI 구동이 수행되는 동안 제2 영역을 IDW/SDW 구동시킬 수 있다. A 클럭군은 제1 영역의 픽셀 라인들에 연결된 게이트 구동부(13)의 제1 스테이지들에 입력되며, B 클럭군은 제2 영역의 픽셀 라인들에 연결된 게이트 구동부(13)의 제2 스테이지들에 입력된다. A 클럭군과 B 클럭군은 각각 IDW/SDW용 캐리 클럭들, BDI용 캐리 클럭들, IDW/SDW용 스캔 클럭들, BDI용 스캔 클럭들을 포함할 수 있다
- [0038] 이때, 타이밍 컨트롤러(11)는 BDI용 스캔 클럭들의 펄스 구간(은 전압 구간)과 IDW/SDW용 스캔 클럭들의 펄스 구간이 서로 비 중첩되도록 게이트 쉬프트 클럭들을 생성할 수 있다. 이렇게 함으로써, 블랙 영상을 삽입하여 MPRT 성능을 향상하는 기술에서 입력 영상 데이터(ID)와 블랙 영상 데이터(BD) 간의 원하지 않는 데이터 뒤섞임(즉, 데이터 충돌)과, 센싱용 데이터(SD)와 블랙 영상 데이터(BD) 간의 원하지 않는 데이터 충돌을 방지할 수 있다.
- [0039] 타이밍 컨트롤러(11)는 BDI용 스캔 클럭들을 복수개씩 동시에 출력하여 제1 영역 또는 제2 영역에서 복수개의 픽셀 라인들이 동시에 BDI 구동되도록 제어할 수 있다. 이를 통해 MPRT 성능을 향상하는 기술에서 블랙 영상 데이터(BD)의 삽입 시간이 줄어들고 그 대신 입력 영상 데이터(ID)의 기입 시간이 충분히 확보될 수 있다.
- [0040] 타이밍 컨트롤러(11)는 SDW 구동과 BDI 구동 간 데이터 충돌을 방지하기 위해, 픽셀라인 선택신호를 위상이 다른 제1 픽셀라인 선택 신호와 제2 픽셀라인 선택 신호로 분리하고, 제1 영역의 픽셀 라인들에 연결된 게이트 구동부(13)의 제1 스테이지들에 제1 픽셀라인 선택 신호를 입력하고, 제2 영역의 픽셀 라인들에 연결된 게이트 구동부(13)의 제2 스테이지들에 제2 픽셀라인 선택신호를 입력할 수 있다. 그리고, 타이밍 컨트롤러(11)는 제1 픽셀라인 선택신호와 제2 픽셀라인 선택 신호 중 어느 하나를 선택적으로 온 전압으로 활성화한다. 타이밍 컨트롤러(11)는 제1 영역을 대상으로 BDI 구동이 수행되는 경우 제2 픽셀라인 선택 신호만을 활성화하여 제2 영역만을 SDW 구동시키고, 이와 반대로 제2 영역을 대상으로 BDI 구동이 수행되는 경우 제1 픽셀라인 선택 신호만을 활성화하여 제1 영역만을 SDW 구동시킬 수 있다. 그 결과, 블랙 영상을 삽입하여 MPRT 성능을 향상하는 기술에서 센싱용 데이터(SD)와 블랙 영상 데이터(BD) 간의 원하지 않는 데이터 뒤섞임이 방지되고, 픽셀의 구동 특성이 보다 정확히 센싱될 수 있다
- [0041] 타이밍 컨트롤러(11)는 호스트 시스템(14)으로부터 입력되는 입력 영상 데이터(ID)를 데이터 구동부(12)에 출력한다. 타이밍 컨트롤러(11)는 내부적으로 생성된(또는 특정값으로 미리 설정된) 블랙 영상 데이터(BD)를 데이터 구동부(12)에 출력한다. 블랙 영상 데이터(BD)는 입력 영상 데이터(ID)의 최하위 계조 데이터에 대응되는 것으로 BDI 구동시 블랙 영상을 표시하기 위한 것이다.
- [0042] 게이트 구동부(13)는 IDW/SDW용 캐리 클럭들과 IDW/SDW용 스캔 클럭들을 기초로 IDW/SDW용 스캔 신호(SCAN)를 생성하고, BDI용 캐리 클럭들과 BDI용 스캔 클럭들을 기초로 BDI용 스캔 신호(SCAN)를 생성한다. 게이트 구동부(13)는 IDW 구동과 BDI 구동을 구현하기 위해, 제1 영역(또는 제2 영역)의 게이트라인들(17)에 IDW용 스캔 신호(SCAN)를 순차적으로 공급하는 도중에, 제2 영역(또는 제1 영역)에서 일정 개수만큼의 게이트라인들(17)에 BDI용 스캔 신호(SCAN)를 동시에 공급한다. 그리고, 게이트 구동부(13)는 SDW 구동과 BDI 구동을 구현하기 위해, 제1 영역(또는 제2 영역)의 특정 게이트라인(17)에 SDW용 스캔 신호(SCAN)가 공급되는 타이밍에 동기하여 제2 영역(또는 제1 영역)에서 일정 개수만큼의 게이트라인들(17)에 BDI용 스캔 신호(SCAN)를 동시에 공급한다.
- [0043] 게이트 구동부(13)는 게이트 인 패널(Gate In Panel) 방식(GIP)에 따라 표시패널(10)의 비 표시영역(NA)에 형성될 수 있다.
- [0044] 데이터 구동부(12)는 복수의 DAC들(121)과, 복수의 센싱부들(SU)(122)을 포함한다. DAC(121)는 타이밍 컨트롤러(11)로부터의 데이터 제어신호(DDC)에 기초하여 입력 영상 데이터(ID)를 IDW용 데이터전압(VIDW)으로 변환하고,

블랙 영상 데이터(BD)를 BDI용 데이터전압(VBDI)으로 변환하며, 센싱용 데이터(SD)를 SDW용 데이터전압(VSDW)으로 변환한다. 그리고, DAC(121)는 픽셀들(PXL)에 인가될 기준 전압을 생성한다.

- [0045] DAC(121)는 IDW 구동과 BDI 구동을 구현하기 위해, IDW용 스캔 신호(SCAN)에 동기하여 IDW용 데이터전압(VIDW)을 데이터라인들(15)에 출력함과 아울러 기준 전압을 기준전압 라인들(16)에 출력하고, BDI용 스캔 신호(SCAN)에 동기하여 BDI용 데이터전압(VBDI)을 데이터라인들(15)에 출력한다.
- [0046] DAC(121)는 SDW 구동과 BDI 구동을 구현하기 위해, SDW용 스캔 신호(SCAN)에 동기하여 SDW용 데이터전압(VSDW)을 데이터라인들(15)에 출력함과 아울러 기준 전압을 기준전압 라인들(16)에 출력하고, BDI용 스캔 신호(SCAN)에 동기하여 BDI용 데이터전압(VBDI)을 데이터라인들(15)에 출력한다.
- [0047] 도 4 내지 도 6은 도 1의 유기발광 표시장치에 적용되는 블랙 영상 삽입 기술을 보여준다.
- [0048] 도 4를 참조하면, 동일 픽셀 라인을 기준으로, IDW 구동과 BDI 구동은 1 프레임 내에서 일정 시간차를 두고 연속해서 이루어진다. 동일 프레임 내에서 IDW 구동의 시작 타이밍과 BDI 구동의 시작 타이밍 간의 시간 차이에 의해 픽셀들(PXL)의 발광 듀티가 결정된다. IDW 구동의 시작 타이밍은 고정 팩터(factor)이나, BDI 구동의 시작 타이밍은 조정 가능한 설계 팩터이다. IDW 구동의 시작 타이밍은 게이트 스타트 신호의 제1 펄스에 의해 정해지고, BDI 구동의 시작 타이밍은 제1 펄스보다 위상이 늦은 게이트 스타트 신호의 제2 펄스에 의해 정해진다. 따라서, 게이트 스타트 신호의 제2 펄스의 출력 타이밍을 앞당기거나 늦추어 BDI 구동의 시작 타이밍을 조정하면 픽셀들(PXL)의 발광 듀티를 제어할 수 있다. 다시 말해, 게이트 스타트 신호의 제2 펄스의 출력 타이밍을 늦추어 상기 시간 차이를 크게 할수록 픽셀들(PXL)의 발광 듀티는 증가하고 블랙 듀티는 감소하며, 상기 제2 펄스의 출력 타이밍을 앞당겨 상기 시간 차이를 작게 할수록 픽셀들(PXL)의 발광 듀티는 감소하고 블랙 듀티는 증가한다. 이렇게 픽셀들(PXL)의 발광 듀티가 결정되면, 프레임 변경에 상관없이 발광 듀티가 유지된다. 즉, 픽셀 라인들에 대한 IDW 구동 타이밍과 BDI 구동 타이밍은 시간 경과에 따라 발광 듀티를 유지하면서 동일하게 쉬프트된다.
- [0049] 도 5를 참조하면, 한 프레임 내에서 IDW용 스캔 신호(SCAN)와 BDI용 스캔 신호(SCAN)는 발광 듀티에 대응되는 일정 시간차를 두고 출력된다. IDW용 스캔 신호들(SCAN1~SCAN10)은 라인 순차 방식으로 위상이 쉬프트되어 픽셀 라인들(Line 1~Line 10)을 1라인씩 선택하고, 선택된 픽셀 라인들(Line 1~Line 10)에는 IDW용 데이터전압(VIDW)이 순차적으로 인가된다. BDI용 스캔 신호들(SCAN1~SCAN10)은 블록 순차 방식으로 위상이 쉬프트되어 픽셀 라인들(Line 1~Line 10)을 복수개씩 동시에 선택하고, 선택된 블록의 픽셀 라인들(Line 1~Line 8)에는 BDI용 데이터전압(VBDI)이 동시에 인가된다.
- [0050] 도 6을 참조하면, 픽셀 라인들(Line 1~Line z)에 대한 IDW 구동 타이밍과 BDI 구동 타이밍이 프레임이 바뀌더라도 발광 듀티를 유지하면서 쉬프트되는 것이 도시되어 있다. 이러한 구동 콘셉트를 채용하면, BDI 구동을 위해 별도의 프레임을 더 추가하지 않아도 되기 때문에, 프레임 레이트(frame rate)를 높이지 않아도 되는 장점이 있다.
- [0051] 다만, IDW 구동 타이밍이 BDI 구동 타이밍에 비해 발광 듀티만큼 앞서고, IDW 구동 타이밍과 BDI 구동 타이밍의 쉬프트 속도가 실질적으로 동일하기 때문에, 제1 픽셀 라인에 대한 IDW 구동과 제2 픽셀 라인에 대한 BDI 구동이 중첩적으로 진행되는 오버랩 구간(OA)이 생긴다. 오버랩 구간(OA)에서는 복수의 픽셀 라인들이 중첩적으로 구동된다.
- [0052] 도 7은 제k 픽셀 라인에서 도 6의 IDW 구동과 BDI 구동을 구현하기 위한 게이트신호 및 데이터신호의 타이밍도이다. 도 8a는 도 7의 프로그래밍 기간에 대응되는 픽셀의 등가회로도이다. 도 8b는 도 7의 발광 기간에 대응되는 픽셀의 등가회로도이다. 그리고, 도 8c는 도 7의 블랙 기간에 대응되는 픽셀의 등가회로도이다.
- [0053] 도 7은 제k 픽셀 라인(Line k)의 특정 픽셀을 대상으로 한 IDW/BDI 구동을 나타내고 있다. 도 7을 참조하면, IDW/BDI 구동을 위한 한 프레임은 게이트 노드(Ng)와 소스 노드(Ns) 간의 전압을 게조 표현용 픽셀 전류에 맞게 설정하는 프로그래밍 기간(Tp)과, 픽셀 전류에 따라 OLED가 발광하는 발광 기간(Te)과, OLED의 발광이 중지되는 블랙 기간(Tb)을 포함한다. 발광 듀티는 발광 기간(Te)에 대응되고, 블랙 듀티는 블랙 기간(Tb)에 대응될 수 있다. 도 7에서, IDW용 스캔 신호(SCAN)는 P1으로 도시되었고, BDI용 스캔 신호(SCAN)는 P2로 도시되었다.
- [0054] 도 7 및 도 8a를 참조하면, 프로그래밍 기간(Tp)에서 픽셀의 제1 스위치 TFT(ST1)는 IDW용 스캔 신호(P1)에 따라 턴 온 되어 게이트 노드(Ng)에 IDW용 데이터전압(VIDW)을 인가한다. 프로그래밍 기간(Tp)에서 픽셀의 제2 스위치 TFT(ST2)는 IDW용 스캔 신호(P1)에 따라 턴 온 되어 소스 노드(Ns)에 기준전압(Vref)을 인가한다. 이를 통해 프로그래밍 기간(Tp)에서 픽셀의 게이트 노드(Ng)와 소스 노드(Ns) 간의 전압이 원하는 픽셀 전류에 맞게 설

정된다.

- [0055] 도 7 및 도 8b를 참조하면, 발광 기간(Te)에서 픽셀의 제1 스위치 TFT(ST1)와 제2 스위치 TFT(ST2)는 턴 오프된다. 프로그래밍 기간(Tp)에서 픽셀에 기 설정된 게이트 노드(Ng)와 소스 노드(Ns) 간의 전압(Vgs)은 발광 기간(Te)에서도 유지된다. 이러한 게이트 노드(Ng)와 소스 노드(Ns) 간의 전압(Vgs)은 픽셀의 구동 TFT(DT)의 문턱전압보다 크기 때문에, 발광 기간(Te) 동안 픽셀의 구동 TFT(DT)에는 픽셀 전류(Ioled)가 흐른다. 이 픽셀 전류(Ioled)에 의해 발광 기간(Te)에서 게이트 노드(Ng)의 전위와 소스 노드(Ns)의 전위가 게이트 노드(Ng)와 소스 노드(Ns) 간의 전압(Vgs)을 유지한 채 부스팅된다. 소스 노드(Ns)의 전위가 OLED의 동작점 레벨까지 부스팅 되면 픽셀의 OLED는 발광한다.
- [0056] 도 7 및 도 8c를 참조하면, 블랙 기간(Tb)에서 픽셀의 제1 스위치 TFT(ST1)는 BDI용 스캔 신호(P2)에 따라 턴 온 되어 게이트 노드(Ng)에 BDI용 데이터전압(VBDI)을 인가한다. 블랙 기간(Tb)에서 픽셀의 제2 스위치 TFT(ST2)는 BDI용 스캔 신호(P2)에 따라 턴 온 된다. 이때, 소스 노드(Ns)의 전위는 OLED의 동작점 레벨을 유지한다. BDI용 데이터전압(VBDI)은 OLED의 동작점 레벨보다 낮은 전압이다. 따라서, 블랙 기간(Tb)에서 게이트 노드(Ng)와 소스 노드(Ns) 간의 전압(Vgs)은 구동 TFT(DT)의 문턱전압보다 작기 때문에, 픽셀의 구동 TFT(DT)에는 픽셀 전류(Ioled)가 흐르지 못하고, OLED는 발광을 멈춘다.
- [0057] 도 9는 위상 분리된 제1 클럭군과 제2 클럭군을 기초로 픽셀 어레이를 복수의 제1 영역들과 복수의 제2 영역들로 분할 구동하는 예를 보여주는 도면이다. 그리고, 도 10은 제1 클럭군과 제2 클럭군에 따라, 영상 데이터와 블랙 데이터가 서로 다른 영역에 동시에 기입되는 것을 보여주는 도면이다.
- [0058] 도 9 및 도 10을 참조하면, 표시패널(10)의 픽셀 어레이에는 복수의 제1 영역들(A 영역들)과 복수의 제2 영역들(B 영역들)은 번갈아 배치될 수 있다. 이 배치 구성을 기반으로 픽셀 어레이가 A 영역들과 B 영역들로 분할 구동되면, 발광 듀티비를 조정하기 위한 설계 자유도가 높아지는 장점이 있다.
- [0059] 게이트 구동부(13)에서, 제1 영역들의 게이트라인들을 구동하는 제1 스테이지들에는 제1 클럭군(CLKA1~CLKAk)이 입력되고, 제2 영역들의 게이트라인들을 구동하는 제2 스테이지들에는 제2 클럭군(CLKB1~CLKBk)이 입력된다. 제1 영역과 제2 영역의 모든 경계부들에서 픽셀 라인들이 순차적으로 구동되도록, 모든 스테이지들이 종속적(cascade)으로 접속되어 있다.
- [0060] 도 10에는 제1 클럭군(CLKA1~CLKAk)과 게이트 스타트 신호의 제1 펄스에 따라 픽셀 어레이의 최상부 제1 영역에서부터 순차적으로 IDW용 데이터전압(VIDW)의 기입 타이밍이 쉬프트되고 있고, 그와 동시에 제2 클럭군(CLKB1~CLKBk)과 게이트 스타트 신호의 제2 펄스에 따라 픽셀 어레이 중간부 제2 영역에서부터 순차적으로 BDI용 데이터전압(VBDI)의 기입 타이밍이 쉬프트되고 있다. 게이트 스타트 신호의 제1 펄스에 따른 IDW 구동이 특정 제1 영역에서 시작되는 시점에 게이트 스타트 신호의 제2 펄스가 픽셀 어레이 중간부 제2 영역에 인가되면 상기와 같이 구동될 수 있다. 또한, 게이트 스타트 신호의 제2 펄스에 따른 BDI 구동이 특정 제2 영역에서 시작되는 시점에 픽셀 어레이의 최상부 제1 영역에 게이트 스타트 신호의 제1 펄스가 인가되면 상기와 같이 구동될 수 있다.
- [0061] 도 11은 도 1의 게이트 구동부에 포함된 스테이지들의 접속 구성을 보여주는 도면이다.
- [0062] 도 11을 참조하면, 게이트 구동부(13)는 종속적(cascade)으로 접속된 다수의 스테이지들을 포함한 게이트 쉬프트 레지스터로 구현될 수 있다. 게이트 쉬프트 레지스터의 스테이지들은 표시 패널(10)의 비 표시영역(NA)에 직접 형성된 GIP 소자들일 수 있다.
- [0063] 스테이지들(STG1~STGn)은 픽셀 어레이의 게이트라인들에 일대일로 연결된다. 스테이지들(STG1~STGn)은 전단 스테이지로부터 입력되는 캐리신호(CR)에 따라 동작이 활성화되어 게이트 신호를 순차적으로 출력한다. 게이트 신호는 스캔 신호와 캐리 신호를 포함한다. "전단 스테이지"란, 기준이 되는 스테이지보다 먼저 활성화되어 기준 스테이지에서 출력되는 게이트 신호에 비해 위상이 앞선 게이트 신호를 생성하는 스테이지를 의미한다.
- [0064] 스테이지들(STG1~STGn)에는 센싱 시작신호(SRT)와 센싱 종료신호(SND), 글로벌 리셋 신호(QRST), 및 고전위 전원전압(GVDD)과 저전위 전원전압(GVSS)이 공통으로 입력될 수 있다. 글로벌 리셋 신호(QRST)는 표시장치가 파워 온(Power on)될 때에 모든 스테이지들(STG1~STGn)에 공통으로 입력되어, 정상 구동에 앞서 스테이지들(STG1~STGn)을 동시에 리셋시키는 역할을 한다.
- [0065] 픽셀 어레이의 A 영역에 연결되는 제1 스테이지들(ST1, ST2, ...)에는 제1 클럭군(CLKA)과 제1 픽셀라인 선택신호(LSPA)가 입력된다. 센싱 시작신호(SRT)와 센싱 종료신호(SND), 및 제1 픽셀라인 선택신호(LSPA)는 A 영역의 특

정 픽셀 라인을 SDW 구동하기 위한 제어신호이다. 제1 스테이지들(ST1, ST2, ...)은 전단 캐리 신호와 제1 클럭군(CLKA)을 기초로 IDW/BDI 구동을 위한 스캔 신호를 출력한다. 제1 스테이지들(ST1, ST2, ...)은 전단 캐리 신호, 제1 클럭군(CLKA)과 제1 픽셀라인 선택신호(LSPA), 및 센싱 시작신호(SRT)와 센싱 종료신호(SND)를 기초로 SDW 구동을 위한 스캔 신호를 출력한다. 제1 스테이지들(ST1, ST2, ...)은 후단 스테이지로부터 입력되는 캐리 신호에 따라 리셋될 수 있다. "후단 스테이지"란, 기준이 되는 스테이지보다 나중에 활성화되어 기준 스테이지에서 출력되는 게이트 신호에 비해 위상이 늦은 게이트 신호를 생성하는 스테이지를 의미한다.

[0066] 픽셀 어레이의 B 영역에 연결되는 제2 스테이지들(STn-1, STn, ...)에는 제2 클럭군(CLKB)과 제2 픽셀라인 선택신호(LSPB)가 입력된다. 센싱 시작신호(SRT)와 센싱 종료신호(SND), 및 제2 픽셀라인 선택신호(LSPB)는 B 영역의 특정 픽셀 라인을 SDW 구동하기 위한 제어신호이다. 제2 스테이지들(STn-1, STn, ...)은 전단 캐리 신호와 제2 클럭군(CLKB)을 기초로 IDW/BDI 구동을 위한 스캔 신호를 출력한다. 제2 스테이지들(STn-1, STn, ...)은 전단 캐리 신호, 제2 클럭군(CLKB)과 제2 픽셀라인 선택신호(LSPB), 및 센싱 시작신호(SRT)와 센싱 종료신호(SND)를 기초로 SDW 구동을 위한 스캔 신호를 출력한다. 제2 스테이지들(STn-1, STn, ...)은 후단 스테이지로부터 입력되는 캐리 신호에 따라 리셋될 수 있다.

[0067] 최상단 및 최하단 스테이지는 더미 스테이지(DST1, DST2)로 구현될 수 있다. 최상단 더미 스테이지(DST1)에는 게이트 스타트 신호(VST)가 입력되고, 최하단 더미 스테이지(DST2)에는 각 프레임 종료시에 게이트 리셋 신호(RST)가 입력될 수 있다.

[0068] 도 12는 도 11의 스테이지들에서 출력되는 게이트신호를 기반으로 IDW 구동과 BDI 구동과 SDW 구동이 수행되는 타이밍을 설명하기 위한 도면이다.

[0069] 도 12를 참조하면, SDW 구동은 각 프레임의 수직 블랭크 기간(VBP) 내에서 이루어지며, 각 프레임에 픽셀 라인을 1라인씩 선택하여 진행된다. SDW 구동시에 픽셀들은 발광을 멈추기 때문에 순차적으로 픽셀 라인들을 센싱하면 센싱되고 있는 픽셀 라인이 라인 덤으로 시인될 수 있다. 픽셀 라인들을 랜덤(Random)한 순서로 센싱하면, 시각적 분산 효과에 의해 라인 덤이 보이지 않게 된다. 예컨대, 도 12와 같이 랜덤 센싱을 위해, 본 발명은 제k 프레임의 수직 블랭크 기간(VBP)에서 A 영역의 특정 픽셀 라인을 센싱하고, 제k+1 프레임의 수직 블랭크 기간(VBP)에서 B 영역의 특정 픽셀 라인을 센싱할 수 있다.

[0070] 도 12를 참조하면, SDW 구동에 앞서 각 프레임의 수직 액티브 기간(VAP)에서 SDW 준비 동작이 이뤄진다. SDW 준비 동작은 센싱 대상 픽셀 라인에 연결된 스테이지의 메모리 노드(도 15, 도 17, 도 19, 및 도 21의 M 노드)를 픽셀라인 선택신호(LSPA 또는 LSPB)에 따라 선충전하는 동작을 의미한다. 메모리 노드가 선충전된 스테이지는 수직 블랭크 기간(VBP)에서 센싱 시작신호(SRT)가 활성화될 때 Q 노드를 충전시킬 수 있다. 그리고 그 스테이지는 Q 노드가 충전된 동안 SDW용 스캔 클럭을 SDW용 스캔 신호로 출력한다.

[0071] 수직 액티브 기간(VAP)에서 IDW 구동과 BDI 구동이 중첩되기 때문에, A 영역의 SDW 준비 동작으로 인해, B 영역의 비센싱 대상 픽셀 라인에 연결된 스테이지의 메모리 노드도 충전되게 된다. 마찬가지로, B 영역의 SDW 준비 동작으로 인해, A 영역의 비센싱 대상 픽셀 라인에 연결된 스테이지의 메모리 노드도 충전되게 된다. 이 경우, 동시에 2개의 픽셀 라인들이 SDW 구동되기 때문에 센싱의 정확도가 떨어진다. 특히, 오충전된 스테이지들에 연결된 A 영역의 비센싱 대상 픽셀 라인과 B 영역의 비센싱 대상 픽셀 라인은 BDI 구동되어야 할 픽셀 라인들이기 때문에, 수직 블랭크 기간(VBP) 내에서 BDI 구동과 SDW 구동이 중첩되고, 센싱용 데이터(SD)와 블랙 영상 데이터(BD) 간의 원하지 않는 데이터 뒤섞임이 생길 수 있다. 이러한 문제는 모든 스테이지들에 동일한 픽셀라인 선택신호가 인가될 때 생긴다.

[0072] 이러한 문제를 해결하기 위해, 본 발명에서는 A 영역에 연결된 스테이지들과 B 영역에 연결된 스테이지들에 서로 다른 픽셀라인 선택신호(LSPA, LSPB)를 인가한다.

[0073] 도 12를 참조하면, 제1 픽셀라인 선택신호(LSPA)는 A 영역의 픽셀 라인들에 연결된 스테이지들에 입력되고, 제2 픽셀라인 선택신호(LSPB)는 B 영역의 픽셀 라인들에 연결된 스테이지들에 입력된다. 제1 픽셀라인 선택신호(LSPA)와 제2 픽셀라인 선택신호(LSPB)는 서로 다른 타이밍에 활성화된다.

[0074] 타이밍 컨트롤러(11)는 A 영역의 픽셀라인들 중 어느 하나(LA)가 센싱되어야 할 경우 제1 픽셀라인 선택신호(LSPA)만을 활성화하고 제2 픽셀라인 선택신호(LSPB)를 비활성화시킨다. 반면에, 타이밍 컨트롤러(11)는 B 영역의 픽셀라인들 중 어느 하나(LB)가 센싱되어야 할 경우 제2 픽셀라인 선택신호(LSPB)만을 활성화하고 제1 픽셀라인 선택신호(LSPA)를 비활성화시킨다. 이를 통해 A 영역의 SDW 준비 동작 중에 B 영역의 비센싱 대상 픽셀 라인에 연결된 스테이지의 메모리 노드가 오충전되는 것이 방지될 수 있고, 마찬가지로, B 영역의 SDW 준비 동작

중에 A 영역의 비센싱 대상 픽셀 라인에 연결된 스테이지의 메모리 노드가 오충전되는 것이 방지될 수 있다.

- [0075] 타이밍 컨트롤러(11)는 A 영역을 대상으로 BDI 구동이 수행되는 동안 B 영역만을 SDW 구동시키고, 이와 반대로 B 영역을 대상으로 BDI 구동이 수행되는 동안 A 영역만을 SDW 구동시킬 수 있다. 이에 따라 SDW 구동 중에 동시에 복수의 픽셀 라인들이 선택되는 것이 방지될 수 있고, 나아가 센싱용 데이터(SD)와 블랙 영상 데이터(BD) 간의 원하지 않는 데이터 뒤섞임이 방지되고, 픽셀의 구동 특성이 보다 정확히 센싱될 수 있다.
- [0076] 한편, 타이밍 컨트롤러(11)는 수직 블랭크 기간(VBP) 내에서 SDW 구동이 완료되는 타이밍에 해당 픽셀라인 선택 신호(LSPA 또는 LSPB)를 한번 더 활성화하여 상기 제1 또는 제2 스테이지들의 메모리 노드를 동시에 초기화할 수 있다. 예컨대, 타이밍 컨트롤러(11)는 수직 블랭크 기간(VBP) 내에서 A 영역의 제1 픽셀 라인에 대한 SDW 구동이 완료된 직후에 활성화된 제1 픽셀라인 선택신호(LSPA)를 제1 스테이지들에 인가하여 제1 스테이지들의 메모리 노드를 동시에 초기화할 수 있다. 또한, 타이밍 컨트롤러(11)는 수직 블랭크 기간(VBP) 내에서 B 영역의 제2 픽셀 라인에 대한 SDW 구동이 완료된 직후에 활성화된 제2 픽셀라인 선택신호(LSPB)를 제2 스테이지들에 인가하여 제2 스테이지들의 메모리 노드를 동시에 초기화할 수 있다. 이렇게 픽셀라인 선택신호(LSPA 또는 LSPB)를 한번 더 인가하여 초기화 동작을 수행하면, 후속 SDW 구동에서 생길 수 있는 데이터 충돌을 방지하여 SDW 구동의 안정화가 향상될 수 있다.
- [0077] 도 13은 SDW 구동을 위한 게이트신호 및 데이터신호의 타이밍도이다. 도 14a는 도 13의 셋업 기간에 대응되는 픽셀의 등가회로도이다. 도 14b는 도 13의 센싱 기간에 대응되는 픽셀의 등가회로도이다. 그리고, 도 14c는 도 13의 리셋 기간에 대응되는 픽셀의 등가회로도이다.
- [0078] 도 13은 제j 픽셀 라인(Line j)의 특정 픽셀을 대상으로 한 SDW 구동을 나타내고 있다. 도 13을 참조하면, SDW 구동을 위한 수직 블랭크 기간(VBP)은 게이트 노드(Ng)와 소스 노드(Ns) 간의 전압을 센싱용 픽셀 전류에 맞게 설정하는 셋업 기간(①)과, 픽셀 전류를 샘플링하는 센싱 기간(②)과, 게이트 노드(Ng)와 소스 노드(Ns) 간의 전압을 셋업 기간(①)의 직전 상태로 원복 시키는 리셋 기간(③)을 포함한다.
- [0079] 도 13 및 도 14a를 참조하면, 셋업 기간(①)에서 픽셀의 제1 스위치 TFT(ST1)는 SDW용 스캔 신호(SCAN)에 따라 턴 온 되어 게이트 노드(Ng)에 SDW용 데이터전압(VSDW)을 인가한다. 셋업 기간(①)에서 픽셀의 제2 스위치 TFT(ST2)는 SDW용 스캔 신호(SCAN)에 따라 턴 온 되어 소스 노드(Ns)에 기준전압(Vref)을 인가한다. 이를 통해 셋업 기간(①)에서 픽셀의 게이트 노드(Ng)와 소스 노드(Ns) 간의 전압이 센싱용 픽셀 전류에 맞게 설정된다.
- [0080] 도 13 및 도 14b를 참조하면, 센싱 기간(②)에서 픽셀의 제1 및 제2 스위치 TFT(ST1, ST2)는 턴 온 상태를 유지한다. 그리고, 기준전압 라인(16)은 DAC에서 센싱부(SU)로 연결된다. 센싱 기간(②)에서 센싱부(SU)는 제2 스위치 TFT(ST2)와 기준전압 라인(16)을 통해 입력되는 센싱용 픽셀 전류(Ipix)를 샘플링한다.
- [0081] 도 13 및 도 14c를 참조하면, 리셋 기간(③)에서 픽셀의 제1 및 제2 스위치 TFT(ST1, ST2)는 턴 온 상태를 유지한다. 제1 스위치 TFT(ST1)는 게이트 노드(Ng)에 원복용 데이터전압(VREC)을 인가한다. 원복용 데이터전압(VREC)은 IDW용 데이터전압(VIDW) 또는 BDI용 데이터전압(VBDI)일 수 있다. SDW 구동 직전에 해당 픽셀 라인에 IDW용 데이터전압(VIDW)이 유지되어 있다면 원복용 데이터전압(VREC)은 IDW용 데이터전압(VIDW)이 된다. 반면, SDW 구동 직전에 해당 픽셀 라인에 BDI용 데이터전압(VBDI)이 유지되어 있다면 원복용 데이터전압(VREC)은 BDI용 데이터전압(VBDI)이 된다. 리셋 기간(③)에서 기준전압 라인(16)은 DAC에 다시 연결되고, 픽셀의 제2 스위치 TFT(ST2)는 소스 노드(Ns)에 기준전압(Vref)을 인가한다. 이를 통해 리셋 기간(③)에서 픽셀의 게이트 노드(Ng)와 소스 노드(Ns) 간의 전압이 SDW 구동 직전의 상태로 원복된다.
- [0082] 도 15는 도 11의 스테이지들 중에서 제1 영역에 연결된 일 스테이지의 제1 등가 회로도이다. 도 15의 스테이지는 게이트 라인(17)을 통해 A 영역의 픽셀(PIX)에 연결될 수 있다. 도 16은 도 15에 도시된 등가 회로도의 동작 타이밍도이다.
- [0083] 도 15 및 도 16을 참조하면, A 영역에 연결된 일 스테이지는 입력부(BLK1), 인버터부(BLK2), 출력부(BLK3), 안정화부(BLK4), 픽셀라인 선택부(BLK5) 및 Q 노드 강화부(BLK6)를 포함한다.
- [0084] 입력부(BLK1)는 IDW 및 SDW 구동을 위해 Q 노드를 충전 전 시킨다. 입력부(BLK1)는 IDW 구동시 및 SDW 구동시에 Q 노드 충전 전압에 따라 Qh 노드를 고전위 전원전압(GVDD) 레벨로 충전한다.
- [0085] 입력부(BLK1)는 IDW 구동시에 스타트 단자를 통해 입력되는 전단 캐리 신호(CR(n-3))에 응답하여 Q 노드를 고전위 전원전압(GVDD) 레벨로 충전한다. 전단 캐리 신호(CR(n-3))는 전단 캐리 신호(CR(n-1))에 비해 게이트 온 전압의 위상이 빠르다. 이를 위해, 입력부(BLK1)는 복수의 트랜지스터들(T11A, T11B, T13A, T13B, T12)을 포함한다.

- [0086] 트랜지스터들(T11A, T11B)은 Qh 노드를 통해 직렬 접속된 듀얼 게이트 트랜지스터부로 구현될 수 있다. 트랜지스터(T11A)는 전단 캐리 신호(CR(n-3))의 입력단(스타트 단자)에 접속된 게이트전극과, 고전위 전원전압(GVDD)의 입력단에 접속된 제1 전극과, Qh 노드에 접속된 제2 전극을 포함한다. 그리고, 트랜지스터(T11B)는 전단 캐리 신호(CR(n-3))의 입력단에 접속된 게이트전극과, Qh 노드에 접속된 제1 전극과, Q 노드에 접속된 제2 전극을 포함한다. Qh 노드는 Q 노드가 충전 전압으로 유지되는 동안 트랜지스터(T12)를 통해 고전위 전원전압(GVDD)에 연결된다. 트랜지스터(T12)의 게이트전극은 Q 노드에 접속되고, 제1 전극은 고전위 전원전압(GVDD)에 접속되며, 제2 전극은 Qh 노드에 접속된다. 이렇게 트랜지스터들(T11A, T11B)을 Qh 노드에 접속된 듀얼 게이트 트랜지스터부로 구현하면, 트랜지스터들(T11A, T11B)의 누설 전류(Off Current)를 줄여 Q 노드의 충전 전압을 안정적으로 유지할 수 있다.
- [0087] 또한, 입력부(BLK1)는 리셋 단자를 통해 입력되는 후단 캐리 신호(CR(n+3))에 응답하여 Q 노드를 저전위 전원전압(GVSS) 레벨로 방전한다. 후단 캐리 신호(CR(n+3))는 전단 캐리 신호(CR(n-1))에 비해 게이트 온 전압의 위상이 늦다. 이를 위해, 트랜지스터들(T13A, T13B)은 Qh 노드를 통해 직렬 접속된 듀얼 게이트 트랜지스터부로 구현될 수 있다. 트랜지스터(T13A)는 후단 캐리 신호(CR(n+3))의 입력단(리셋 단자)에 접속된 게이트전극과, Q 노드에 접속된 제1 전극과, Qh 노드에 접속된 제2 전극을 포함한다. 그리고, 트랜지스터(T13B)는 후단 캐리 신호(CR(n+3))의 입력단에 접속된 게이트전극과, Qh 노드에 접속된 제1 전극과, 저전위 전원전압(GVSS)의 입력단에 접속된 제2 전극을 포함한다. 이렇게 트랜지스터들(T13A, T13B)을 Qh 노드에 접속된 듀얼 게이트 트랜지스터부로 구현하면, 트랜지스터들(T13A, T13B)의 누설 전류(Off Current)를 줄여 Q 노드의 충전 전압을 안정적으로 유지할 수 있다.
- [0088] 인버터부(BLK2)는 IDW 구동시 및 SDW 구동시에 Q 노드가 충전 상태를 유지하는 동안에 고전위 전원전압(GVDD)의 입력단과 QB 노드 간의 전기적 연결을 차단한다. 인버터부(BLK2)는 Nx 노드의 전압에 따라 QB 노드에 고전위 전원전압(GVDD)을 인가하여 QB 노드를 충전할 수 있다. Nx 노드의 전압은 Q 노드와 반대로 제어된다. Nx 노드는 Q 노드가 충전 상태를 유지하는 동안 저전위 전원전압(GVSS) 레벨로 방전되는 데 반해, Q 노드가 방전 상태를 유지하는 동안 고전위 전원전압(GVDD) 레벨로 충전된다. 다시 말해, QB 노드의 전위는 Q 노드에 저전위 전원전압(GVSS)이 인가되는 동안 고전위 전원전압(GVDD) 레벨로 충전된다.
- [0089] 이를 위해, 인버터부(BLK2)는 복수의 트랜지스터들(T21~T23)을 포함한다. 트랜지스터(T21)는 Nx 노드에 접속된 게이트전극, 고전위 전원전압(GVDD)의 입력단에 접속된 제1 전극, 및 QB 노드에 접속된 제2 전극을 포함한다. 트랜지스터(T22)는 고전위 전원전압(GVDD)의 입력단에 접속된 게이트전극과 제1 전극, 및 N1 노드에 접속된 제2 전극을 포함한다. 트랜지스터(T23)는 Q 노드에 접속된 게이트전극, Nx 노드에 접속된 제1 전극, 및 저전위 전원전압(GVSS)의 입력단에 접속된 제2 전극을 포함한다.
- [0090] 인버터부(BLK2)는 IDW 구동시 및 SDW 구동시에 Q 노드가 충전된 동안에 QB 노드를 저전위 전원전압(GVSS) 레벨로 방전한다. 그리고, 인버터부(BLK2)는 동작의 신뢰성을 높이기 위해 전단 캐리신호(CR(n-3))에 따라 QB 노드를 추가적으로 저전위 전원전압(GVSS) 레벨로 방전할 수 있다.
- [0091] 이를 위해, 인버터부(BLK2)는 복수의 트랜지스터들(T24, T25)을 더 포함한다. 트랜지스터(T24)는 Q 노드에 접속된 게이트전극과, QB 노드에 접속된 제1 전극, 및 저전위 전원전압(GVSS)이 인가되는 제2 전극을 포함한다. 그리고, 트랜지스터(T25)는 전단 캐리 신호(CR(n-3))가 인가되는 게이트전극, QB 노드에 접속된 제1 전극, 및 저전위 전원전압(GVSS)이 인가되는 제2 전극을 포함한다.
- [0092] 출력부(BLK3)는 IDW 구동시 Q 노드가 충전 상태를 유지하는 동안에 고전위 전원전압(GVDD) 레벨의 스캔 클럭(SCCLK(n))을 화상용 스캔 신호(SCAN(n))로 출력하고, 고전위 전원전압(GVDD) 레벨의 캐리 클럭(CRCLK(n))을 화상용 캐리 신호(CR(n))로 출력한다. 그리고, 출력부(BLK3)는 SDW 구동시 Q 노드가 충전 상태를 유지하는 동안에 고전위 전원전압(GVDD) 레벨의 스캔 클럭(SCCLK(n))을 센싱용 스캔 신호(SCAN(n))로 출력한다.
- [0093] 이를 위해, 출력부(BLK3)는 제1 및 제2 풀업 트랜지스터들(T31, T32)과 부스팅 커패시터(Co)를 포함한다. 제1 풀업 트랜지스터(T31)는 Q 노드에 접속된 게이트전극, 캐리 클럭(CRCLK(n))의 입력단에 접속된 제1 전극, 및 제1 출력 노드(N01)에 접속된 제2 전극을 포함한다. 제2 풀업 트랜지스터(T32)는 Q 노드에 접속된 게이트전극, 스캔 클럭(SCCLK(n))의 입력단에 접속된 제1 전극, 및 제2 출력 노드(N02)에 접속된 제2 전극을 포함한다. 제1 및 제2 풀업 트랜지스터들(T31, T32)의 게이트전극들이 동일한 Q 노드에 접속되기 때문에 스테이지의 구성 및 실장 면적이 줄어들고, 베젤 영역을 줄이기에 유리하다. 부스팅 커패시터(Co)는 Q 노드와 제2 출력 노드(N02) 사이에 접속되어, 고전위 전원전압(GVDD) 레벨의 스캔 클럭(SCCLK(n))에 동기하여 Q 노드의 전압을 고전위 전원전압(GVDD)보다 높은 부스팅전압 레벨(BSL)까지 부트 스트랩핑(Boot strapping)시킨다. Q 노드의 전압이 부트 스트

랩핑되면 고전위 전원전압(GVDD) 레벨의 스캔 클럭(SCCLK(n))이 빠르게 그리고 왜곡없이 화상용 스캔 신호(SCAN(n)) 또는 센싱용 스캔 신호(SCAN(n))로 출력될 수 있다.

- [0094] 안정화부(BLK4)는 QB 노드가 충전된 동안 Q 노드, 및 출력 노드들(NO1,NO2)에 저전위 전원전압(GVSS)을 인가하여 Q 노드, 및 출력 노드들(NO1,NO2)의 전압 상태를 안정화시킨다.
- [0095] 이를 위해, 안정화부(BLK4)는 복수의 트랜지스터들(T41,T42,T44A,T44B)을 포함한다. 트랜지스터(T41)는 QB 노드에 접속된 게이트전극, 제1 출력 노드(NO1)에 접속된 제1 전극, 및 저전위 전원전압(GVSS)이 인가되는 제2 전극을 포함한다. 트랜지스터(T42)는 QB 노드에 접속된 게이트전극, 제2 출력 노드(NO2)에 접속된 제1 전극, 및 저전위 전원전압(GVSS)이 인가되는 소스전극을 포함한다. 트랜지스터(T43)는 QB 노드에 접속된 게이트전극, Q 노드에 접속된 제1 전극, 및 저전위 전원 전압(GVSS)이 인가되는 제2 전극을 포함한다. 트랜지스터들(T44A,T44B)은 Qh 노드를 통해 직렬 접속된 듀얼 게이트 트랜지스터부로 구현될 수 있다. 트랜지스터(T44A)는 QB 노드에 접속된 게이트전극과, Q 노드에 접속된 제1 전극과, Qh 노드에 접속된 제2 전극을 포함한다. 그리고, 트랜지스터(T44B)는 QB 노드에 접속된 게이트전극과, Qh 노드에 접속된 제1 전극과, 저전위 전원전압(GVSS)의 입력단에 접속된 제2 전극을 포함한다. 이렇게 트랜지스터들(T44A,T44B)을 Qh 노드에 접속된 듀얼 게이트 트랜지스터부로 구현하면, 트랜지스터들(T44A,T44B)의 누설 전류(Off Current)를 줄여 Q 노드의 충전 전압을 안정적으로 유지할 수 있다.
- [0096] 픽셀라인 선택부(BLK5)는 한 프레임 중의 수직 액티브 기간(VAP)에서 수행되는 IDW 구동 중에 고전위 전원전압(GVDD) 레벨의 제1 픽셀라인 선택 신호(LSPA)에 따라 전단 캐리신호(CR(n-2))를 M 노드에 인가하여 M 노드를 고전위 전원전압(GVDD) 레벨로 충전함으로써 SDW 구동을 준비한다. 이어서, 픽셀라인 선택부(BLK5)는 한 프레임 중의 수직 블랭크 기간(VBP)에서 고전위 전원전압(GVDD) 레벨의 센싱 시작신호(SRT)에 따라 M 노드를 Q 노드에 연결함으로써, Q 노드를 고전위 전원전압(GVDD)으로 충전하여 SDW 구동이 시작되게 한다.
- [0097] 픽셀라인 선택부(BLK5)는 제1 내지 제6 트랜지스터들(T51~T56)과, 커패시터(Cx)를 포함할 수 있다. 제1 및 제2 트랜지스터들(T51,T52)은 수직 액티브 기간(VAP)에서 고전위 전원전압(GVDD) 레벨의 제1 픽셀라인 선택 신호(LSPA)에 따라 턴 온 되고, 제3 및 제4 트랜지스터들(T53,T54)은 M 노드가 충전 상태를 유지하는 동안 턴 온 되고, 제5 트랜지스터(T55)는 수직 블랭크 기간(VBP)에서 고전위 전원전압(GVDD) 레벨의 센싱 시작신호(SRT)에 따라 턴 온 된다.
- [0098] 제1 트랜지스터(T51)와 제2 트랜지스터(T52)는 전단 캐리신호(CR(n-2))의 입력단과 M 노드 사이에 직렬 접속되어, 고전위 전원전압(GVDD) 레벨의 제1 픽셀라인 선택 신호(LSPA)에 따라 동시에 턴 온 된다. 고전위 전원전압(GVDD) 레벨의 제1 픽셀라인 선택 신호(LSPA)는 한 프레임에 2번 즉, SDW 준비 동작시와 SDW 구동 종료시에 입력된다.
- [0099] SDW 준비 동작시 고전위 전원전압(GVDD) 레벨의 제1 픽셀라인 선택 신호(LSPA)는 전단 캐리신호(CR(n-2))의 게이트 온 전압 구간(즉, 고전위 전원전압(GVDD) 레벨 구간)과 동기된다. 이 경우 제1 트랜지스터(T51)와 제2 트랜지스터(T52)는 M 노드에 고전위 전원전압(GVDD) 레벨의 전단 캐리신호(CR(n-2))를 인가하여, M 노드를 고전위 전원전압(GVDD) 레벨로 충전한다.
- [0100] SDW 구동 종료시 고전위 전원전압(GVDD) 레벨의 제1 픽셀라인 선택 신호(LSPA)는 전단 캐리신호(CR(n-2))의 게이트 오프 전압 구간(즉, 저전위 전원전압(GVSS) 레벨 구간)과 동기된다. 이 경우 제1 트랜지스터(T51)와 제2 트랜지스터(T52)는 M 노드에 저전위 전원전압(GVSS) 레벨의 전단 캐리신호(CR(n-2))를 인가하여, M 노드를 저전위 전원전압(GVSS) 레벨까지 방전한다.
- [0101] 제3 트랜지스터(T53)의 제1 전극은 고전위 전원전압(GVDD)의 입력단에 접속되고, 제3 트랜지스터(T53)의 제2 전극은 제1 트랜지스터(T51)와 제2 트랜지스터(T52) 사이의 Na 노드에 접속되며, 제3 트랜지스터(T53)의 게이트전극은 M 노드에 접속된다. 제3 트랜지스터(T53)는 M 노드의 충전 전압에 따라 턴 온 되어, 제1 트랜지스터(T51)와 제2 트랜지스터(T52) 사이에 있는 Na 노드에 고전위 전원전압(GVDD)을 인가함으로써, 제1 및 제2 트랜지스터들(T51,T52)의 오프 전류(Off Current)를 줄이고, M 노드의 충전 전압을 SDW 구동이 수행되는 수직 블랭크 기간(VBP)까지 안정적으로 유지시킨다.
- [0102] 제4 트랜지스터(T54)의 제1 전극은 고전위 전원전압(GVDD)의 입력단에 접속되고, 제4 트랜지스터(T54)의 제2 전극은 제5 트랜지스터(T55)의 일측 전극에 접속되며, 제4 트랜지스터(T54)의 게이트전극은 M 노드에 접속된다. 제4 트랜지스터(T54)는 M 노드의 충전 전압에 따라 턴 온 되어, 제5 트랜지스터(T55)의 제1 전극에 고전위 전원전압(GVDD)을 인가한다.

- [0103] 제5 트랜지스터(T55)의 제1 전극은 제4 트랜지스터(T54)의 제2 전극에 접속되고, 제5 트랜지스터(T55)의 제2 전극은 Q 노드에 접속되며, 제5 트랜지스터(T55)의 게이트전극은 센싱 시작신호(SRT)의 입력단에 접속된다. 제5 트랜지스터(T55)는 게이트 온 전압의 센싱 시작신호(SRT)에 따라 턴 온 되어, 고전위 전원전압(GVDD)을 Q 노드에 인가한다.
- [0104] 제6 트랜지스터(T56)는 게이트 온 전압의 글로벌 리셋신호(QRST)에 따라 턴 온 되어, Q 노드를 저전위 전원전압(GVSS)으로 초기화한다. 글로벌 리셋신호(QRST)는 표시장치가 파워 온(Power on)될 때에 입력되는 공통 신호이다. 제6 트랜지스터(T56)의 게이트전극은 글로벌 리셋신호(QRST)의 입력단에 접속되고, 제6 트랜지스터(T56)의 제1 전극은 Q 노드에 접속되며, 제6 트랜지스터(T56)의 제2 전극은 저전위 전원전압(GVSS)의 입력단에 접속된다.
- [0105] 커패시터(Cx)는 고전위 전원전압(GVDD)의 입력단과 M 노드 사이에 접속되어, M 노드의 충전 전압을 SDW 구동이 수행되는 수직 블랭크 기간(VBP)까지 안정적으로 유지시킨다.
- [0106] Q 노드 강화부(BLK6)는 수직 블랭크 기간(VBP)에서 M 노드의 충전 전압과 센싱 종료신호(SND)에 따라 Q 노드의 충전 전압 누설을 방지한다. 수직 블랭크 기간(VBP)에서 M 노드가 충전 상태를 유지하는 기간 내에서, Q 노드가 고전위 전원전압(GVDD)으로 충전되고, 이때 센싱 종료신호(SND)는 저전위 전원전압(GVDD)을 유지한다.
- [0107] 이를 위해, Q 노드 강화부(BLK6)는 복수의 트랜지스터들(T62, T63A, T63B)을 포함한다. 트랜지스터(T62)의 게이트 전극은 M 노드에 접속되고, 트랜지스터(T62)의 일측 전극은 저전위 전원전압(GVSS)의 입력단에 접속된다. 트랜지스터(T63A)의 게이트전극은 센싱 종료신호(SND)에 접속되고, 트랜지스터(T63A)의 일측 전극은 Q 노드에 접속된다. 그리고, 트랜지스터(T63B)의 게이트전극은 센싱 종료신호(SND)에 접속되고, 트랜지스터(T63B)의 일측 전극은 트랜지스터(T62)의 타측 전극에 접속된다.
- [0108] 센싱 종료신호(SND)는 수직 블랭크 기간(VBP)에서 센싱용 스캔 신호(SCAN(n))가 출력되고 난 이후에 고전위 전원전압(GVDD) 레벨로 입력된다. 수직 블랭크 기간(VBP)에서 Q 노드가 충전 상태를 유지하는 동안에, 트랜지스터(T63B)의 타측 전극은 고전위 전원전압(GVDD)이 인가되는 Qh 노드에 연결된다. 그리고, 트랜지스터들(T63A, T63B)은 Qh 노드를 통해 직렬 접속되어 듀얼 게이트 트랜지스터부를 구현함으로써, 트랜지스터들(T44A, T44B)의 누설 전류(Off Current)를 줄여 Q 노드의 충전 전압을 안정적으로 유지할 수 있다.
- [0109] Q 노드 강화부(BLK6)는 고전위 전원전압(GVDD) 레벨의 센싱 종료신호(SND)에 따라 제2 영역에 연결된 스테이지들의 Q 노드들이 방전되는 것을 방지하기 위해, 트랜지스터(T64)를 더 포함한다. 트랜지스터(T64)의 게이트전극은 M 노드에 접속되고, 트랜지스터(T64)의 일측 전극은 트랜지스터(T63A)의 타측 전극에 접속되며, 트랜지스터(T64)의 타측 전극은 Qh 노드에 접속된다.
- [0110] Q 노드 강화부(BLK6)는 고전위 전원전압(GVDD) 레벨의 센싱 시작신호(SRT)에 따라 QB 노드를 저전위 전원전압(GVSS)으로 방전하기 위한 트랜지스터(T61)을 더 포함한다. QB 노드의 방전 상태가 불안정하면 Q 노드의 충전 상태도 불안정해지기 때문에, Q 노드 강화부(BLK6)는 고전위 전원전압(GVDD) 레벨의 센싱 시작신호(SRT)가 인가될 때 트랜지스터(T61)를 통해 QB 노드를 저전위 전원전압(GVSS)으로 안정적으로 방전한다. 트랜지스터(T61)의 게이트전극은 센싱 시작신호(SRT)의 입력단에 접속되고, 트랜지스터(T61)의 일측 전극은 QB 노드에 접속되며, 트랜지스터(T61)의 타측 전극은 트랜지스터(T62)의 타측 전극에 접속된다.
- [0111] 이러한 A 영역의 픽셀 라인들에 접속된 스테이지들 중에서, 전단 캐리신호(CR(n-2))로 M 노드가 충전되는 활성 스테이지의 개수는 프레임마다 1개이며, 활성 스테이지의 위치는 프레임마다 바뀐다. 활성 스테이지의 위치가 프레임마다 랜덤하게 바뀌면, 센싱되는 픽셀 라인이 라인 덤으로 시인되는 정도가 크게 경감될 수 있다. 이 스테이지들 각각은, 수직 블랭크 기간(VBP)에서 고전위 전원전압(GVDD) 레벨의 센싱 종료신호(SND)에 동기되는 제1 픽셀라인 선택 신호(LSPA)에 따라 전단 캐리신호(CR(n-2))로 M 노드를 방전함으로써, 동작의 안정성을 확보한다.
- [0112] 도 17은 도 11의 스테이지들 중에서 제2 영역에 연결된 일 스테이지의 제1 등가 회로도이다. 도 17의 스테이지는 게이트 라인(17)을 통해 제2 영역의 픽셀(PIX)에 연결될 수 있다. 도 18은 도 17에 도시된 등가 회로도의 동작 타이밍도이다. 도 17 및 도 18을 참조하면, B 영역에 연결된 일 스테이지는 입력부(BLK1), 인버터부(BLK2), 출력부(BLK3), 안정화부(BLK4), 픽셀라인 선택부(BLK5) 및 Q 노드 강화부(BLK6)를 포함한다.
- [0113] 도 15의 스테이지에는 제1 픽셀라인 선택신호(LSPA)가 인가되는 데 반해, 도 17의 스테이지에는 제2 픽셀라인 선택신호(LSPB)가 인가되는 점에서 차이가 있다.

- [0114] 제1 픽셀라인 선택신호(LSPA)와 제2 픽셀라인 선택신호(LSPB)는 교번적으로 고전위 전원전압(GVDD) 레벨로 활성화되고, 제1 픽셀라인 선택신호(LSPA)와 제2 픽셀라인 선택신호(LSPB) 중 어느 하나가 활성화된 경우에 나머지 하나는 저전위 전원전압(GVSS) 레벨로 비 활성화된다. 즉, 도 15의 일 스테이지에 연결된 픽셀 라인이 센싱되는 경우에는 제1 픽셀라인 선택신호(LSPA)만이 활성화되고, 도 17의 일 스테이지에 연결된 픽셀 라인이 센싱되는 경우에는 제2 픽셀라인 선택신호(LSPB)만이 활성화된다.
- [0115] 도 17 및 도 18의 스테이지에 대한 구체적 구성 및 동작은 도 15 및 도 16에서 설명한 것과 유사하여 생략한다.
- [0116] 도 19는 도 11의 스테이지들 중에서 제1 영역에 연결된 일 스테이지의 제2 등가 회로도이다. 도 20은 도 19에 도시된 등가 회로도의 동작 타이밍도이다.
- [0117] 도 19 및 도 20을 참조하면, A 영역에 연결된 일 스테이지는 입력부(BLK1), 인버터부(BLK2), 출력부(BLK3), 안정화부(BLK4), 픽셀라인 선택부(BLK5) 및 Q 노드 강화부(BLK6)를 포함한다.
- [0118] 도 19 및 도 20의 스테이지는 도 15 및 도 16의 스테이지와 비교하여, Q 노드 강화부(BLK6)를 다르게 구성함과 아울러, 센싱 시작신호(SRT), 센싱 종료신호(SND), 및 글로벌 리셋신호(QRST)의 게이트 오프 전압을 다르게 구성함으로써, 스테이지 구성을 간소화하면서도 수직 블랭크 기간(VBP) 내의 특정 구간(DD)에서 Q 노드의 부스팅 전압(BSL)을 안정적으로 유지시킬 수 있다. 다시 말해, 도 19 및 도 20의 스테이지는 도 15 및 도 16의 스테이지에 비해 트랜지스터들의 개수를 줄이면서도 그와 유사한 효과를 발휘할 수 있다. 상기 특정 구간(DD)은 고전위 전원전압(GVDD) 레벨의 센싱용 스캔 클럭(SCCLK(n))이 센싱용 스캔신호(SCAN(n))로 출력되는 구간이다.
- [0119] 도 19 및 도 20에서, 입력부(BLK1), 인버터부(BLK2), 출력부(BLK3), 안정화부(BLK4), 픽셀라인 선택부(BLK5)의 구성 및 동작은 도 15 및 도 16의 스테이지와 실질적으로 동일하여 생략한다.
- [0120] 도 19 및 도 20을 참조하면, Q 노드 강화부(BLK6)는 4개의 트랜지스터들(T61~T64)을 포함할 수 있다.
- [0121] 트랜지스터(T61)는 그의 게이트전극이 M 노드에 접속되고, 그의 일측 전극이 QB 노드에 접속되며, 그의 타측 전극이 트랜지스터(T61)의 일측 전극에 접속된다. 트랜지스터(T62)는 그의 게이트전극이 센싱 시작신호(SRT)의 입력단에 접속되고, 그의 일측 전극이 트랜지스터(T61)의 타측 전극에 접속되며, 그의 타측 전극이 저전위 전원전압(GVSS)의 입력단에 접속된다. 트랜지스터(T63)는 그의 게이트전극이 M 노드에 접속되고, 그의 일측 전극이 Q 노드에 접속되며, 그의 타측 전극이 트랜지스터(T64)의 일측 전극에 접속된다. 그리고, 트랜지스터(T64)는 그의 게이트전극이 센싱 종료신호(SND)의 입력단에 접속되고, 그의 일측 전극이 트랜지스터(T63)의 타측 전극에 접속되며, 그의 타측 전극이 저전위 전원전압(GVSS)의 입력단에 접속된다.
- [0122] 특정 구간(DD)에서, 센싱용 스캔신호(SCAN(n))가 정상적으로 출력되기 위해서는 Q 노드가 부스팅 전압(BSL)을 유지해야 하는데, 이를 위해서는 Q 노드가 저전위 전원전압(GVSS)의 입력단에 연결되면 안된다. 특정 구간(DD)에서, 트랜지스터(T63)이 고전위 전원전압(GVDD) 레벨의 M 노드의 전압에 의해 턴 온 상태를 유지하므로, 트랜지스터(T64)는 안정적으로 턴 오프 상태를 유지해야 한다. 트랜지스터(T64)의 문턱전압은 다양한 원인에 의해 (-) 방향으로 쉬프트될 수 있다. 이 경우 특정 구간(DD)에서, 트랜지스터(T64)의 게이트전극과 소스전극에 동일한 저전위 전원전압(GVSS) 레벨이 인가되더라도 트랜지스터(T64)가 완전히 턴 오프 되지 않을 수 있다. 특정 구간(DD)에서, 트랜지스터(T64)가 완전히 턴 오프 되지 않으면, Q 노드의 부스팅 전압(BSL)이 저전위 전원전압(GVSS)의 입력단으로 방전되어 Q 노드의 전위가 불안정해지고, 센싱용 스캔신호(SCAN(n))가 정상적으로 출력되지 못하게 된다.
- [0123] 이러한 문제점을 해결하기 위해, 특정 구간(DD)에서 트랜지스터(T64)의 게이트전극에 인가되는 센싱 종료신호(SND)의 게이트 오프 전압은 저전위 전원전압(GVSS) 레벨보다 낮은 제1 저전위 전원전압(GVSS1) 레벨로 입력될 수 있다. 이 경우, 도 23c와 같이 특정 구간(DD)에서 트랜지스터(T64)가 완전한 턴 오프 상태를 유지할 수 있도록, 트랜지스터(T64)의 게이트-소스 간 전압(Vgs)은 트랜지스터(T64)의 문턱전압보다 일정치 이상 낮아지게 된다. 특정 구간(DD)에서, 트랜지스터(T64)의 게이트-소스 간 전압(Vgs)은 저전위 전원전압(GVSS) 레벨과 제1 저전위 전원전압(GVSS1) 레벨 간의 차이가 된다. 특정 구간(DD)에서, 저전위 전원전압(GVSS) 레벨과 제1 저전위 전원전압(GVSS1) 레벨 간의 차이가 트랜지스터(T64)의 최대 문턱전압 쉬프트량보다 크게 되도록, 제1 저전위 전원전압(GVSS1) 레벨을 저전위 전원전압(GVSS) 레벨보다 충분히 낮게 설정하는 것이 바람직하다.
- [0124] 한편, 특정 구간(DD)에서 트랜지스터(T62)의 게이트전극에 인가되는 센싱 시작신호(SRT)의 게이트 오프 전압도 저전위 전원전압(GVSS) 레벨보다 낮은 제1 저전위 전원전압(GVSS1) 레벨로 입력될 수 있다. 센싱 시작신호(SRT)의 게이트 오프 전압을 제1 저전위 전원전압(GVSS1) 레벨로 설계하면, 트랜지스터(T62)의 문턱전압 쉬프트를

최소화할 수 있는 효과가 있다. 이 경우, 도 23b와 같이 특정 구간(DD)에서 트랜지스터(T62)가 완전한 턴 오프 상태를 유지할 수 있도록, 트랜지스터(T62)의 게이트-소스 간 전압(Vgs)은 트랜지스터(T62)의 문턱전압보다 일정치 이상 낮아지게 된다. 특정 구간(DD)에서, 트랜지스터(T62)의 게이트-소스 간 전압(Vgs)은 저전위 전원전압(GVSS) 레벨과 제1 저전위 전원전압(GVSS1) 레벨 간의 차이가 된다. 특정 구간(DD)에서, 저전위 전원전압(GVSS) 레벨과 제1 저전위 전원전압(GVSS1) 레벨 간의 차이가 트랜지스터(T62)의 최대 문턱전압 쉬프트량보다 크게 되도록, 제1 저전위 전원전압(GVSS1) 레벨을 저전위 전원전압(GVSS) 레벨보다 충분히 낮게 설정하는 것이 바람직하다.

[0125] 한편, 특정 구간(DD)에서 트랜지스터(T56)도 Q 노드의 전압에 영향을 미칠 수 있다. 특정 구간(DD)에서 Q 노드의 부스팅 전압(BSL)이 유지되기 위해서는 트랜지스터(T56)가 완전히 턴 오프 상태를 유지해야 한다. 트랜지스터(T56)의 문턱전압은 다양한 원인에 의해 (-) 방향으로 쉬프트될 수 있다. 이 경우 특정 구간(DD)에서, 트랜지스터(T56)의 게이트전극과 소스전극에 동일한 저전위 전원전압(GVSS) 레벨이 인가되더라도 트랜지스터(T56)가 완전히 턴 오프 되지 않을 수 있다. 특정 구간(DD)에서, 트랜지스터(T56)가 완전히 턴 오프 되지 않으면, Q 노드의 부스팅 전압(BSL)이 저전위 전원전압(GVSS)의 입력단으로 방전되어 Q 노드의 전위가 불안정해지고, 센싱용 스캔신호(SCAN(n))가 정상적으로 출력되지 못하게 된다.

[0126] 이러한 문제점을 해결하기 위해, 특정 구간(DD)에서 트랜지스터(T56)의 게이트전극에 인가되는 글로벌 리셋신호(QRST)의 게이트 오프 전압은 저전위 전원전압(GVSS) 레벨보다 낮은 제1 저전위 전원전압(GVSS1) 레벨로 입력될 수 있다. 이 경우, 도 23a와 같이 특정 구간(DD)에서 트랜지스터(T56)가 완전한 턴 오프 상태를 유지할 수 있도록, 트랜지스터(T56)의 게이트-소스 간 전압(Vgs)은 트랜지스터(T56)의 문턱전압보다 일정치 이상 낮아지게 된다. 특정 구간(DD)에서, 트랜지스터(T56)의 게이트-소스 간 전압(Vgs)은 저전위 전원전압(GVSS) 레벨과 제1 저전위 전원전압(GVSS1) 레벨 간의 차이가 된다. 특정 구간(DD)에서, 저전위 전원전압(GVSS) 레벨과 제1 저전위 전원전압(GVSS1) 레벨 간의 차이가 트랜지스터(T56)의 최대 문턱전압 쉬프트량보다 크게 되도록, 제1 저전위 전원전압(GVSS1) 레벨을 저전위 전원전압(GVSS) 레벨보다 충분히 낮게 설정하는 것이 바람직하다. 도 21은 도 11의 스테이지들 중에서 제2 영역에 연결된 일 스테이지의 제2 등가 회로도이다. 도 22는 도 21에 도시된 등가 회로도의 동작 타이밍도이다.

[0127] 도 21 및 도 22를 참조하면, B 영역에 연결된 일 스테이지는 입력부(BLK1), 인버터부(BLK2), 출력부(BLK3), 안정화부(BLK4), 픽셀라인 선택부(BLK5) 및 Q 노드 강화부(BLK6)를 포함한다.

[0128] 도 19의 스테이지에는 제1 픽셀라인 선택신호(LSPA)가 인가되는 데 반해, 도 21의 스테이지에는 제2 픽셀라인 선택신호(LSPB)가 인가되는 점에서 차이가 있다.

[0129] 제1 픽셀라인 선택신호(LSPA)와 제2 픽셀라인 선택신호(LSPB)는 교번적으로 고전위 전원전압(GVDD) 레벨로 활성화되고, 제1 픽셀라인 선택신호(LSPA)와 제2 픽셀라인 선택신호(LSPB) 중 어느 하나가 활성화된 경우에 나머지 하나는 저전위 전원전압(GVSS) 레벨로 비 활성화된다. 즉, 도 19의 일 스테이지에 연결된 픽셀 라인이 센싱되는 경우에는 제1 픽셀라인 선택신호(LSPA)만이 활성화되고, 도 21의 일 스테이지에 연결된 픽셀 라인이 센싱되는 경우에는 제2 픽셀라인 선택신호(LSPB)만이 활성화된다.

[0130] 도 21 및 도 22의 스테이지에 대한 구체적 구성 및 동작은 도 19 및 도 20에서 설명한 것과 유사하여 생략한다.

[0131] 전술한 바와 같이, 본 발명은 수직 블랭크 기간에서 M 노드의 충전 전압과 센싱 종료신호에 따라 Q 노드의 충전 전압 누설을 방지하는 Q 노드 강화부를 각 스테이지에 포함시킴으로써, 센싱 구동시 Q 노드의 충전 상태를 안정화시켜 원하는 게이트 출력 특성이 확보할 수 있다. 본 발명은 센싱 구동시 게이트 출력 특성을 확보하여 픽셀의 구동 특성에 대한 센싱 및 보상 성능을 크게 개선할 수 있다.

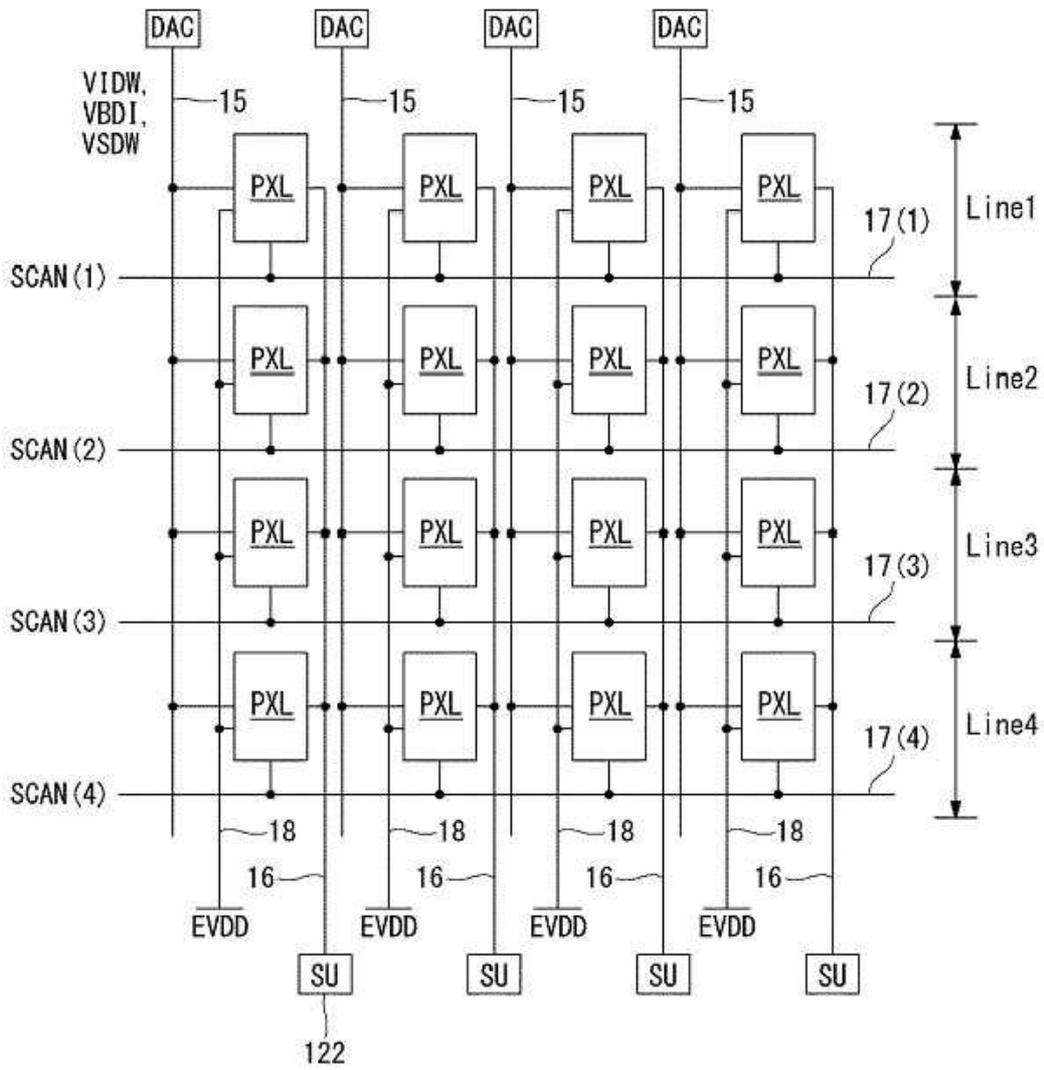
[0132] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

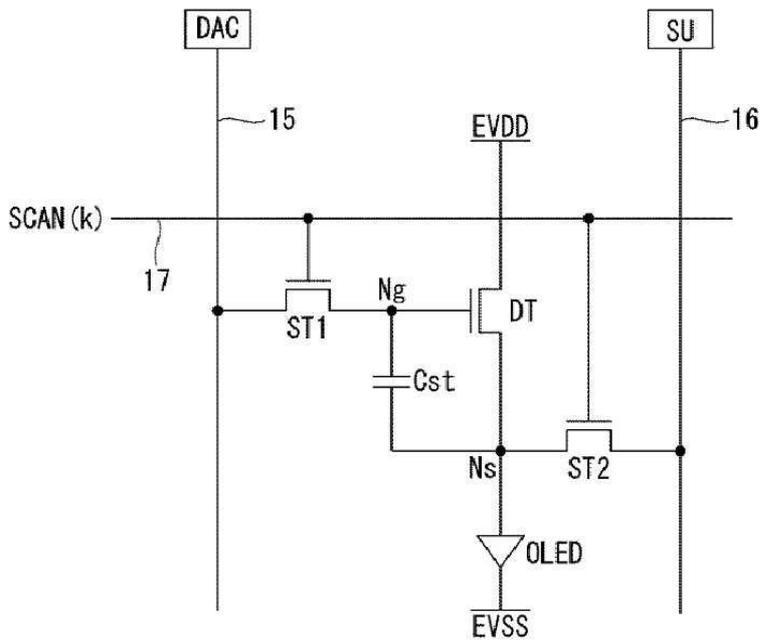
[0133] 100 : 표시패널 110 : 타이밍 컨트롤러

130 : 게이트 쉬프트 레지스터

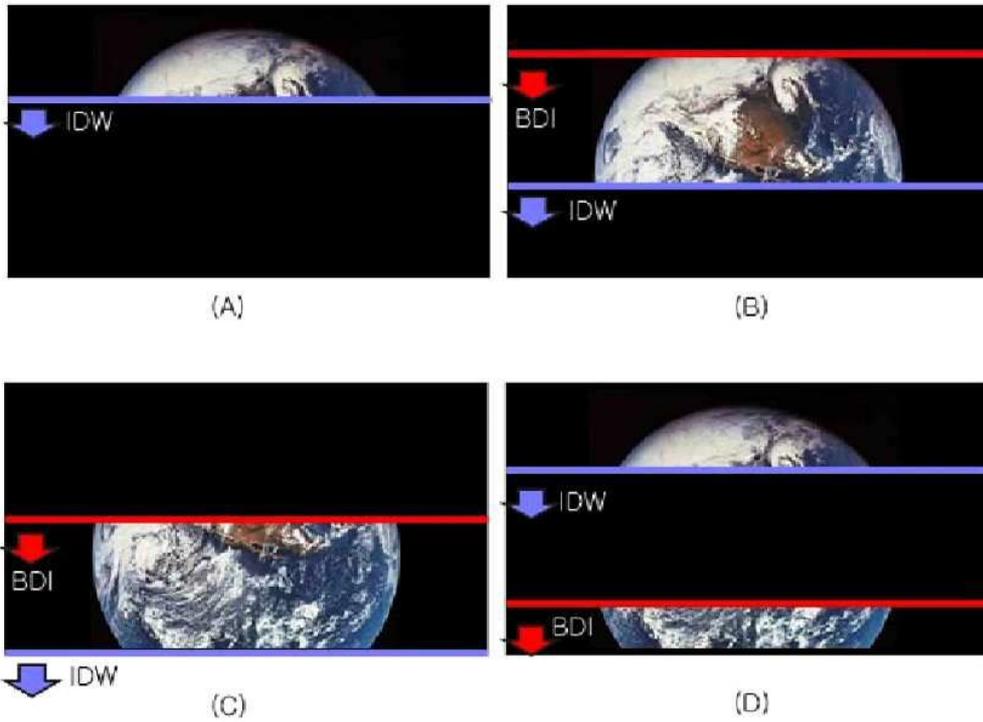
도면2



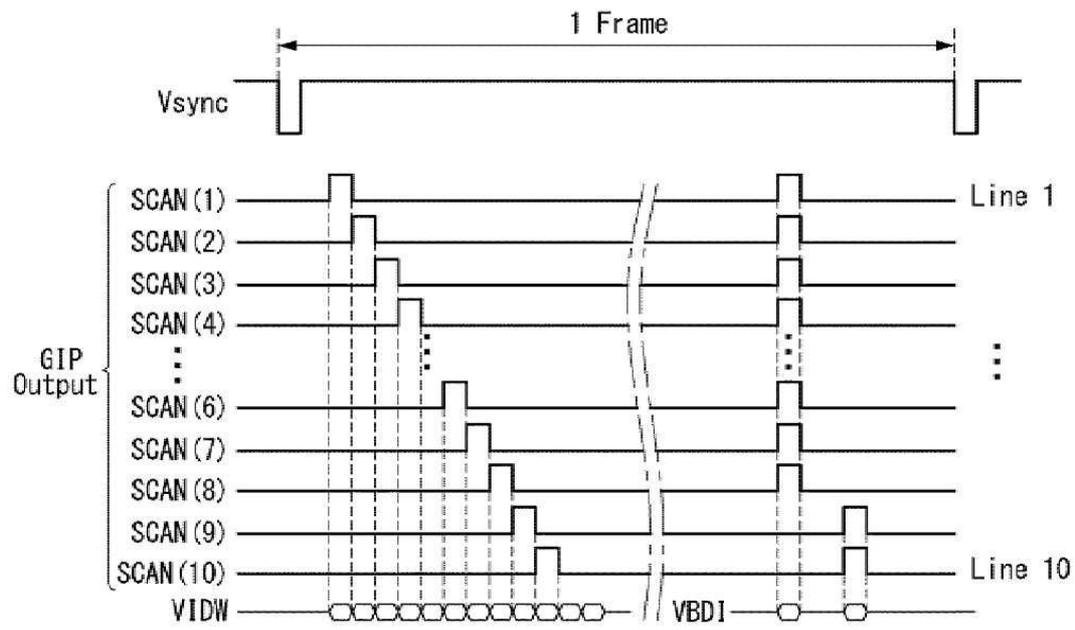
도면3



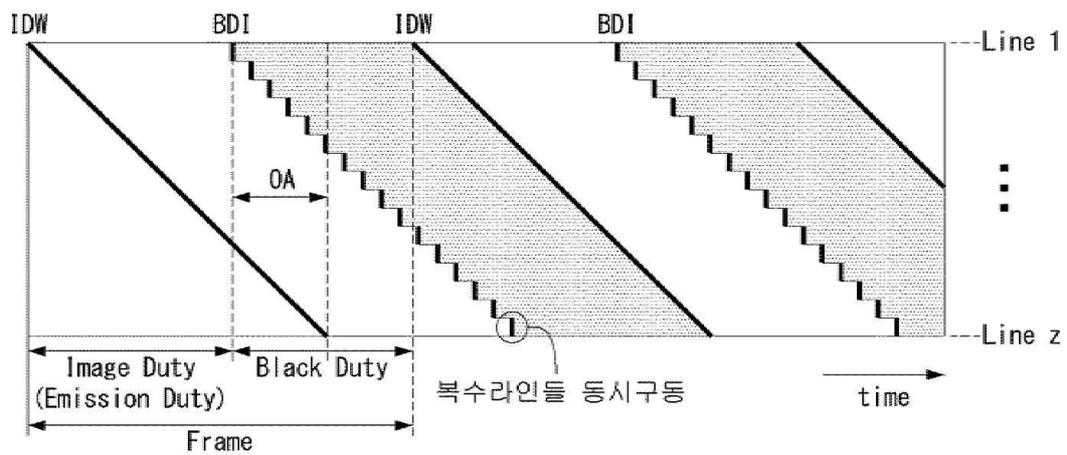
도면4



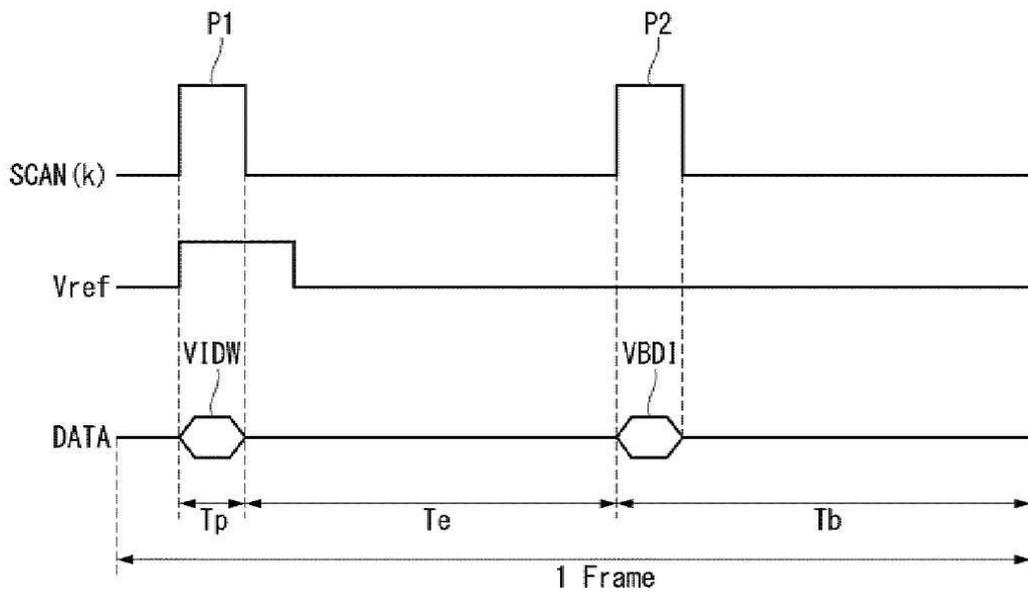
도면5



도면6

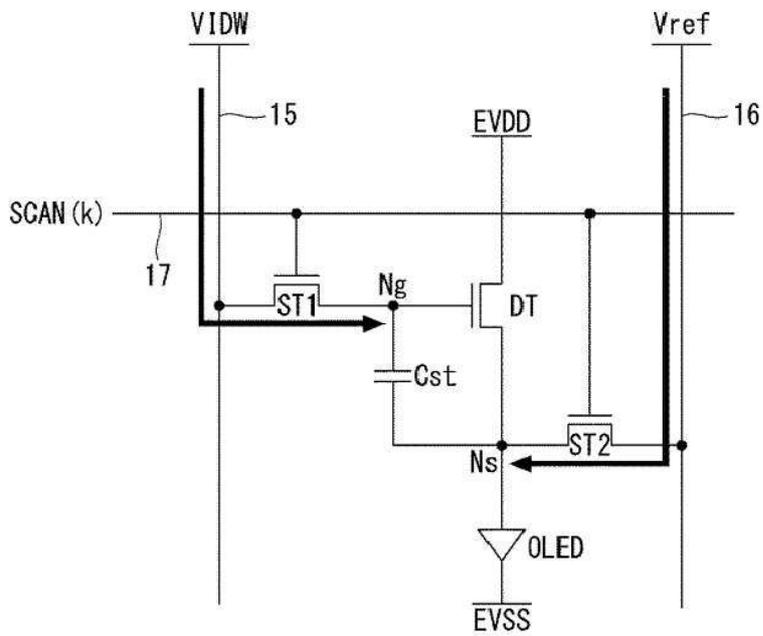


도면7



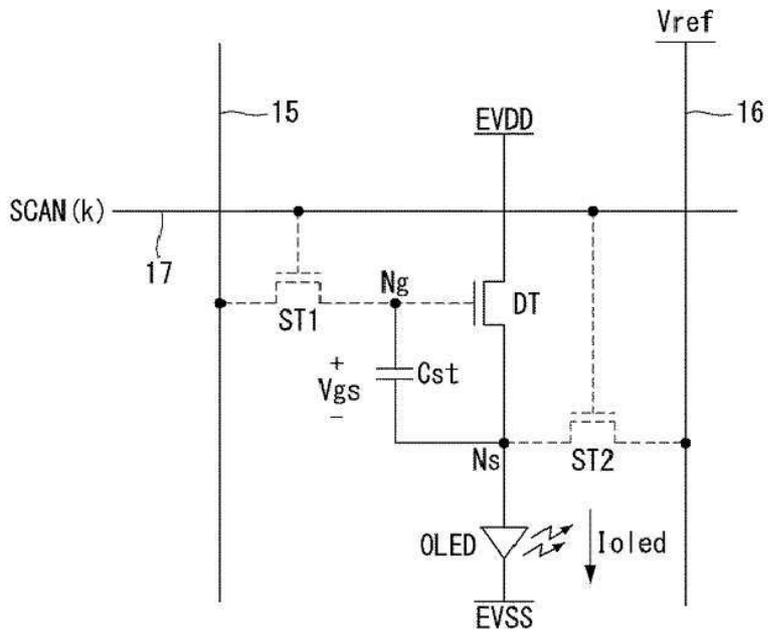
도면8a

Tp



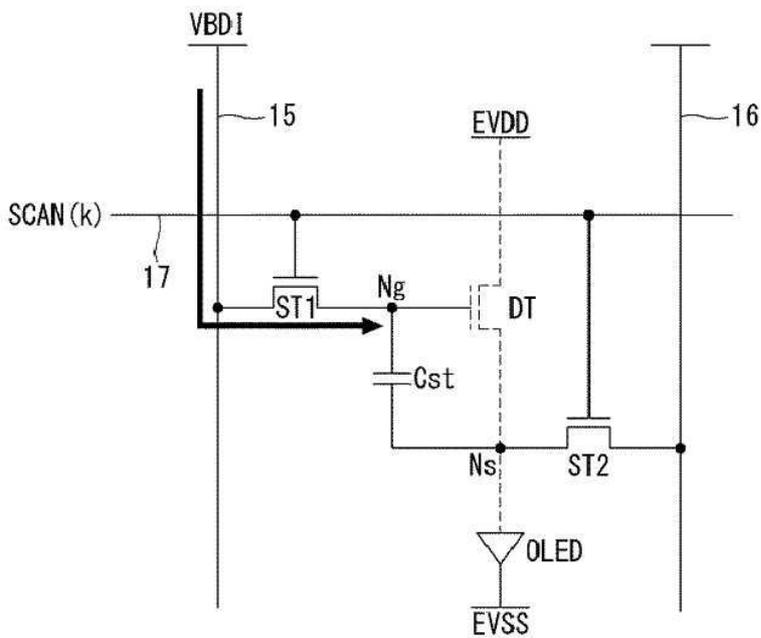
도면8b

Te



도면8c

Tb



도면9

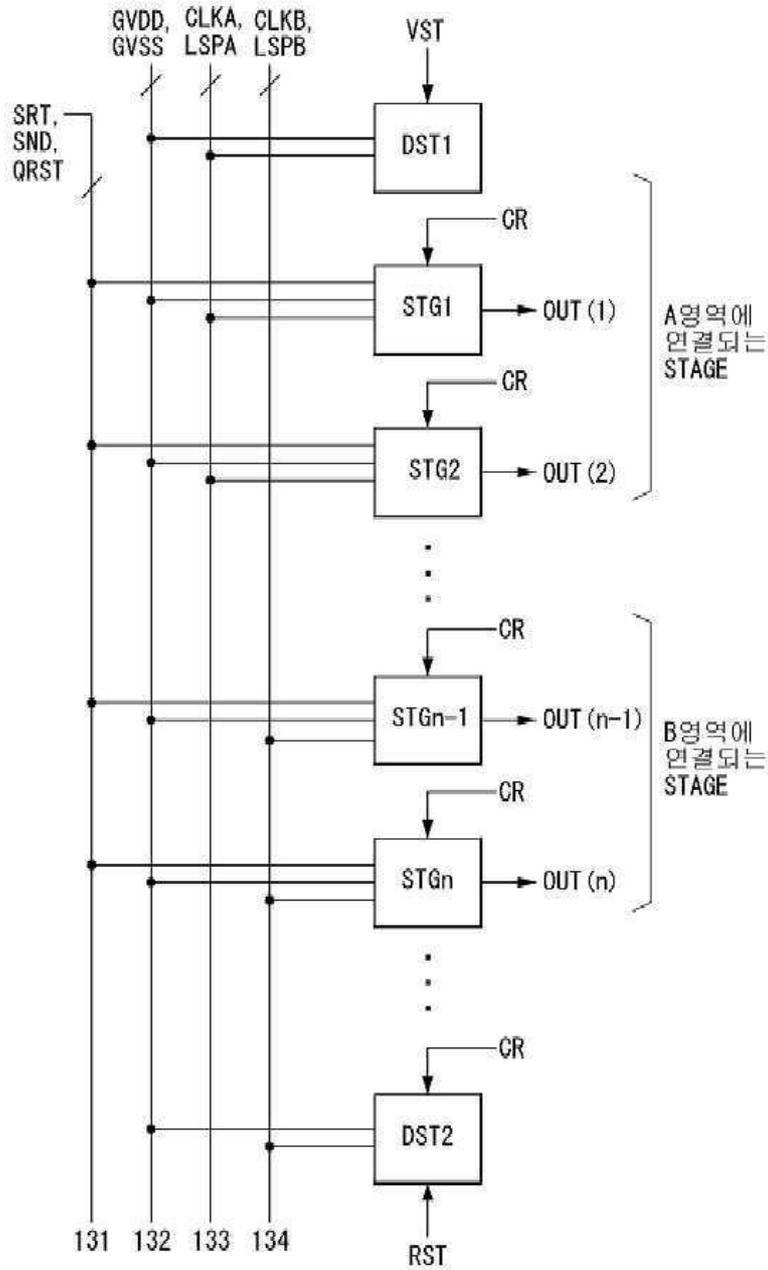


도면10

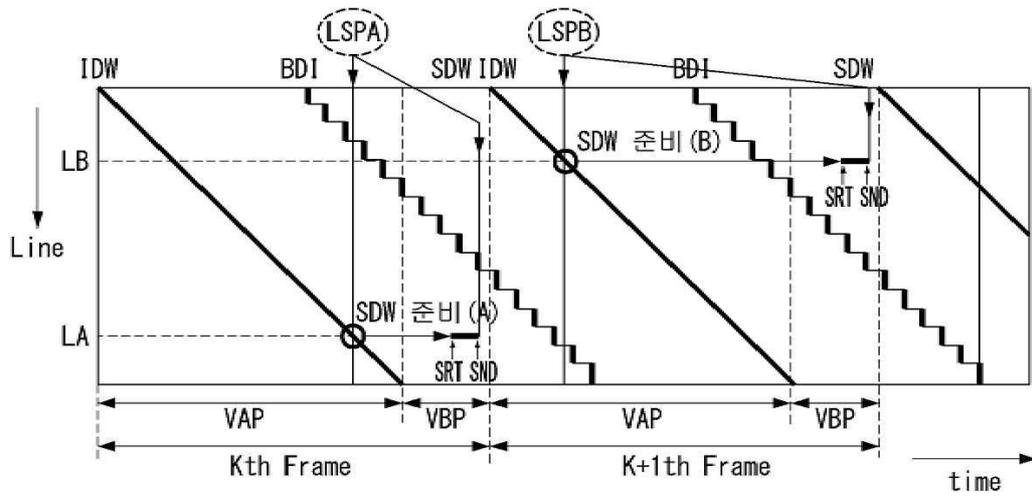


도면11

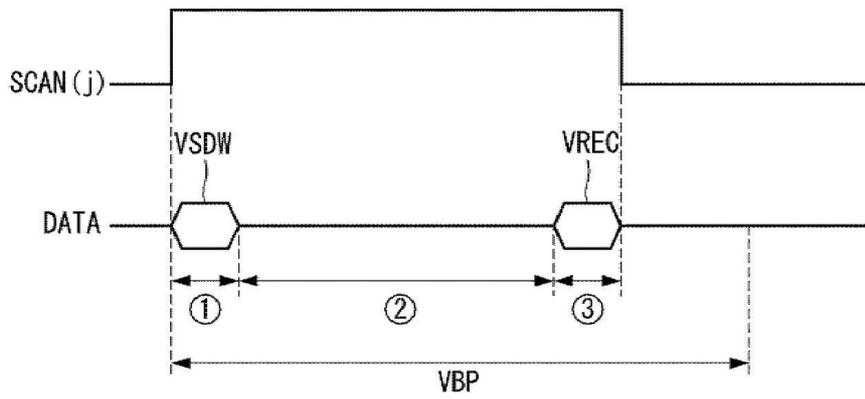
13



도면12

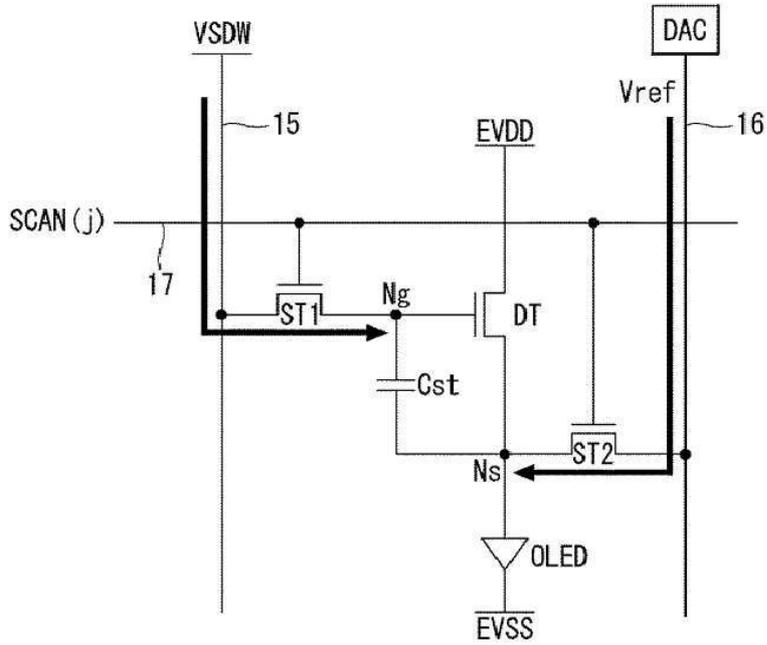


도면13



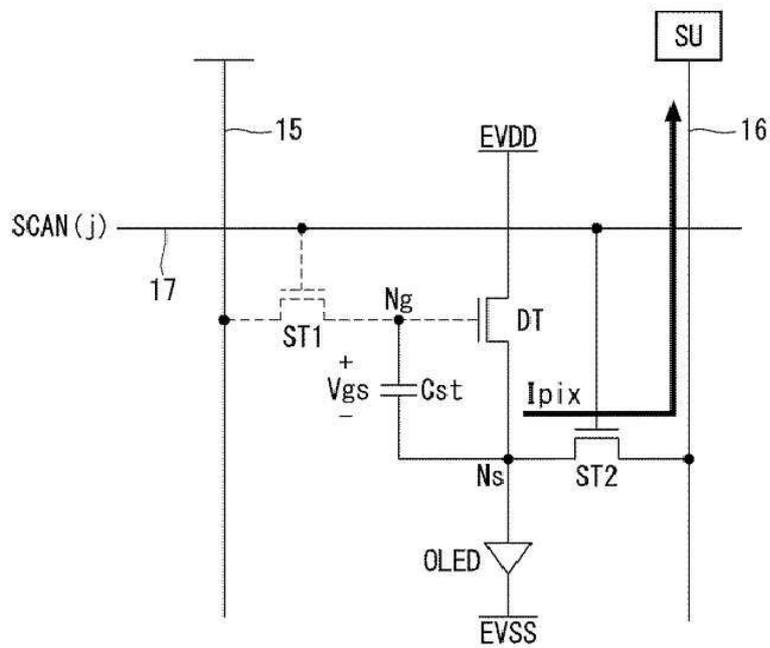
도면14a

①

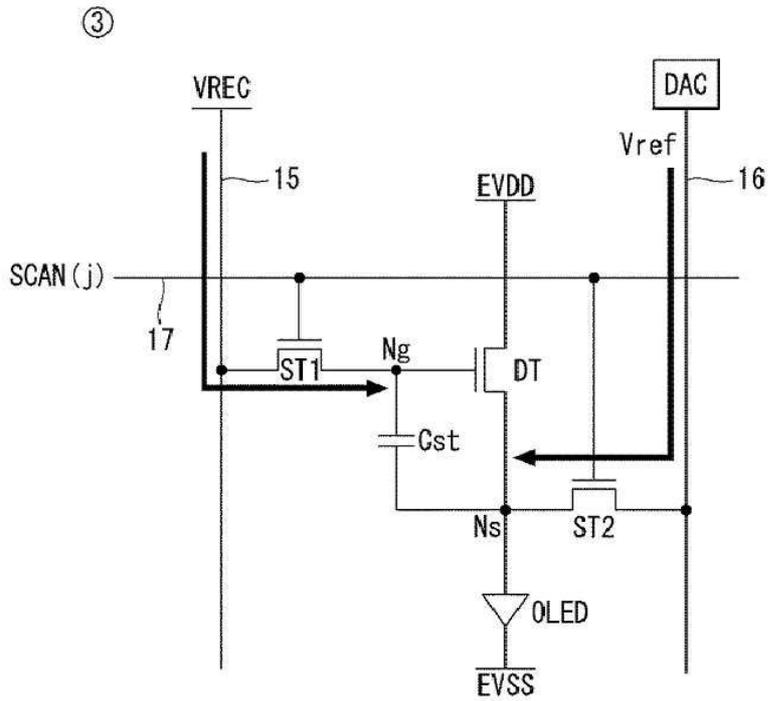


도면14b

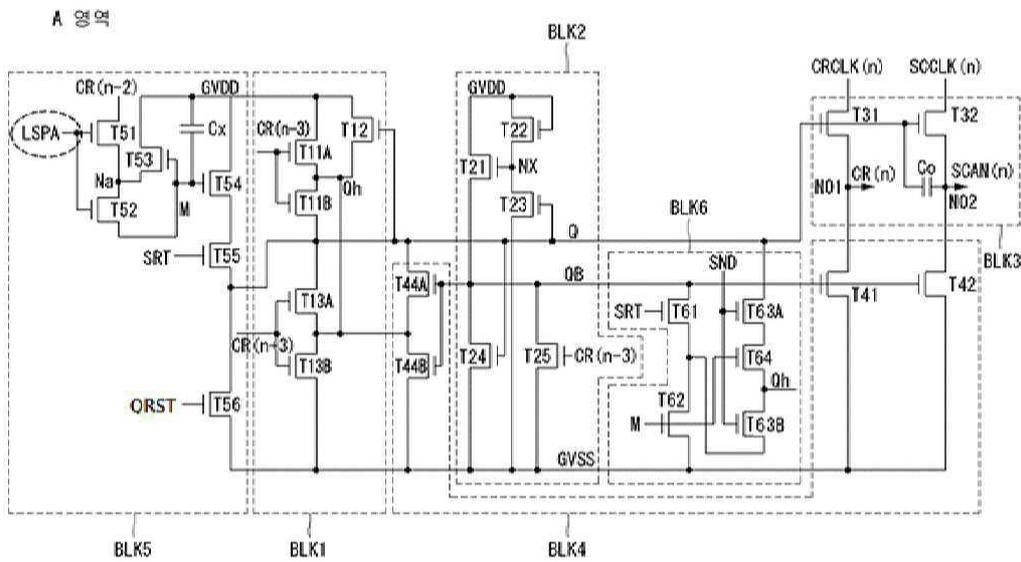
②



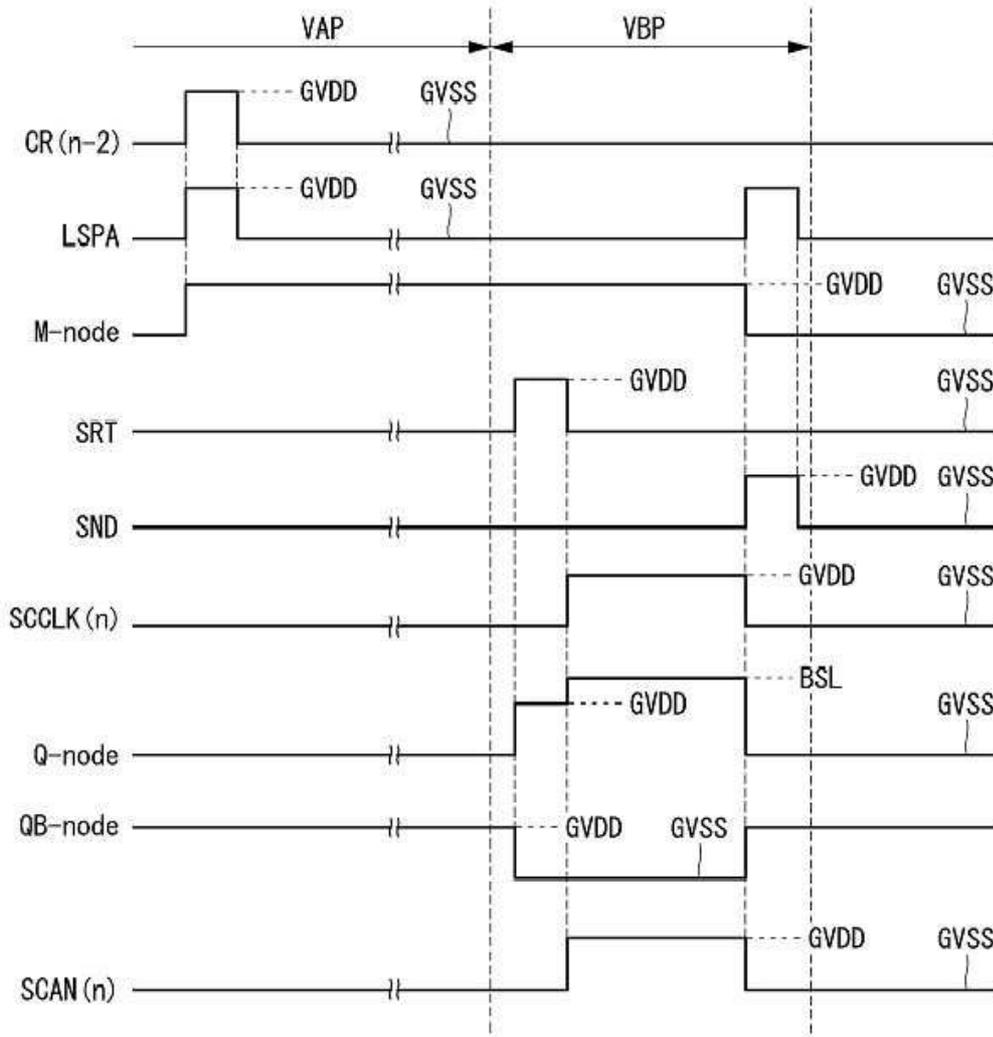
도면14c



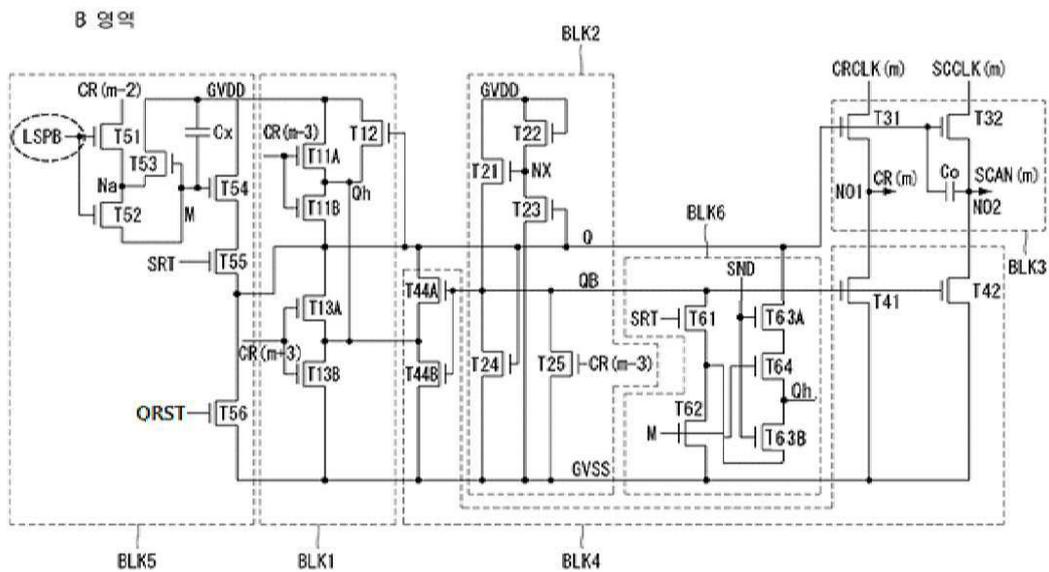
도면15



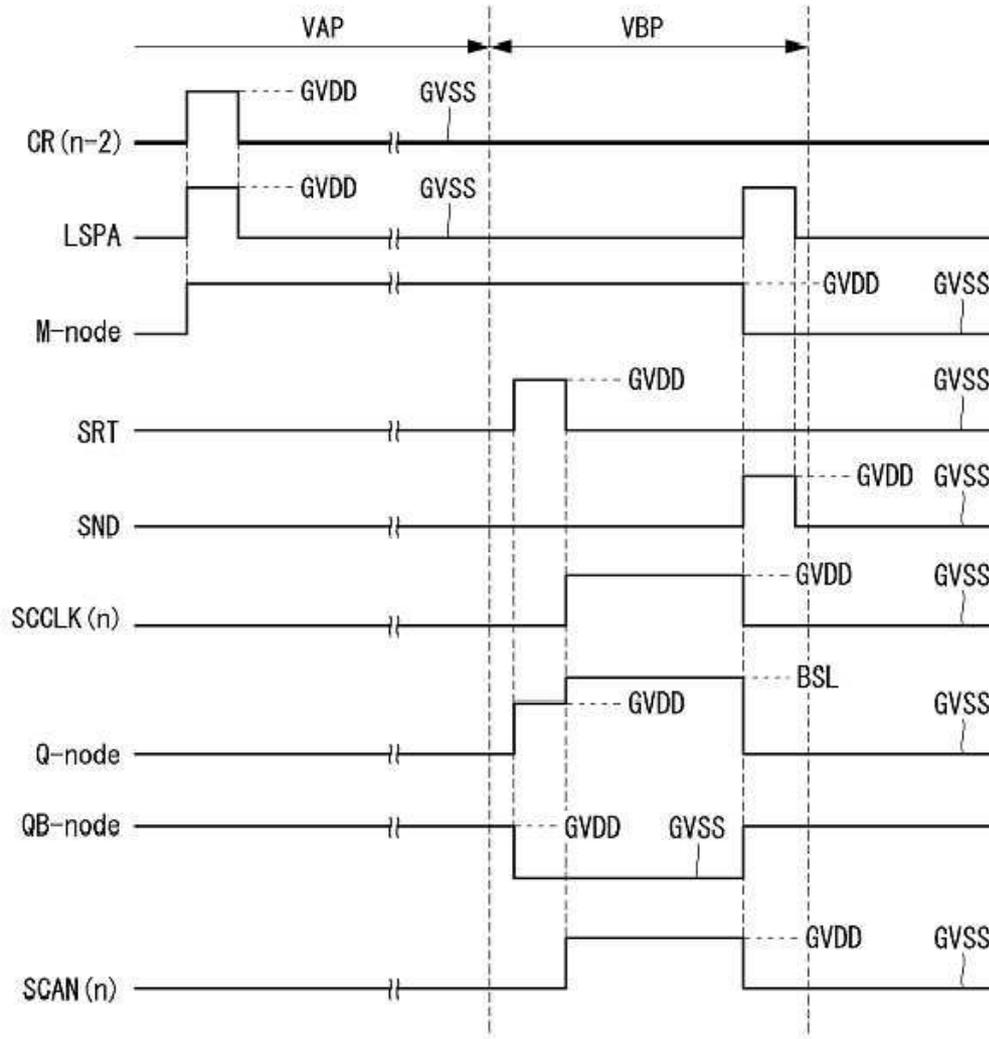
도면16



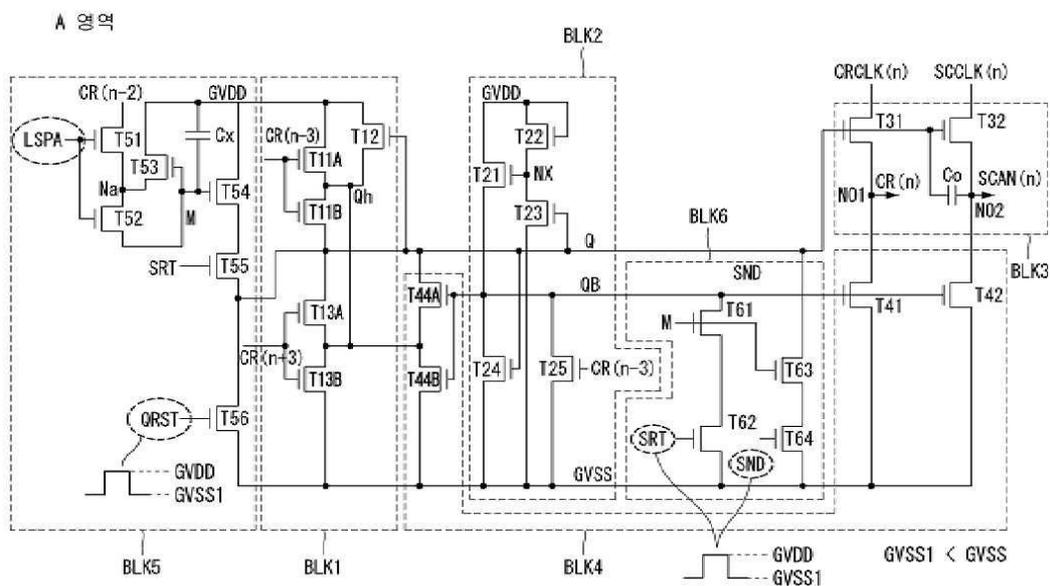
도면17



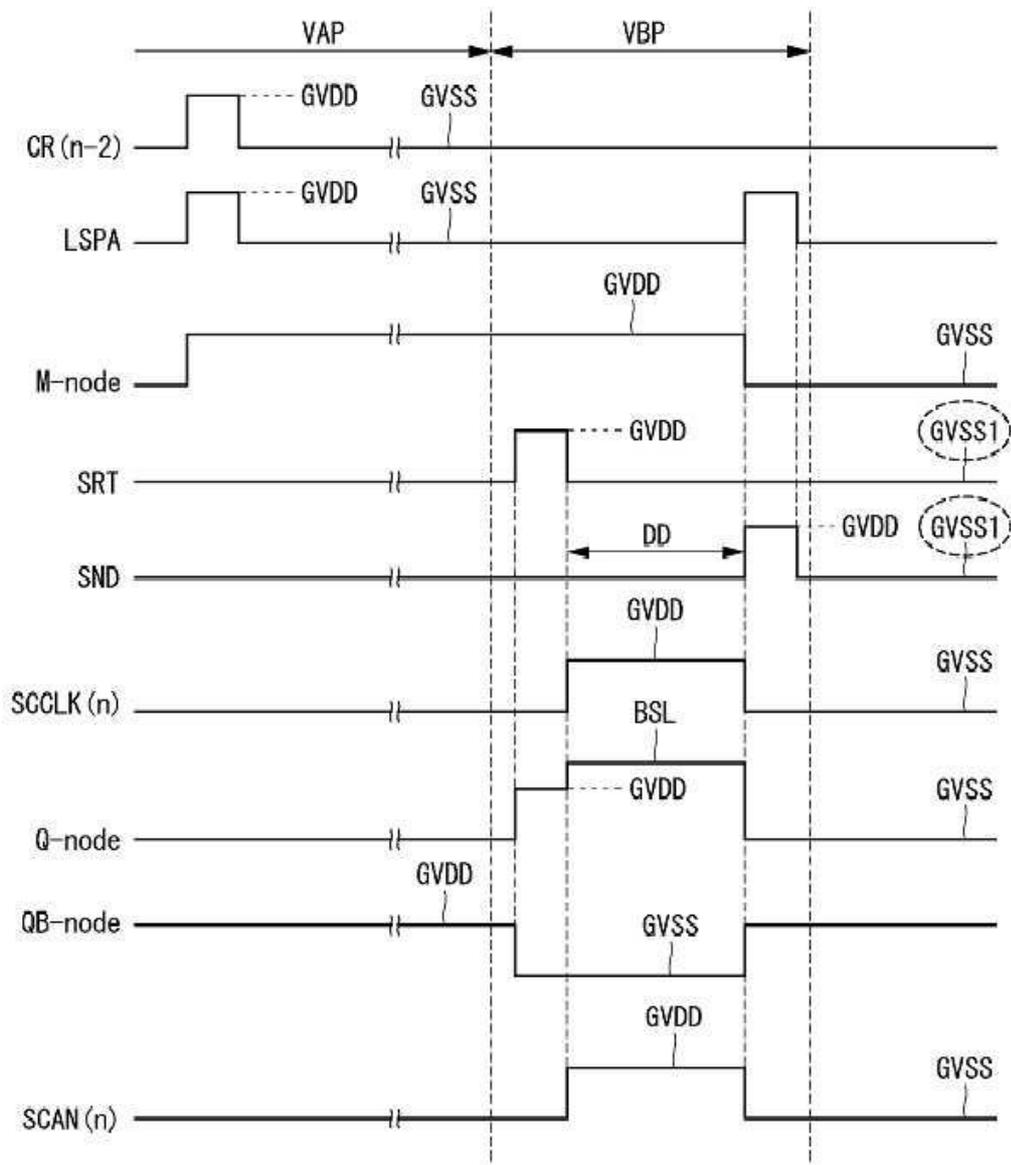
도면18



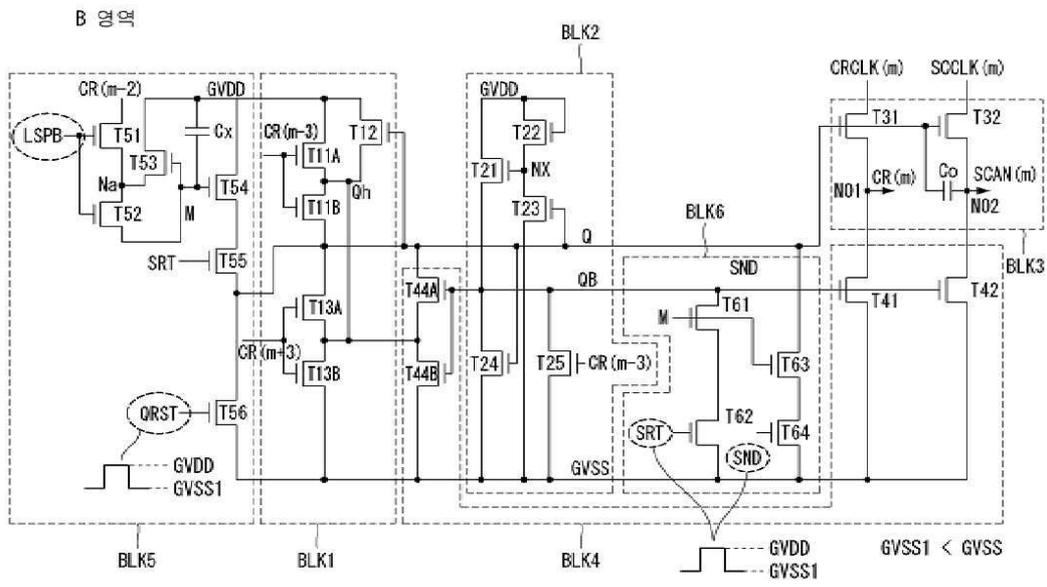
도면19



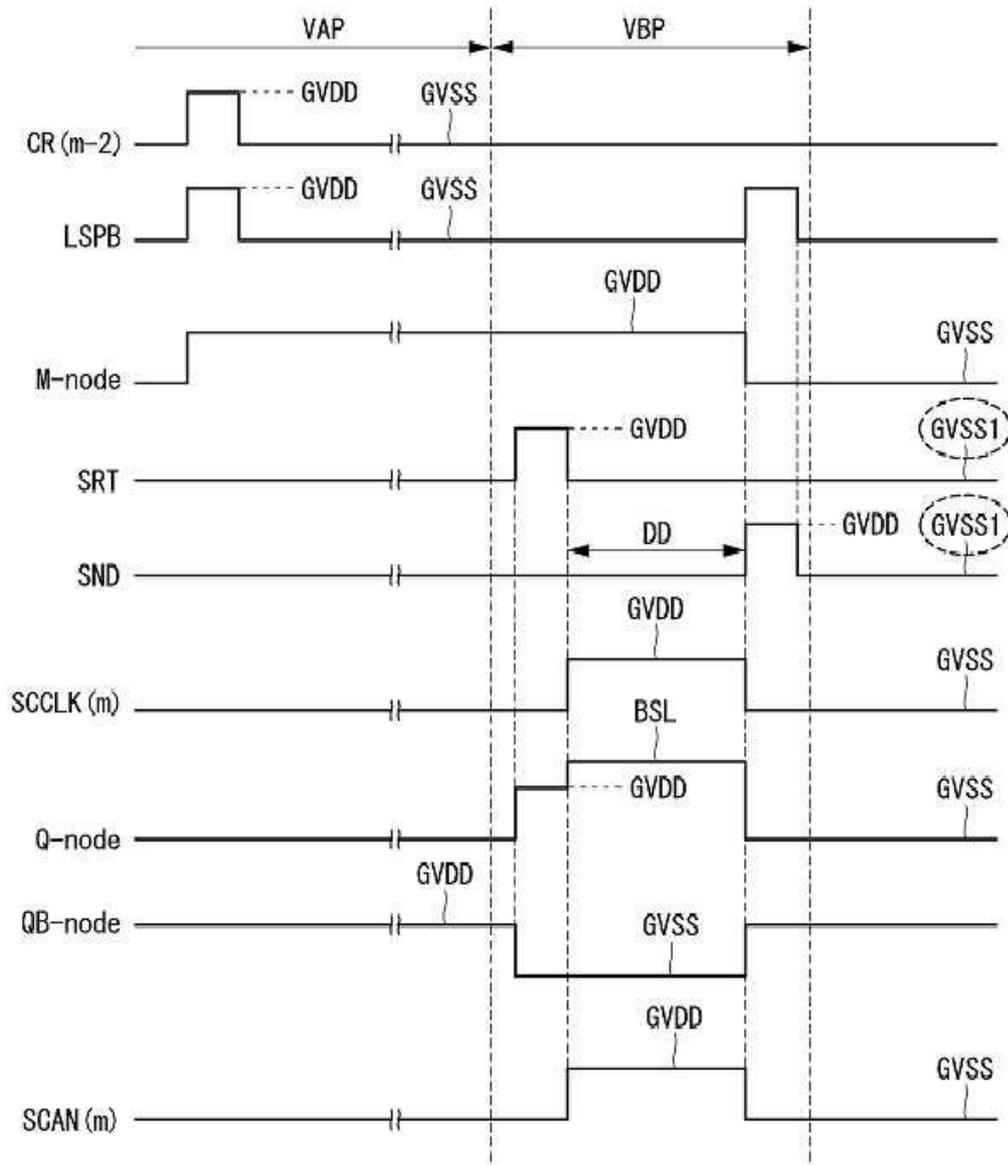
도면20



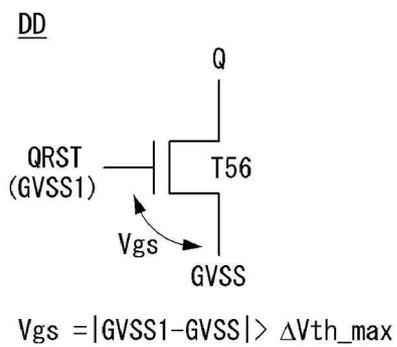
도면21



도면22

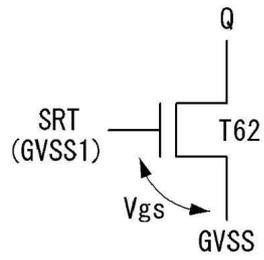


도면23a



도면23b

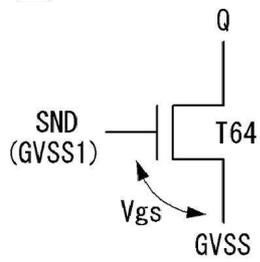
DD



$$V_{gs} = |GVSS1 - GVSS| > \Delta V_{th_max}$$

도면23c

DD



$$V_{gs} = |GVSS1 - GVSS| > \Delta V_{th_max}$$

专利名称(译)	栅极驱动器和包括该栅极驱动器的有机发光显示装置		
公开(公告)号	KR1020200049677A	公开(公告)日	2020-05-08
申请号	KR1020190137527	申请日	2019-10-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김동명 장민규 박재규 최우석 이태관		
发明人	김동명 장민규 박재규 최우석 다카수기신지 이태관		
IPC分类号	G09G3/3266		
CPC分类号	G09G3/3266 G09G2310/08 G09G2320/0295 G09G2330/028		
代理人(译)	이승찬		
优先权	1020180132490 2018-10-31 KR		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的栅极驱动器在一帧的垂直激活周期中输出用于图像的扫描信号，并在一帧的垂直空白周期中输出用于感测的扫描信号。具有M节点，Qh节点，Q节点和QB节点的阶段。每个阶段在垂直有效时间段中根据像素线选择信号向M节点充电，并在垂直消隐时间段中根据M节点的充电电压和感测开始信号向高电位电源电压电平充电。像素线选择器为Q节点充电；Q节点加强单元，在垂直消隐期间，根据M节点的充电电压和感测结束信号，防止Q节点的充电电压泄漏。输出单元在Q节点在垂直消隐期间保持电荷状态的同时，输出用于感测高电位电源电压电平的扫描时钟作为用于感测的扫描信号。

