



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0081470
(43) 공개일자 2019년07월09일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2310/08 (2013.01)

(21) 출원번호 10-2017-0184040
(22) 출원일자 2017년12월29일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
박동원
경기도 파주시 월롱면 엘지로 245
이준희
경기도 파주시 월롱면 엘지로 245
(뒷면에 계속)

(74) 대리인
특허법인 정안

전체 청구항 수 : 총 15 항

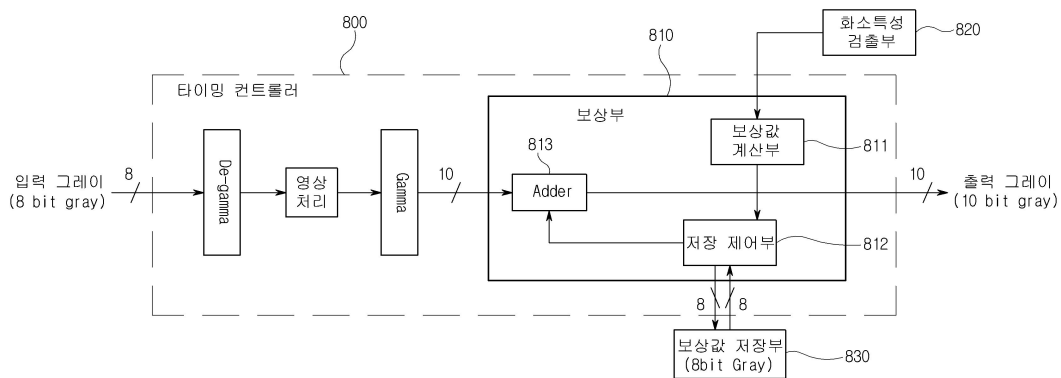
(54) 발명의 명칭 유기 발광 표시장치의 보상 장치 및 그 표시장치

(57) 요약

본 발명은 유기 발광 표시장치의 보상 장치에 대한 것으로서, 보다 구체적으로는 유기 발광 표시장치의 픽셀의 열화를 보상하는 장치 및 그 표시장치에 대한 것이다.

본 발명은, 화소 특성 정보를 수신하여 픽셀에 필요한 보상값을 그레이 단위로 연산하는 보상값 계산부; 상기 연산된 보상값을 그레이 단위로 보상값 저장부에 저장하고, 상기 저장된 보상값을 판독하는 저장 제어부; 입력 그레이를 그레이 단위로 수신하고, 보상값을 그레이 단위로 수신하고, 상기 수신한 입력 그레이 및 보상값을 덧셈 연산하여

대표도 - 도8



(52) CPC특허분류

G09G 2320/043 (2013.01)

G09G 2330/028 (2013.01)

(72) 발명자

유승진

경기도 파주시 월롱면 엘지로 245

권용철

경기도 파주시 월롱면 엘지로 245

명세서

청구범위

청구항 1

화소 특성 정보를 수신하여 픽셀에 필요한 보상값을 그레이 단위로 연산하는 보상값 계산부;

상기 연산된 보상값을 그레이 단위로 보상값 저장부에 저장하고, 상기 저장된 보상값을 판독하는 저장 제어부;

입력 그레이를 그레이 단위로 수신하고, 보상값을 그레이 단위로 수신하고, 상기 수신한 입력 그레이 및 보상값을 덧셈 연산하여 그레이 단위로 출력하는 가산기를 포함하는,

보상 장치.

청구항 2

제 1 항에 있어서,

상기 저장 제어부는,

상기 보상값을 정수부 및 소수부로 분할하여 상기 보상값 저장부에 저장하는,

보상 장치.

청구항 3

제 2 항에 있어서,

상기 저장 제어부는,

상기 정수부의 비트수 및 상기 소수부의 비트수를 가변 제어하는,

보상 장치.

청구항 4

제 1 항에 있어서,

상기 보상값의 비트수는 상기 입력 그레이와 동일하거나 더 적은 비트수로 저장되는,

보상 장치.

청구항 5

제 1 항에 있어서,

계조별 보상값 저장부를 더 포함하고,

상기 계조별 보상값 저장부는 대표 보상값을 저장하는,

보상 장치.

청구항 6

제 5 항에 있어서,

상기 계조별 보상값 저장부는 계조의 범위별로 대표 보상값을 저장하는,

보상 장치.

청구항 7

제 5 항에 있어서,

상기 계조별 보상값 저장부는 특정 간격의 대표 보상값을 저장하는,
보상 장치.

청구항 8

제 5 항에 있어서,
상기 계조별 보상값 저장부는 특정 개수의 대표 보상값을 저장하는,
보상 장치.

청구항 9

타이밍 컨트롤러;
상기 타이밍 컨트롤러로부터 구동 신호를 수신하는 데이터 구동부;
상기 타이밍 컨트롤러로부터 구동 신호를 수신하는 게이트 구동부;
복수개의 픽셀들을 포함하고, 상기 데이터 구동부 및 상기 게이트 구동부로부터 수신되는 신호에 기초하여 영상을 표시하는 표시 패널; 및
상기 데이터 구동부, 상기 게이트 구동부 및 상기 표시 패널에 전원을 공급하는 전원 구동부를 포함하고,
상기 타이밍 컨트롤러는:
화소 특성 정보를 수신하여 픽셀에 필요한 보상값을 그레이 단위로 연산하고,
상기 연산된 보상값을 그레이 단위로 저장하고, 상기 저장된 보상값을 판독하고,
입력 그레이를 그레이 단위로 수신하고, 상기 입력 그레이 및 상기 보상값을 덧셈 연산하는,
표시 장치.

청구항 10

제 9 항에 있어서,
상기 타이밍 컨트롤러는,
상기 보상값을 정수부 및 소수부로 분할하여 저장하는,
표시 장치.

청구항 11

제 9 항에 있어서,
상기 보상값의 비트수는 상기 입력 그레이와 동일하거나 더 적은 비트수로 저장되는,
표시 장치.

청구항 12

제 9 항에 있어서,
상기 타이밍 컨트롤러는 계조별로 대표 보상값을 저장하는,
표시 장치.

청구항 13

제 12 항에 있어서,
상기 타이밍 컨트롤러는 계조의 범위별로 상기 대표 보상값을 저장하는,
표시 장치.

청구항 14

제 12 항에 있어서,
상기 타이밍 컨트롤러는 특정 간격으로 상기 대표 보상값을 저장하는,
표시 장치.

청구항 15

제 12 항에 있어서,
상기 타이밍 컨트롤러는 특정 개수의 상기 대표 보상값을 저장하는,
표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시장치의 보상 장치에 대한 것으로서, 보다 구체적으로는 유기 발광 표시장치의 픽셀의 열화를 보상하는 장치 및 그 표시장치에 대한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보 간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 유기 발광 다이오드(Organic Light Emitting Diode: OLED) 표시장치, 양자점 표시장치(Quantum Dot Display: QDD), 액정 표시장치(Liquid Crystal Display: LCD) 및 플라즈마 표시장치 패널(Plasma Display Panel: PDP) 등과 같은 표시장치의 사용이 증가하고 있다.

[0003] 유기 발광 표시장치는 자체 발광 소자이기 때문에 백라이트가 필요한 액정 표시장치에 비하여 소비전력이 낮고, 더 얇게 제작될 수 있다. 유기 발광 표시장치는 시야각이 넓고 응답속도가 빠르다. 이러한 유기 발광 표시장치는 대화면 양산 기술 수준까지 공정 기술이 발전되어 액정표시장치와 경쟁하면서 시장을 확대하고 있다.

[0004] 유기 발광 표시장치의 픽셀들은 입력 영상의 데이터에 따라 OLED에 흐르는 구동전류를 조절하는 구동 박막트랜지스터(Thin Film Transistor: TFT)를 포함한다. 구동 TFT의 문턱 전압, 이동도 등의 소자 특성은 공정 편차나 구동 시간, 구동 환경 등에 따라 변할 수 있으며, 픽셀들은 소자 특성의 변화로 인하여 열화된다. 이러한 픽셀들의 열화는 유기 발광 표시장치의 화질을 떨어뜨리고 수명을 단축시킨다. 따라서, 유기 발광 표시장치에는 픽셀의 소자 특성 변화를 센싱하고, 센싱 결과에 따라 입력 데이터를 적절히 변경하여 픽셀들의 열화를 보상하는 기술이 적용되고 있다. 픽셀의 소자 특성 변화는 구동 TFT의 문턱 전압, 이동도와 같은 구동 TFT의 특성 변화를 포함한다.

[0005] 종래의 보상값을 다음과 같은 형식으로 표시하였다.

$$I_{\text{보상}} = k \times (V_{gs} - V_{th})^2$$

[0006] 여기서, k는 게인(gain)이고, Vgs는 구동 TFT의 게이트에 인가되는 센싱용 데이터의 전압이고, Vth는 오프셋(offset)값이다. 위 식은 전류값으로 표현하였으나, 휘도로 표현하여도 동일한 형식으로 표시된다.

[0008] 즉, 종래에는 게인과 오프셋의 파라미터로서 보상값을 표현하였고, 게인의 저장을 위해 8bit의 저장공간이 필요하고 오프셋의 저장을 위해 8bit의 저장공간이 필요하다고 가정하면, 결국 보상값을 저장하는 메모리(저장부)는 적어도 픽셀당 16bit의 공간이 필요하게 된다. 또한, 16bit의 공간은 R,G,B 픽셀 각각 마다 필요한 저장공간이며, 표시장치는 백만단위의 화소를 포함하므로 그 저장용량이 매우 클 수 밖에 없었다.

[0009] 또한, 저장값을 이용해 보상을 수행하는 구성(예컨대, 타이밍 컨트롤러)은 호스트 시스템, 게이트 구동부, 데이터 구동부와 통신하는데 있어서 필요한 대역폭이 클 수 밖에 없었다.

[0010] 또한, 위 식에서 확인할 수 있는 바와 같이, 종래기술에서 보상값을 생성하는 구성에는 계인(k)의 곱셈을 연산하기 위해 곱셈기(Multiplier)가 필수적이기 때문에 회로의 구성이 복잡하고 물리적인 크기가 클 수 밖에 없었다.

발명의 내용

해결하려는 과제

[0011] 본 발명은 전술한 문제를 해결하기 위한 것으로서, 유기 발광 표시장치의 픽셀의 열화를 보상하는 장치와 그 표시장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0012] 본 발명은, 화소 특성 정보를 수신하여 픽셀에 필요한 보상값을 그레이 단위로 연산하는 보상값 계산부; 상기 연산된 보상값을 그레이 단위로 보상값 저장부에 저장하고, 상기 저장된 보상값을 판독하는 저장 제어부; 입력 그레이를 그레이 단위로 수신하고, 보상값을 그레이 단위로 수신하고, 상기 수신한 입력 그레이 및 보상값을 덧셈 연산하여 그레이 단위로 출력하는 가산기를 포함하는, 보상 장치를 제공한다.

[0013] 상기 저장 제어부는, 상기 보상값을 정수부 및 소수부로 분할하여 상기 보상값 저장부에 저장한다.

[0014] 상기 저장 제어부는, 상기 정수부의 비트수 및 상기 소수부의 비트수를 가변 제어한다.

[0015] 상기 보상값의 비트수는 상기 입력 그레이와 동일하거나 더 적은 비트수로 저장된다.

[0016] 계조별 보상값 저장부를 더 포함하고, 상기 계조별 보상값 저장부는 대표 보상값을 저장한다.

[0017] 상기 계조별 보상값 저장부는 계조의 범위별로 대표 보상값을 저장한다.

[0018] 상기 계조별 보상값 저장부는 특정 간격의 대표 보상값을 저장한다.

[0019] 상기 계조별 보상값 저장부는 특정 개수의 대표 보상값을 저장한다.

[0020] 본 발명은, 타이밍 컨트롤러; 상기 타이밍 컨트롤러로부터 구동 신호를 수신하는 데이터 구동부; 상기 타이밍 컨트롤러로부터 구동 신호를 수신하는 게이트 구동부; 복수개의 픽셀들을 포함하고, 상기 데이터 구동부 및 상기 게이트 구동부로부터 수신되는 신호에 기초하여 영상을 표시하는 표시 패널; 및 상기 데이터 구동부, 상기 게이트 구동부 및 상기 표시 패널에 전원을 공급하는 전원 구동부를 포함하고, 상기 타이밍 컨트롤러는: 화소 특성 정보를 수신하여 픽셀에 필요한 보상값을 그레이 단위로 연산하고, 상기 연산된 보상값을 그레이 단위로 저장하고, 상기 저장된 보상값을 판독하고, 입력 그레이를 그레이 단위로 수신하고, 상기 입력 그레이 및 상기 보상값을 덧셈 연산하는, 표시 장치를 제공한다.

[0021] 상기 타이밍 컨트롤러는, 상기 보상값을 정수부 및 소수부로 분할하여 저장한다.

[0022] 상기 보상값의 비트수는 상기 입력 그레이와 동일하거나 더 적은 비트수로 저장된다.

[0023] 상기 타이밍 컨트롤러는 계조별로 대표 보상값을 저장한다.

[0024] 상기 타이밍 컨트롤러는 계조의 범위별로 상기 대표 보상값을 저장한다.

[0025] 상기 타이밍 컨트롤러는 특정 간격으로 상기 대표 보상값을 저장한다.

[0026] 상기 타이밍 컨트롤러는 특정 개수의 상기 대표 보상값을 저장한다.

발명의 효과

[0027] 본 발명에 따르면 보상값을 저장하는 메모리의 용량을 감소시킬 수 있다.

[0028] 또한, 본 발명에 따르면, 보상값을 송수신하는데 필요한 대역폭을 감소시킬 수 있다.

[0029] 또한, 본 발명에 따르면 보상값을 생성하는데 있어서 덧셈기(adder)만으로 회로를 구성할 수 있으며 따라서, 구성의 물리적인 크기를 감소시킬 수 있다.

도면의 간단한 설명

- [0030] 도 1은 본 발명의 일 실시예에 따른 표시장치를 개략적으로 나타낸 블록도이다.
- 도 2는 도 1에 도시된 표시장치의 서브 픽셀을 개략적으로 나타낸 구성도이다.
- 도 3은 본 발명에 따른 보상을 설명하기 위한 흐름도이다.
- 도 4는 본 발명에 따른 보상의 예시도이다.
- 도 5a는 본 발명에 따른 외부보상을 수행하기 위한 표시장치의 구조를 나타내는 도면이다.
- 도 5b는 본 발명에 따른 유기 발광 표시장치에 적용되는 픽셀(SP)의 상세 구조를 나타내는 도면이다.
- 도 5c는 본 발명에 따른 유기 발광 표시장치에 적용되는 타이밍 컨트롤러의 구성을 나타내는 도면이다.
- 도 6은 본 발명에 따라 픽셀의 열화 및 보상을 설명하기 위한 그래프이다.
- 도 7은 본 발명에 따른 보상값을 저장하는 메모리의 구조를 설명하기 위한 도면이다.
- 도 8은 본 발명에 따른 보상 장치 및 표시장치를 도시하는 도면이다.
- 도 9는 본 발명에 따른 보상 장치 및 표시장치를 도시하는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0032] 도 1은 본 발명의 일 실시예에 따른 표시장치를 개략적으로 나타낸 블록도이다.
- [0033] 도 2는 도 1에 도시된 표시장치의 서브 픽셀을 개략적으로 나타낸 구성도이다.
- [0034] 도 1에 도시된 바와 같이, 표시장치는 호스트 시스템(100), 타이밍 컨트롤러(70), 데이터 구동부(130), 전원 공급부(140), 게이트 구동부(150) 및 표시패널(11)을 포함한다.
- [0035] 호스트 시스템(100)은 스케일러(scaler)를 내장한 SoC(System on Chip)를 포함하며, 입력 영상의 디지털 비디오 데이터를 표시패널(110)에 표시하기에 적합한 포맷의 데이터 신호로 변환하여 출력한다. 호스트 시스템(100)은 데이터 신호와 함께 각종 타이밍 신호들을 타이밍 컨트롤러(170)에 제공한다.
- [0036] 타이밍 컨트롤러(170)는 호스트 시스템(100)으로부터 영상 데이터(Video Data)를 수신한다. 호스트 시스템(100)으로부터 입력되는 수직 동기신호(Vertical Sync signal: V_Sync), 수평 동기신호(Horizontal Sync Signal: V_Sync), 데이터 인에이블 신호(DE), 메인 클럭신호(Pixel Clock) 등의 타이밍 신호를 기반으로 데이터 구동부(130)와 게이트 구동부(150)의 동작 타이밍을 제어한다.
- [0037] 타이밍 컨트롤러(170)는 호스트 시스템(100)으로부터 입력되는 데이터 신호를 영상 처리하여 데이터 구동부(130)에 공급한다. 예를 들어, 타이밍 컨트롤러(170)는 호스트 시스템(100)으로부터 입력되는 데이터 신호를 보상하여 데이터 구동부(130)에 공급한다.
- [0038] 데이터 구동부(130)는 타이밍 컨트롤러(170)로부터 공급되는 신호에 대응하여 동작을 수행한다. 예를 들어, 데이터 구동부(130)는 타이밍 컨트롤러(170)로부터 제공되는 제1구동신호(DDC)에 대응하여 동작한다. 데이터 구동부(130)는 타이밍 컨트롤러(170)로부터 제공되는 디지털 형태의 데이터 신호(DATA)를 아날로그 형태의 데이터 신호로 변환하여 출력한다.
- [0039] 구체적으로, 데이터 구동부(130)는 내부 또는 외부에 마련된 감마부의 감마 전압에 대응하여 디지털 형태의 데이터 신호(DATA)를 아날로그 형태의 데이터 신호로 변환한다. 데이터 구동부(130)는 표시패널(110)의 데이터 라인들(DL1 내지 DLn)에 데이터 신호를 제공한다.
- [0040] 게이트 구동부(150)는 타이밍 컨트롤러(170)로부터 공급되는 신호에 대응하여 동작을 수행한다. 예를 들어, 게이트 구동부(150)는 타이밍 컨트롤러(170)로부터 제공되는 제2구동신호(GDC)에 대응하여 동작한다. 게이트 구동부(150)는 게이트 하이(High) 전압이나 게이트 로우(low) 전압의 게이트 신호를 출력한다. 이러한 게이트 신호는 스캔 신호라 지칭되기도 한다.
- [0041] 게이트 구동부(150)는 게이트 신호를 순방향으로 순차 출력하거나 역방향으로 순차 출력할 수 있다. 또한, 게이트 구동부(150)는 게이트 신호를 동시에 출력할 수 있다. 게이트 구동부(150)는 표시패널(110)의 게이트 라인들(GL1 내지 GLm)에 게이트 신호를 제공한다.

- [0042] 전원 공급부(140)는 데이터 구동부(130) 등을 구동하기 위한 제1전압원(VCC, GND)과 표시패널(110)을 구동하기 위한 제2전압원(EVDD, EVSS)을 출력한다. 또한, 전원 공급부(140)는 게이트 구동부(150)에 전달하기 위한 게이트 하이 전압이나 게이트 로우 전압 등 표시장치의 구동에 필요한 전압을 생성한다.
- [0043] 표시패널(110)은 복수개의 서브 픽셀(SP)들, 서브 픽셀(SP)들에 연결된 데이터 라인들(DL1 내지 DLn), 서브 픽셀(SP)들에 연결된 게이트 라인들(GL1 내지 GLm)을 포함한다. 표시패널(110)은 게이트 구동부(150)로부터 출력된 게이트 신호와 데이터 구동부(130)로부터 출력된 데이터 신호에 대응하여 영상을 표시한다. 표시패널(110)은 하부 기관과 상부 기관을 포함한다. 서브 픽셀(SP)들은 하부 기관과 상부 기관 사이에 형성될 수 있다.
- [0044] 도 2에 도시된 바와 같이, 하나의 서브 픽셀에는 게이트 라인(GL1)과 데이터 라인(DL1)에 연결(또는 교차부에 형성)된 스위칭 박막 트랜지스터(SW)와 스위칭 박막 트랜지스터(SW)를 통해 공급된 데이터 신호에 대응하여 동작하는 픽셀 회로(PC)가 포함된다.
- [0045] 픽셀 회로(PC)에는 구동 트랜지스터, 스토리지 커패시터, 유기 발광 다이오드와 같은 회로와 이를 보상하기 위한 보상회로가 포함된다. 보상회로는 구동 트랜지스터의 문턱전압 등을 보상하기 위한 회로이다. 보상회로는 하나 이상의 박막 트랜지스터와 커패시터 등으로 구성된다. 보상회로의 구성은 보상 방법에 따라 다양하다.
- [0046] 표시패널(110)은 서브 픽셀(SP)들의 픽셀회로(PC)의 구성에 따라 액정 표시패널로 구현되거나 유기 발광 표시패널 등으로 구현된다. 예를 들어, 표시패널(110)이 액정 표시패널로 구현되는 경우 이는 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 모드 또는 ECB(Electrically Controlled Birefringence) 모드로 동작하게 된다.
- [0047] 다른 예를 들어, 표시패널(110)이 유기 발광 표시패널로 구현되는 경우 전면 발광(Top-Emission) 방식 또는 배면 발광(Bottom-Emission) 방식으로 동작하게 된다.
- [0048] 앞서 설명한 표시장치의 표시패널은 액정 표시패널, 유기 발광 표시패널, 전기 영동 표시패널, 플라즈마 표시패널 등이 선택될 수 있다. 그러나 본 발명은 어느 하나에 한정되는 것이 아님이 이해되어야 한다.
- [0049] 또한, 앞서 설명한 표시장치는 텔레비전, 셋톱박스, 네비게이션, 영상 플레이어, 블루레이 플레이어, 개인용 컴퓨터, 웨어러블 디바이스, 홈시어터, 모바일폰 및 가상현실 표시장치(Virtual Reality: VR) 등과 같이 소형, 중형 또는 대형으로 구현 가능하다. 이하에서 설명되는 표시장치는 유기 발광 표시패널을 갖는 표시장치를 기반으로 가상현실을 구현할 때 더 큰 이점이 있는 바 이를 일례로서 설명한다. 그러나, 본 발명은 어느 하나에 한정되는 것이 아님이 이해되어야 한다.
- [0050] 도 3은 본 발명에 따른 보상을 설명하기 위한 흐름도이다.
- [0051] 도 4는 본 발명에 따른 보상의 예시도이다.
- [0052] 도 3을 참조하면, 유기 발광 다이오드의 열화를 검출하고(S110), 보상값을 생성하고(S120), 보상을 실시(S130)할 수 있다.
- [0053] 즉, 열화 영역에 대한 보상 데이터(Gain Data)를 생성한 후 영상 데이터 신호에 적용하는 방식으로 열화된 영역의 영상 데이터값을 할당한다. 이에 따라, 보상 전 휘도 프로파일보다 보상 후 휘도 프로파일에 나타나듯이, 유기 발광 다이오드는 보상 계인값에 따라 이전의 휘도를 되찾을 수 있다(도 4 참조).
- [0054] 도 5a는 본 발명에 따른 외부보상을 수행하기 위한 표시장치의 구조를 나타내는 도면이다.
- [0055] 도 5b는 본 발명에 따른 유기 발광 표시장치에 적용되는 픽셀(SP)의 상세 구조를 나타내는 도면이다.
- [0056] 도 5c는 본 발명에 따른 유기 발광 표시장치에 적용되는 타이밍 컨트롤러의 구성을 나타내는 도면이다.
- [0057] 도 5b를 참조하면, 픽셀(SP)은 유기 발광 다이오드(OLED), 유기 발광 다이오드(OLED)에 흐르는 전류를 제어하는 구동 트랜지스터(Tdr), 데이터 라인(DL)과 구동 트랜지스터(Tdr)과 게이트 라인(GL) 사이에 연결된 스위칭 트랜지스터(Tsw1)을 포함한다. 또한, 픽셀(SP)에는 외부 보상을 위한 센싱 트랜지스터(Tsw2)가 포함된다.
- [0058] 신호 라인들은 게이트 라인(GL), 센싱 펄스 라인(SPL), 데이터 라인(DL), 센싱 라인(SL), 제 1 구동 전원 라인(PLA) 및 제 2 구동 전원 라인(PLB)을 포함한다.
- [0059] 게이트 라인(GL)들은 표시패널의 제 2 방향, 예를 들어, 가로 방향을 따라 일정한 간격을 가지도록 나란하게 형성된다. 센싱 펄스 라인(SPL)들은 게이트 라인(GL)들과 나란하도록 일정한 간격으로 형성될 수 있다. 또한, 하

나의 수평 라인에 형성된 게이트 라인(GL)과 센싱 펄스 라인(SPL)은 공통화되어 하나의 라인으로 형성될 수도 있다.

- [0060] 데이터 라인(DL)은 게이트 라인(GL) 및 센싱 펄스 라인(SPL) 각각과 교차하도록 표시패널의 제1방향, 예를 들어, 세로 방향을 따라 일정한 간격을 가지도록 나란하게 형성될 수 있다. 그러나, 데이터 라인(DL)과 게이트 라인(GL)의 배치 구조는 다양하게 변경될 수 있다.
- [0061] 센싱 라인(SL)은 데이터 라인들(DL)과 나란하도록 일정한 간격으로 형성될 수 있다. 그러나, 이에 한정되지 않음이 이해되어야 한다.
- [0062] 제 1 구동 전원 라인(PLA)은 데이터 라인(DL)과 나란하도록 일정한 간격으로 형성될 수 있다. 여기서, 제 1 구동 전원 라인(PLA)은 센싱 라인(SL)과 나란하도록 일정한 간격으로 형성될 수도 있다. 제 1 구동 전원 라인(PLA)은 전원 공급부(140)에 연결되어 전원 공급부(140)로부터 공급되는 제 1 구동 전원(EVDD)을 각 픽셀(SP)에 공급한다.
- [0063] 제 2 구동 전원 라인(PLB)은 데이터 라인들(DL1 내지 DLn) 또는 게이트 라인들(GL1 내지 GLm) 각각과 나란하도록 일정한 간격으로 형성될 수 있다. 제 2 구동 전원 라인(PLB)은 전원 공급부(140)로부터 공급되는 제 2 구동 전원(EVSS)을 각 픽셀(SP)에 공급한다. 예를 들어, 제 2 구동 전원 라인(PLB)들은 유기 발광 표시장치를 구성하는 금속 재질의 케이스(또는 커버)에 전기적으로 접지될 수 있으며, 이 경우 제 2 구동 전원 라인(PLB)은 각 픽셀(SP)에 접지 전원(그라운드)을 제공한다.
- [0064] 복수의 픽셀(SP)들 각각은 게이트 라인들(GL1 to GLm) 각각과 데이터 라인들(DL1 내지 DLn)에 의해 정의되는 픽셀 영역마다 형성된다. 여기서, 복수의 픽셀(SP)들 각각은 적색 픽셀, 녹색 픽셀, 청색 픽셀, 및 백색 픽셀 중 어느 하나일 수 있다. 복수의 픽셀(SP)들 각각은, 도 5b에 도시된 바와 같이, 픽셀구동회로(PDC) 및 유기발광다이오드(OLED)를 포함하여 이루어질 수 있다.
- [0065] 픽셀구동회로(PDC)는 스위칭 트랜지스터(Tsw1), 센싱 트랜지스터(Tsw2), 구동 트랜지스터(Tdr) 및 캐패시터(Cst)를 포함한다. 여기서, 트랜지스터들(Tsw1, Tsw2, Tdr)은 박막 트랜지스터(TFT)로서, a-Si TFT, poly-Si TFT, Oxide TFT, Organic TFT 등이 될 수 있다.
- [0066] 스위칭 트랜지스터(Tsw1) 상기 게이트 펄스(GP)에 의해 스위칭되어 데이터 라인(DL)에 공급되는 데이터 전압(Vdata)을 출력한다. 이를 위해, 스위칭 트랜지스터(Tsw1)는 인접한 게이트 라인(GL)에 연결된 게이트, 인접한 데이터 라인(DL)에 연결된 제1전극 및 상기 구동 트랜지스터(Tdr)의 게이트인 제1 노드(n1)에 연결된 제2전극을 포함한다.
- [0067] 센싱 트랜지스터(Tsw2)는 센싱 펄스(SP)에 의해 스위칭되어 상기 센싱라인(SL)에 공급되는 기준전압(Vref)을 구동 트랜지스터(Tdr)의 소스 전극인 제2 노드(n2)에 공급한다. 이를 위해, 센싱 트랜지스터(Tsw2)는 인접한 센싱 펄스 라인(SPL)에 연결된 게이트, 인접한 센싱라인(SL)에 연결된 제1전극 및 제2 노드(n2)에 연결된 제2전극을 포함한다.
- [0068] 캐패시터(Cst)는 스위칭 트랜지스터(Tsw1) 및 센싱 트랜지스터(Tsw2) 각각의 스위칭에 따라 제1 및 제2 노드(n1, n2) 각각에 공급되는 전압의 차 전압을 충전한 후, 충전된 전압에 따라 구동 트랜지스터(Tdr)를 스위칭시킨다.
- [0069] 구동 트랜지스터(Tdr)는 캐패시터(Cst)의 전압에 의해 턴온됨으로써 제 1 구동 전원 라인(PLA)으로부터 유기 발광 다이오드(OLED)로 흐르는 전류량을 제어한다. 이를 위해, 구동 트랜지스터(Tdr)는 제1노드(n1)에 연결된 게이트, 제2노드(n2)에 연결된 제1전극 및 상기 제 1 구동 전원 라인(PLA)에 연결된 제2전극을 포함한다.
- [0070] 유기 발광 다이오드(OLED)는 구동 트랜지스터(Tdr)로부터 공급되는 데이터 전류에 의해 발광하여 데이터 전류에 대응되는 휘도를 가지는 광을 방출한다. 이를 위해, 유기 발광 다이오드(OLED)는 제2노드(n2), 즉, 구동 트랜지스터(Tdr)의 제1전극에 연결된 제1전극(예를 들어, 애노드 전극), 제1전극 상에 형성된 유기층 및 유기층에 연결된 제2전극(예를 들어, 캐소드 전극)을 포함한다. 유기 발광 다이오드(OLED)의 제2전극은 유기층 상에 형성되는 제 2 구동 전원 라인(PLB)이거나, 제 2 구동 전원 라인(PLB)에 연결되도록 유기층 상에 추가로 형성될 수 있다.
- [0071] 외부 보상이란, 픽셀(SP)에 형성되어 있는 구동 트랜지스터(Tdr)의 문턱전압 또는 이동도의 변화량을 산출하여, 그 변화량에 따라, 단위 픽셀로 공급되는 데이터 전압들의 크기를 가변시키는 것을 의미한다. 따라서, 구동 트랜지스터(Tdr)의 문턱전압 또는 이동도의 변화량이 산출될 수 있도록, 상기 픽셀(SP)의 구조는 다양한 형태로

변경될 수 있다.

- [0072] 게이트 구동부(150)는, 타이밍 컨트롤러(170)로부터 전송되어온 게이트 제어신호(GCS)들을 이용하여, 순차적으로 게이트 라인들(GL1 to GLm)로 게이트 펄스(GP)를 공급한다. 게이트 펄스(GP)는 게이트 라인들(GL1 to GLm)에 연결되어 있는 스위칭 트랜지스터(Tsw1)를 턴온시킬 수 있는 신호를 의미한다. 스위칭 트랜지스터(Tsw1)를 턴오프시킬 수 있는 신호는 게이트 오프 신호라 한다. 게이트 펄스(GP)와 게이트 오프 신호를 총칭하여 게이트 신호라 한다.
- [0073] 게이트 구동부(150)는, 표시 패널(110)과 독립되게 형성되어, 테이프 캐리어 패키지(TCP) 또는 연성인쇄회로기판(FPCB) 등을 통해 표시 패널(110)에 연결될 수 있으나, 게이트 인 패널(Gate In Panel: GIP) 방식을 이용하여, 패널(110) 내에 직접 실장될 수도 있다.
- [0074] 전원 공급부(140)는 게이트 구동부(150), 데이터 구동부(130) 및 타이밍 컨트롤러(170)로 전원을 공급한다.
- [0075] 타이밍 컨트롤러(170)는, 도 5c에 도시된 바와 같이, 호스트 시스템(100) 으로부터 입력되는 타이밍 동기 신호(TSS)를 이용하여, 게이트 구동부(150)의 구동을 제어하기 위한 게이트 제어신호(GCS)와 데이터 구동부(130)의 구동을 제어하기 위한 데이터 제어 신호(DCS)를 각각 생성한다.
- [0076] 타이밍 컨트롤러(170)는, 외부 보상을 위한 센싱이 이루어지는 센싱 모드에서는, 외부 보상이 수행되는 수평라인에 형성되어 있는 픽셀들로 공급될 센싱 영상 데이터를 데이터 구동부(130)로 전송한다.
- [0077] 블랭킹 기간은 영상이 출력되는 영상 출력 기간들 사이에 삽입된다. 즉, 블랭킹 기간은 1프레임기간 중 영상이 출력되지 않는 기간을 의미하며, 영상 출력 기간은 1프레임기간 중 영상이 출력되는 기간을 의미한다. 호스트 시스템(100) 으로부터 파워온 제어신호가 수신되면, 유기 발광 표시장치는 구동되고, 이에 따라, 1프레임기간이 반복되어, 영상이 출력된다.
- [0078] 호스트 시스템(100)으로부터 전송된 파워오프 제어신호가 검출되면, 유기 발광 표시장치는 영상을 출력하기 위한 기능들을 중단시킨다. 이에 따라, 표시패널(110)에서는 영상이 출력되지 않는다. 그러나, 영상의 출력이 차단되어, 사용자에게 영상이 보여지지 않더라도, 일정 시간 동안 유기 발광 표시장치로 전원이 공급된다. 유기 발광 표시장치는 영상의 출력이 차단된 후부터 일정 시간 동안에 구동 트랜지스터(Tdr)들의 문턱전압 보상을 위한 센싱 동작을 수행한다. 센싱 동작은, 파워오프 제어신호에 의해 영상의 출력이 차단된 후 즉시 또는 일정 시간동안 수행될 수 있다.
- [0079] 타이밍 컨트롤러(170)는 센싱 모드시 데이터 구동부(130)로부터 제공되는 센싱 데이터(Sdata)를 기반으로, 외부 보상값을 산출하여, 외부 보상값을 저장부(200)에 저장한다. 또한, 센싱 모드시 산출된 신규 문턱 전압들 및 신규 보상 전압들은 저장부(200)에 저장된다. 또한, 저장부(200)에는 유기 발광 표시장치의 제조 시 측정된 기준 문턱 전압들 및 기존 보상 전압들도 저장될 수 있다. 저장부(200)는, 타이밍 컨트롤러(170) 에 포함될 수도 있으며, 또는, 타이밍 컨트롤러(170)의 외부에 독립적으로 형성될 수도 있다.
- [0080] 타이밍 컨트롤러(170)는, 영상이 출력되는 영상 표시 기간에 호스트 시스템(100)으로부터 전송되는 입력 영상데이터(Ri, Gi, Bi)를 외부 보상값을 이용해 보상하여 외부 보상 영상 데이터로 변환하거나 또는 입력 영상 데이터를 외부 보상하지 않고 재정렬하여 일반 영상데이터로 변환하여 출력한다. 데이터 구동부(130)는 외부 보상 영상 데이터 또는 일반 영상 데이터를 데이터 전압(Vdata)으로 변환한 후, 데이터 전압(Vdata)을 데이터 라인으로 공급한다.
- [0081] 전술한 바와 같은 기능을 수행하기 위해, 타이밍 컨트롤러(170)는, 도 5c에 도시된 바와 같이, 호스트 시스템(100)으로부터 전송되어온 타이밍 동기신호(TSS)를 이용하여, 호스트 시스템(100)으로부터 전송되어온 입력 영상데이터(Ri, Gi, Bi)를 재정렬하여 재정렬된 영상데이터를 데이터 구동부(130)로 공급하기 위한 데이터 정렬부(173), 타이밍 동기신호(TSS)를 이용하여 게이트 제어신호(GCS)와 데이터 제어신호(DCS)와 전원 제어신호(PCS)를 생성하기 위한 제어신호 생성부(172), 데이터 구동부(130)로부터 전송되어온 센싱 데이터(Sdata)들을 이용하여 픽셀(SP)들 각각에 형성되어 있는 구동 트랜지스터(Tdr)의 특성 변화를 보상하기 위한 외부 보상값을 산출하기 위한 판단부(171), 외부 보상값을 저장하기 위한 저장부(200) 및 데이터 정렬부(173)에서 생성된 영상 데이터와 제어 신호들(DCS, PCS, GCS)을 데이터 구동부(130) 또는 게이트 구동부(150) 또는 전원 공급부(140)로 출력하기 위한 출력부(174)를 포함한다.
- [0082] 데이터 구동부(130)는 데이터 라인들(DL1 내지 DLn)과 센싱 라인들(SL1 내지 SLk)에 연결되며, 타이밍 컨트롤러(170)로부터 전송되는 제어신호에 따라 센싱 모드, 또는 표시 모드로 동작한다. 센싱 모드와 표시 모드는, 파워

은 제어신호에 따라, 표시패널(110)을 통해 영상이 출력되는 기간에 실행된다.

[0083] 도 6은 본 발명에 따라 픽셀의 열화 및 보상을 설명하기 위한 그래프이다.

[0084] 도 6을 참조하면 가로축은 입력 그레이 [단위: Gray]이고 세로축은 휘도 [단위: nit]이다. 입력 그레이는 호스트 시스템으로부터 타이밍 컨트롤러에 입력되는 데이터로서 0 내지 255의 범위를 가지며 이에 따라 8bit로서 입력된다.

[0085] 픽셀이 발광하는 휘도는 다음과 같은 식으로 정의된다.

$$[0086] \text{측정 휘도[nit]} = 150 [\text{nit}] \times \left(\frac{\text{입력 그레이 [gray]}}{255 [\text{gray}]} \right)^{2.2}$$

[0087] 즉, 입력 그레이로서 255[gray]를 입력하였을 때, 이상적인 경우(No degradation)의 측정 휘도는 150[nit]이다.

[0088] 하지만, 픽셀은 공정상 또는 사용 환경상 휘도의 열화(degradation)가 발생한다. 예를 들어, 입력 그레이로서 255[gray]를 입력하였는데 10 [nit]의 손실이 발생하여 실제 측정되는 휘도는 140[nit]일 수 있다. 열화가 발생한 것을 감안하여 실측 휘도에 대응하는 그레이는 실효 그레이라 지칭된다.

[0089] 입력 그레이로서 255 [gray]를 입력하였고, 이상적인 경우에는 휘도가 150[nit]이어야 하지만, 열화로 인해 140[nit]가 발광한 경우를 계산하면 다음과 같다.

$$[0090] \text{실측 휘도} = 140 [\text{nit}] = 150 [\text{nit}] \times \left(\frac{\text{실효 그레이 [gray]}}{255 [\text{gray}]} \right)^{2.2}$$

[0091] 실효 그레이 = 247.13 [gray] 로 계산된다.

[0092] 따라서, 보상값 [gray] = 입력 그레이 - 실효 그레이 = 7.87 [gray]로 계산된다.

[0093] 즉, 입력 그레이로 255[gray]를 수신하였을 때 보상값으로 7.87 [gray]를 가산한다면 목표하는 휘도 150[nit]를 발광시킬 수 있다.

[0094] 전술한 바와 같이, 보상값을 연산하는데 있어서, 픽셀로 입력되는 데이터의 단위인 [gray]와 동일한 단위를 사용하는 개념을 본 발명은 제안한다. 이에 따라 종래의 보상값을 저장하기 위해 사용되었던 계인과 옵셋을 대체할 수 있다. 또한, 계인과 옵셋은 각각 8bit 단위로 저장부에 저장되어 픽셀마다 16bit의 저장공간이 필요하였다. 하지만, 본 발명에 따르면 보상값을 0 내지 255로 표현하는 [gray] 단위로 사용할 수 있으며, 따라서, 보상값의 저장을 위해 8bit의 저장공간만 필요하며 종래기술 대비 50%이상의 저장공간을 감소시킬 수 있다.

[0095] 도 7은 본 발명에 따른 보상값을 저장하는 메모리의 구조를 설명하기 위한 도면이다.

[0096] 도 7을 참조하여, [gray] 단위의 보상값을 저장하는 메모리 구조를 설명하기로 한다.

[0097] 도 6을 참조한 예시에서, 보상값은 7.87 [gray]이다.

[0098] 도 6의 1행을 참조하면, 보상값 7.87 [gray]를 저장하기 위한 메모리 구조가 도시된다. 보상값을 저장하기 위한 메모리로서 8bit를 할당하고, 그 중 7bit는 정수부로, 나머지 1bit는 소수부로 활용할 수 있다. 이 경우, 보상값은 $4 + 2 + 1 + 0.5 = 7.5$ [gray]로서 연산된 보상값 7.87 [gray]에 근사한다.

[0099] 도 6의 2행을 참조하면, 보상값 7.87 [gray]를 저장하기 위한 메모리 구조가 도시된다. 보상값을 저장하기 위한 메모리로서 8bit를 할당하고, 그 중 6bit는 정수부로, 나머지 2bit는 소수부로 활용할 수 있다. 이 경우, 보상값은 $4 + 2 + 1 + 0.5 + 0.025 = 7.75$ [gray]로서 연산된 보상값 7.87 [gray]에 근사한다. 또한, 도 6의 1행을 참조한 예시보다 더 근사함을 알 수 있다.

[0100] 도 6의 3행을 참조하면, 보상값 7.87 [gray]를 저장하기 위한 메모리 구조가 도시된다. 보상값을 저장하기 위한 메모리로서 8bit를 할당하고, 그 중 5bit는 정수부로, 나머지 3bit는 소수부로 활용할 수 있다. 이 경우, 보상값은 $4 + 2 + 1 + 0.5 + 0.25 + 0.125 = 7.875$ [gray]로서 연산된 보상값 7.87 [gray]에 근사한다. 또한, 도 6의 1행을 참조한 예시 및 도 6의 2행을 참조한 예시보다 더 근사함을 알 수 있다.

[0101] 즉, 본 발명이 제안하는 보상값을 저장하는 메모리 구조는 입력 그레이와 동일한 비트로 구성하되 그 중 일부의

비트는 정수부로 사용하고 나머지 비트는 소수부로 사용하는 것이다. 정수부로 사용할 비트수가 결정되는 바에 따라 소수부로 사용할 비트수가 결정될 것이다. 몇 비트를 정수부로 사용할지는 제어가 가능하다. 예를 들어, 보상값 7.87 [gray]로 연산된 경우, 7 비트의 정수부 및 1 비트의 소수부가 할당된다면, 저장부에는 보상값으로 7.5[gray]가 저장될 것이다. 만약, 6 비트의 정수부 및 2 비트의 소수부가 할당된다면, 저장부에는 보상값으로 7.75[gray]가 저장될 것이다. 만약, 5 비트의 정수부 및 3 비트의 소수부가 할당된다면, 저장부에는 보상값으로 7.75[gray]가 저장될 것이다. 또한, 메모리 공간의 최소화를 위해, 경우에 따라서, 본 발명이 제안하는 보상값을 저장하는 메모리 구조는 입력 그레이보다 더 적은 비트로 구성될 수도 있다.

- [0102] 본 발명에 따라, 보상값을 저장하는 메모리 구조에서 정수부로 사용할 비트수 및 소수부로 사용할 비트수를 제어하는 방식에 대해 구체적인 예시를 설명하면 다음과 같다. 본 예시에서는 보상값을 저장하는 메모리가 8bit인 것으로 설명하지만, 본 발명의 권리범위는 이에 한정되지 않고 균등한 범위에까지 미치는 것임이 이해되어야 할 것이다.
- [0103] 정수부로 사용할 비트수는 계산된 보상값 [gray]의 정수값에 따라 결정되고, 소수부로 사용할 비트수는 결정된 정수부의 비트수에 따라 결정된다. 구체적으로, 계산된 보상값이 128[gray] 보다 큰 경우 정수부로 사용할 비트수는 8 bit이고, 이에 따라 소수부로 사용할 비트수는 0 bit가 될 것이다. 그 이유는 정수부 7 bit로 표현할 수 있는 보상값의 최대값은 128 [gray] 보다 작기 때문에 7 bit보다 큰 8 bit로 결정되는 것이다.
- [0104] 만약, 계산된 보상값이 64 [gray] 보다 크고 128 [gray] 보다 작은 경우 정수부로 사용할 비트수는 7 bit 이상이고, 이에 따라 소수부로 사용할 비트수는 1 bit 이하가 될 것이다. 그 이유는 정수부 6 bit로 표현할 수 있는 보상값의 최대값은 64 [gray] 보다 작기 때문에 6 bit보다 큰 7 bit 이상으로 결정되는 것이다. 예를 들어, 이 경우에, 정수부 7 bit 및 소수부 1 bit, 또는 정수부 8 bit 및 소수부 0 bit가 사용될 수 있다. 또한, 소수부로 사용될 비트수가 클수록 실제 보상값에 더 근사하게 될 것이다.
- [0105] 만약, 계산된 보상값이 32 [gray] 보다 크고 64 [gray] 보다 작은 경우 정수부로 사용할 비트수는 6 bit 이상이고, 이에 따라 소수부로 사용할 비트수는 2 bit 이하가 될 것이다. 그 이유는 정수부 5 bit로 표현할 수 있는 보상값의 최대값은 32 [gray] 보다 작기 때문에 5 bit 보다 큰 6 bit 이상으로 결정되는 것이다. 예를 들어, 이 경우에, 정수부 6 bit 및 소수부 2 bit, 정수부 7 bit 및 소수부 1 bit, 또는 정수부 8 bit 및 소수부 0 bit가 사용될 수 있다. 또한, 소수부로 사용될 비트수가 클수록 실제 보상값에 더 근사하게 될 것이다.
- [0106] 만약, 계산된 보상값이 16 [gray] 보다 크고 32 [gray] 보다 작은 경우 정수부로 사용할 비트수는 5 bit 이상이고, 이에 따라 소수부로 사용할 비트수는 3 bit 이하가 될 것이다. 그 이유는 정수부 4 bit로 표현할 수 있는 보상값의 최대값은 16 [gray] 보다 작기 때문에 4 bit 보다 큰 5 bit 이상으로 결정되는 것이다. 예를 들어, 이 경우에, 정수부 5 bit 및 소수부 3 bit, 정수부 6 bit 및 소수부 2 bit, 정수부 7 bit 및 소수부 1 bit, 또는 정수부 8 bit 및 소수부 0 bit가 사용될 수 있다. 또한, 소수부로 사용될 비트수가 클수록 실제 보상값에 더 근사하게 될 것이다.
- [0107] 만약, 계산된 보상값이 8 [gray] 보다 크고 16 [gray] 보다 작은 경우 정수부로 사용할 비트수는 4 bit 이상이고, 이에 따라 소수부로 사용할 비트수는 4 bit 이하가 될 것이다. 그 이유는 정수부 3 bit로 표현할 수 있는 보상값의 최대값은 8 [gray] 보다 작기 때문에 3 bit 보다 큰 4 bit 이상으로 결정되는 것이다. 예를 들어, 이 경우에, 정수부 4 bit 및 소수부 4 bit, 정수부 5 bit 및 소수부 3 bit, 정수부 6 bit 및 소수부 2 bit, 정수부 7 bit 및 소수부 1 bit, 또는 정수부 8 bit 및 소수부 0 bit가 사용될 수 있다. 또한, 소수부로 사용될 비트수가 클수록 실제 보상값에 더 근사하게 될 것이다.
- [0108] 만약, 계산된 보상값이 4 [gray] 보다 크고 8 [gray] 보다 작은 경우 정수부로 사용할 비트수는 3 bit 이상이고, 이에 따라 소수부로 사용할 비트수는 5 bit 이하가 될 것이다. 그 이유는 정수부 2 bit로 표현할 수 있는 보상값의 최대값은 4 [gray] 보다 작기 때문에 2 bit 보다 큰 3 bit 이상으로 결정되는 것이다. 예를 들어, 이 경우에, 정수부 3 bit 및 소수부 5 bit, 정수부 4 bit 및 소수부 4 bit, 정수부 5 bit 및 소수부 3 bit, 정수부 6 bit 및 소수부 2 bit, 정수부 7 bit 및 소수부 1 bit, 또는 정수부 8 bit 및 소수부 0 bit가 사용될 수 있다. 또한, 소수부로 사용될 비트수가 클수록 실제 보상값에 더 근사하게 될 것이다.
- [0109] 만약, 계산된 보상값이 2 [gray] 보다 크고 4 [gray] 보다 작은 경우 정수부로 사용할 비트수는 2 bit 이상이고, 이에 따라 소수부로 사용할 비트수는 6 bit 이하가 될 것이다. 그 이유는 정수부 1 bit로 표현할 수 있는 보상값의 최대값은 2 [gray] 보다 작기 때문에 1 bit 보다 큰 2 bit 이상으로 결정되는 것이다. 예를 들어, 이 경우에, 정수부 2 bit 및 소수부 6 bit, 정수부 3 bit 및 소수부 5 bit, 정수부 4 bit 및 소수부 4

bit, 정수부 5 bit 및 소수부 3 bit, 정수부 6 bit 및 소수부 2 bit, 정수부 7 bit 및 소수부 1 bit, 또는 정수부 8 bit 및 소수부 0 bit가 사용될 수 있다. 또한, 소수부로 사용될 비트수가 클수록 실제 보상값에 더 근사하게 될 것이다.

[0110] 대표적으로 예를 들어, 보상값 저장 메모리가 n [bit]로 구성되고 이에 정수부 m [bit]가 할당되는 것으로 가정한다. 이 경우, 아래 수식을 만족하는 정수부 m [bit]가 결정될 것이다.

$$2^{m-1} < \text{보상값 [gray]} < 2^m$$

[0111]

또한, 위 경우에서 소수부는 (n-m) [bit]로 결정될 것이다.

[0112]

도 8은 본 발명에 따른 보상 장치 및 표시장치를 도시하는 도면이다.

[0113]

도 8을 참조하면 보상 장치(810)는 보상값 계산부(811), 저장 제어부(812), 가산기(813)를 포함한다.

[0114]

보상값 계산부(811)는 화소 특성 검출부(820)로부터 화소 특성을 수신한다. 화소 특성은 각각의 픽셀에 대해 측정되는 것으로서, 입력 그레이에 의해 이상적인 경우의 발광 휘도와 열화로 인해 감소된 발광 휘도를 포함한다.

[0115]

보상값 계산부(811)는 수신한 화소 특성에 기초하여 해당 픽셀에 필요한 보상값을 계산한다. 또한, 보상값 계산부(811)는 필요한 보상값을 그레이 단위로 계산한다. 도 6을 참조한 실시예에서 입력 그레이로서 255 [gray]가 입력되었으나, 실측된 휘도가 140 [nit]인 경우 실효 그레이는 247.13 [gray]로 계산되었고, 이에 따라 보상값은 7.87 [gray]로 계산된다.

[0116]

저장 제어부(812)는 연산된 보상값을 보상값 저장부(830)에 저장한다. 구체적으로, 저장 제어부(812)는 보상값을 그레이 단위로 보상값 저장부(830)에 저장한다. 또한, 저장 제어부(812)는 정수부의 비트수 및 소수부의 비트수를 가변적으로 제어할 수 있다. 예를 들어, 보상값이 7.87 [gray]으로 연산되었고, 총 8bit가 할당되는 경우를 가정하면, 7비트의 정수부 및 1비트의 소수부가 되도록 제어하여 보상값으로 7.5 [gray]를 보상값 저장부(830)에 저장할 수 있다. 또는, 6비트의 정수부 및 2비트의 소수부가 되도록 제어하여 보상값으로 7.75 [gray]를 보상값 저장부(830)에 저장할 수 있다. 또는, 5비트의 정수부 및 3비트의 소수부가 되도록 제어하여 보상값으로 7.785 [gray]를 보상값 저장부(830)에 저장할 수 있다.

[0117]

가산기(813)는 입력 그레이를 그레이 단위로 수신하고, 보상값을 그레이 단위로 수신한다. 예를 들어, 입력 그레이는 호스트 시스템(100)으로부터 수신할 수 있다. 보상값은 저장 제어부(812) 또는 보상값 저장부(830)로부터 수신할 수 있다. 또한, 가산기(813)는 수신한 입력 그레이 및 보상값을 덧셈 연산하여 그레이 단위로 출력한다. 예를 들어, 가산기(813)는 출력 그레이를 그레이 단위로 데이터 구동부(130) 또는 게이트 구동부(150)로 출력할 수 있다. 출력된 그레이에 기초하여 표시 패널(110)에 영상이 표시될 것이다.

[0118]

또한, 보상값의 비트수는 입력 그레이의 비트수와 동일할 수 있다. 예를 들어, 입력 그레이가 8bit로 수신되는 경우 보상값도 8bit로 저장될 수 있다.

[0119]

배경기술에서 전술한 바와 같이, 종래에는 계인과 읍셋의 파라미터로서 보상값을 표현하였으나, 본 발명에 따르면 보상값을 그레이 단위로 표현한다. 이에 따라, 종래에는 계인값의 저장에 8bit가 필요하였고 읍셋값의 저장에 8bit가 필요하였고 결과적으로 하나의 픽셀에 대해 16bit의 저장 공간이 필요하였다. 하지만, 본 발명은 보상값을 그레이 단위로 표현함으로써 8bit의 저장 공간이 필요하게 되어 메모리 용량을 감소시킬 수 있다.

[0120]

또한, 종래에는 보상값을 송수신하기 위해서는 16bit의 데이터를 통신하기 위한 대역폭이 필요하였으나, 본 발명은 8bit의 데이터를 통신하기 위한 대역폭만 요구되므로, 대역폭을 감소시킬 수 있다.

[0121]

또한, 종래에는 보상값을 연산하기 위해서는 계인값의 곱셈을 위한 곱셈기가 필요하였으며 이에 따라 회로 구성이 복잡해지고 물리적인 크기가 클 수 밖에 없었다. 하지만, 본 발명은 구조가 단순한 가산기만으로 회로 구성을 할 수 있게 되었다.

[0122]

또한, 도 8은 타이밍 컨트롤러(800) 내에 보상장치가 포함되는 것으로 도시하였으나, 이와 다른 구성도 본 발명의 권리범위 내에 속할 수 있다. 예를 들어, 보상 장치(810)는 타이밍 컨트롤러(800)와 별개로 구성되어 서로 통신하도록 구성될 수 있다.

[0123]

또한, 도 8은 보상값 저장부(830)이 보상 장치(810)와 서로 통신하는 것으로 도시하였으나, 이와 다른 구성도 본 발명의 권리범위 내에 속할 수 있다. 예를 들어, 보상값 저장부(830)는 보상 장치(810)에 속하도록 구성될

[0124]

수 있다.

- [0125] 도 9는 본 발명에 따른 보상 장치 및 표시장치를 도시하는 도면이다.
- [0126] 도 9를 참조하면 도 8과 비교하여 계조별 보상값 저장부(814)가 추가된다.
- [0127] 계조별 보상값 저장부(814)는 특정된 범위의 대표 보상값을 저장할 수 있다. 예를 들어, 계조별 보상값 저장부(814)는 저계조 대표 보상값, 중계조 대표 보상값 및 고계조 대표 보상값을 저장한다.
- [0128] 저계조 대표 보상값은 낮은 범위의 계조가 입력되는 경우의 대표 보상값이다. 예를 들어, 낮은 범위의 계조는 입력 그레이가 0 내지 80 [gray]의 범위를 포함한다. 또한, 저계조 대표 보상값은 예를 들어 8.38 [gray]일 수 있다. 이러한 저계조 대표 보상값은 화소 특성 검출부(820)로부터 수신한 정보에 기초하여 보상값 계산부(811)가 연산해 생성할 수 있다. 저장 제어부(812)는 계조별 보상값 저장부(814)에 저계조 대표 보상값을 저장한다.
- [0129] 중계조 대표 보상값은 중간 범위의 계조가 입력되는 경우의 대표 보상값이다. 예를 들어, 낮은 범위의 계조는 입력 그레이가 80 내지 160 [gray]의 범위를 포함한다. 또한, 중계조 대표 보상값은 예를 들어 8.10 [gray]일 수 있다. 이러한 중계조 대표 보상값은 화소 특성 검출부(820)로부터 수신한 정보에 기초하여 보상값 계산부(811)가 연산해 생성할 수 있다. 저장 제어부(812)는 계조별 보상값 저장부(814)에 중계조 대표 보상값을 저장한다.
- [0130] 고계조 대표 보상값은 높은 범위의 계조가 입력되는 경우의 대표 보상값이다. 예를 들어, 높은 범위의 계조는 입력 그레이가 160 내지 255 [gray]의 범위를 포함한다. 또한, 고계조 대표 보상값은 예를 들어 7.87 [gray]일 수 있다. 이러한 고계조 대표 보상값은 화소 특성 검출부(820)로부터 수신한 정보에 기초하여 보상값 계산부(811)가 연산해 생성할 수 있다. 저장 제어부(812)는 계조별 보상값 저장부(814)에 고계조 대표 보상값을 저장한다.
- [0131] 가산기(813)는 입력 그레이가 속하는 계조 범위를 판단하여 해당하는 범위의 대표 보상값을 수신할 수 있다. 예를 들어, 입력 계조가 50 [gray]인 경우 계조별 보상값 저장부(814)로부터 저계조 대표 보상값인 8.38 [gray]를 수신해 입력 그레이에 가산 연산한다. 예를 들어 입력 계조가 130 [gray]인 경우 계조별 보상값 저장부(814)로부터 중계조 대표 보상값인 8.10 [gray]를 수신해 입력 그레이에 가산 연산한다. 예를 들어 입력 계조가 210 [gray]인 경우 계조별 보상값 저장부(814)로부터 고계조 대표 보상값인 7.87 [gray]를 수신해 입력 그레이에 가산 연산한다.
- [0132] 대안적으로, 계조별 보상값 저장부(814)는 특정 간격의 대표 보상값을 저장할 수 있다. 예를 들어, 계조별 보상값 저장부(814)는 50 그레이 간격의 대표 보상값을 저장할 수 있다. 즉, 0 [gray] 대표 보상값, 50 [gray] 대표 보상값 ... 250 [gray] 대표 보상값을 저장할 수 있다. 가산기(813)는 입력 그레이에서 가장 가까운 그레이의 대표 보상값을 수신할 수 있다. 예를 들어, 입력 계조가 120 [gray]인 경우 100 [gray] 대표 보상값을 수신해 입력 그레이에 가산 연산한다.
- [0133] 대안적으로, 계조별 보상값 저장부(814)는 특정 개수의 대표 보상값을 저장할 수 있다. 예를 들어, 계조별 보상값 저장부(814)는, 10 [gray] 대표 보상값, 50 [gray] 대표 보상값, 80 [gray] 대표 보상값, 230 [gray] 대표 보상값의 총 4개의 대표 보상값을 저장할 수 있다. 가산기(813)는 입력 그레이에서 가장 가까운 그레이의 대표 보상값을 수신할 수 있다. 예를 들어, 입력 계조가 120 [gray]인 경우 80 [gray] 대표 보상값을 수신해 입력 그레이에 가산 연산한다.
- [0134] 이에 따라, 보상값 저장부(830)에는 입력 그레이 마다의 보상값이 저장되지 않아도 무방하며, 소수개의 대표 보상값이 계조별 보상값 저장부(814)에 저장되면 충분하다. 따라서, 저장 공간의 소비를 감소시킬 수 있고, 보상값 송수신을 위한 대역폭을 감소시킬 수 있다.
- [0135] 이상, 첨부된 도면들을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

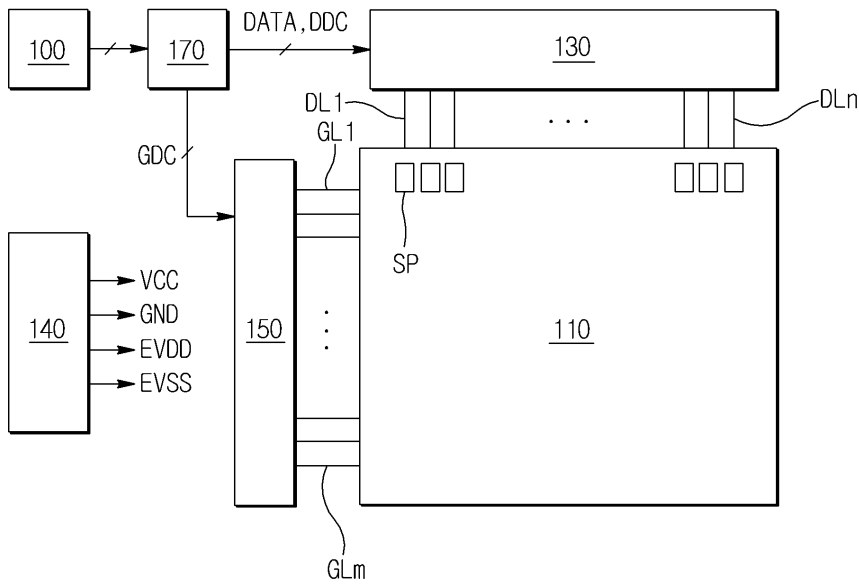
- [0136] 800: 타이밍 컨트롤러

- 810: 보상 장치
- 811: 보상값 계산부
- 812: 저장 제어부
- 813: 가산기
- 820: 화소 특성 검출부
- 830: 보상값 저장부

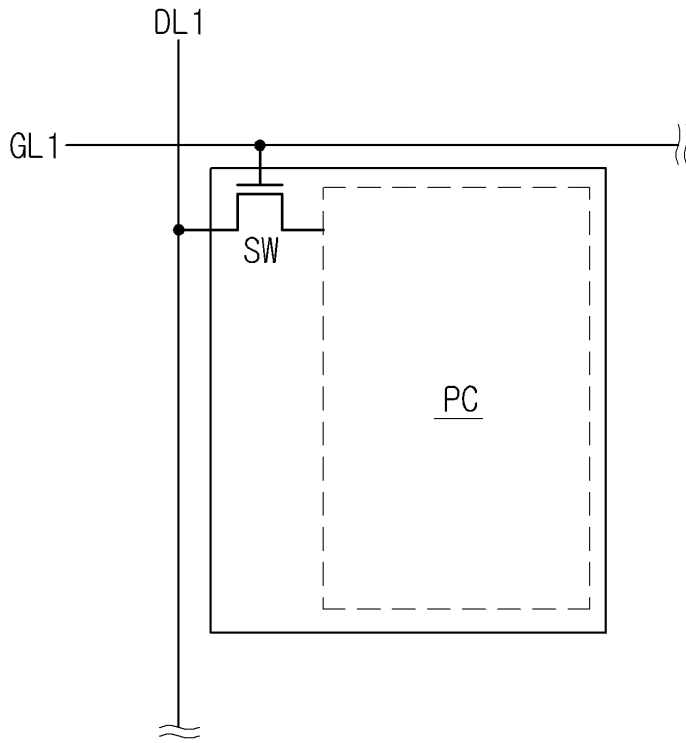
도면

도면1

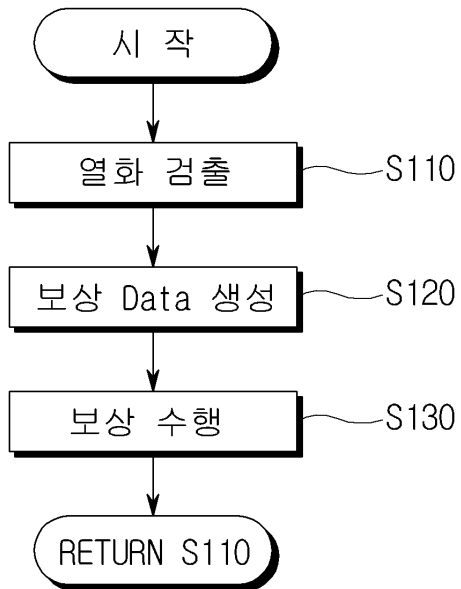
- 100: 호스트 시스템
- 170: 타이밍 컨트롤러
- 130: 데이터 구동부
- 140: 전원 공급부
- 150: 게이트 구동부
- 110: 표시패널



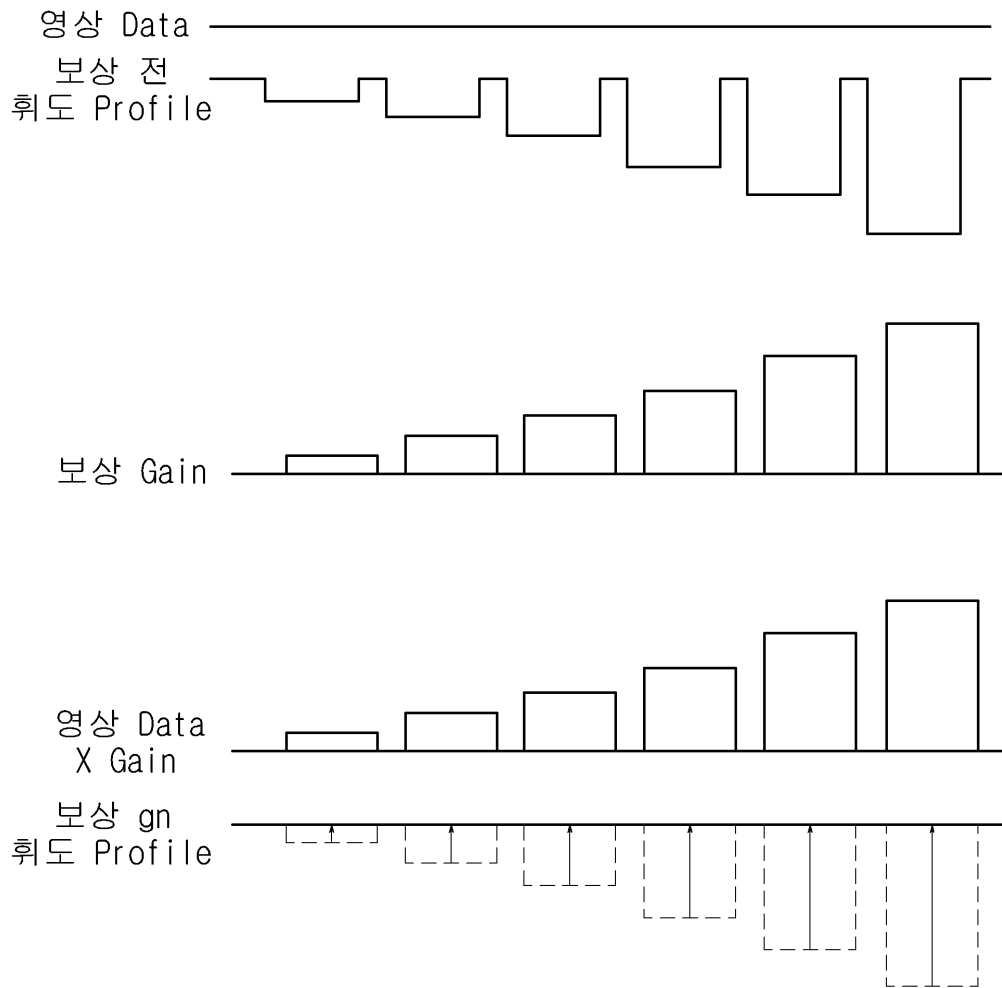
도면2



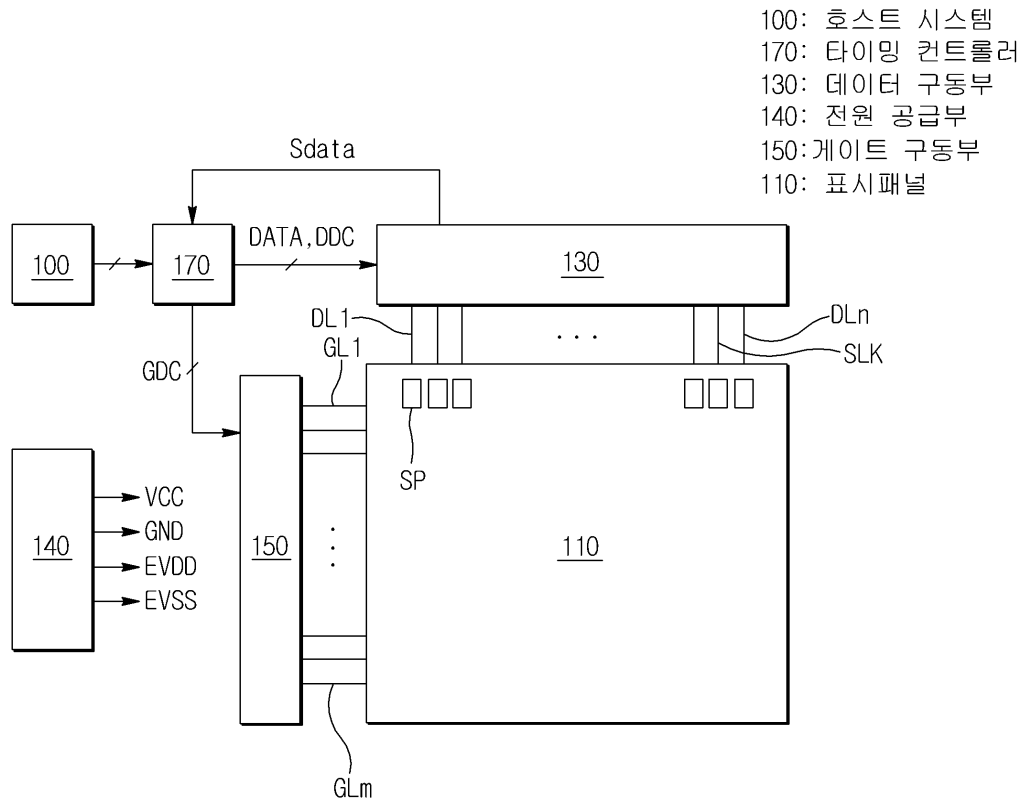
도면3



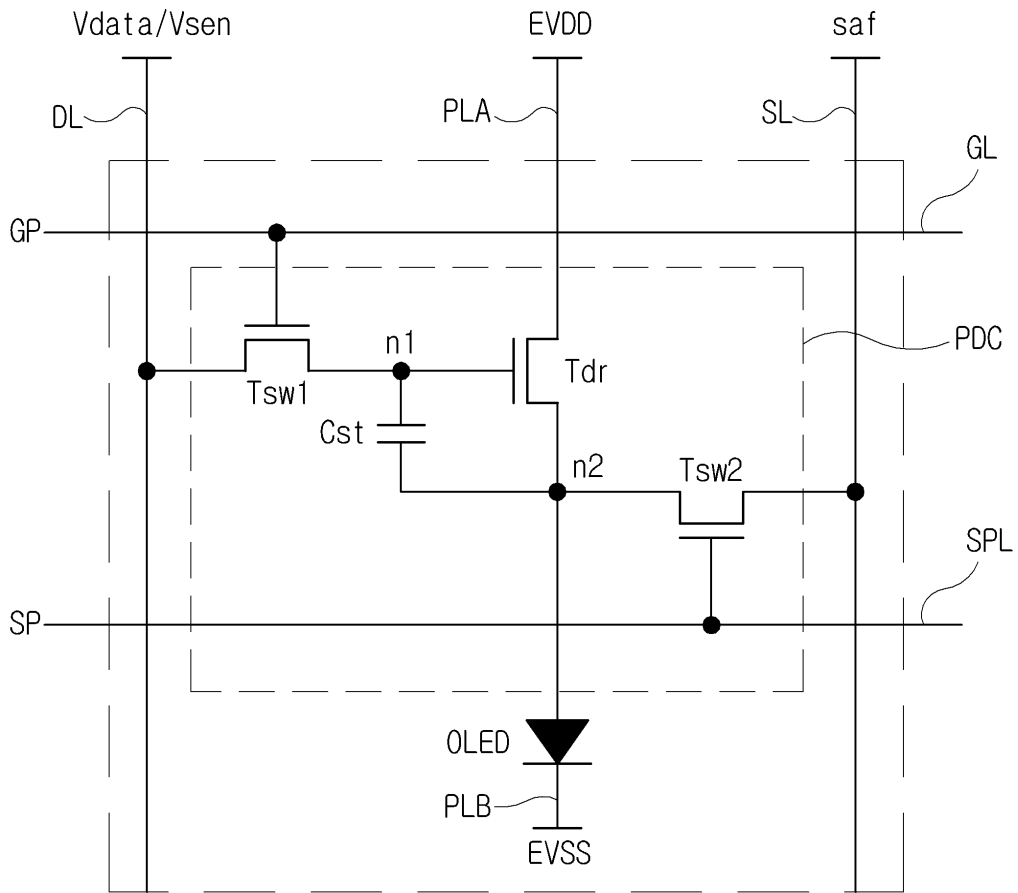
도면4



도면5a

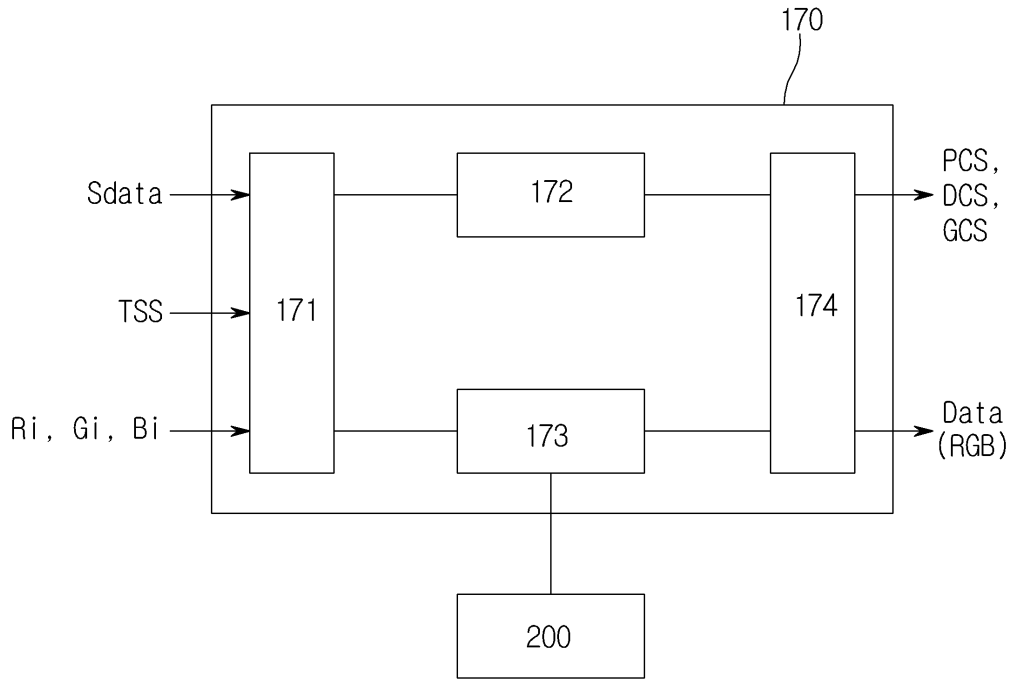


도면5b

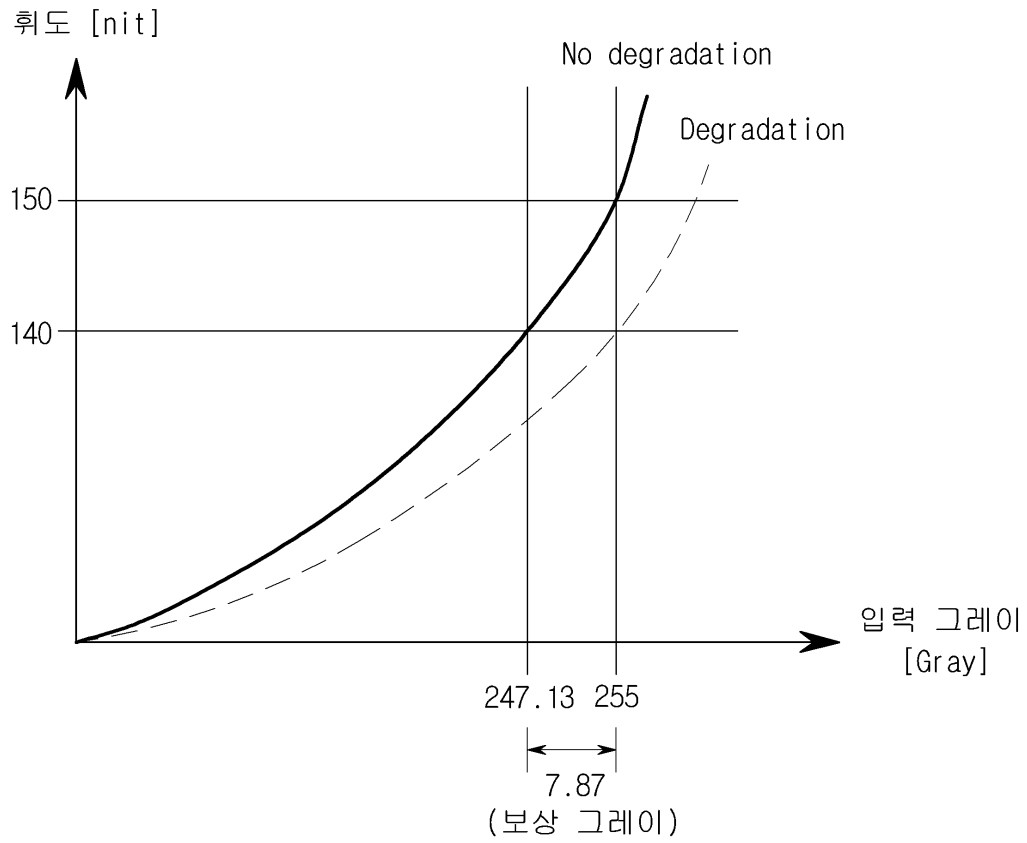


도면5c

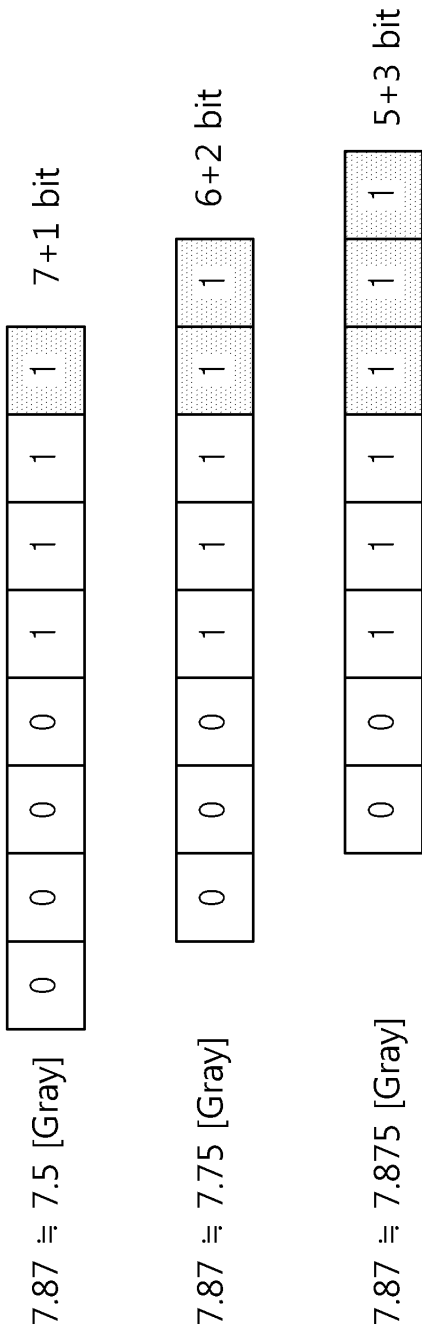
- 170: 타이밍 컨트롤러
- 171: 판단부
- 172: 제어 신호 생성부
- 173: 데이터 정렬부
- 174: 출력부
- 200: 저장부



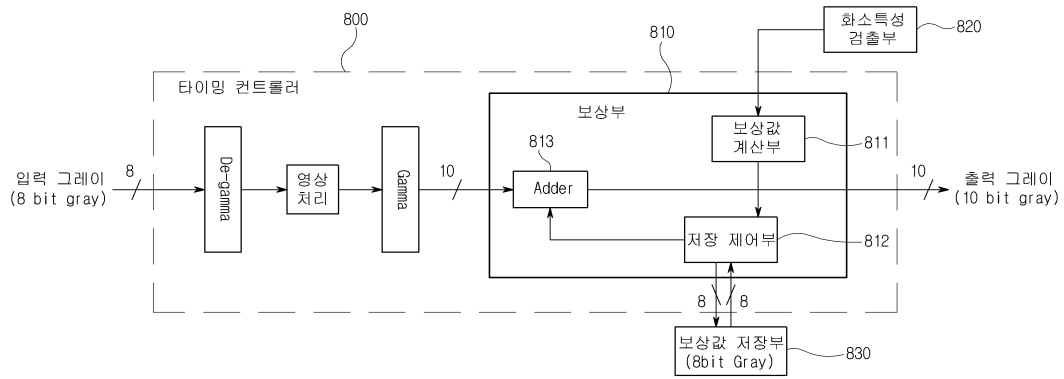
도면6



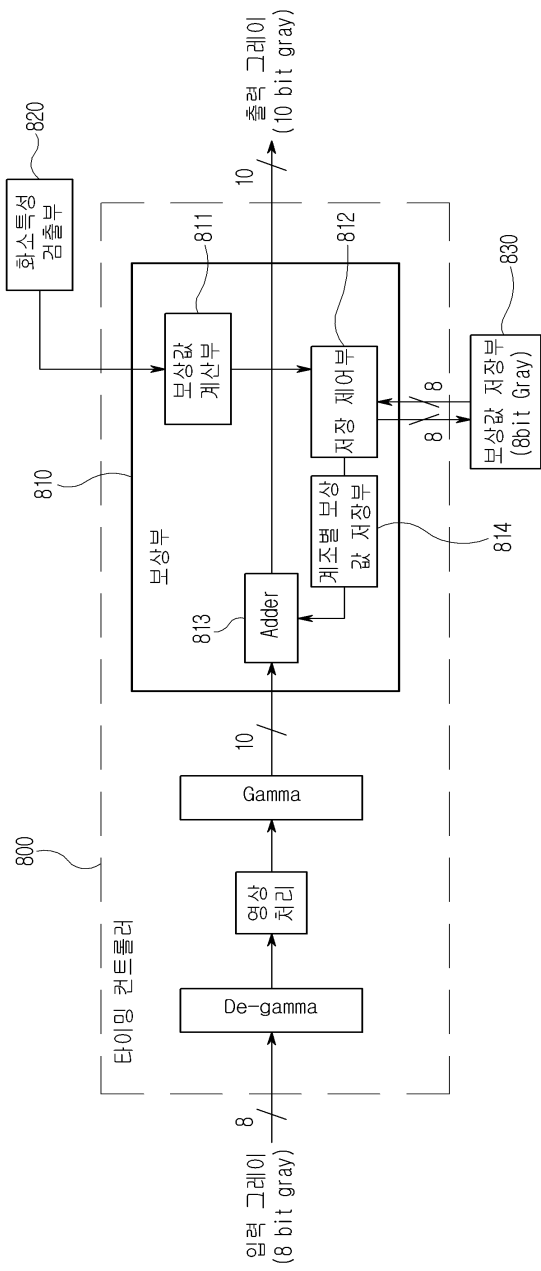
도면7



도면8



도면9



专利名称(译)	有机发光显示装置的补偿装置及其显示装置		
公开(公告)号	KR1020190081470A	公开(公告)日	2019-07-09
申请号	KR1020170184040	申请日	2017-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	박동원 이준희 유승진 권용철		
发明人	박동원 이준희 유승진 권용철		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2310/08 G09G2320/043 G09G2330/028		
外部链接	Espacenet		

摘要(译)

技术领域本发明涉及有机发光显示装置的补偿装置，并且更具体地，涉及用于补偿有机发光显示装置的像素的劣化的装置和显示装置。补偿装置包括：补偿值计算单元，其接收像素特征信息以计算灰度单位中的像素所需的补偿值；以及存储控制单元，将计算出的补偿值以灰度单位存储在补偿值存储单元中，并读取所存储的补偿值；加法器以灰度单位接收输入灰度，以灰度单位接收补偿值，并将接收到的输入灰度和补偿值相加，以以灰度单位输出相加后的输入灰度和补偿值。

