



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0066984
(43) 공개일자 2019년06월14일

(51) 국제특허분류(Int. Cl.)
G09G 3/3266 (2016.01)

(52) CPC특허분류
G09G 3/3266 (2013.01)
G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0166927
(22) 출원일자 2017년12월06일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
최우석
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인로얄

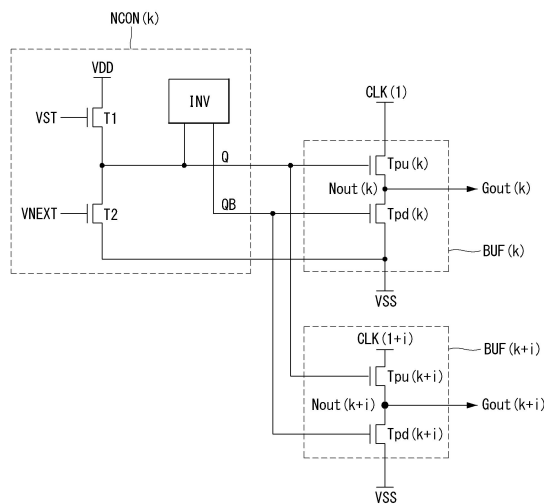
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 게이트 구동회로 및 이를 포함하는 유기발광 표시장치

(57) 요약

본 발명에 의한 표시장치는 표시패널 및 게이트 구동회로를 포함한다. 표시패널에는 픽셀들 각각에 게이트펄스를 공급하는 복수의 게이트라인들이 배치된다. 게이트 구동회로는 서로 종속적으로 접속되는 다수의 스테이지로 이루어지고, 스테이지는 게이트라인들 중에서 한 쌍의 게이트라인들에 게이트펄스를 각각 공급한다. 하나의 스테이지가 출력하는 한 쌍의 상기 게이트펄스는 서로 중첩되지 않는다.

대표도 - 도2



(52) CPC특허분류
G09G 2300/0408 (2013.01)

명세서

청구범위

청구항 1

픽셀들 각각에 게이트펄스를 공급하는 복수의 게이트라인들이 배치되는 표시패널; 및 서로 종속적으로 접속되는 다수의 스테이지로 이루어지고, 상기 스테이지는 상기 게이트라인들 중에서 한 쌍의 게이트라인들에 게이트펄스를 각각 공급하는 게이트 구동회로를 포함하고, 상기 스테이지가 출력하는 한 쌍의 상기 게이트펄스는 서로 중첩되지 않는 표시장치.

청구항 2

제 1 항에 있어서,
상기 스테이지들 중에서 제 k 스테이지는
Q 노드의 전압을 제어하는 노드 제어부;
상기 Q 노드의 전압에 따라 제 k (는 자연수) 게이트펄스를 출력하는 프리 버퍼부; 및
상기 Q 노드의 전압에 응답하여, 제 $(k+i)$ (i 는 2 이상의 자연수) 게이트펄스를 출력하는 포스트 버퍼부를 포함하고,
상기 제 k 게이트펄스 및 제 $(k+i)$ 게이트펄스는 서로 중첩되지 않는 표시장치.

청구항 3

제 2 항에 있어서,
상기 프리 버퍼부는, 상기 Q 노드에 연결되는 게이트전극, 제1 게이트클럭을 입력받는 드레인전극; 및 제 k 출력단에 연결되는 소스전극으로 이루어지는 프리 풀업 트랜지스터를 포함하고,
상기 포스트 버퍼부는, 상기 Q 노드에 연결되는 게이트전극, 제 $(1+i)$ 게이트클럭을 입력받는 드레인전극; 및 제 $(k+i)$ 출력단에 연결되는 소스전극으로 이루어지는 포스트 풀업 트랜지스터를 포함하며,
상기 제1 게이트클럭의 출력기간과 상기 제 $(1+i)$ 게이트클럭의 출력기간은 서로 중첩되지 않는 표시장치.

청구항 4

제 3 항에 있어서,
상기 스테이지들 중에서 제 $(k+1)$ 스테이지는 제2 게이트클럭의 출력기간 동안 제 $(k+1)$ 게이트펄스를 출력하고,
상기 제1 게이트클럭과 상기 제2 게이트클럭은 적어도 일부가 서로 중첩되는 표시장치.

청구항 5

제 3 항에 있어서,
상기 프리 버퍼부는, QB 노드에 연결되는 게이트전극, 상기 제 k 출력단에 연결되는 드레인전극, 및 저전위전압의 입력단에 연결되는 소스전극으로 이루어지는 프리 풀다운 트랜지스터를 더 포함하고,
상기 포스트 버퍼부는, 상기 QB 노드에 연결되는 게이트전극, 상기 제 $(k+i)$ 출력단에 연결되는 드레인전극, 및 상기 저전위전압의 입력단에 연결되는 소스전극으로 이루어지는 포스트 풀업 트랜지스터를 더 포함하는 표시장치.

청구항 6

제1 내지 제 n 게이트펄스를 순차적으로 출력하는 게이트 구동회로에 있어서,

Q1 노드의 전압에 응답하여, 제1 게이트클럭 타이밍에 동기되는 제1 게이트펄스를 출력하는 제1 버퍼부;

Q2 노드의 전압에 응답하여, 제2 게이트클럭 타이밍에 동기되는 제2 게이트펄스를 출력하는 제2 버퍼부; 및

상기 Q1 노드를 공유하고, 제j(j는 3이상 n이하의 자연수) 게이트클럭 타이밍에 동기되어 제j 게이트펄스를 출력하는 제i 버퍼부를 포함하는 표시장치의 게이트 구동회로.

청구항 7

제 6 항에 있어서,

상기 제1 게이트클럭과 상기 제j 게이트클럭은 서로 중첩되지 않는 표시장치의 게이트 구동회로.

청구항 8

제 6 항에 있어서,

상기 제1 게이트클럭과 상기 제2 게이트클럭은 적어도 일부 구간에서 서로 중첩되는 표시장치의 게이트 구동회로.

발명의 설명

기술 분야

[0001] 본 발명은 베젤을 줄이면서 게이트펄스의 전압편차를 개선할 수 있는 게이트 구동회로 및 이를 포함하는 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 평판 표시장치(Flat Panel Display; FPD)는 소형화 및 경량화에 유리한 장점으로 인해서 데스크탑 컴퓨터의 모니터뿐만 아니라, 노트북컴퓨터, 태블릿 등의 휴대용 컴퓨터나 휴대 전화 단말기 등에 폭넓게 이용되고 있다. 현재는 평판 표시장치뿐만 아니라 커브드 표시장치(Curved Display), 플렉서블 표시장치(Flexible Display), 롤러블 표시장치(Rollable Display), 및 웨어러블 표시장치(Wearable Display) 등 다양한 형태의 표시장치가 개발되고 있다. 이러한 표시장치들은 액정표시장치(Liquid Crystal Display; LCD), 플라즈마 표시장치(Plasma Display Panel; PDP), 전계 방출표시장치(Field Emission Display; FED), 유기발광 표시장치(Organic Light Emitting diode Display; 이하, OLED), 및 양자점 표시장치(Quantum Dot Display; QD) 등이 있다.

[0003] 표시장치의 픽셀들은 게이트펄스와 동기되는 데이터전압을 공급받아서 구동된다. 게이트펄스를 생성하는 게이트 구동회로는 표시패널에서 비표시영역인 베젤 영역에 박막 트랜지스터들의 조합으로 이루어지는 게이트-인-패널(Gate In Panel, 이하 GIP) 형태로 구현되기도 한다. 근래에는 베젤을 줄이기 위해서 GIP 형태의 게이트 구동회로의 사이즈를 줄이기 위한 방안이 모색되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 명세서에 의한 유기발광 표시장치는 베젤을 줄일 수 있는 게이트 구동회로 및 이를 포함하는 유기발광 표시장치를 제공하기 위한 것이다.

과제의 해결 수단

[0005] 본 발명에 의한 표시장치는 표시패널 및 게이트 구동회로를 포함한다. 표시패널에는 픽셀들 각각에 게이트펄스를 공급하는 복수의 게이트라인들이 배치된다. 게이트 구동회로는 서로 종속적으로 접속되는 다수의 스테이지로 이루어지고, 스테이지는 게이트라인들 중에서 한 쌍의 게이트라인들에 게이트펄스를 각각 공급한다. 하나의 스테이지가 출력하는 한 쌍의 상기 게이트펄스는 서로 중첩되지 않는다.

발명의 효과

[0006] 본 발명에 의한 게이트 구동회로는 하나의 스테이지를 이용하여 한 쌍의 게이트펄스를 생성하기 때문에 게이트

구동회로가 배치되는 베젤을 줄일 수 있다.

[0007] 특히, 본 발명에 의한 게이트 구동회로는 오버랩(overlap) 구동을 하는 표시장치에서도 게이트펄스들 간의 전압 편차를 개선할 수 있다.

도면의 간단한 설명

- [0008] 도 1은 본 발명에 의한 표시장치의 구성을 나타내는 도면이다.
- 도 2는 본 발명에 의한 게이트 구동회로의 스테이지를 나타내는 도면이다.
- 도 3은 제1 실시 예에 의한 스테이지를 나타내는 도면이다.
- 도 4는 도 3에 도시된 게이트 구동회로의 구동신호를 나타내는 도면이다.
- 도 5는 비교 예에 의한 스테이지를 나타내는 도면이다.
- 도 6은 도 5에 도시된 게이트 구동회로의 구동신호를 나타내는 도면이다.
- 도 7은 제2 실시 예에 의한 스테이지를 나타내는 도면이다.
- 도 8은 도 7에 도시된 게이트 구동회로의 구동신호를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0009] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 명세서는 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 명세서의 개시가 완전하도록 하며, 본 명세서가 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 명세서는 청구항의 범주에 의해 정의될 뿐이다.

[0010] 본 명세서의 게이트 구동회로에서 스위치 소자들은 n 타입 또는 p 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 트랜지스터로 구현될 수 있다. 이하의 실시예에서 n 타입 트랜지스터를 예시 하였지만, 본 명세서는 이에 한정되지 않는다. 트랜지스터는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. 트랜지스터 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 트랜지스터에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 MOSFET(NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 MOSFET에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 타입 MOSFET(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 MOSFET에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것은 아니다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 이하의 실시예에서 트랜지스터의 소스와 드레인으로 인하여 발명이 제한되지 않는다.

[0011] 도 1은 본 발명의 실시 예에 의한 표시장치를 보여주는 도면이다.

[0012] 도 1을 참조하면, 본 발명의 표시장치는 표시패널(100), 타이밍 컨트롤러(110), 데이터 구동회로(120) 및 게이트 구동회로(130, 140)를 구비한다.

[0013] 표시패널(100)은 픽셀(P)들이 배치되어 영상을 표시하는 표시부(100A) 및 게이트 구동회로(140)가 배치되고 영상을 표시하지 않는 비표시부(100B)를 포함한다.

[0014] 표시부(100A)는 복수 개의 픽셀(P)을 포함하고, 각각의 픽셀(P)들이 표시하는 계조를 기반으로 영상을 표시한다. 픽셀(P)들은 제1 내지 제n 픽셀라인(HL1 내지 HLn)들을 따라 배열된다. 각각의 픽셀(P)은 컬럼라인(Column Line)을 따라 배열되는 데이터라인(DL)과 연결되고, 픽셀라인(HL)을 따라 배열되는 게이트라인(GL)에 연결된다.

[0015] 타이밍 컨트롤러(110)는 호스트 시스템(미도시)으로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(MCLK) 등의 타이밍신호를 입력받는다. 타이밍 컨트롤러(110)는 호

스트 시스템으로부터 수신하는 타이밍신호를 기준으로 데이터 구동회로(120)와 게이트 구동회로(130,140)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 타이밍 제어신호들은 게이트 구동회로(130,140)의 동작 타이밍을 제어하기 위한 스캔 타이밍 제어신호, 데이터 구동회로(120)의 동작 타이밍과 데이터전압의 극성을 제어하기 위한 데이터 타이밍 제어신호를 포함한다.

- [0016] 스캔 타이밍 제어신호는 스타트신호(VST) 및 게이트클럭(CLK) 등을 포함한다. 스타트신호(VST)는 시프트레지스터(130)에 입력되어 쉬프트 스타트 타이밍을 제어한다. 게이트클럭(CLK)은 레벨 쉬프트(130)를 통해 레벨 쉬프팅된 후에 시프트레지스터(130)에 입력된다.
- [0017] 데이터 타이밍 제어신호는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC) 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 소스 드라이브 IC들(120)의 쉬프트 스타트 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 소스 드라이브 IC들(120) 내에서 데이터의 샘플링 타이밍을 제어하는 게이트클럭이다.
- [0018] 데이터 구동회로(120)는 타이밍 컨트롤러(110)로부터 디지털 비디오 데이터들(RGB)을 입력받는다. 데이터 구동회로(120)는 타이밍 컨트롤러(110)로부터의 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터들을 변환하여 데이터전압을 생성하고, 그 데이터전압을 게이트펄스에 동기되도록 표시패널(100)의 데이터라인(DL)들에 공급한다.
- [0019] 게이트 구동회로는 타이밍 컨트롤러(110)와 표시패널(100)의 게이트라인들 사이에 접속된 레벨 쉬프트(level shiftet)(130) 및 시프트레지스터(140)를 구비한다.
- [0020] 레벨 쉬프트(130)는 타이밍 컨트롤러(110)로부터 입력되는 게이트클럭(CLK)의 TTL(Transistor-Transistor-Logic) 로직 레벨 전압을 레벨 쉬프팅한다.
- [0021] 시프트레지스터(140)는 스타트신호(VST)를 게이트클럭(CLK)에 맞추어 쉬프트시커 순차적으로 캐리신호와 게이트 펄스(Gout)를 출력하는 스테이지들로 구성된다. 시프트레지스터(140)는 GIP(Gate In Panel) 방식으로 표시패널(100)의 하부 기판에 형성될 수 있다.
- [0022] 도 2는 본 발명에 의한 쉬프트레지스터의 스테이지를 나타내는 도면이다.
- [0023] 도 2를 참조하면, 본 발명에 의한 제k(k는 n 미만의 자연수) 스테이지(STGk)는 제k 게이트펄스(Gout_k) 및 제(k+i)(i는 $k+i \leq n$ 조건을 만족하는 2 이상의 자연수) 게이트펄스(Gout(k+i))를 출력한다.
- [0024] 제k 스테이지(STGk)는 노드 제어부(NCON[k]), 프리 버퍼부(BUF[k]) 및 포스트 버퍼부(BUF[k+i])를 포함한다.
- [0025] 노드 제어부(NCON[k])는 Q노드 및 QB노드의 전압을 제어한다. 노드 제어부(NCON[k])는 스타트 제어부(T1), 인버터(INV) 및 리셋부(T2)를 포함한다.
- [0026] 스타트 제어부(T1)는 스타트신호(VST)에 응답하여, Q 노드를 프리차지 시킨다. 인버터(INV)는 Q 노드 및 QB 노드의 전압이 서로 반대의 전압레벨이 되도록 제어한다. 즉, 인버터(INV)는 Q 노드가 턴-온 전압레벨일 때에 QB 노드의 전압을 턴-오프 전압레벨로 제어하고, QB 노드가 턴-온 전압레벨일 때에 Q 노드의 전압을 턴-오프 전압레벨로 제어한다. 리셋부(T2)는 후단신호(NEXT[k])에 응답하여, Q 노드를 저전위전압(VSS)으로 방전시킨다.
- [0027] 프리 버퍼부(BUF[k])는 제k 게이트펄스(Gout[k])를 출력하고, 포스트 버퍼부(BUF[k+i])는 제(k+i) 게이트펄스(Gout[k+i])를 출력한다.
- [0028] 프리 버퍼부(BUF[k])는 프리 풀업 트랜지스터(Tpu[k]) 및 프리 풀다운 트랜지스터(Tpd[k])를 포함한다. 프리 풀업 트랜지스터(Tpu[k])는 Q 노드에 연결되는 게이트전극, 프리 게이트클럭(CLK[1])을 입력받는 드레인전극, 및 프리 출력단(Nout[k])에 연결되는 소스전극을 포함한다. 프리 풀업 트랜지스터(Tpu[k])는 Q노드가 프리차지된 상태에서, 드레인전극에 인가되는 게이트클럭(CLK1)을 이용하여 프리 출력단(Nout[k])을 충전시킨다. 프리 풀다운 트랜지스터(Tpd[k])는 QB 노드에 연결되는 게이트전극, 프리 출력단(Nout[k])에 연결되는 드레인전극, 및 저전위전압(VSS)의 입력단에 연결되는 소스전극을 포함한다. 프리 풀다운 트랜지스터(Tpd[k])는 QB노드의 전압에 응답하여, 프리 출력단(Nout[k])의 전압을 저전위전압(VSS)으로 방전시킨다.
- [0029] 포스트 버퍼부(BUF[k+i])는 포스트 풀업 트랜지스터(Tpu[k+i]) 및 포스트 풀다운 트랜지스터(Tpd[k+i])를 포함한다. 포스트 풀업 트랜지스터(Tpu[k+i])는 Q 노드에 연결되는 게이트전극, 포스트 게이트클럭(CLK[1+i])을 입력받는 드레인전극, 및 포스트 출력단(Nout[k+i])에 연결되는 소스전극을 포함한다. 포스트 풀업 트랜지스터(Tpu[k+i])는 Q노드가 프리차지된 상태에서, 드레인전극에 인가되는 포스트 게이트클럭(CLK[1+i])을 이용하여

포스트 출력단(Nout[k+i])을 충전시킨다. 포스트 풀다운 트랜지스터(Tpd[k+i])는 QB 노드에 연결되는 게이트전극, 포스트 출력단(Nout[k+i])에 연결되는 드레인전극, 및 저전위전압(VSS)의 입력단에 연결되는 소스전극을 포함한다. 포스트 풀다운 트랜지스터(Tpd[k+i])는 QB노드의 전압에 응답하여, 포스트 출력단(Nout[k+i])의 전압을 저전위전압(VSS)으로 방전시킨다.

- [0030] 본 발명의 제k 스테이지는 한 쌍의 게이트필스를 출력하기 때문에 시프트레지스터(140)의 사이즈를 줄일 수 있다. 즉, 게이트라인(GL)의 개수가 n(n은 짝수인 자연수) 개일 경우에, 시프트레지스터(140)는 n/2 개의 스테이지를 이용하여 제1 내지 제n 픽셀라인들(HL1-HLn)에 배치된 픽셀(P)을 구동할 수 있다.
- [0031] 도 3은 제1 실시 예에 의한 제1 및 제2 스테이지를 나타내는 도면이다.
- [0032] 도 3을 참조하면, 제1 실시 예에 의한 제1 스테이지는 제1 노드 제어부(NCON), 제1 및 제3 버퍼부들(BUF1, BUF3)을 포함한다. 제1 버퍼부(BUF1)는 제1 풀업 트랜지스터(Tpu1) 및 제1 풀다운 트랜지스터(Tpd1)를 포함하고, 제3 버퍼부(BUF3)는 제3 풀업 트랜지스터(Tpu3) 및 제3 풀다운 트랜지스터(Tpd3)를 포함한다. 제2 스테이지는 제2 노드 제어부(NCON2), 제2 및 제4 버퍼부들(BUF2, BUF4)을 포함한다. 제2 버퍼부(BUF2)는 제2 풀업 트랜지스터(Tpu2) 및 제2 풀다운 트랜지스터(Tpd2)를 포함하고, 제4 버퍼부(BUF4)는 제4 풀업 트랜지스터(Tpu4) 및 제4 풀다운 트랜지스터(Tpd4)를 포함한다.
- [0033] 제1 스테이지의 프리 풀업 트랜지스터(Tpu[k])는 제1 풀업 트랜지스터(Tpu1)에 해당하고, 프리 풀다운 트랜지스터(Tpd[k])는 제1 풀다운 트랜지스터(Tpd1)에 해당한다. 제1 스테이지의 포스트 풀업 트랜지스터(Tpu[k+i])는 제3 풀업 트랜지스터(Tpu3)에 해당하고, 포스트 풀다운 트랜지스터(Tpd[k+i])는 제3 풀다운 트랜지스터(Tpd3)에 해당한다. 제1 스테이지의 프리 출력단(Nout[k])은 제1 출력단(Nout1)에 해당하고, 포스트 출력단(Nout[k+i])은 제3 출력단(Nout3)에 해당한다.
- [0034] 제2 스테이지의 프리 풀업 트랜지스터(Tpu[k])는 제2 풀업 트랜지스터(Tpu2)에 해당하고, 프리 풀다운 트랜지스터(Tpd[k])는 제2 풀다운 트랜지스터(Tpd2)에 해당한다. 제2 스테이지의 포스트 풀업 트랜지스터(Tpu[k+i])는 제4 풀업 트랜지스터(Tpu4)에 해당하고, 포스트 풀다운 트랜지스터(Tpd[k+i])는 제4 풀다운 트랜지스터(Tpd4)에 해당한다. 제2 스테이지의 프리 출력단(Nout[k])은 제2 출력단(Nout2)에 해당하고, 포스트 출력단(Nout[k+i])은 제4 출력단(Nout4)에 해당한다.
- [0035] 도 4는 제1 스테이지를 구동하는 신호들의 타이밍을 나타내는 도면이다.
- [0036] 도 3 및 도 4를 참조하여, 제1 스테이지의 동작에 대해서 살펴보면 다음과 같다.
- [0037] 제1 타이밍(t1)에서, 제1 노드 제어부(NCON1)는 스타트필스(VST)를 입력받아서 Q 노드를 프리차지한다. 제1 타이밍(t1)에서, Q 노드의 전압은 프리차지전압(Vp)이 된다.
- [0038] 제2 타이밍(t2)에서, 제1 풀업 트랜지스터(Tpu1)는 드레인전극을 통해서 제1 게이트클럭(CLK1)을 입력받아서, Q 노드를 충전한다. 제1 풀업 트랜지스터(Tpu1)의 드레인전극의 전압은 제1 게이트클럭(CLK1)으로 인해서 상승하고, 그 결과 Q 노드는 부트스트래핑(bootstrapping)된다. Q 노드는 프리차지전압(Vp)에서 제1 부트스트래핑 전압(Vb1)으로 상승하고, 제1 출력단(Nout1)은 제1 게이트필스(Gout1)를 출력한다.
- [0039] 제3 타이밍(t3)에서, 제1 게이트클럭(CLK1)은 저전위전압이 되고, 제3 풀업 트랜지스터(Tpu2)의 드레인전극에는 제3 게이트클럭(CLK3)이 인가된다. 제3 타이밍(t3)에서, 제1 게이트클럭(CLK1)은 저전위전압이기 때문에 제1 풀업 트랜지스터(Tpu1)에 의한 부트스트래핑은 발생하지 않는다. Q 노드는 제3 풀업 트랜지스터(Tpu2)의 드레인전극에는 제3 게이트클럭(CLK3)에 의해서만 부트스트래핑이 발생하고, 그 결과 Q 노드는 제1 부트스트래핑 전압(Vb1)을 유지한다. 제3 풀업 트랜지스터(Tpu3)는 제3 게이트클럭(CLK3)을 이용하여 제3 출력단(Nout3)을 충전하고, 그 결과 제3 게이트필스(Gout3)가 출력된다.
- [0040] 제4 타이밍(t4)에서, 제3 게이트클럭(CLK3)의 전압은 저전위전압이 되고, 제3 출력단(Nout3)의 전압 또한 저전위전압(VSS)으로 방전된다.
- [0041] 살펴본 바와 같이, 본 발명에 의한 제1 스테이지의 제1 버퍼부(BUF1)는 제1 게이트클럭(CLK1)을 입력받고, 제3 버퍼부(BUF3)는 제3 게이트클럭(CLK3)을 입력받는다. 제1 게이트클럭(CLK1) 및 제3 게이트클럭(CLK3)은 서로 중첩되지 않기 때문에, 제1 버퍼부(BUF1)가 부트스트래핑되는 기간과 제3 버퍼부(BUF3)가 부트스트래핑되는 기간은 중첩되지 않는다. 그 결과, 제1 풀업 트랜지스터(Tpu1)와 제3 풀업 트랜지스터(Tpu3)가 Q 노드를 공유하여 구동하여도, 제3 풀업 트랜지스터(Tpu3)가 출력하는 제3 게이트필스(Gout3)의 전압은 제1 풀업 트랜지스터

(Tpu1)에 의한 Q 노드의 부트스트래핑 전압에 의한 영향을 받지 않는다.

- [0042] 제1 실시 예를 비교 예와 더불어 살펴보면 다음과 같다.
- [0043] 도 5는 비교 예에 의한 시프트레지스터의 스테이지를 나타내는 도면이고, 도 6은 도 5에 도시된 스테이지에 인가되는 게이트클럭의 타이밍을 나타내는 도면이다.
- [0044] 도 5 및 도 6을 참조하면, 비교 예에 의한 스테이지는 제1 타이밍(t1)에서 노드 제어부(NCON)에 인가되는 스타트신호(VST)를 이용하여 Q 노드를 프리차지시킨다. 그 결과, 제1 타이밍(t1)에서, Q 노드의 전압은 프리차지전압(Vp)이 된다.
- [0045] 제2 타이밍(t2)에서, 제1 풀업 트랜지스터(Tpu1)는 드레인전극을 통해서 제1 게이트클럭(CLK1)을 입력받아서, Q 노드를 충전한다. 제1 풀업 트랜지스터(Tpu1)의 드레인전극의 전압은 제1 게이트클럭(CLK1)으로 인해서 상승하고, 그 결과 Q 노드는 부트스트래핑(bootstrapping)된다. Q 노드는 프리차지전압(Vp)에서 제1 부트스트래핑 전압(Vb1)으로 상승하고, 제1 출력단(Nout1)은 제1 게이트필스(Gout1)를 출력한다.
- [0046] 제3 타이밍(t3)에서, 제1 게이트클럭(CLK1)은 저전위전압이 되고, 제2 풀업 트랜지스터(Tpu2)의 드레인전극에는 제3 게이트클럭(CLK3)이 인가된다. 그 결과, 제1 부트스트래핑 전압(Vb1)이었던 Q 노드의 전압은 다시 부트스트래핑되면서 제2 부트스트래핑 전압(Vb2)이 된다. 제2 풀업 트랜지스터(Tpu2)는 제2 게이트클럭(CLK2)을 이용하여 제2 출력단(Nout2)을 충전하고, 그 결과 제2 게이트필스(Gout2)가 출력된다.
- [0047] 제4 타이밍(t4)에서, 제1 게이트클럭(CLK1)의 전압은 저전위전압이 되고, 제1 출력단(Nout1)은 저전위전압(VSS)이 된다. 제4 타이밍(t4)에서 Q 노드는 제1 풀업 트랜지스터(Tpu1)에 의한 부트스트래핑 영향을 받지 않기 때문에, Q 노드의 전압은 제1 부트스트래핑 전압(Vb1)으로 낮아진다.
- [0048] 제5 타이밍(t5)에서, 제2 게이트클럭(CLK2)의 전압은 저전위전압이 되고, 제2 출력단(Nout2)은 저전위전압(VSS)이 된다.
- [0049] 살펴본 바와 같이, 비교 예에 의한 스테이지의 Q 노드는 제1 게이트클럭(CLK1)에 의해서 부트스트래핑 된 상태에서 제2 게이트클럭(CLK2)에 의해서 2차로 부트스트래핑된다. 제1 게이트필스(Gout1)는 게이트전압이 제1 부트스트래핑 전압(Vb1)인 제1 풀업 트랜지스터(Tpu1)의 소스전압이고, 제2 게이트필스(Gout2)는 게이트전압이 제2 부트스트래핑 전압(Vb2)인 제2 풀업 트랜지스터(Tpu2)의 소스전압이다. 제2 부트스트래핑 전압(Vb2)은 제1 부트스트래핑 전압(Vb1)에 비하여 높기 때문에, 제2 게이트필스(Gout2)의 초기전압은 제1 게이트필스(Gout1)의 초기전압 보다 높다. 즉, 제2 게이트필스(Gout2)는 제1 게이트필스(Gout1)에 비하여 딜레이(delay)가 줄어들기 때문에, 제2 게이트필스(Gout2)를 인가받는 제2 픽셀라인(HL2)의 픽셀(P)들은 제1 게이트필스(Gout1)를 인가받는 제1 픽셀라인(HL1)의 픽셀(P)들에 비하여 데이터전압의 충전 시간이 늘어난다. 그 결과 제2 픽셀라인(HL2)의 픽셀(P)들과 제1 픽셀라인(HL1)의 픽셀(P)들은 동일한 데이터전압을 공급받아도 휘도 편차가 발생할 수 있다.
- [0050] 이에 반해서, 본 발명의 제1 실시 예에 의한 스테이지는 Q 노드를 공유하는 제1 및 제3 풀업 트랜지스터들(Tpu1, Tpu3)에 각각 인가되는 제1 및 제3 게이트클럭들(CLK1, CLK3)은 서로 중첩되지 않는다. 따라서, 제1 버퍼부(BUF1)가 부트스트래핑되는 기간과 제3 버퍼부(BUF3)가 부트스트래핑되는 기간은 중첩되지 않기 때문에, 제3 풀업 트랜지스터(Tpu3)가 출력하는 제3 게이트필스(Gout3)의 전압은 제1 풀업 트랜지스터(Tpu1)에 의한 Q 노드의 부트스트래핑 전압에 의한 영향을 받지 않는다. 그 결과, 제1 스테이지에서 출력하는 제1 게이트필스(Gout1) 및 제3 게이트필스(Gout3)의 출력전압은 동등한 수준이 되고, 픽셀(P)들의 데이터전압 충전 기간은 편차가 없게 된다.
- [0051] 도 7은 제2 실시 예에 의한 제1 내지 제3 스테이지를 나타내는 도면이다.
- [0052] 도 7을 참조하면, 제1 실시 예에 의한 제1 스테이지는 제1 노드 제어부(NCON1), 제1 및 제4 버퍼부들(BUF1, BUF4)을 포함한다. 제1 버퍼부(BUF1)는 제1 풀업 트랜지스터(Tpu1) 및 제1 풀다운 트랜지스터(Tpd1)를 포함하고, 제4 버퍼부(BUF4)는 제4 풀업 트랜지스터(Tpu4) 및 제4 풀다운 트랜지스터(Tpd4)를 포함한다. 제2 스테이지는 제2 노드 제어부(NCON2), 제2 및 제5 버퍼부들(BUF2, BUF5)을 포함한다. 제2 버퍼부(BUF2)는 제2 풀업 트랜지스터(Tpu2) 및 제2 풀다운 트랜지스터(Tpd2)를 포함하고, 제5 버퍼부(BUF5)는 제5 풀업 트랜지스터(Tpu5) 및 제5 풀다운 트랜지스터(Tpd5)를 포함한다.
- [0053] 제2 실시 예에 의한 제1 스테이지는 제1 노드 제어부(NCON1), 제1 및 제4 출력부(BUF1, BUF4)를 포함한다. 제2 스테이지는 제2 노드 제어부(NCON2), 제2 및 제5 출력부(BUF2, BUF5)를 포함한다. 제3 스테이지는 제3 노드 제

어부(NCON), 제3 출력부(BUF3) 및 제6 출력부(미도시)를 포함한다. 제1 스테이지는 제1 및 제4 게이트펄스(Gout1,Gout4)를 출력한다. 제2 스테이지는 제2 및 제5 게이트펄스(Gout2,Gout5)를 출력하고, 제3 스테이지는 제3 게이트펄스(Gout3)와 제6 게이트펄스(미도시)를 출력한다.

[0054] 제1 스테이지의 프리 풀업 트랜지스터(Tpu[k])는 제1 풀업 트랜지스터(Tpu1)에 해당하고, 프리 풀다운 트랜지스터(Tpd[k])는 제1 풀다운 트랜지스터(Tpd1)에 해당한다. 제1 스테이지의 포스트 풀업 트랜지스터(Tpu[k+i])는 제4 풀업 트랜지스터(Tpu4)에 해당하고, 포스트 풀다운 트랜지스터(Tpd[k+i])는 제4 풀다운 트랜지스터(Tpd4)에 해당한다. 제1 스테이지의 프리 출력단(Nout[k])은 제1 출력단(Nout1)에 해당하고, 포스트 출력단(Nout[k+i])은 제4 출력단(Nout4)에 해당한다.

[0055] 도 8는 제1 스테이지를 구동하는 신호들의 타이밍을 나타내는 도면이다. 도 2와, 도 7 및 도 8을 제1 스테이지의 동작에 대해서 살펴보면 다음과 같다.

[0056] 제1 타이밍(t1)에서, 노드 제어부()는 스타트펄스(VST)를 입력받아서 Q 노드를 프리차지한다. 제1 타이밍(t1)에서 Q 노드의 전압은 프리차지전압(Vp)이 된다.

[0057] 제2 타이밍(t2)에서, 제1 풀업 트랜지스터(Tpu1)는 제1 클럭(CLK1)을 입력받아서 Q 노드를 충전한다. 제1 풀업 트랜지스터(Tpu1)의 드레인전극의 전압은 제1 클럭(CLK1)으로 인해서 상승하고, 그 결과 Q 노드는 부트스트래핑(bootstrapping)된다. Q 노드는 프리차지전압(Vp)에서 제1 부트스트래핑 전압(Vb1)으로 상승하고, 제1 출력단(Nout1)은 제1 게이트펄스(Gout1)를 출력한다.

[0058] 제3 타이밍(t3)에서, 제1 클럭(CLK1)은 저전위전압이 된다. 그 결과 제1 풀업 트랜지스터(Tpu1)에 의한 부트스트래핑은 발생하지 않고, Q 노드의 전압은 프리차지 전압(Vp)으로 낮아진다.

[0059] 제4 타이밍(t4)에서, 제4 풀업 트랜지스터(Tpu4)의 드레인전극에는 제4 클럭(CLK4)이 인가되고, Q 노드는 다시 제1 부트스트래핑 전압(Vb1)으로 상승한다. 제4 풀업 트랜지스터(Tpu4)는 제4 클럭(CLK4)을 이용하여 제4 출력단(Nout4)을 충전하고, 그 결과 제4 게이트펄스(Gout4)가 출력된다.

[0060] 제5 타이밍(t5)에서, 제4 클럭(CLK4)의 전압은 저전위전압이 되고, 제4 출력단(Nout4)의 전압은 저전위전압(VSS)으로 방전된다.

[0061] 이와 같이, 제2 실시 예에 의한 스테이지에 속하는 제1 풀업 트랜지스터(Tpu1) 및 제4 풀업 트랜지스터(Tpu4)는 서로 중첩되지 않는 클럭을 이용하여 게이트펄스를 출력한다. 따라서, 제1 풀업 트랜지스터(Tpu1)와 제4 풀업 트랜지스터(Tpu4)가 Q 노드를 공유하여 구동하여도, 제4 풀업 트랜지스터(Tpu4)가 출력하는 제4 게이트펄스()의 전압은 제1 풀업 트랜지스터(Tpu1)에 의한 Q 노드의 부트스트래핑 전압에 의한 영향을 받지 않는다.

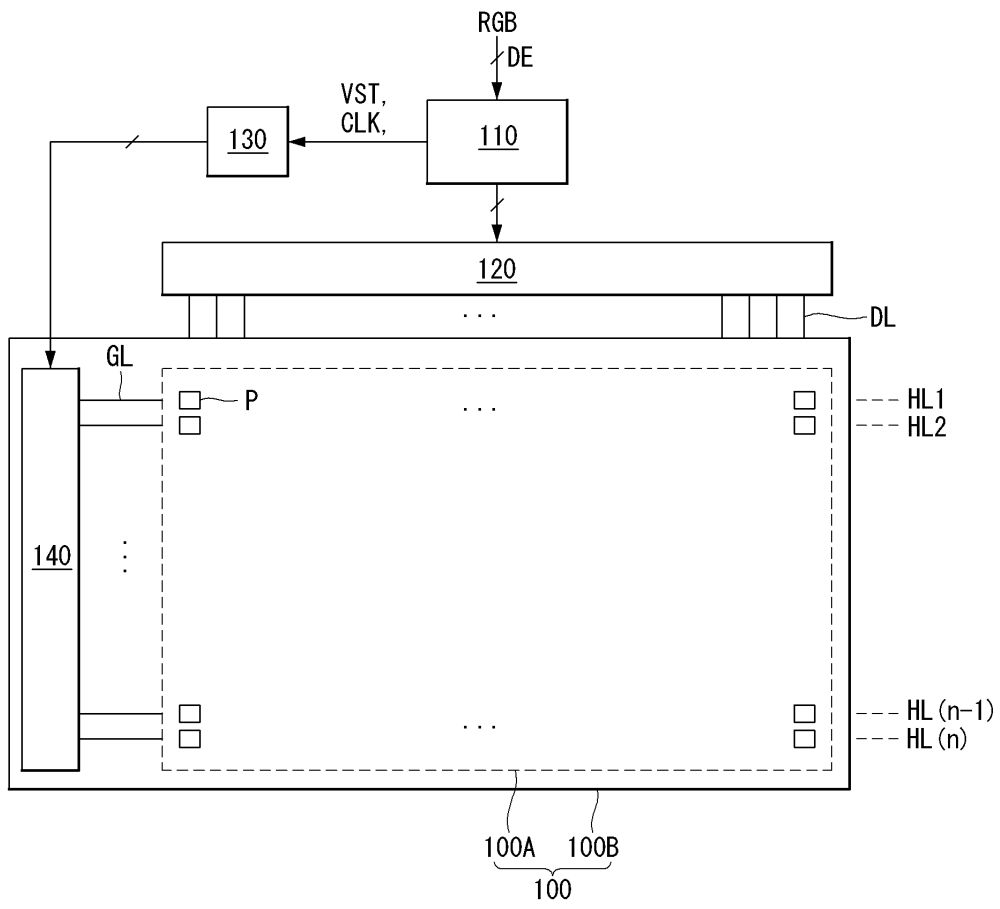
[0062] 이상 설명한 내용을 통해 당업자라면 본 명세서의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 명세서의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

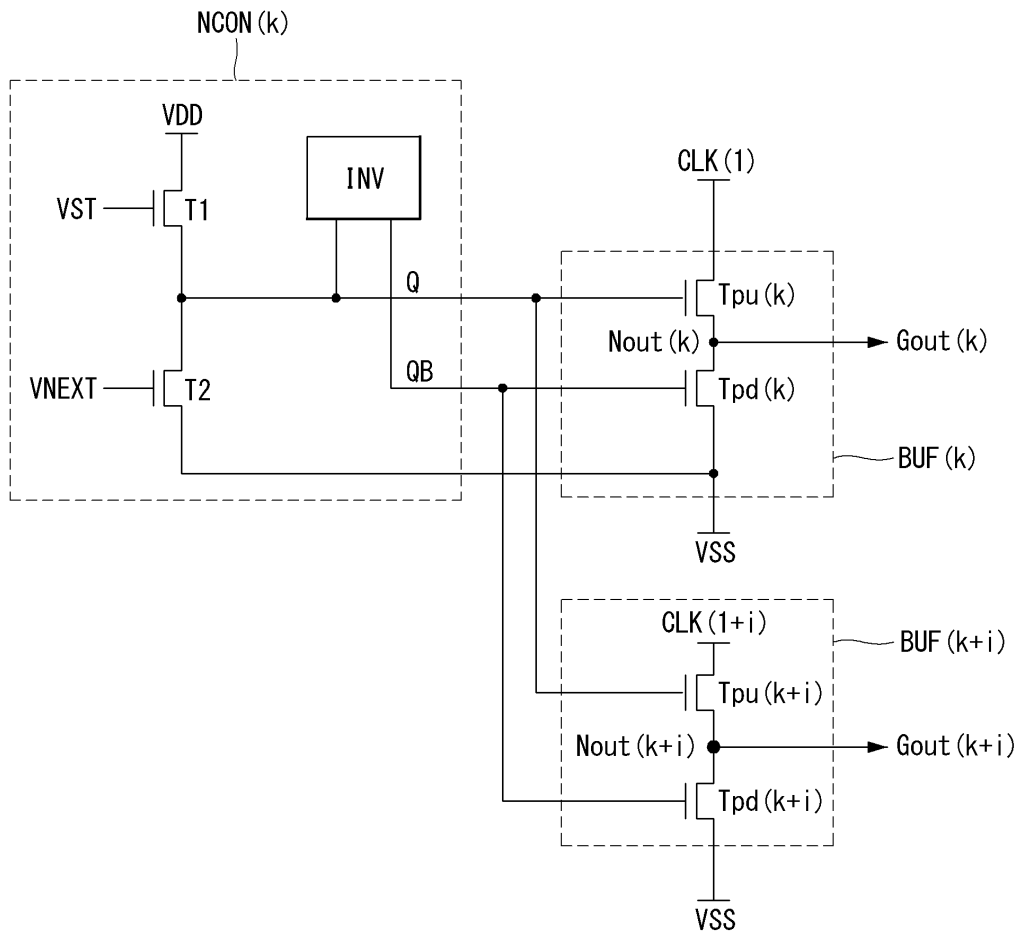
[0063] 100: 표시패널 110: 타이밍 컨트롤러
120: 데이터 구동회로 130,140: 게이트 구동회로
NCON: 노드 제어부

도면

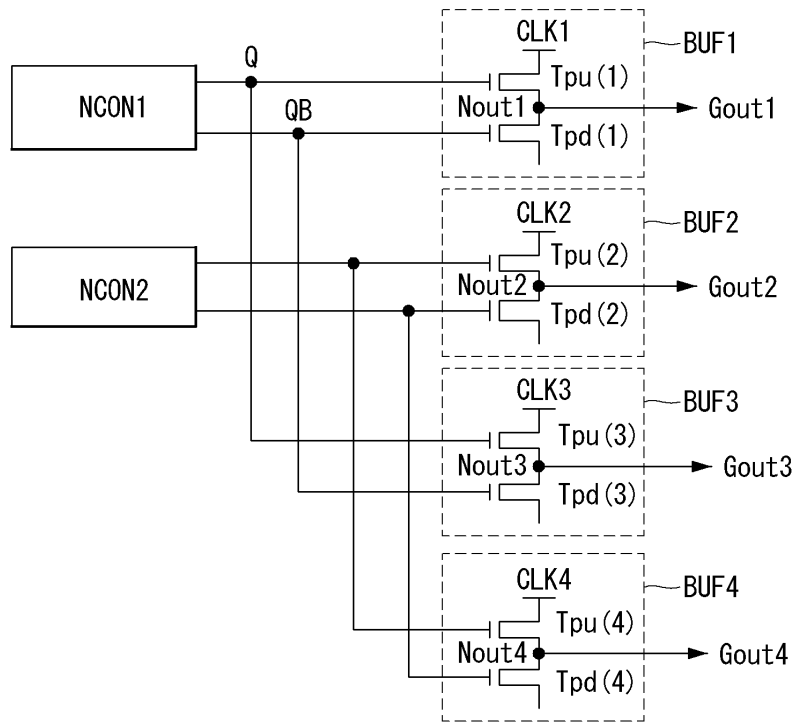
도면1



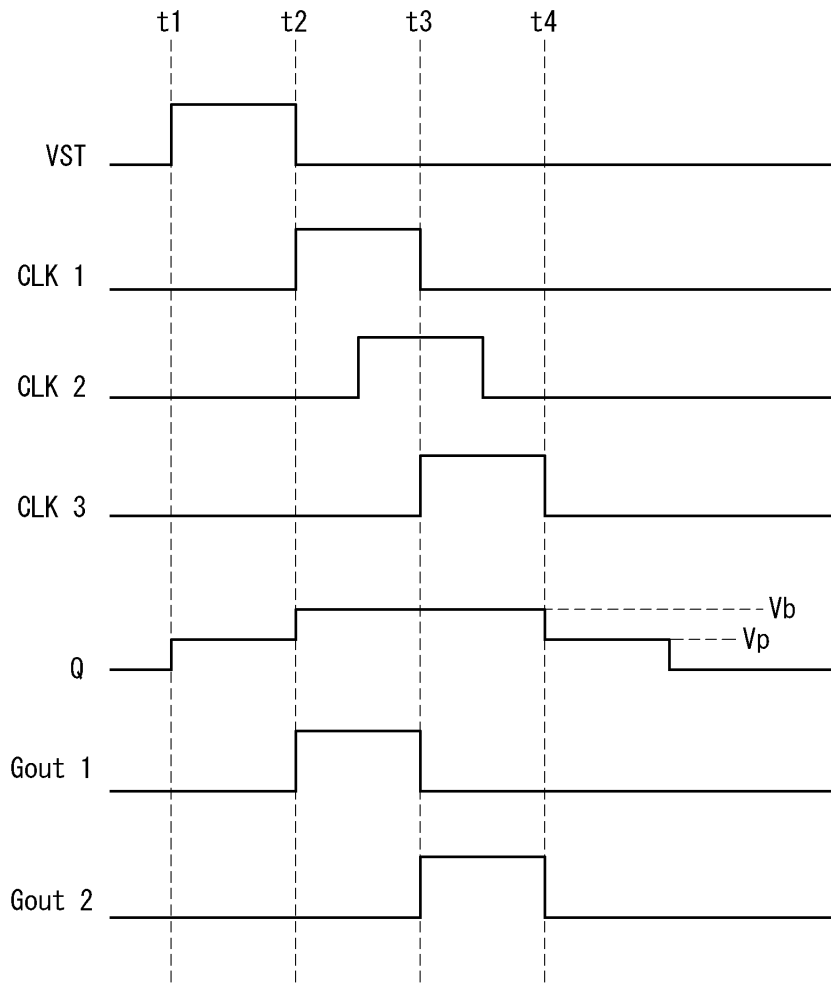
도면2



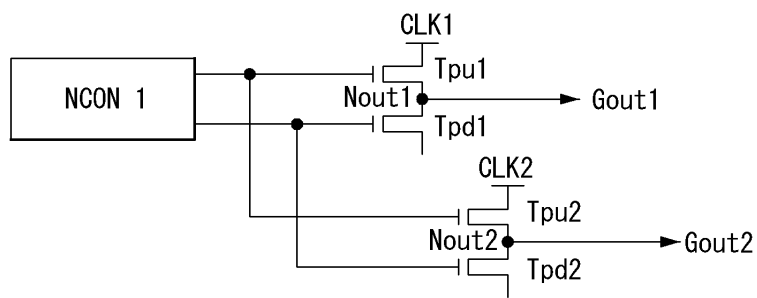
도면3



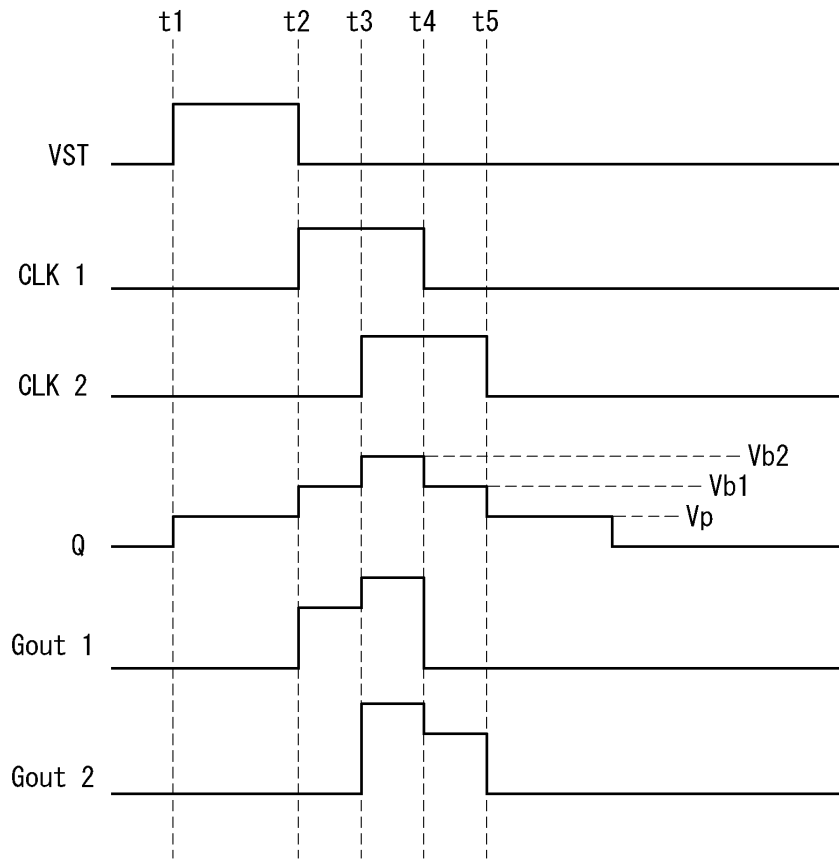
도면4



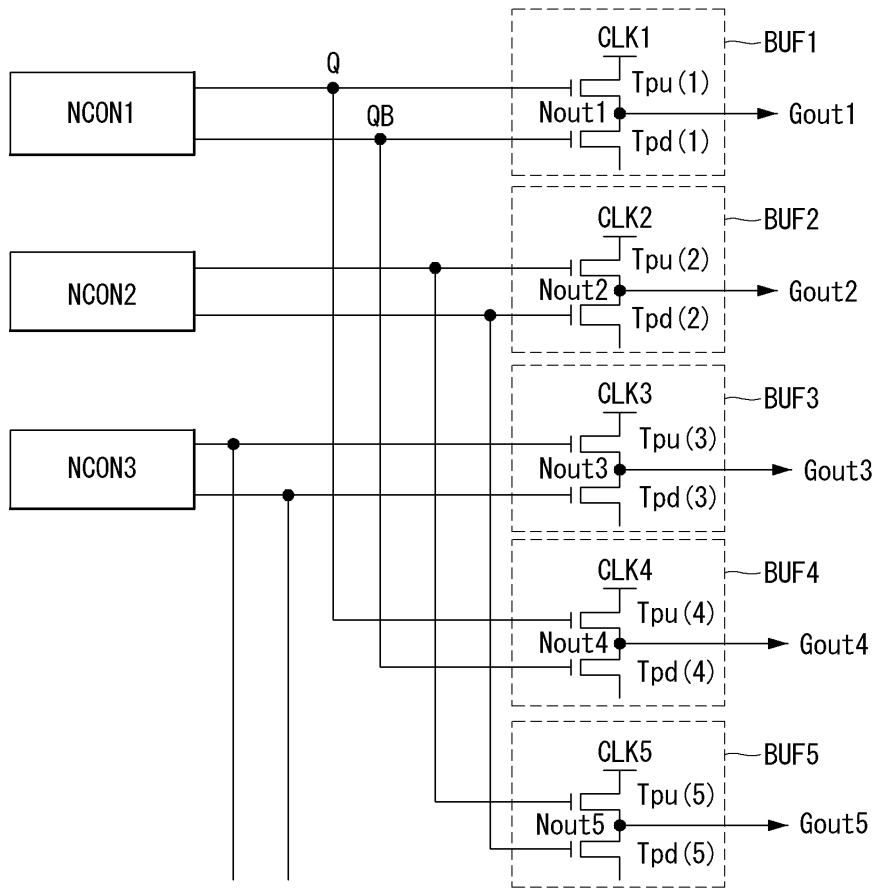
도면5



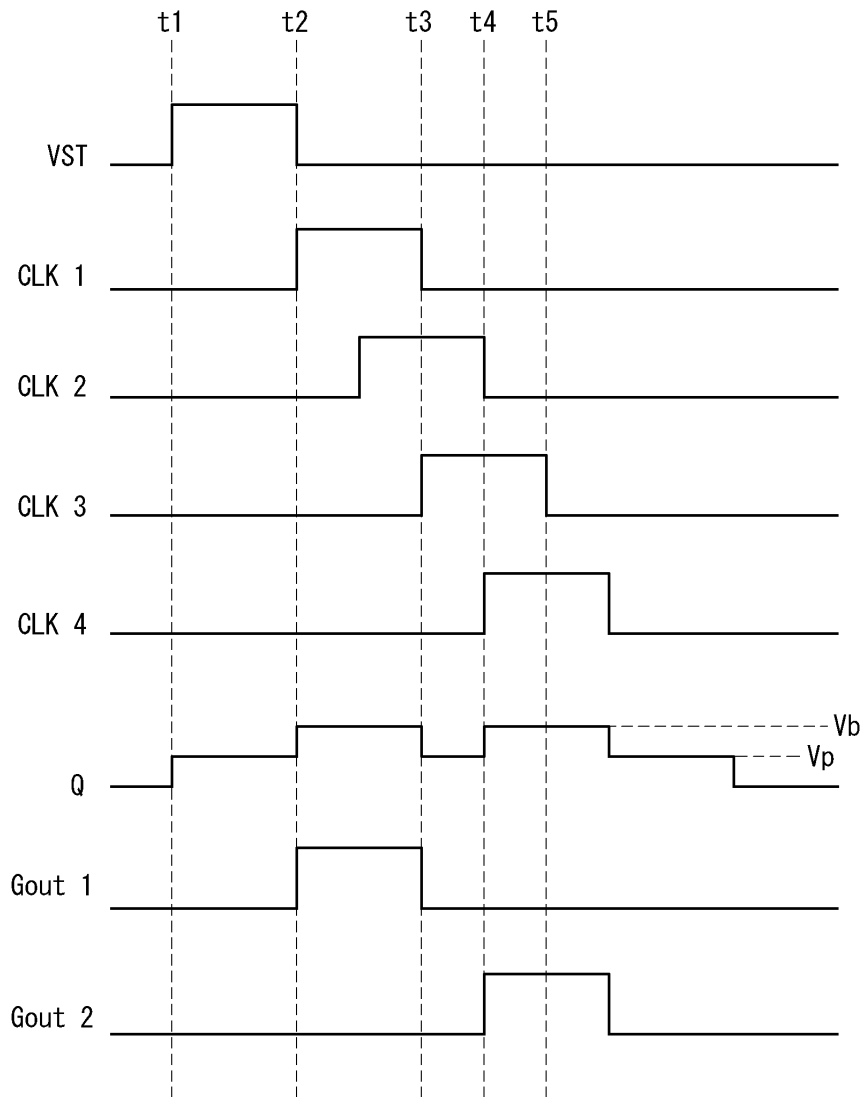
도면6



도면7



도면8



专利名称(译)	栅极驱动电路和包括其的有机发光显示器		
公开(公告)号	KR1020190066984A	公开(公告)日	2019-06-14
申请号	KR1020170166927	申请日	2017-12-06
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	최우석		
发明人	최우석		
IPC分类号	G09G3/3266		
CPC分类号	G09G3/3266 G09G2230/00 G09G2300/0408		
外部链接	Espacenet		

摘要(译)

根据本发明的显示装置包括显示面板和栅极驱动电路。在显示面板上提供多条选通线以将选通脉冲提供给每个像素。选通驱动电路包括彼此独立地连接的多个级，并且该级分别将选通脉冲提供给一对选通线。一级输出的一对选通脉冲彼此不重叠。

