



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0078018
(43) 공개일자 2018년07월09일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 29/786 (2006.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/1222 (2013.01)
(21) 출원번호 10-2016-0182953
(22) 출원일자 2016년12월29일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김중철
경기도 파주시 가온로 256, 1101동 1904호(와동동, 가람마을11단지 동문굿모닝힐아파트)
권준영
부산광역시 부산진구 백양관문로 10, 303동 1206호(당감동, 개금주공3단지아파트)
(74) 대리인
특허법인인벤투스

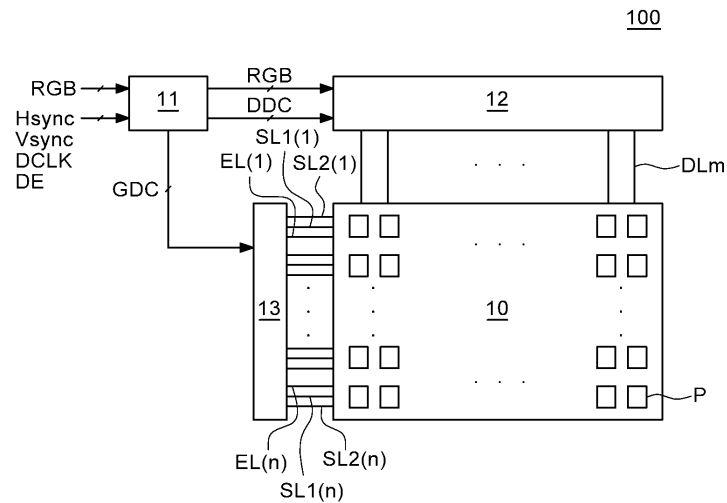
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 전계 발광 표시 장치 및 그 제조 방법

(57) 요약

전계 발광 다이오드, 전계 발광 다이오드에 전류를 공급하도록 구성된 구동 트랜지스터 및 구동 트랜지스터에 공급되는 신호를 스위칭하도록 구성된 스위칭 트랜지스터를 포함하는 회로를 포함하고, 구동 트랜지스터의 채널 영역 및 스위칭 트랜지스터의 채널 영역의 면적은 서로 상이하고, 구동 트랜지스터 및 스위칭 트랜지스터의 채널 영역들의 테이퍼 각도 편차는 10° 이하인 것을 특징으로 하는, 전계 발광 표시 장치가 제공된다.

대표도 - 도1



(52) CPC특허분류

H01L 29/78696 (2013.01)

H01L 2227/323 (2013.01)

명세서

청구범위

청구항 1

전계 발광 다이오드, 상기 전계 발광 다이오드에 전류를 공급하도록 구성된 구동 트랜지스터 및 상기 구동 트랜지스터에 공급되는 신호를 스위칭하도록 구성된 스위칭 트랜지스터를 포함하는 화소를 포함하고,

상기 구동 트랜지스터의 채널 영역 및 상기 스위칭 트랜지스터의 채널 영역의 면적은 서로 상이하고,

상기 구동 트랜지스터 및 상기 스위칭 트랜지스터의 상기 채널 영역들의 테이퍼 각도 편차는 10° 이하인 것을 특징으로 하는, 전계 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 구동 트랜지스터 및 상기 스위칭 트랜지스터의 상기 채널 영역들의 상기 테이퍼 각도 편차는 드라이 에칭 공정 시 O_2 가스의 유량에 따라 조절된 것을 특징으로 하는, 전계 발광 표시 장치.

청구항 3

제1항에 있어서,

상기 테이퍼 각도 편차는 5° 이하인 것을 특징으로 하는, 전계 발광 표시 장치.

청구항 4

제3항에 있어서,

상기 구동 트랜지스터 및 상기 스위칭 트랜지스터의 상기 채널 영역들은 40% 이상의 O_2 가스 유량에 의해서 드라이 에칭된 것을 특징으로 하는, 전계 발광 표시 장치.

청구항 5

제3항에 있어서,

상기 테이퍼 각도 편차는 1° 이하인 것을 특징으로 하는, 전계 발광 표시 장치.

청구항 6

제5항에 있어서,

상기 구동 트랜지스터 및 상기 스위칭 트랜지스터의 상기 채널 영역들은 50% 이상의 O_2 가스 유량에 의해서 드라이 에칭된 것을 특징으로 하는, 전계 발광 표시 장치.

청구항 7

제1항에 있어서,

상기 구동 트랜지스터 및 상기 스위칭 트랜지스터의 상기 채널 영역들의 테이퍼 각도들은 20° 이하인 것을 특징으로 하는, 전계 발광 표시 장치.

청구항 8

제7항에 있어서,

상기 구동 트랜지스터 및 상기 스위칭 트랜지스터의 상기 채널 영역들의 상기 테이퍼 각도들은 10° 이하인 것을 특징으로 하는, 전계 발광 표시 장치.

청구항 9

제8항에 있어서,

상기 구동 트랜지스터 및 상기 스위칭 트랜지스터의 상기 채널 영역들의 상기 테이퍼 각도 편차는 5° 이하인 것을 특징으로 하는, 전계 발광 표시 장치.

청구항 10

제1항에 있어서,

상기 구동 트랜지스터의 상기 채널 영역의 면적은 상기 스위칭 트랜지스터의 상기 채널 영역의 면적보다 더 넓은 것을 특징으로 하는, 전계 발광 표시 장치.

청구항 11

제1항에 있어서,

상기 구동 트랜지스터 및 상기 스위칭 트랜지스터를 구성하는 반도체층은 저온 폴리 실리콘층을 포함하는 것을 특징으로 하는, 전계 발광 표시 장치.

청구항 12

기관상에 반도체층을 제공하는 단계;

포토리소그래피 공정으로, 상기 반도체층 상에 포토-리지스트를 패터닝하는 단계; 및

적어도 30% 이상의 O_2 가스 유량의 드라이 에칭 공정으로, 상기 반도체층을 포함하는 구동 트랜지스터 및 스위칭 트랜지스터의 채널 영역들의 테이퍼 각도를 특정 각도 이하로 패터닝하는 단계;를 포함하는, 전계 발광 표시 장치의 제조 방법.

청구항 13

제12항에 있어서,

상기 반도체층을 제공하는 단계에 있어서, 상기 반도체층은 레이저로 결정화된 저온 폴리 실리콘층인 것을 특징으로 하는, 전계 발광 표시 장치의 제조 방법.

청구항 14

제12항에 있어서,

상기 특정 각도는 20° 이하인 것을 특징으로 하는, 전계 발광 표시 장치의 제조 방법.

청구항 15

제14항에 있어서,

상기 특정 각도는 10° 이하이고, 상기 O_2 가스 유량은 50% 이상 것을 특징으로 하는, 전계 발광 표시 장치의 제조 방법.

청구항 16

제12항에 있어서,

상기 드라이 에칭 공정에 사용되는 상기 가스는, CF_4 , SF_6 , He, HCl 및 Cl_2 중 적어도 하나의 가스와 O_2 가스를 혼합한 가스인 것을 특징으로 하는, 전계 발광 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 액티브 매트릭스 타입의 전계 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 자발광 소자인 전계 발광 소자는 애노드 전극 및 캐소드 전극과, 이들 사이에 형성된 전계 발광층을 포함한다. 전계 발광층은 정공 수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 및 전자 수송층(Electron transport layer, ETL)으로 이루어진다. 애노드 전극과 캐소드 전극에 전압이 인가되면 정공 수송층(HTL)을 통과한 정공과 전자 수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다. 액티브 매트릭스 타입의 전계 발광 표시 장치는 스스로 발광하는 전계 발광 소자(ELECTRO-LUMINECENSE)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점으로 인해서 다양하게 이용되고 있다.

[0003] 전계 발광 표시 장치는 전계 발광 다이오드(ELECTRO-LUMINECENSE DIODE; ELD)를 각각 포함한 화소(Pixel; P)들을 매트릭스 형태로 배열하고 비디오 데이터의 계조(gray level)에 따라 화소들의 휘도를 조절한다. 화소들 각각은 게이트-소스 간 전압에 따라 전계 발광 다이오드에 흐르는 구동전류를 제어하는 구동 트랜지스터, 및 구동 트랜지스터의 게이트-소스 간 전압을 프로그래밍하는 적어도 하나 이상의 스위치 트랜지스터를 포함한다. 구동 전류는 데이터 전압에 따른 구동 트랜지스터의 게이트-소스 간 전압과, 구동 트랜지스터의 문턱 전압에 의해 결정되며, 화소의 휘도는 전계 발광 다이오드에 흐르는 구동전류의 크기에 비례한다.

[0004] 따라서, 화소의 휘도를 원하는 값으로 표시하기 위해서는 구동 트랜지스터의 게이트 전극과 소스 전극의 전압을 정확하고 안정적으로 유지하여야 하는데, 여러 가지 이유로 각 전극의 전압이 불안정하거나 원치 않는 변동이 발생할 수 있다.

[0005] 예를 들면, 트랜지스터들의 문턱 전압(V_{th}) 편차가 존재할 수 있으며, 스캔 라인들, 에미션 라인들 및 데이터 라인들은 주변 단자들과 기생 커패시턴스를 형성할 수 있다. 그 결과 스캔 신호, 에미션 신호 및 데이터 신호의 전압이 바뀔 때, 주변 단자들에 킥백(kickback) 전압이 발생할 수 있다. 이때 킥백 전압은 킥백 전압이 발생하는 주변 단자들의 위치에 따라 불균일하게 발생할 수 있다.

[0006] 종래에는 내부 보상 회로 또는 외부 보상 회로 기술을 활용하여 문턱 전압 편차(ΔV_{th})를 보상하려는 다양한 시도들이 존재했다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 발명자는 우수한 표시 영상을 제공할 수 있는 전계 발광 표시 장치의 구조 및 제조 방법에 대한 연구 및 개발을 하였다.

[0008] 특히 본 발명의 발명자는, 전계 발광 표시 장치의 화소의 트랜지스터들의 채널 영역들의 테이퍼 각도 편차가 표시 영상의 화질에 영향을 준다는 사실을 인식하였다. 특히, 트랜지스터들의 채널 영역들의 테이퍼 각도들은 채널 영역의 면적에 따라 상이해진다는 것을 인식하였다. 부연 설명하면, 채널 영역의 면적이 작을수록, 테이퍼 각도가 증가하는 현상을 발견하였고, 채널 영역의 면적 차이가 증가할수록 테이퍼 각도 편차도 증가하는 현상을 발견하였다.

[0009] 특히, 본 발명의 발명자는, 트랜지스터들의 테이퍼 각도 편차가 증가할수록, 트랜지스터들간의 문턱 전압 편차가 증가한다는 사실을 인식하였으며, 이에 따라 화소내 킥백 전압이 증가하고, 복원 잔상 불량이 발생한다는 사실도 인식하였다.

[0010] 더욱이, 본 발명의 발명자는, 구동 트랜지스터와 스위칭 트랜지스터 간의 문턱전압 편차 발생시, 종래의 보상회로의 보상 성능이 저하되는 사실도 인식하였다.

[0011] 이에 본 발명이 해결하고자 하는 과제는, 화소의 채널 영역의 면적이 상이한 트랜지스터들, 예를 들면, 구동 트랜지스터 및 스위칭 트랜지스터를 포함하는 화소의 테이퍼 각도 편차가 저감된, 전계 발광 표시 장치는 제공하는 것이다.

과제의 해결 수단

[0012] 본 발명의 일 실시예에 따른, 전계 발광 다이오드, 전계 발광 다이오드에 전류를 공급하도록 구성된 구동 트랜

지스터 및 구동 트랜지스터에 공급되는 신호를 스위칭하도록 구성된 스위칭 트랜지스터를 포함하는 화소를 포함하고, 구동 트랜지스터의 채널 영역 및 스위칭 트랜지스터의 채널 영역의 면적은 서로 상이하고, 구동 트랜지스터 및 스위칭 트랜지스터의 채널 영역들의 테이퍼 각도 편차는 10° 이하인, 전계 발광 표시 장치가 제공된다.

- [0013] 본 발명의 다른 특징에 따르면, 구동 트랜지스터 및 스위칭 트랜지스터의 채널 영역들의 테이퍼 각도 편차는 드라이 에칭 공정 시 O_2 가스의 유량에 따라 조절된 것을 특징으로 한다.
- [0014] 본 발명의 또 다른 특징에 따르면, 테이퍼 각도 편차는 5° 이하인 것을 특징으로 한다.
- [0015] 본 발명의 또 다른 특징에 따르면, 구동 트랜지스터 및 스위칭 트랜지스터의 채널 영역들은 40% 이상의 O_2 가스 유량에 의해서 드라이 에칭된 것을 특징으로 한다.
- [0016] 본 발명의 또 다른 특징에 따르면, 테이퍼 각도 편차는 1° 이하인 것을 특징으로 한다.
- [0017] 본 발명의 또 다른 특징에 따르면, 구동 트랜지스터 및 스위칭 트랜지스터의 채널 영역들은 50% 이상의 O_2 가스 유량에 의해서 드라이 에칭된 것을 특징으로 한다.
- [0018] 본 발명의 또 다른 특징에 따르면, 구동 트랜지스터 및 스위칭 트랜지스터의 채널 영역들의 테이퍼 각도들은 20° 이하인 것을 특징으로 한다.
- [0019] 본 발명의 또 다른 특징에 따르면, 구동 트랜지스터 및 스위칭 트랜지스터의 채널 영역들의 테이퍼 각도들은 10° 이하인 것을 특징으로 한다.
- [0020] 본 발명의 또 다른 특징에 따르면, 구동 트랜지스터 및 스위칭 트랜지스터의 채널 영역들의 테이퍼 각도 편차는 5° 이하인 것을 특징으로 한다.
- [0021] 본 발명의 또 다른 특징에 따르면, 구동 트랜지스터의 채널 영역의 면적은 스위칭 트랜지스터의 채널 영역의 면적보다 더 넓은 것을 특징으로 한다.
- [0022] 본 발명의 또 다른 특징에 따르면, 구동 트랜지스터 및 스위칭 트랜지스터를 구성하는 반도체층은 저온 폴리 실리콘층을 포함하는 것을 특징으로 한다.
- [0023] 본 발명의 다른 실시예에 따른, 기판상에 반도체층을 제공하는 단계, 포토리소그라피 공정으로, 반도체층 상에 포토-리지스트를 패터닝하는 단계 및 적어도 30% 이상의 O_2 가스 유량의 드라이 에칭 공정으로, 반도체층을 포함하는 구동 트랜지스터 및 스위칭 트랜지스터의 채널 영역들의 테이퍼 각도를 특정 각도 이하로 패터닝하는 단계를 포함하는, 전계 발광 표시 장치의 제조 방법이 제공된다.
- [0024] 본 발명의 또 다른 특징에 따르면, 반도체층을 제공하는 단계에 있어서, 반도체층은 레이저로 결정화된 저온 폴리 실리콘층인 것을 특징으로 한다.
- [0025] 본 발명의 또 다른 특징에 따르면, 특정 각도는 20° 이하인 것을 특징으로 한다.
- [0026] 본 발명의 또 다른 특징에 따르면, 특정 각도는 10° 이하이고, O_2 가스 유량은 50% 이상 것을 특징으로 한다.
- [0027] 본 발명의 또 다른 특징에 따르면, 드라이 에칭 공정에 사용되는 가스는, CF_4 , SF_6 , He, HCl 및 Cl_2 중 적어도 하나의 가스와 O_2 가스를 혼합한 가스인 것을 특징으로 한다.
- [0028] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0029] 본 발명의 실시예들에 따르면, 전계 발광 표시 장치의 화소의 트랜지스터들의 테이퍼 각도를 특정 각도 이하로 형성함으로써, 휘도 균일도 향상 및 복원 잔상 특성을 향상할 수 있는 장점이 있다.
- [0030] 본 발명의 실시예들에 따르면, 전계 발광 표시 장치의 트랜지스터들의 테이퍼 각도 편차가 특정 값 이하가 되도록 이하로 형성함으로써, 채널 영역의 면적이 상이한 트랜지스터들의 문턱 전압 편차를 저감할 수 있는 장점이 있다.
- [0031] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0032] 도 1은 본 발명의 일 실시예에 따른 전계 발광 표시 장치를 개략적으로 설명하는 개념도이다.
- 도 2는 도 1의 표시 패널의 화소를 개략적으로 설명하는 등가 회로도이다.
- 도 3은 화소를 구동하는 게이트 신호를 나타내는 파형도 및 이에 따른 화소들의 주요 노드 전압을 나타내는 개략적인 파형도이다.
- 도 4a는 초기화 기간 동안 화소의 등가 회로도이다.
- 도 4b는 샘플링 기간 동안 화소의 등가 회로도이다.
- 도 4c는 에미션 기간 동안 화소의 등가 회로도이다.
- 도 5는 샘플링 기간과 에미션 기간의 변동시점에서 구동 트랜지스터의 게이트 전극과 다른 전극(또는 신호 라인)이 형성하는 기생 커패시턴스를 나타내는 개략적인 회로도이다.
- 도 6a는 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 화소의 구동 트랜지스터(DT)를 개략적으로 설명하는 평면도이다.
- 도 6b는 도 6a의 절단면 A-A'의 개략적인 단면도이다.
- 도 7a는 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 화소의 일 스위칭 트랜지스터를 개략적으로 설명하는 평면도이다.
- 도 7b는 도 7a의 절단면 B-B'의 개략적인 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0034] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0035] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0036] 위치 관계에 대한 설명일 경우, 예를 들면, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0037] 소자 또는 층이 다른 소자 또는 층 "위 (on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.
- [0038] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0039] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0040] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.
- [0041] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.

- [0042] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0043] 본 발명의 실시예들의 트랜지스터들은 P 타입으로 도시되어 있으나, 본 발명의 기술적 사상은 이에 한정되지 않고 N 타입으로 구현되는 경우에도 적용될 수 있다.
- [0044] 도 1은 본 발명의 일 실시예에 따른 전계 발광 표시 장치(100)를 개략적으로 설명하는 개념도이다.
- [0045] 이하 도 1을 참조하여 본 발명의 일 실시예에 따른 전계 발광 표시 장치(100)를 설명한다.
- [0046] 본 발명의 실시예에 따른 전계 발광 표시 장치(100)는 복수의 화소(P)들이 형성된 표시 패널(10)과, 데이터 라인들(DL[1]~DL[m])을 구동하기 위한 데이터 구동부(12), 게이트 라인들(EL[1]~EL[n], SL1[1]~SL1[n], SL2[1]~SL2[n])을 구동시키기 위한 게이트 구동부(13), 데이터 구동부(12) 및 게이트 구동부(13)의 구동 타이밍을 제어하기 위한 타이밍 컨트롤러(11)를 구비한다.
- [0047] 표시 패널(10)에는 복수의 화소(P)들이 배치되어 영상을 표시하도록 구성된다. n 번째 수평 라인에 배치된 화소(P)들은 n 번째 에미션 라인(EL; emission line), n 번째 제1 스캔 라인(SL1; scan line 1), n 번째 및 n-1 번째 제2 스캔 라인(SL2; scan line 2)과 전기적으로 연결된다. 하나의 열에 배치된 화소(P)들은 하나의 데이터 라인(DL; data line)과 전기적으로 연결된다.
- [0048] 화소(P)를 구성하는 트랜지스터(TFT)들은 다결정 실리콘(polycrystalline silicon, poly-Si)으로 형성될 수 있다.
- [0049] 화소 영역 내에 배치된 복수의 화소(P)들은 전원 공급부로부터 고전위 전압(ELVDD), 저전위 전압(ELVSS) 및 초기화 전압(Vini)을 공급받도록 구성된다. 초기화 기간 및 샘플링 기간에서 전계 발광 다이오드(ELD)의 불필요한 발광이 방지되도록, 초기화 전압(Vini)은 전계 발광 다이오드(ELD)의 동작전압보다 충분히 낮은 전압 범위 내에서 선택될 수 있다. 즉, 초기화 전압(Vini)은 저전위 전압(ELVSS)과 같거나 낮게 설정될 수 있다. 따라서, 초기화 기간에 초기화 전압(Vini)이 저전위 전압(ELVSS)보다 낮은 전압이 인가됨으로써, 전계 발광 다이오드(ELD)의 수명을 증가시킬 수 있다.
- [0050] 타이밍 컨트롤러(11)는 외부로부터 입력되는 디지털 비디오 데이터(RGB)를 표시 패널(10)의 해상도에 맞게 재정렬하여 데이터 구동부(12)에 공급한다. 또한, 타이밍 컨트롤러(11)는 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 도트 클럭 신호(DCLK) 및 데이터 인에이블 신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동부(12)의 동작 타이밍을 제어하기 위한 데이터 제어 신호(DDC)와, 게이트 구동부(13)의 동작 타이밍을 제어하기 위한 게이트 제어 신호(GDC)를 발생한다.
- [0051] 데이터 구동부(12)는 데이터 제어 신호(DDC)를 기반으로 타이밍 컨트롤러(11)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 데이터 전압으로 변환한다.
- [0052] 게이트 구동부(13)는 게이트 제어 신호(GDC)를 기반으로 스캔 신호와 에미션 신호를 생성할 수 있다. 게이트 구동부(13)는 스캔 구동부와 에미션 구동부를 포함하도록 구성될 수 있다. 스캔 구동부는 제1 스캔 라인(SL1) 및 제2 스캔 라인(SL2)에 각각 제1 스캔 신호(SCAN1) 및 제2 스캔 신호(SCAN2)를 인가하고, 에미션 구동부는 에미션 라인(EL)에 에미션 신호(EM)를 인가한다. 이러한 게이트 구동부(13)는 GIP(Gate-driver In Panel) 방식에 따라 표시 패널(10)의 비 표시영역 상에 직접 형성될 수 있다. 단 본 발명은 상술한 구성들에 제한되지 않으며, 상술한 구성은 본 발명의 예시적인 일 실시예일뿐이다.
- [0053] 도 2는 도 1의 표시 패널(10)의 화소(P)를 개략적으로 설명하는 등가 회로도이다.
- [0054] 이하 도 2를 참조하여, 본 발명의 일 실시예에 따른 전계 발광 표시 장치(100)의 표시 패널(10)의 화소(P)에 대하여 구체적으로 설명한다.
- [0055] 화소(P)들 각각은 전계 발광 다이오드(ELD) 구동 트랜지스터(DT), 제1 내지 제6 트랜지스터(T1~T6) 및 커패시터(Cst)를 포함한다. 단 본 발명은 상술한 구성들에 제한되지 않으며, 상술한 구성은 본 발명의 예시적인 일 실시예일뿐이다. 제1 내지 제6 트랜지스터(T1~T6)들은 스위칭 트랜지스터(switching transistor; ST)로 지칭될 수 있다.
- [0056] 전계 발광 다이오드(ELD)는 구동 트랜지스터(DT)로부터 공급되는 구동 전류에 의해 발광한다. 전계 발광 다이오드(ELD)의 애노드(anode) 전극과 캐소드(cathode) 전극 사이에는 기능층들이 형성된다.
- [0057] 기능층들은 적어도 하나의 정공 전달층 및 전자 전달층과, 발광층(Emission layer; EML)을 포함할 수 있다.

- [0058] 정공 전달층은 발광층으로 정공을 주입하거나 정공을 전달하는 층으로, 예를 들어, 정공 주입층(Hole injection layer; HIL), 정공 수송층(Hole transport layer; HTL), 및 전자 저지층(Electron blocking layer; EBL) 등일 수 있다.
- [0059] 전자 전달층은 발광층에 전자를 주입하거나 전자를 전달하는 층으로, 예를 들어, 전자 수송층(Electron transport layer; ETL), 전자 주입층(Electron Injection layer; EIL), 및 정공 저지층(Hole blocking layer; HBL) 등일 수 있다.
- [0060] 전계 발광 다이오드(ELD)의 애노드 전극은 제4 노드(N4)에 접속되고, 전계 발광 다이오드(ELD)의 캐소드 전극은 저전위 전압(ELVSS)의 입력단에 접속된다.
- [0061] 구동 트랜지스터(DT)는 자신의 소스-게이트 간 전압(V_{sg})에 따라 전계 발광 다이오드(ELD)에 인가되는 구동전류를 제어한다. 구동 트랜지스터(DT)의 소스 전극은 제1 노드(N1)에 접속되고, 게이트 전극은 제2 노드(N2)에 접속되고, 드레인 전극은 제3 노드(N3)에 접속된다.
- [0062] 제1 트랜지스터(T1)는 제3 노드(N3)에 접속되는 소스 전극, 제2 노드(N2)에 접속되는 드레인 전극 및 n 번째 제1 스캔 라인(SL1[N])에 접속하는 게이트 전극을 포함한다. 제1 트랜지스터(T1)는 n 번째 제1 스캔 신호(SCAN1[N])에 응답하여, 구동 트랜지스터(DT)의 게이트-드레인 전극의 다이오드 커넥션(diode connection, 게이트 전극과 드레인 전극이 쇼트되어 트랜지스터가 다이오드처럼 동작)을 구성한다.
- [0063] 제2 트랜지스터(T2)는 데이터 라인(DL)에 연결되는 소스 전극, 제1 노드(N1)에 연결되는 드레인 전극 및 제1 스캔 라인(SL1)에 연결되는 게이트 전극을 포함한다. 그 결과, 제2 트랜지스터(T2)는 제1 스캔 신호(SCAN1(N))에 응답하여, 데이터 라인(DL1)으로부터 공급받는 데이터 전압(V_{data})을 제1 노드(N1)에 인가한다.
- [0064] 제3 트랜지스터(T3)는 고전위 전압 라인(VDD)에 연결되는 소스 전극, 제1 노드(N1)에 연결되는 드레인 전극 및 에미션 라인(EL)에 연결되는 게이트 전극을 포함한다. 그 결과, 제3 트랜지스터(T3)는 에미션 신호(EM)에 응답하여 고전위 전압(VDD)을 제1 노드(N1)에 인가한다.
- [0065] 제4 트랜지스터(T4)는 제3 노드(N3)에 접속하는 소스 전극, 제4 노드(N4)에 접속하는 드레인 전극 및 에미션 라인(EL)에 접속하는 게이트 전극을 포함한다. 제4 트랜지스터(T4)는 에미션 신호(EM)에 응답하여 제3 노드(N3)와 제4 노드(N4) 간의 전류 패스를 형성한다.
- [0066] 제5 트랜지스터(T5)는 제2 노드(N2)에 연결되는 드레인 전극, 초기화 전압(V_{ini}) 입력단에 연결되는 소스 전극 및 $n-1$ 번째 제2 스캔 라인(SL2[N-1])에 연결되는 게이트 전극을 포함한다. 제5 트랜지스터(T5)는 $n-1$ 번째 제2 스캔 신호(SCAN2[N-1])에 응답하여 초기화 전압(V_{ini})을 제2 노드(N2)에 인가한다.
- [0067] 제6 트랜지스터(T6)는 제4 노드(N4)에 연결되는 드레인 전극 초기화 전압(V_{ini}) 입력단에 연결되는 소스 전극 및 n 번째 제2 스캔 라인(SL2[N])에 연결되는 게이트 전극을 포함한다. 제5 트랜지스터(T5)는 n 번째 제2 스캔 신호(SCAN2[N])에 응답하여 초기화 전압(V_{ini})을 제4 노드(N4)에 인가한다.
- [0068] 스토리지 커패시터(Cst)는 제2 노드(N2)에 연결되는 제1 전극 및 고전위 전압 라인(VDD)에 연결되는 제2 전극을 포함한다. 단 본 발명은 상술한 구성들에 제한되지 않으며, 상술한 구성은 본 발명의 예시적인 일 실시예일 뿐이다.
- [0069] 도 3은 화소(P)를 구동하는 게이트 신호를 나타내는 파형도 및 이에 따른 화소(P)들의 주요 노드 전압을 나타내는 개략적인 파형도이다.
- [0070] 도 4a는 초기화 기간 동안 화소(P)의 등가 회로도이고, 도 4b는 샘플링 기간 동안 화소(P)의 등가 회로도이고, 도 4c는 에미션 기간 동안 화소(P)의 등가 회로도이다.
- [0071] 이하 도 2 내지 도 4c를 참조하여, 본 발명에 의한 전계 발광 표시 장치의 구동을 설명한다.
- [0072] 본 발명의 일 실시예에 따른 전계 발광 표시 장치(100)에서 한 프레임 기간은 초기화 기간(T_i), 샘플링 기간(T_s) 및 에미션 기간(T_e)으로 구분될 수 있다. 단 이에 제한되지 않는다.
- [0073] 초기화 기간(T_i)은 구동 트랜지스터의 게이트 전극의 전압 초기화하는 기간이다. 샘플링 기간(T_s)은 전계 발광 다이오드(ELD)의 애노드 전극의 전압 초기화 후, 구동 트랜지스터(DT)의 문턱 전압(threshold voltage; V_{th})을 샘플링(sampling)하여 제2 노드(N2)에 저장하는 기간이다. 에미션 기간(T_e)은 샘플링 된 문턱 전압(V_{th})을 포함하여 구동 트랜지스터(DT)의 소스-게이트 간 전압을 프로그래밍하고, 프로그래밍된 소스-게이트 간 전압에 따른

구동전류로 전계 발광 다이오드(ELD)를 발광시키는 기간이다.

- [0074] n 번째 수평 라인의 초기화 기간(Pi)은 n-1번째 수평 라인의 샘플링 기간과 중첩한다. 즉, 본 발명은 샘플링 기간(Ts)을 충분히 확보할 수 있어서 문턱 전압(Vth)의 보상을 더욱 정확하게 할 수 있다. 하지만 스위칭 트랜지스터(ST)와 구동 트랜지스터(DT)의 문턱 전압 편차(ΔV_{th})가 커질수록, 문턱 전압(Vth) 보상 정확도가 저하될 수 있다.
- [0075] 초기화 기간(Pi) 동안, 제5 트랜지스터(T5)는 n번째 제2 스캔 신호(SCAN2(n))에 응답하여, 제2 노드(N2)에 초기화 전압(Vini)을 인가한다. 그 결과 구동 트랜지스터(DT)의 게이트 전극은 초기화 전압(Vini)으로 초기화된다. 초기화 전압(Vini)은 전계 발광 다이오드(ELD)의 동작전압보다 충분히 낮은 전압 범위 내에서 선택할 수 있으며, 저전위 전압(ELVSS)과 같거나 낮은 전압으로 설정될 수 있다. 그리고, 초기화 기간(Pi)에서, 제1 노드(N1)에는 이전 프레임의 데이터 전압(Vdata)이 유지되어 있다.
- [0076] 샘플링 기간(Ts) 동안, 제6 트랜지스터(T6)는 n 번째 제2 스캔 신호(SCAN2(n))에 응답하여, 초기화 전압(Vini)을 제4 노드(N4)에 인가한다. 그 결과 전계 발광 다이오드(ELD)의 애노드 전극은 초기화 전압(Vini)으로 초기화된다.
- [0077] 제2 트랜지스터(T2)는 n 번째 제1 스캔 신호(SCAN1[N])에 응답하여, 데이터 라인(DL1)으로부터 공급받는 데이터 전압(Vdata)을 제1 노드(N1)에 인가한다. 그리고 제1 트랜지스터(T1)는 n 번째 제1 스캔 신호(SCAN1[N])에 응답하여 턴 온 됨으로써, 구동 트랜지스터(DT)는 다이오드 커넥션 된다.
- [0078] 샘플링 기간(Ps)에서, 구동 트랜지스터(DT)의 소스-드레인 사이에는 전류(Ids)가 흐른다. 구동 트랜지스터(DT)의 게이트 전극과 드레인 전극은 다이오드 커넥션 된 상태이기 때문에, 소스 전극에서 드레인 전극으로 흐르는 전류(Ids)에 의해서 제2 노드(N2)의 전압은 점차 상승한다. 샘플링 기간(Ts) 동안에, 제2 노드(N2)의 전압은 데이터 전압(Vdata(n))에서 구동 트랜지스터(DT)의 문턱 전압(Vth)을 뺀 값(Vdata(n)-Vth)까지 높아진다.
- [0079] 에미션 기간(Te) 동안, 제3 트랜지스터(T3)는 에미션 신호(EM(n))에 응답하여, 제1 노드(N1)에 고전위 전압(VDD)을 인가한다. 제4 트랜지스터(T4)는 제n 에미션 신호(EM(n))에 응답하여, 제3 노드(N3) 및 제4 노드(N4)의 전류 패스를 형성한다. 결국, 구동 트랜지스터(DT)의 소스 전극과 드레인 전극을 공유하는 구동전류(Ield)는 전계 발광 다이오드(ELD)에 인가된다.
- [0080] 에미션 기간(Te) 동안, 전계 발광 다이오드(ELD)에 흐르는 구동전류(Ield)에 대한 관계식은 하기 수학식 1과 같이 된다.

수학식 1

$$I_{eld} = k/2(V_{gs} + |V_{th}|)^2 = k/2(V_g - V_s + |V_{th}|)^2 = k/2(V_{data} - |V_{th}| - V_{DD} + |V_{th}|)^2 \\ = k/2(V_{data} - V_{DD})^2$$

- [0081]
- [0082] 수학식 1에서, k/2는 구동 트랜지스터(DT)의 전자 이동도, 기생 커패시턴스 및 채널 영역의 폭(width; W) 및 길이(length; L)등에 의해 결정되는 비례 상수를 나타낸다. 채널 영역의 폭(W) 및 길이(L)에 따라 채널 영역의 넓이가 결정된다.
- [0083] [수학식 1]에서 보는 바와 같이 구동전류(Ield)의 관계식에는 구동 트랜지스터(DT)의 문턱 전압(Vth) 성분이 소거되고, 이는 본 발명에 의한 전계 발광 표시 장치는 문턱 전압(Vth)이 변한다고 할지라도 구동전류(Ield)는 변하지 않는다는 것을 의미한다.
- [0084] 즉, 본 발명에 의한 전계 발광 표시 장치는 샘플링 기간(Ts) 동안에 문턱 전압(Vth)의 변화량에 관계없이 데이터 전압을 프로그래밍할 수 있다.
- [0085] 하지만, 샘플링 기간(Ts) 동안에 구동 트랜지스터(DT)의 게이트-소스 간의 전압을 원하는 전압으로 프로그래밍하여도, 구동 트랜지스터(DT)의 게이트 전극 전압이 변동되면 원하는 휘도를 표시하지 못하게 된다. 구동 트랜지스터(DT)의 게이트 전극은 인접하는 전극 또는 신호 라인들과 기생 커패시턴스를 형성하고, 기생 커패시턴스

에 의한 킥백 효과로 제2 노드(N2)의 전압은 변동될 수 있다.

- [0086] 기생 커패시턴스로 인해서 구동 트랜지스터의 게이트 전극이 연결되는 제2 노드(N2)의 전압 변화를 살펴보면 다음과 같다.
- [0087] 도 5는 샘플링 기간과 에미션 기간의 변동시점에서 구동 트랜지스터의 게이트 전극과 다른 전극(또는 신호 라인)이 형성하는 기생 커패시턴스를 나타내는 개략적인 회로도이다.
- [0088] 도 5를 참조하면, 제1 기생 커패시턴스(C1)는 제2 노드(N2)와 에미션 라인(EL) 간의 커패시턴스를 의미하고, 제2 기생 커패시턴스(C2)는 제2 노드(N2)와 제1 스캔 라인(SL1[N]) 간의 커패시턴스를 의미한다. 제3 기생 커패시턴스(C3)는 제2 노드(N2)와 데이터 라인(DL) 간의 커패시턴스를 의미한다.
- [0089] 도 4b 및 도 5를 참조하여 살펴본 바와 같이, 제2 노드(N2)는 샘플링 기간(Ts) 동안에 “Vdata-Vth” 값으로 프로그래밍되고, 에미션 기간(Te) 동안에는 플로팅(floating) 상태에서 “Vdata-Vth” 값을 유지한다.
- [0090] 하지만 플로팅 상태인 제2 노드(N2)의 전압은 기생 커패시턴스에 의해서 영향 받을 수 있다. 따라서, 에미션 기간(Te)의 시작시점에서 인접하는 신호 라인들의 전압이 변하면, 제1 내지 제3 기생 커패시턴스(C1~C3)들 각각의 킥백 효과에 의해서 제2 노드(N2)의 전압도 변하게 된다. 특히 스위칭 트랜지스터(ST)의 문턱 전압과 구동 트랜지스터(DT)간의 문턱 전압 편차(ΔV_{th})가 증가할수록, 킥백 전압이 증가할 수 있다.
- [0091] 구체적으로, 샘플링 기간(Ts)의 시작 시점에서 에미션 신호(EM)는 고전위 전압에서 저전위 전압으로 반전되고, 제1 스캔 신호(SCAN1[N])는 저전위 전압에서 고전위 전압으로 반전된다. 즉, 제2 노드(N2)와 기생 커패시턴스를 형성하는 전극의 전압이 변하기 때문에, 제2 노드(N2)의 전압은 킥백 효과에 의해서 변한다.
- [0092] 이하, 킥백 전압에 따른 화소(P)의 스위칭 트랜지스터들(ST; T1~T6)의 균일도 및 구동 트랜지스터(DT)의 균일도 편차에 대하여 설명한다.
- [0093] 도 6a는 본 발명의 일 실시예에 따른 전계 발광 표시 장치(100)의 화소(P)의 구동 트랜지스터(DT)를 개략적으로 설명하는 평면도이다. 도 6b는 도 6a의 절단면 A-A'의 개략적인 단면도이다.
- [0094] 도 7a는 본 발명의 일 실시예에 따른 전계 발광 표시 장치(100)의 화소(P)의 일 스위칭 트랜지스터(ST)를 개략적으로 설명하는 평면도이다. 도 7b는 도 7a의 절단면 B-B'의 개략적인 단면도이다.
- [0095] 이하 도 6a 내지 도 7b를 참조하여 설명한다. 복수의 화소(P)들은 기판(SUB) 상에 형성된다. 기판(SUB)은 유리 또는 연성 재질의 물질로 이루어진다. 기판(SUB) 상에는 버퍼층(BUF)이 형성된다. 버퍼층(BUF)은 질화 실리콘(SiNx) 및/또는 산화 실리콘(SiOx)으로 이루어질 수 있으며, 단층 또는 복층 구조로 형성될 수 있다.
- [0096] 본 발명의 일 실시예에 따른 화소(P)의 트랜지스터들(DT, ST)의 반도체층(ACT)은 비정질 실리콘(amorphous silicon; a-Si)을 레이저로 용융하여 결정화된 저온 폴리 실리콘(low temperature poly silicon; LTPS)을 포함한 것을 특징으로 한다. 결정화된 반도체층(ACT)은, 비정질 반도체층의 경우와 비교해서, 전류 구동 능력이 우수하다. 따라서, 결정화된 채널 영역이 비정질 채널 영역에 비해서 상대적으로 소형화 될 수 있으며, 고해상도의 표시 장치를 구현할 수 있는 장점이 있다. 하지만, 채널 영역의 결정화 정도에 따른 성능 편차가 발생할 수 있다. 즉, 결정화된 반도체층(ACT)은 비정질 반도체층에 비해서 상대적으로 채널 영역 특성 균일도 확보에 어려움이 존재한다.
- [0097] 반도체층(ACT)은, 예시적으로 300Å 내지 700Å의 두께로 증착될 수 있다. 증착된 반도체층(ACT) 상에는 포토-리지스트(photo-resist)가 코팅된다. 포토-리지스트는 포토리쓰그래피(photolithography) 공정으로 패터닝(patterning)된다. 포토리쓰그래피 공정 후, 반도체층(ACT)은 드라이 에칭(dry-etching) 공정으로 패터닝된다. 드라이 에칭 공정은 O₂, CF₄, SF₆, He, HCl, Cl₂ 등의 가스(gas)를 선택적으로 이용하여 진행될 수 있으며 O₂ 가스는 반도체층(ACT)의 테이퍼 각도를 조절하기 위해서 사용된다. 포토-리지스트가 제거된 부분의 반도체층(ACT)은 드라이 에칭 공정에 의해서 식각 되어, 각각의 트랜지스터들의 채널 영역 및 배선 영역을 형성하게 된다. 드라이 에칭 공정 후, 포토-리지스트는 스트립(strip) 공정을 통해서 제거될 수 있다.
- [0098] 본 발명의 일 실시예에 따른 전계 발광 표시 장치(100)의 반도체층(ACT)은 예시적으로, 드라이 에칭 공정 시 CF₄ 가스 및 O₂ 가스를 사용하여 반도체층(ACT)을 패터닝할 수 있다.
- [0099] 반도체층(ACT) 상에는 게이트 절연막(GI)이 배치된다. 게이트 절연막(GI)은 질화 실리콘(SiNx) 및/또는 산화 실리콘(SiOx)으로 이루어질 수 있으며, 단층 또는 복층 구조로 형성될 수 있다.

- [0100] 게이트 절연막(GI) 상에는 게이트 전극(GATE)이 배치된다. 게이트 전극(GATE)과 반도체층(ACT)은 게이트 절연막(GI)에 의해서 전기적으로 절연된다. 게이트 전극(GATE)은 금속성 물질로 이루어지며, 예를 들면, 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 및/또는 티타늄(Ti) 등의 저항이 낮은 금속성 물질로 형성될 수 있다. 단 이에 제한되지 않는다.
- [0101] 부연 설명하면, 각각의 트랜지스터들에서 반도체층(ACT)과 게이트 전극(GATE)이 중첩되는 영역을 채널 영역으로 정의할 수 있다. 반도체층(ACT)에서 채널 영역을 제외한 영역은 배선 영역으로 정의할 수 있다. 채널 영역을 기준으로 배선 영역의 일 측면을 소스 전극이라 지칭할 수 있고, 타 측면을 드레인 전극이라 지칭할 수 있다. 단 이에 제한되지 않는다.
- [0102] 반도체층(ACT)의 배선 영역은 반도체층(ACT)에 불순물(dopant)을 삽입하여 금속화된 영역을 의미한다. 반도체층(ACT)의 채널 영역은 마스크(mask)를 이용하여 불순물이 공급되는 것을 차단할 수 있다. 예를 들면, 게이트 전극(GATE)은 채널 영역과 중첩되어, 불순물을 차단하는 마스크 기능을 수행할 수 있다. 단 이에 제한되지 않으며, 별도의 마스크를 사용하여 불순물 적용 영역을 제어하는 것도 가능하다. 불순물 공급 공정은 도핑(doping) 공정으로 지칭될 수 있다.
- [0103] 반도체층(ACT)의 배선 영역은 고농도 도핑 공정으로 도체화될 수 있다. 반도체층(ACT)의 배선 영역에 공급되는 불순물은 억셉터(acceptor)인 3족의 Boron(B) 및/또는 도너(donor)인 5족의 Phosphorous(P)일 수 있다. 단 본 발명은 상술한 물질들에 제한되지 않는다.
- [0104] 또한, 반도체층(ACT)의 채널 영역에는 저농도의 억셉터가 도핑되어, 채널 영역을 P-type으로 구성할 수 있다. 이러한 경우, 트랜지스터는 PMOS 트랜지스터가 된다. 또한, 반도체층(ACT)의 채널 영역에는 저농도의 도너가 도핑되어, 채널 영역을 N-type으로 구성할 수 있다. 이러한 경우, 트랜지스터는 NMOS 트랜지스터가 된다.
- [0105] 화소(P)의 트랜지스터들 중 특정 트랜지스터의 반도체층(ACT)의 배선 영역은 금속성질을 가지고 있기 때문에, 채널 영역에서 더 연장되어 배선 및 노드로 구현될 수 있다. 즉, 화소(P)내의 서로 다른 트랜지스터들의 채널 영역들을 연결하는 고농도로 도핑된 배선 영역은 연결 배선 및/또는 노드로 구현될 수 있다. 또한 배선 영역의 일부는 절연막을 관통하는 컨택홀을 통해서 금속 배선, 예를 들면 데이터 라인과 전기적으로 연결 되도록 구성될 수 있다.
- [0106] 화소(P)의 트랜지스터들 각각의 반도체층(ACT)의 폭(W) 및 길이(L)는 다양하게 형성될 수 있다. 그리고 각각의 트랜지스터들의 채널 영역의 형상은 사각형에 한정되지 않으며, “S” 형상, “L” 형상, “C” 형상, 곡선 형상 등 다양하게 구현될 수 있다. 또한, 채널 영역의 폭(W)은 특정 위치에 따라 상이해지는 것도 가능하다.
- [0107] 트랜지스터의 채널 영역의 길이(L) 및 폭(W)에 따라서 트랜지스터의 성능이 결정된다. 그리고 구동 트랜지스터(DT)가 전계 발광 다이오드(ELD)에 충분한 전류(I_{eld})를 공급하기 위해서, 채널 영역의 폭(W) 및 길이(L)가 충분이 확보 되어야 한다.
- [0108] 그리고 스위칭 트랜지스터(ST)의 채널 영역의 폭(W) 및 길이(L)가 구동 트랜지스터(DT) 대비 상대적으로 작게 구성될 수 있기 때문에, 스위칭 트랜지스터(ST)의 채널 영역의 구동 트랜지스터(DT)보다 상대적으로 작게 구성될 수 있다. 즉, 구동 트랜지스터의 채널 영역의 면적은 스위칭 트랜지스터의 채널 영역의 면적보다 더 넓을 수 있다.
- [0109] 트랜지스터들의 채널 영역의 면적이 상이할 때, 테이퍼 각도 특성을 고려하지 않고 드라이 에칭 공정을 진행하면, 각 트랜지스터의 채널 영역의 면적에 따라 반도체층(ACT)의 테이퍼 각도가 달라질 수 있게 된다는 점을 주의해야 한다.
- [0110] 즉, 전계 발광 표시 장치(100)의 테이퍼 각도 조절을 위해서, 기판(SUB)상에 반도체층(ACT)을 제공하는 단계; 포토리소그라피 공정으로, 반도체층 상에 포토-리지스트를 패터닝하는 단계; 및 적어도 30% 이상의 O₂ 가스 유량의 드라이 에칭 공정으로, 반도체층(ACT)을 포함하는 구동 트랜지스터(DT) 및 스위칭 트랜지스터(ST)의 채널 영역들의 테이퍼 각도를 특정 각도 이하로 패터닝하는 단계가 적용될 수 있다.
- [0111] [표 1]을 참조하여, 본 발명이 개시하는 드라이 에칭 공정 시 적용되는 가스의 비율에 따라서, 화소(P)의 각 트랜지스터의 반도체층(ACT)의 테이퍼 각도가 달라지는 것을 설명한다.
- [0112] 구체적으로, 반도체층(ACT) 드라이 에칭 시, CF₄ 가스 및 O₂가스의 비율을 조절하여 반도체층(ACT)의 엣지(edge)의 테이퍼 각도(θ)를 조절할 수 있다.

[0113] 예를 들면, 채널 영역에 대응되는 반도체층(ACT)의 양 측면의 테이퍼 각도(θ)는 CF₄:O₂ 가스의 비율에 따라 조절될 수 있다.

[0114] [표 1]의 O₂는, CF₄ 가스와 O₂ 가스 중 O₂ 가스의 비율을 의미한다. θ_1 은 구동 트랜지스터(DT)의 채널 영역의 일 측면의 테이퍼 각도를 의미한다. θ_2 는 구동 트랜지스터(DT)의 채널 영역의 타 측면의 테이퍼 각도를 의미한다. θ_3 은 스위칭 트랜지스터(ST)의 채널 영역의 일 측면의 테이퍼 각도를 의미한다. θ_4 는 스위칭 트랜지스터(ST)의 채널 영역의 타 측면의 테이퍼 각도를 의미한다.

[0115] 예시적으로, 구동 트랜지스터(DT)의 채널 영역의 폭(W)은 5 μ m이고, 길이(L)는 20 μ m이다. 예시적으로, 스위칭 트랜지스터(ST)의 채널 영역의 폭(W)은 3 μ m이고, 길이(L)는 3 μ m이다. 즉, 구동 트랜지스터(DT)와 스위칭 트랜지스터(ST)의 채널 영역의 면적은 서로 상이하다.

[0116] [표 1]을 참조하면, O₂ 가스의 유량 비율이 증가할수록, 채널 영역의 면적이 서로 다른 각 트랜지스터들의 테이퍼 각도는 전체적으로 저감된다. 즉, O₂ 가스의 비율에 따라서 반도체층의 테이퍼 각도를 조절할 수 있다.

표 1

O ₂	DT(θ_1)	DT(θ_2)	ST(θ_3)	ST(θ_4)
30%	14°	13°	28°	26°
40%	10°	9°	18°	18.3°
50%	6°	6°	7°	7.5°

[0119] [표 2]를 참조하여, 채널 영역의 면적이 서로 다른 각 트랜지스터들의 테이퍼 각도 편차($\Delta\theta$)와 이에 따른, 각 트랜지스터들의 문턱 전압 편차(ΔV_{th}) 및, 킥백 전압에 의한 복원 잔상(image retention)에 대해서 설명한다.

[0120] [표 2]의 $|\Delta\theta(DT-ST)|$ 는, 채널 영역의 면적이 서로 다른 구동 트랜지스터(DT)와 스위칭 트랜지스터(ST)의 절대값 테이퍼 각도 편차를 의미한다. $|\Delta V_{th}(DT-ST)|$ 는, $|\Delta\theta(DT-ST)|$ 에 따른 구동 트랜지스터(DT)와 스위칭 트랜지스터(ST)의 절대값 문턱 전압 편차를 의미한다. Image Retention은 $|\Delta\theta(DT-ST)|$ 에 따른 잔상 지속 시간을 의미한다.

[0121] [표 2]를 참조하면, 테이퍼 각도 편차($|\Delta\theta(DT-ST)|$)가 저감될수록, 채널 영역의 면적이 서로 다른 트랜지스터들의 문턱 전압 편차($|\Delta V_{th}(DT-ST)|$)가 저감되고, 킥백 전압이 저감된다. 따라서 전계 발광 표시 장치(100)가 영상을 표시할 때, 잔상 특성이 개선된다. 그리고 [표 1]을 다시 참조하면, O₂ 가스 유량 비율이 증가할수록, 각 트랜지스터의 채널 영역의 면적에 상관 없이 테이퍼 각도 편차 $|\Delta\theta(DT-ST)|$ 가 저감되는 것을 알 수 있다.

표 2

$ \Delta\theta(DT-ST) $	$ \Delta V_{th}(DT-ST) $	Image Retention
1°	0.05 V	0 Sec
5°	0.7 V	20 Sec
10°	1.1 V	50 Sec
15°	1.2 V	60 Sec

[0124] 즉, [표 2]를 참조하면, 전계 발광 다이오드(ELD), 전계 발광 다이오드에 전류를 공급하도록 구성된 구동 트랜지스터(DT) 및 구동 트랜지스터에 공급되는 신호를 스위칭하도록 구성된 스위칭 트랜지스터(ST)를 포함하는 화소(P)를 포함하고, 구동 트랜지스터(DT)의 채널 영역 및 스위칭 트랜지스터(ST)의 채널 영역의 면적은 서로 상이하고, 구동 트랜지스터(DT) 및 스위칭 트랜지스터(ST)의 채널 영역들의 테이퍼 각도 편차 $|\Delta\theta(DT-ST)|$ 가 10° 이하가 되도록 하는 것이 바람직하다.

[0125] 보다 바람직하게는, 구동 트랜지스터(DT) 및 스위칭 트랜지스터(ST)의 채널 영역들의 테이퍼 각도 편차 $|\Delta\theta(DT-ST)|$ 가 5° 이하가 되도록 하는 것이 더 바람직하다.

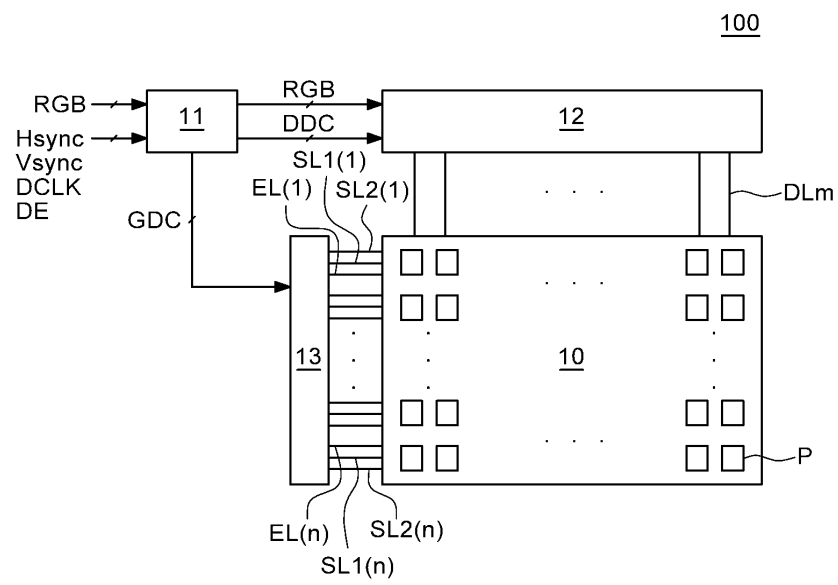
- [0126] 보다 더 바람직하게는, 구동 트랜지스터(DT) 및 스위칭 트랜지스터(ST)의 채널 영역들의 테이퍼 각도 편차 $|\Delta\theta(DT-ST)|$ 가 1° 이하가 되도록 하는 것이 보다 더 바람직하다.
- [0127] 구동 트랜지스터(DT) 및 스위칭 트랜지스터(ST)의 채널 영역들의 테이퍼 각도 편차 $|\Delta\theta(DT-ST)|$ 가 10° 이하가 되도록 하기 위해서는, O₂ 가스의 비율이 30%이상이 되도록 하는 것이 바람직하다.
- [0128] 구동 트랜지스터(DT) 및 스위칭 트랜지스터(ST)의 채널 영역들의 테이퍼 각도 편차 $|\Delta\theta(DT-ST)|$ 가 5° 이하가 되도록 하기 위해서는, O₂ 가스의 비율이 40%이상이 되도록 하는 것이 더 바람직하다.
- [0129] 구동 트랜지스터(DT) 및 스위칭 트랜지스터(ST)의 채널 영역들의 테이퍼 각도 편차 $|\Delta\theta(DT-ST)|$ 가 1° 이하가 되도록 하기 위해서는, O₂ 가스의 비율이 50%이상이 되도록 하는 것이 보다 더 바람직하다.
- [0130] 예를 들면, O₂ 가스의 비율을 50% 내지 60%로 할 수 있다.
- [0131] 즉, 상술한 드라이 에칭 공정에 의해서, 본 발명의 일 실시예에 따른 전계 발광 표시 장치(100)의 화소(P)는 서로 다른 면적의 채널 영역을 가지는 다수의 트랜지스터들을 포함하고, 이들 트랜지스터들의 채널 영역의 테이퍼 각도 편차는 최소화 될 수 있다.
- [0132] 또한 상술한 구성에 따르면, 화소 영역의 복수의 화소(P)들의 트랜지스터들의 문턱 전압 편차(ΔV_{th})들이 저감될 수 있는 장점이 있다. 또한 상술한 구성에 따르면, 복원 잔상(image retention) 특성이 개선될 수 있는 장점이 있다. 또한 문턱 전압 편차가 저감되기 때문에 화소 영역의 휘도 균일도가 향상될 수 있는 장점이 있다.
- [0133] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

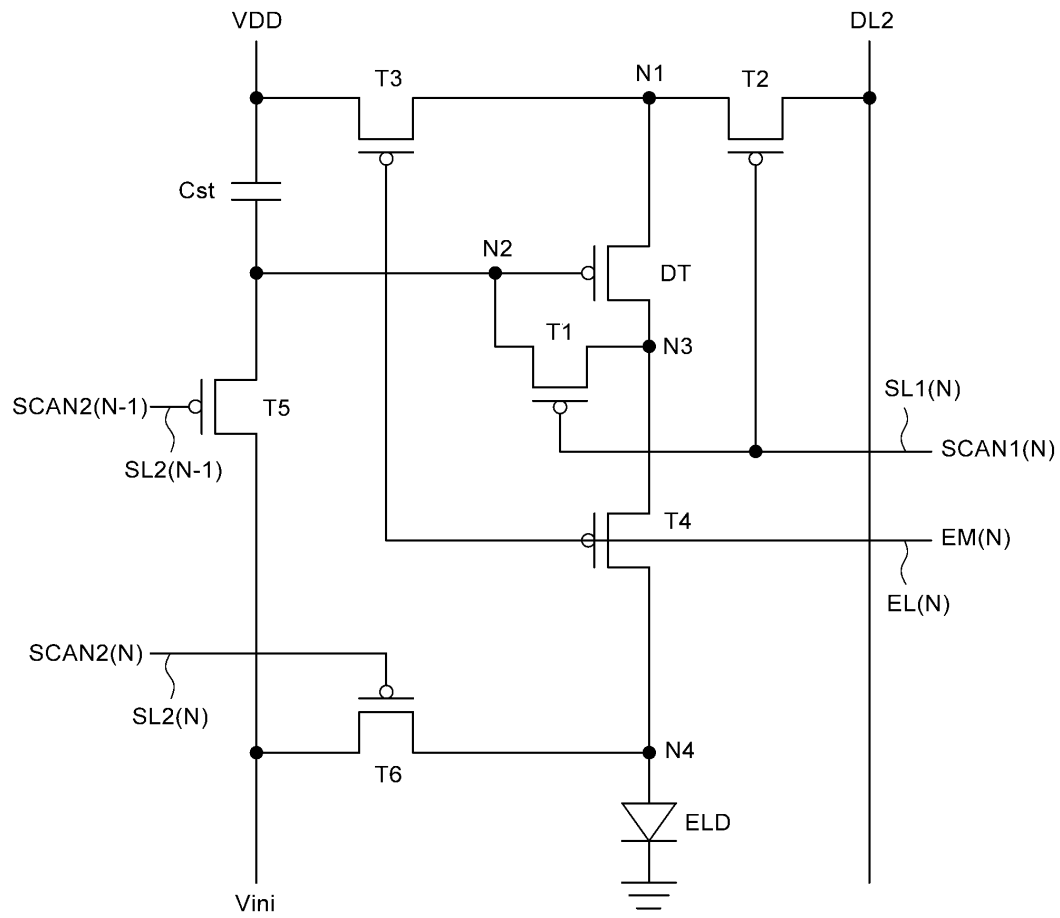
- [0134] 10 : 표시 패널
- 11 : 타이밍 컨트롤러
- 12 : 데이터 구동부
- 13 : 게이트 구동부
- DL : 데이터 라인
- SL1, SL2 : 스캔 라인
- EL: 에미션 라인

도면

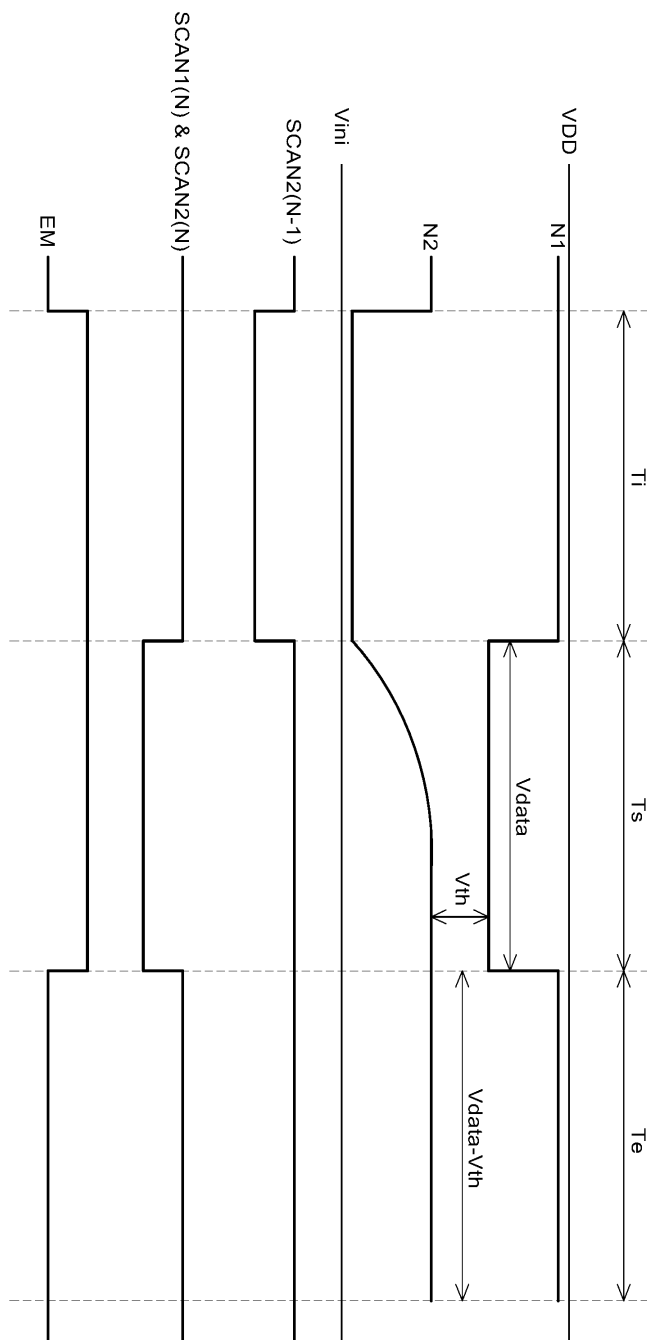
도면1



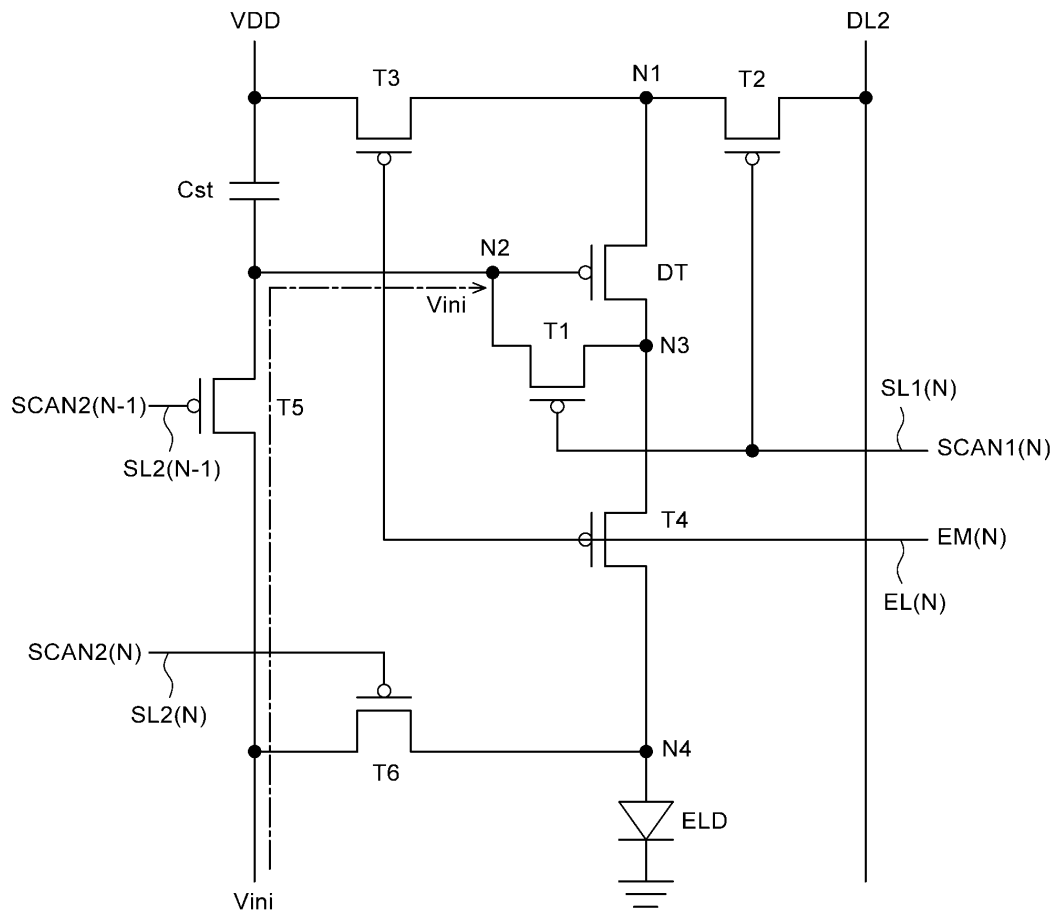
도면2



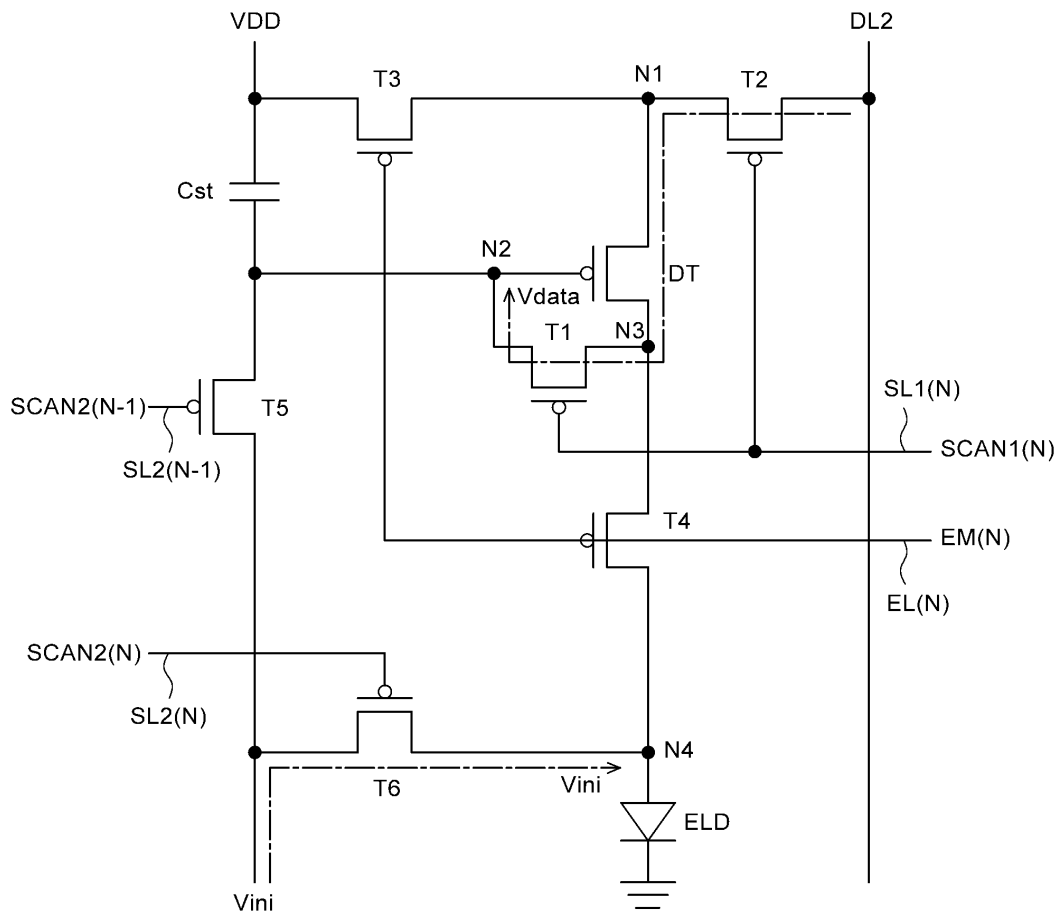
도면3



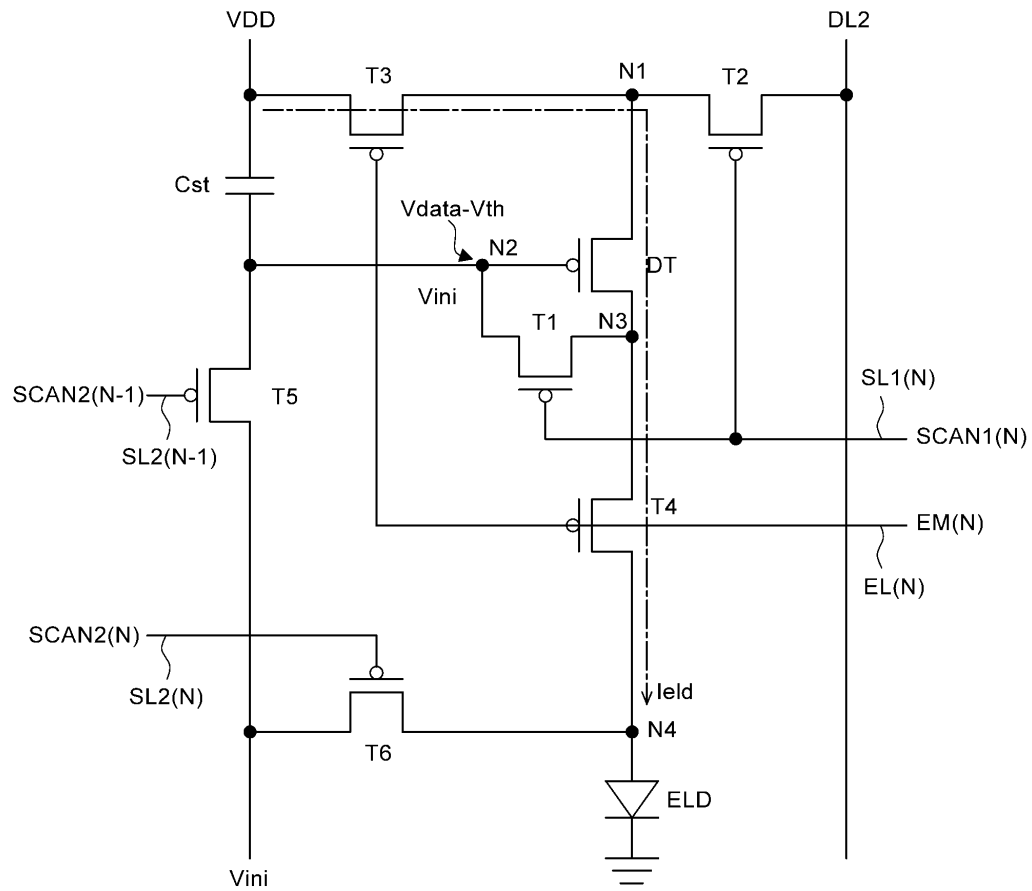
도면4a



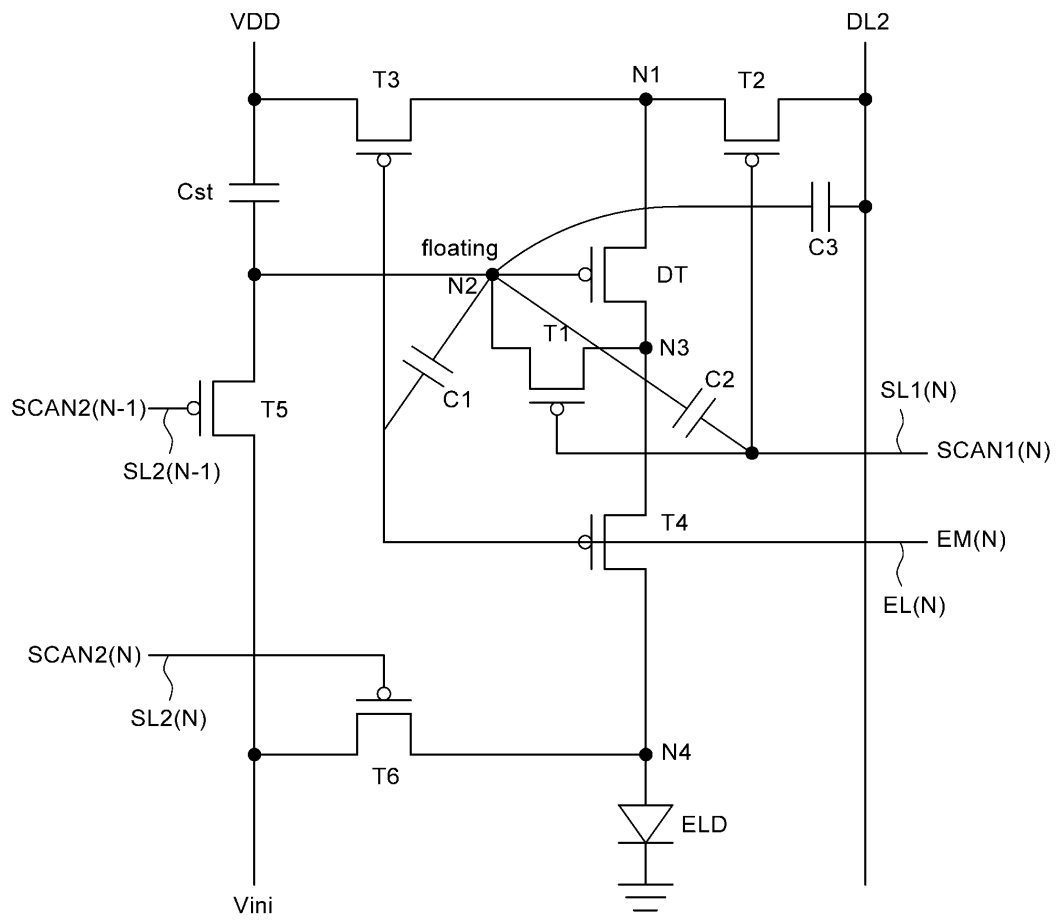
도면4b



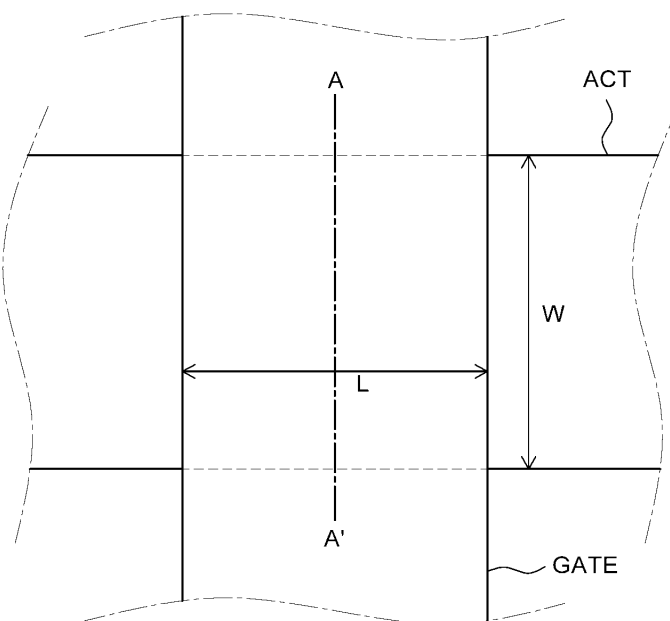
도면4c



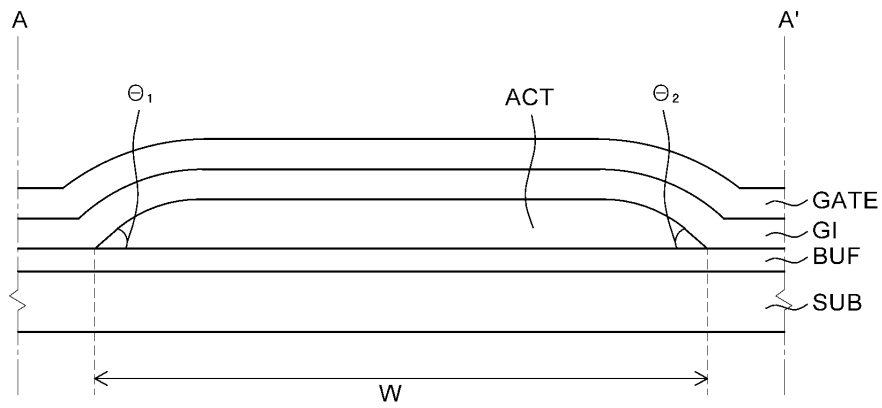
도면5



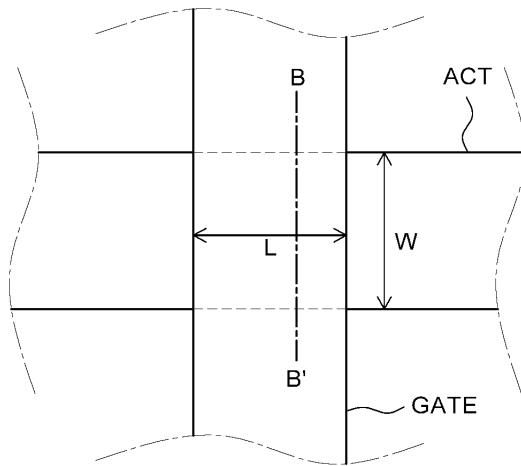
도면6a



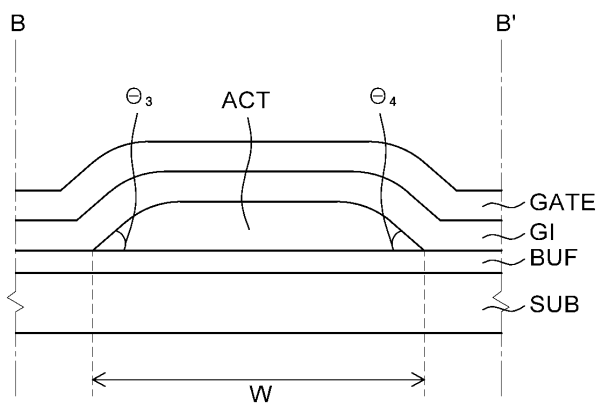
도면6b



도면7a



도면7b



专利名称(译)	电致发光显示装置及其制造方法		
公开(公告)号	KR1020180078018A	公开(公告)日	2018-07-09
申请号	KR1020160182953	申请日	2016-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM JUNG CHUL 김중철 KWON JUN YOUNG 권준영		
发明人	김중철 권준영		
IPC分类号	H01L27/32 H01L29/786		
CPC分类号	H01L27/3262 H01L27/1222 H01L29/78696 H01L2227/323 H01L27/156 H01L27/1274		
外部链接	Espacenet		

摘要(译)

包括发光二极管和开关晶体管的像素，并且驱动晶体管和开关晶体管的沟道区的沟道区的面积彼此不同，并且电致发光显示器中的沟道区的锥角相互不同。驱动晶体管和开关晶体管的偏差为10°或更小。开关晶体管被配置为切换驱动晶体管，该驱动晶体管被配置为向发光二极管提供电流和提供给驱动晶体管的信号。

