



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0062282
(43) 공개일자 2018년06월08일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2230/00 (2013.01)

(21) 출원번호 10-2016-0162359

(22) 출원일자 2016년11월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

문수환

경상북도 구미시 상사서로 18, 108동 802호(상모
동, 우방신세계타운 1단지)

(74) 대리인

박영복

전체 청구항 수 : 총 13 항

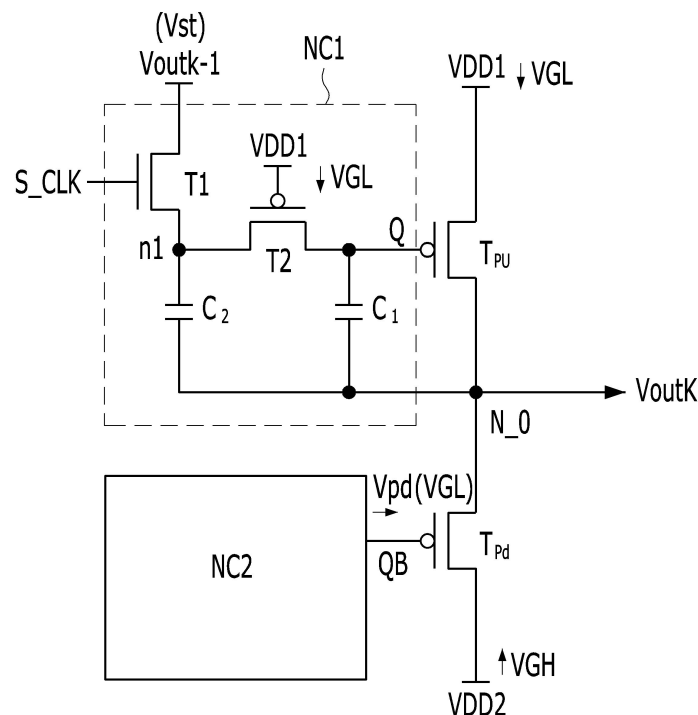
(54) 발명의 명칭 표시 장치용 발광 제어부 및 이를 적용한 유기 발광 표시 장치

(57) 요약

발광 제어부의 발광 제어신호 출력시 충전용 노드에 충전된 전압의 누설을 방지하고, 상기 충전용 노드에 충전된 전압 레벨을 정해진 값으로 유지시킴으로써, 발광 제어신호를 안정화시킬 수 있는 발광 제어부 및 이를 이용한 표시 장치에 관한 것으로, 본 발명에 의한 발광 제어부는, 종속적으로 연결된 복수 개의 스테이지를 포함한다.

(뒷면에 계속)

대표도 - 도2



각 스테이지들은 액티브 기간 동안 외부로부터 입력되는 기준 클럭 펄스에 응답하여 게이트 온 전압 레벨 상태의 구동 펄스를 세트 노드에 충전하는 제 1 노드 제어부와, 비액티브 기간 동안 리세트 노드에 풀다운 전압을 충전하는 제 2 노드 제어부 및 상기 세트 노드 및 리세트 노드의 논리 상태에 따라 제어되며, 액티브 신호 또는 비액티브 신호를 출력 단자를 통해 출력하는 출력부를 포함한다. 이 때 상기 제 1 노드 제어부는, 기준 클럭 펄스에 응답하여 구동 펄스를 제 1 노드로 출력하는 제 1 스위칭 트랜지스터와, 제 1 전압원으로부터의 제 1 전압에 의해 턴-온되어 상기 제 1 노드로부터 공급되는 구동 펄스를 통해 세트 노드를 충전하는 제 2 스위칭 트랜지스터와, 상기 출력 단자와 세트 노드 사이에 접속된 제 1 커패시터 및 상기 출력 단자와 상기 제 1 노드 사이에 접속된 제 2 커패시터를 포함한다.

(52) CPC특허분류

G09G 2300/0842 (2013.01)

명세서

청구범위

청구항 1

종속적으로 연결된 복수의 스테이지를 포함하고,

상기 복수의 스테이지들은,

액티브 신호를 출력하는 액티브 기간에 외부로부터 입력되는 복수의 클럭 펄스 중 어느 하나인 기준 클럭 펄스에 응답하여, 게이트 온 전압 레벨 상태의 구동 펄스를 세트 노드에 충전하는 제 1 노드 제어부,

비액티브 신호를 출력하는 비액티브 기간에, 상기 게이트 온 전압 레벨을 갖는 풀다운 전압을 리세트 노드에 충전하는 제 2 노드 제어부, 및

상기 세트 노드와 리세트 노드의 전압 상태에 따라 제어되어 액티브 상태 또는 비액티브 상태의 출력 펄스를 출력하는 출력부를 포함하고,

상기 제 1 노드 제어부는,

상기 액티브 기간에, 상기 기준 클럭 펄스에 응답하여, 상기 게이트 온 전압 레벨 상태의 구동 펄스를 제 1 노드로 공급하는 제 1 스위칭 트랜지스터,

게이트 턴-온 전압원으로부터의 턴-온 전압에 의해 상기 제 1 노드로부터의 구동 펄스를 상기 세트 노드로 공급하는 제 2 스위칭 트랜지스터,

상기 출력 단자와 상기 세트 노드 사이에 접속된 제 1 커패시터 및

상기 출력 단자에 일측이 상기 제 1 커패시터와 공통으로 접속되고, 타측은 상기 제 1 노드에 접속된 제 2 커패시터를 포함하는 표시 장치용 발광 제어부.

청구항 2

제 1 항에 있어서,

상기 복수의 스테이지 중 첫 번째 스테이지에서 상기 구동 펄스는, 외부로부터 입력되는 스타트 펄스이고, 나머지 스테이지들에 입력되는 상기 구동 펄스는 전단 스테이지로부터 출력된 출력 펄스인 표시 장치용 발광 제어부.

청구항 3

제 2 항에 있어서,

상기 출력부는,

상기 액티브 기간에 상기 세트 노드에 충전된 상기 게이트 온 전압 레벨을 갖는 상기 구동 펄스에 응답하여 액티브 상태의 발광 제어신호를 출력하는 풀업 트랜지스터, 및

상기 비액티브 기간에 상기 리세트 노드에 충전된 상기 풀다운 전압에 응답하여 비액티브 상태의 발광 제어신호를 출력하는 풀다운 트랜지스터를 포함하는 표시 장치용 발광 제어부.

청구항 4

제 3 항에 있어서,

상기 풀다운 전압은, 상기 기준 클럭 펄스를 이용하여 공급하는 표시 장치용 발광 제어부.

청구항 5

제 4 항에 있어서,

상기 제 2 노드 제어부는,

상기 기준 클럭 펄스와 반전된 위상을 갖는 반전 클럭 펄스에 응답하여 제 1 전압원으로부터의 게이트 턴-온 전압 레벨을 갖는 제 1 전압을 제 2 노드에 공급하는 제 3 스위칭 트랜지스터,

비액티브 기간 동안 상기 제 1 전압에 응답하여 상기 기준 클럭 펄스를 제 3 노드에 공급하는 제 5 스위칭 트랜지스터,

상기 제 3 노드에 소스 전극 및 드레인 전극이 접속된 다이오드 형태로 접속되어, 상기 제 3 노드에 공급된 상기 기준 클럭 펄스를 상기 리세트 노드로 출력하는 제 6 트랜지스터,

액티브 기간 동안 상기 제 1 노드로부터의 상기 제 1 기준 전압에 응답하여 상기 리세트 노드에 충전된 전압을 게이트 오프 전압원을 이용하여 게이트 오프 전압 레벨로 변화시키는 제 7 스위칭 트랜지스터,

상기 비액티브 기간 동안 상기 리세트 노드에 공급된 상기 풀다운 전압에 응답하여 상기 제 1 노드에 충전된 전압을 방전시키는 방전용 트랜지스터,

상기 제 5 트랜지스터의 게이트 전극과, 상기 제 6 트랜지스터의 게이트 전극 사이에 접속된 제 3 커패시터 및

상기 제 1 전압에 응답하여 상기 반전 클럭 펄스를 상기 제 2 노드에 공급하여 상기 제 2 노드를 게이트 온 전압 레벨 또는 게이트 오프 전압 레벨로 변화시키는 제 4 스위칭 트랜지스터를 포함하는 표시 장치용 발광 제어부.

청구항 6

제 1 항에 있어서,

상기 풀다운 전압은, 표시 장치에 구비된 게이트 라인을 구동하기 위한 스캔 신호인 표시 장치용 발광 제어부.

청구항 7

제 6 항에 있어서,

상기 제 2 노드 제어부는, 상기 게이트 신호를 입력받아 상기 제 1 노드 및 상기 세트 노드의 전압을 게이트 오프 전압원을 이용하여 게이트 오프 전압 레벨로 변화시키는 방전용 트랜지스터를 포함하고,

상기 출력부는, 상기 리세트 노드에 충전된 상기 풀다운 전압에 응답하여 상기 비액티브 상태의 발광 제어신호를 출력하는 표시 장치용 발광 제어부.

청구항 8

제 3 항에 있어서,

상기 액티브 기간은 충전 기간 및 유지 기간으로 나뉘고,

상기 충전 기간에는 상기 기준 클럭 펄스는 게이트 온 전압 레벨로 공급되고, 상기 구동 펄스는 게이트 온 전압 레벨을 가짐으로써, 상기 제 1 및 2 커패시터에 상기 게이트 온 전압 레벨의 구동 펄스를 충전하고,

상기 유지 기간에 상기 기준 클럭 펄스는 게이트 오프 전압 레벨로 공급되며, 상기 제 1 트랜지스터를 턴 오프시키고, 상기 제 1 및 제 2 커패시터는 상기 세트 노드의 전압을 상기 게이트 온 전압 레벨로 유지하는 표시 장치용 발광 제어부.

청구항 9

제 8 항에 있어서,

상기 액티브 기간과 비액티브 기간의 사이에는 제 1 및 제 2 준비 기간이 위치하고, 상기 비액티브 기간은 제 1 및 제 2 비액티브 기간을 포함하는 표시 장치용 발광 제어부.

청구항 10

제 9 항에 있어서,

상기 제 1 준비 기간은, 상기 충전 기간과 동일하게 구동하고,

상기 제 2 준비 기간은, 상기 기준 클럭 펄스가 게이트 오프 전압 레벨을 갖도록 공급되어 상기 제 1 스위칭 트랜지스터가 턴 오프되고, 상기 반전 클럭 펄스가 게이트 온 전압 레벨을 갖도록 공급되어 상기 턴-온 전압을 상기 제 3 커패시터에 충전하며, 상기 제 1 전압은 게이트 오프 전압 레벨을 가지도록 전압 레벨이 변화되는 표시 장치용 발광 제어부.

청구항 11

제 10 항에 있어서,

상기 제 1 비액티브 기간은, 상기 기준 클럭 펄스가 게이트 온 전압을 갖도록 공급되고, 상기 구동 펄스는 게이트 오프 전압 레벨을 유지하며,

상기 반전 클럭 펄스는 게이트 오프 전압을 갖도록 공급되어 상기 제 3 스위칭 트랜지스터는 턴 오프되고, 상기 제 3 커패시터에 충전된 턴-온 전압이 상기 제 5 트랜지스터에 공급됨으로써, 상기 제 5 및 제 6 트랜지스터를 통해 상기 기준 클럭 펄스가 상기 리셋 노드에 공급되는 표시 장치용 발광 제어부.

청구항 12

제 11 항에 있어서,

상기 제 2 비액티브 기간은, 상기 기준 클럭 펄스가 게이트 오프 전압 레벨을 갖도록 공급되고, 상기 반전 클럭 펄스는 게이트 온 전압 레벨을 갖도록 공급되며, 상기 제 1 전압은 게이트 온 전압 레벨로 공급되고, 상기 리셋 노드는 게이트 온 전압 레벨로 유지되는 표시 장치용 발광 제어부.

청구항 13

발광 소자 및 상기 발광 소자를 구동하기 위한 화소 구동부를 포함하고 복수의 매트릭스 형태로 배치된 복수 개의 화소를 구비한 표시 패널,

상기 복수 개의 화소 각각에 스캔 신호를 공급하는 게이트 구동부,

상기 각 화소들이 데이터 신호를 공급하는 데이터 구동부,

상기 각 화소에 상기 발광 소자의 발광을 제어하는 발광 제어신호를 공급하는 상기 제 1 항 내지 제 14 항 중 어느 한 항에 의한 표시 장치용 발광 제어부 및

상기 게이트 구동부, 데이터 구동부 및 상기 발광 제어부를 제어하여 상기 각 화소의 표시 타이밍을 제어하는 타이밍 콘트롤러를 포함하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치용 발광 제어부 및 그 구동방법과, 이를 적용한 유기 발광 표시 장치에 관한 것으로, 특히 발광 제어부의 출력을 안정적으로 유지할 수 있도록 한 발광 제어신호 구동부 및 그 구동방법과, 이를 적용한 표시 장치에 관한 것이다.

배경 기술

[0002] 최근, 대두되고 있는 평판 표시장치(Flat Panel Display)로는 액정 표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 디스플레이 패널(Plasma Display Panel) 및 유기 발광 표시장치(Organic Light Emitting Display) 등이 있다. 이 중 유기 발광 표시장치는 전자와 정공의 재결합으로 유기 발광층을 발광시키는 자발광 소자로 휘도가 높고 구동 전압이 낮으며 초박막화가 가능하여 차세대 표시 장치로 기대되고 있다.

[0003] 유기 발광 표시장치를 구성하는 다수의 단위 화소들 각각은 양극 및 음극 사이의 유기 발광층으로 구성된 유기 발광 다이오드와, 각 유기 발광 다이오드를 독립적으로 구동하는 화소 회로를 구비한다. 또한 상기 화소 회로들을 구동하기 위해, 유기 발광 표시 장치는 게이트 라인들을 통해 각 화소로 스캔 신호들을 공급하는 게이트 구

동부와, 데이터 라인들을 통해 각 화소로 데이터 신호들을 공급하는 데이터 구동부 및 발광 제어라인들을 통해 각 화소들에 발광 제어 신호들을 공급하는 발광 제어부를 더 구비할 수 있다.

[0004] 이때, 발광 제어부는, 각 픽셀들에 데이터 신호를 충전하는 시간을 제외한 나머지 시간 동안에는 각 화소들에 지속적으로 액티브 신호를 공급한다. 그런데, 상기 액티브 신호를 공급할 때, 발광 제어부의 출력을 제어하는 충전용 노드의 전압에 충전된 전압이 기생 커패시턴스 등에 의해 일정 레벨을 유지하지 못하고 상승하거나 하강하게 되면 충전용 노드를 제어하는 스위칭 트랜지스터가 원치 않게 턴-온되고, 그에 따라 충전용 노드에 충전된 전압이 누설(leakage)되는 문제가 발생할 수 있다. 이 경우, 상기 발광 제어부를 통해 출력되는 전압 레벨이 불안정해지고 영상의 표시 화질이 저하된다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 상기 문제점을 해결하기 위하여 안출된 것으로, 발광 제어부의 발광 제어신호 출력시 충전용 노드에 충전된 전압의 누설을 방지하고, 상기 충전용 노드에 충전된 전압 레벨을 정해진 값으로 유지시킴으로써, 발광 제어신호를 안정화시킬 수 있는 발광 제어부 및 그 구동방법과, 이를 이용한 표시 장치를 제공하는 것을 해결하고자 하는 과제로 한다.

과제의 해결 수단

[0006] 상기 과제를 해결하기 위하여, 본 발명에 의한 발광 제어부는, 종속적으로 연결된 복수 개의 스테이지를 포함한다. 각 스테이지들은 액티브 기간 동안 외부로부터 입력되는 기준 클럭 펄스에 응답하여 게이트 온 전압 레벨 상태의 구동 펄스를 세트 노드에 충전하는 제 1 노드 제어부와, 비액티브 기간 동안 리세트 노드에 풀다운 전압을 충전하는 제 2 노드 제어부 및 상기 세트 노드 및 리세트 노드의 논리 상태에 따라 제어되며, 액티브 신호 또는 비액티브 신호를 출력 단자를 통해 출력하는 출력부를 포함한다. 이 때 상기 제 1 노드 제어부는, 기준 클럭 펄스에 응답하여 구동 펄스를 제 1 노드로 출력하는 제 1 스위칭 트랜지스터와, 제 1 전압원으로부터의 제 1 전압에 의해 턴-온되어 상기 제 1 노드로부터 공급되는 구동 펄스를 통해 세트 노드를 충전하는 제 2 스위칭 트랜지스터와, 상기 출력 단자와 세트 노드 사이에 접속된 제 1 커패시터 및 상기 출력 단자와 상기 제 1 노드 사이에 접속된 제 2 커패시터를 포함한다.

발명의 효과

[0007] 본 발명에 의한 제 1 노드 제어부를 포함하는 발광 제어부는, 제 1 노드와 출력 단자 사이에 제 2 커패시터를 더 구비한다. 그로 인해 제 1 노드 제어부는, 상기 제 2 커패시터에 저장된 전압을 이용하여 상기 제 1 노드의 전압 레벨을 상기 제 2 스위칭 트랜지스터가 충분히 턴-오프될 수 있는 상태로 제어한다.

[0008] 예를 들어, 제 2 스위칭 트랜지스터가 p형 트랜지스터인 경우, 상기 제 1 노드 제어부는 제 1 노드의 전압 레벨을 충분히 낮게 유지시킴으로써, 제 2 스위칭 트랜지스터의 V_{gs} 값을 0 또는 그 이상으로 유지시키고, 그에 따라 제 2 스위칭 트랜지스터를 안정적으로 턴-오프시킬 수 있다.

[0009] 또한 본 발명에 의한 발광 제어부는, 설정 제 2 트랜지스터가 플로팅되거나 불안정하게 턴-온된다 하더라도 제 1 노드는 세트 노드와 등전위를 형성하므로, 세트 노드에 충전된 전압은 제 2 트랜지스터를 통해 누설되지 않는 효과를 갖는다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 실시예에 따른 발광 제어부를 나타낸 구성도이다.

도 2는 도 1에 도시된 스테이지 중 k번째 스테이지(STk)의 회로 구성을 설명하기 위한 도면이다.

도 3은 본 발명에 의한 발광 제어부의 전압 유지 효과를 종래 기술과 비교하여 설명하기 위한 것이다.

도 4는 본 발명의 제 1 실시예에 의한 제 2 노드 제어부(NC2)를 포함하는 발광 제어부를 설명하기 위한 것이다.

도 5는 도 4에 의한 발광 제어부의 각 스테이지를 구동하기 위한 파형도를 도시한 것이고, 도 6a 내지 도 6f는 도 4에 의한 발광 제어부의 구동 방법을 설명하기 위한 회로도이다.

도 7은 본 발명의 제 2 실시예에 의한 제 2 노드 제어부(NC2)를 포함하는 발광 제어부를 설명하기 위한 예시도

이다.

도 8은 본 발명에 의한 발광 제어부를 포함하는 유기 발광 표시 장치를 설명하기 위한 개략도이다.

도 9는 본 발명에 의한 유기 발광 표시 장치의 셀 구동부(DVD)를 설명하기 위한 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하, 상기와 같은 특징을 갖는 본 발명의 실시 예에 따른 발광 제어부를 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.
- [0012] 도 1은 본 발명의 실시예에 따른 발광 제어부를 나타낸 구성도이다.
- [0013] 도 1에 도시된 발광 제어부는 서로 종속적으로 연결된 복수 개의 스테이지(ST1~STn)를 포함하도록 구성된다. 발광 제어부는 표시 패널에 구비된 발광 소자의 발광을 제어하는 출력 펄스(Vout1~Voutn) 형태의 발광 제어 신호를 복수 개의 발광 제어 라인들에 공급한다. 상기 발광 제어 신호는 액티브 신호와, 비액티브 신호로 구분된다. 액티브 신호는 발광 소자의 발광을 제어하는 스위칭 소자를 턴-온시켜, 상기 발광 소자를 발광할 수 있도록 제어하는 신호를 의미하고, 비액티브 신호는, 상기 발광 소자의 발광을 제어하는 스위칭 소자를 턴-오프시켜 발광 소자가 발광하지 않도록 제어하는 신호를 의미할 수 있으며, 반드시 이에 한정되지는 않는다.
- [0014] 여기서, 각 스테이지(ST1~STn)들은 한 프레임 기간 동안 한 번의 비액티브 신호를 출력하는 비액티브 기간을 가지며, 나머지는 계속 액티브 신호가 출력되는 액티브 기간으로 구동하도록 설정된다. 상기 비액티브 신호는 첫 번째 스테이지(ST1)부터 마지막 스테이지까지 순차적으로 출력될 수 있으나, 반드시 이에 한정되지는 않는다.
- [0015] 여기서, 액티브 신호는 게이트 온 전압 레벨을 갖는 신호로서, 각 화소 구동 회로를 이루는 박막 트랜지스터들이 p형 트랜지스터인 경우에는 게이트 로우 전압일 수 있고, 상기 박막 트랜지스터들이 n형 트랜지스터인 경우에는 게이트 하이 전압일 수 있다.
- [0016] 그 반대로, 비액티브 신호는 게이트 오프 전압 레벨을 갖는 신호로서, 상기 박막 트랜지스터들이 p형 트랜지스터인 경우, 비액티브 신호는 게이트 하이 전압일 수 있으며, 상기 박막 트랜지스터들이 n형 트랜지스터인 경우에는 게이트 로우 전압일 수 있다.
- [0017] 전술한 바와 같이, 각 스테이지(ST1~STn)들은 출력 펄스(Vout1~Voutn)를 이용하여 자신에게 접속된 발광 제어 라인을 구동시킴과 아울러, 자신으로부터 후단에 위치한 스테이지의 동작을 제어한다. 구체적으로 k 번째(k는 자연수) 스테이지로부터의 제 k 출력펄스는 제 k 발광 제어 라인에 공급되며, 그와 동시에 k+1 번째 스테이지에 공급된다.
- [0018] 도 1을 참조하면, 발광 제어부의 각 스테이지(ST1~STn)들은 각각 게이트 온 전압 레벨을 갖는 제 1 전압(VDD1)과, 게이트 오프 전압 레벨을 갖는 제 2 전압(VDD2), 그리고, 상기 게이트 온 전압 레벨과 게이트 오프 전압 레벨 사이를 스윙하는 제 1 클럭 펄스(CLK1)와, 상기 제 1 클럭 펄스(CLK1)와 반전된 위상을 갖는 제 2 클럭 펄스(CLK2)가 입력된다. 또한 상기 복수의 스테이지(ST1~STn) 중 첫 번째 스테이지(ST1)에는 스타트 펄스(Vst)가 공급된다. 여기서 상기 클럭 펄스의 수는 각 스테이지의 회로 구성에 따라 가변될 수 있다.
- [0019] 상기 게이트 온 전압 레벨은 각 스테이지에 구비된 스위칭 트랜지스터들을 턴-온 시킬 수 있도록 설정되며, 게이트 오프 전압 레벨은 상기 스위칭 트랜지스터들을 턴-오프시킬 수 있도록 설정된다. 여기서, 게이트 오프 전압 레벨은 각 스테이지가 어떠한 타입의 스위칭 트랜지스터로 이루어졌는지에 따라 달라질 수 있다. 예를 들어, 각 스테이지(ST1~STn)에 구비된 스위칭 트랜지스터들이 p형 트랜지스터인 경우, 상기 게이트 온 전압 레벨은 게이트 로우전압 레벨(VGL)일 수 있고, 게이트 오프 전압 레벨은 게이트 하이전압 레벨(VGH)일 수 있다. 반면, 각 스테이지(ST1~STn)에 구비된 스위칭 트랜지스터들이 n형 트랜지스터인 경우, 상기 게이트 온 전압 레벨은 게이트 하이전압 레벨(VGH)이고, 게이트 오프 전압 레벨은 게이트 로우전압 레벨(VGL)에 해당한다. 이 때 게이트 로우전압 레벨은 부극성의 전압레벨로 설정될 수 있으며, 게이트 하이전압 레벨은 정극성의 전압 레벨로 설정될 수 있다.
- [0020] 앞서 설명한 것과 같이 제 1 클럭 펄스(CLK1)는 게이트 온 전압 레벨과 게이트 오프 전압 레벨을 스윙하므로, 제 1 클럭 펄스(CLK1)는 게이트 하이전압 레벨(VGH)과 게이트 로우전압 레벨(VGL)의 진폭을 갖도록 주기적으로 발생될 수 있다. 또한 제 2 클럭 펄스(CLK2)는 제 1 클럭 펄스(CLK1)와 반전된 위상을 갖도록 설정될 수 있다.
- [0021] 도 2는 도 1에 도시된 스테이지 중 k번째 스테이지(STk)의 회로 구성을 설명하기 위한 도면이다. 상기 복수의 스테이지들 각각은, 상기 액티브 신호를 출력하는 액티브 기간에 상기 제 1 클럭 펄스(CLK1) 및 제 2 클럭 펄스

(CLK2) 중 어느 하나에 응답하여 전단 출력펄스(Voutk-1)를 세트 노드(Q)에 충전하는 제 1 노드 제어부(NC1)와, 비액티브 신호를 출력하는 비액티브 기간 동안 게이트 온 전압 레벨을 갖는 풀다운 전압을 리셋 노드(QB)에 출력하는 제 2 노드 제어부(NC2) 및 상기 제 1 노드 제어부(NC1) 및 제 2 노드 제어부(NC2)의 논리상태에 따라 액티브 상태 또는 비액티브 상태의 출력 펄스를 출력하는 출력부(out)를 포함한다. 본 명세서에서는 편의상 제 1 클럭 펄스(CLK) 또는 제 2 클럭 펄스(CLK2) 중 상기 제 1 노드 제어부(NC1)의 세트 노드(Q)를 제어하는 클럭 펄스를 기준 클럭 펄스(S_CLK)로 지칭하고, 다른 클럭 펄스는 반전 클럭 펄스(R_CLK)로 지칭하여 설명한다. 이때 각 스테이지 중 일부는 상기 제 1 클럭 펄스(CLK1)가 기준 펄스가 될 수 있으며, 다른 스테이지들은 제 2 클럭 펄스(CLK2)가 기준 펄스가 될 수 있다. 예를 들어 홀수 번째 스테이지에서는 제 1 클럭 펄스(SCK1)가 기준 펄스이고, 짝수 번째 스테이지에서는 제 2 클럭 펄스(CLK2)가 기준 펄스일 수 있으며, 그 반대일 수도 있다.

- [0022] 또한 상기 제 1 노드 제어부(NC1), 제 2 노드 제어부(NC2) 및 출력부(out)에 구비된 스위칭 트랜지스터들은 모두 p 형으로 형성되거나, 모두 n형으로 형성될 수 있으나, 본 실시예에서는 p형으로 형성된 경우를 예로 들어 설명한다. 상기 스위칭 트랜지스터들이 모두 n 형으로 형성된 경우에는 제 1 클럭 펄스(CLK), 제 2 클럭 펄스(CLK2) 및 스타트 펄스(Vst)의 파형이 반전된 형태로 입, 출력되며, 게이트 온 전압이 게이트 하이 전압(VGH)이며, 게이트 오프 전압이 게이트 로우 전압(VGL)인 점을 제외하면 그 구조는 상기 스위칭 트랜지스터들이 p형으로 형성된 경우와 동일하다. 따라서 본 명세서에서는 상기 스위칭 트랜지스터들이 p형 트랜지스터인 경우만을 예로 들어 설명한다.
- [0023] 여기서, 상기 스테이지 중 첫 번째 스테이지(ST1)는 전단 스테이지가 구비되어 있지 않으며, 제 1 클럭 펄스(CLK1)에 응답하여 외부로부터 입력되는 스타트 펄스(Vst)를 세트 노드(Q)에 충전할 수 있으며, 반드시 이에 한정되는 것은 아니다.
- [0024] 제 1 노드 제어부(NC1)는 제 1 스위칭 트랜지스터(T1)와, 제 2 스위칭 트랜지스터(T2)와, 제 1 커패시터(C1) 및 제 2 커패시터(C2)를 포함한다.
- [0025] 제 1 스위칭 트랜지스터(T1)는 기준 클럭 펄스(S_CLK)를 공급하는 기준 클럭 전송라인에 게이트 전극이 접속되고, 전단 스테이지(STk-1)의 출력 단자에 소스 전극이 접속되며, 드레인 전극이 제 1 노드(n1)에 접속된다.
- [0026] 제 2 스위칭 트랜지스터(T2)는 게이트 온 전압원, 즉 게이트 로우레벨 전압(VGL)을 공급하는 제 1 전압원(VDD1)에 게이트 전극이 접속되고, 소스 전극이 제 1 노드(n1)에 접속되며, 드레인 전극이 세트 노드(Q)의 일측에 접속된다.
- [0027] 제 1 커패시터(C1)는 출력부(outk)의 출력 단자(N_o)와 세트 노드(Q) 사이에 접속된다. 그리고, 제 2 커패시터(C2)는 일측이 상기 출력 단자(N_o)에 상기 제 1 커패시터(C1)와 공통으로 접속되고, 타측이 상기 제 1 노드(N1)에 접속된다.
- [0028] 상기 기준 클럭 펄스(S_CLK)는 액티브 기간 및 비액티브 기간에 관계 없이 게이트 온 전압 및 게이트 오프 전압으로 계속 스위칭한다. 또한 반전 클럭 펄스(R_CLK)는 기준 클럭 펄스와 위상이 반전된 파형을 가지므로, 마찬가지로 게이트 온 전압 및 게이트 오프 전압으로 계속 스위칭한다. 본 명세서에서는 편의상 액티브 기간 중 기준 클럭 펄스(S_CLK)가 게이트 온 전압 레벨을 갖는 기간을 충전 기간으로, 기준 클럭 펄스(S_CLK)가 게이트 오프 전압 레벨을 갖는 기간을 유지 기간으로 정의하여 설명한다.
- [0029] 액티브 기간 중 기준 클럭 펄스(S_CLK)가 게이트 온 전압 레벨을 갖는 충전 기간 동안, 제 1 스위칭 트랜지스터(T1)는 상기 기준 클럭 펄스(S_CLK)에 응답하여 구동 펄스를 제 1 노드(N1)로 공급한다. 여기서 구동 펄스란, 전단 스테이지(STk-1)의 출력 단자(N_o)로부터 입력되는 전단 출력펄스(Voutk-1)일 수 있다. 또한 상기 스테이지가 첫 번째 스테이지(ST1)인 경우에는 스타트 펄스(Vst)일 수 있다. 다시 말하면, 본 명세서에서 구동 펄스는 상기 스타트 펄스 또는 전단 출력펄스(Voutk-1) 중 어느 하나를 지칭한다. 도 2는 k번째 스테이지(STk)를 예시로 하고 있으므로, 구동 펄스는 전단 출력펄스(Voutk-1)에 해당한다. 상기 구동 펄스는 게이트 온 전압 레벨 및 게이트 오프 전압 레벨로 변동될 수 있다.
- [0030] 제 2 스위칭 트랜지스터(T2)는 상기 제 1 전압원(VDD1)에 게이트 전극이 접속되어 턴-온된다. 상기 그러면, 상기 구동 펄스는 제 1 노드(n1) 및 제 2 스위칭 트랜지스터(T2)를 통해 세트 노드(Q)로 출력되어 상기 풀업 트랜지스터(Tpu)를 턴-온시킨다. 그러면, 상기 턴-온된 풀업 트랜지스터를 통해 게이트 로우 레벨, 즉 게이트 온 전압 레벨을 갖는 출력 펄스(Voutk)가 출력 단자(N_o)를 통해 출력된다. 그와 함께, 상기 구동 펄스에 의해 제 1 및 제 2 커패시터(C1, C2)에는 게이트 온 전압이 충전된다.
- [0031] 기준 클럭펄스(S_CLK)가 게이트 오프 전압 레벨을 갖는 유지 기간 동안, 제 1 트랜지스터(T1)는 턴-오프된다.

이 때 제 1 노드(n1) 및 세트 노드(Q)는 제 1 및 제 2 커패시터(C1, C2)에 충전된 전압에 의해 게이트 온 전압 레벨을 유지하고, 그에 따라 풀업 트랜지스터(Tpu)는 턴-온 상태를 유지한다. 그에 따라 상기 제 2 액티브 기간 동안에도 상기 턴-온된 풀업 트랜지스터 (Tpu)를 통해 게이트 온 전압 레벨을 갖는 출력 펄스(Vout)가 액티브 신호로서 출력 단자(N_o)를 통해 출력된다.

[0032] 비액티브 구간 중 적어도 일부에서, 특히 상기 클럭펄스(S_CLK)가 게이트 온 전압 레벨을 갖는 기간 동안 상기 구동 펄스(Voutk-1)는 게이트 오프 전압 레벨을 갖도록 출력될 수 있다. 그러면, 턴-온된 제 1 스위칭 트랜지스터(T1)를 통해 제 1 노드에 상기 게이트 오프 전압의 구동 펄스가 공급됨과 아울러, 제 2 스위칭 트랜지스터(T2)를 통해 세트 노드(Q)에 상기 게이트 오프 전압의 구동 펄스가 공급된다. 그와 함께 상기 구동 펄스에 의해 제 1 및 제 2 커패시터(C1, C2)에는 게이트 오프 전압 충전됨으로써, 상기 게이트 온 전압은 방전된다.

[0033] 그러면, 세트 노드(Q)에 의해 풀업 트랜지스터(Tpu)에는 게이트 오프 전압 레벨을 갖는 전압이 공급되므로, 풀업 트랜지스터(Tpu)는 턴-오프된다.

[0034] 이후 상기 클럭펄스(S_CLK)가 게이트 오프 전압 레벨을 갖는 기간에도, 제 1 및 제 2 커패시터(C1, C2)에 충전된 전압에 의해 제 1 노드 및 세트 노드(Q)는 게이트 오프 전압 레벨이 유지되므로, 풀업 트랜지스터(Tpu)는 턴-오프 상태를 유지한다.

[0035] 제 2 노드 제어부(NC2)는 액티브 구간에서는 리세트 노드(QB)에 게이트 오프 전압, 즉 도 2의 실시예에서는 게이트 하이 레벨의 전압(VGH)을 공급한다. 따라서 리세트 노드(QB)는 게이트 하이 레벨의 전압(VGH)을 가지며, 풀다운 트랜지스터(Tpd)의 게이트 전극에는 게이트 하이 전압 레벨(VGH)을 갖는 전압이 공급됨으로써, 풀다운 트랜지스터(Tpd)는 턴 오프된다.

[0036] 제 2 노드 제어부(NC2)는 비액티브 구간에서는 리세트 노드(QB)에 게이트 온 전압 레벨을 갖는 풀다운 전압(Vpd), 즉 도 2의 실시예에서는 게이트 로우 레벨의 전압(VGL)을 공급한다. 따라서 리세트 노드(QB)는 상기 풀다운 전압과 동일한 전압 레벨을 가지며, 풀다운 트랜지스터(Tpd)의 게이트 전극에는 게이트 로우 전압 레벨(VGL)을 갖는 풀다운 전압이 공급됨으로써, 풀다운 트랜지스터(Tpd)는 턴 온된다. 그러면, 앞서 언급한 것과 같이 비액티브 구간에서 풀업 트랜지스터(Tpu)는 턴-오프되어 있으므로, 게이트 오프 전압 레벨, 즉 게이트 하이 레벨의 전압값(VGH)을 갖는 제 2 전압원으로부터의 제 2 전압(VDD2)이 출력 펄스(Vout)로 출력 단자(N_o)를 통해 비액티브 신호로서 출력된다.

[0037] 본 발명에 의한 발광 제어부의 제 1 노드 제어부(NC1)는, 세트 노드(Q)와 출력 단자(N_o) 사이에 제 1 커패시터(C1)를 구비함에 더하여, 상기 출력 단자(N_o)와 제 1 노드(n1) 사이에 제 2 커패시터(C2)를 더 구비한다.

[0038] 반면 종래의 제 1 노드 제어부(NC1)는 상기 제 1 커패시터만을 구비하고, 제 2 커패시터를 포함하지 않는 구성을 가진다.

[0039] 도 3은 본 발명에 의한 발광 제어부의 전압 유지 효과를 종래 기술과 비교하여 설명하기 위한 것이다.

[0040] 상기 기준 클럭 펄스가 게이트 오프 전압 레벨로 공급되고, 상기 제 1 커패시터에 충전된 전압을 이용하여 상기 세트 노드(Q)의 전압을 유지하는 경우에, 상기 제 1 노드(n1)는 게이트 오프 전압을 유지하여야 하고, 그러면 제 2 트랜지스터의 Vgs 값이 0이 되어 제 2 트랜지스터가 턴-오프된다. 그러나, 종래의 제 1 노드 제어부(NC1)는 상기 기준 클럭 펄스 공급 라인과 제 2 트랜지스터의 소스 전극 사이 또는 상기 제 2 트랜지스터의 게이트 전극과 소스 전극 사이에서 기생 커패시터가 발생(Cpara1, Cpara2)할 수 있으며, 이 영향으로 인해 제 1 노드(n1)의 전압이 변동되고, 제 2 트랜지스터가 미세하게 턴-온되는 현상이 발생하였다.

[0041] 예를 들어 도 3a와 같이 스위칭 트랜지스터(T1~T2, Tpu)들이 p형 트랜지스터인 경우를 예로 들면, 상기 제 1 노드(n1)의 전압이 상기 기생 커패시터들로 인해 상승되고, 그에 따라 제 2 트랜지스터의 Vgs 값이 0 이하가 되므로, 상기 제 2 트랜지스터가 턴-온될 수 있다. 그러면, 상기 세트 노드(Q)에 충전된 전압이 제 1 노드 방향으로 누설됨으로써 세트 노드(Q)에 충전된 전압이 게이트 온 전압 레벨로 유지되지 못하는 문제가 발생하며, 그 결과 출력 단자(N_o)로 출력되는 출력 펄스가 목표한 전압 레벨을 갖지 못하게 되므로, 표시 장치에 전달되는 신호가 왜곡된다.

[0042] 반면, 도 3b에 도시된 것과 같이, 본 발명에 의한 제 1 노드 제어부(NC1)는 상기 제 1 노드(n1)과 출력 단자(N_o) 사이에 제 2 커패시터(C2)를 더 구비한다. 본 발명에 의한 제 1 노드 제어부를 포함하는 발광 제어부는, 제 1 노드와 출력 단자 사이에 제 2 커패시터를 더 구비한다. 그로 인해 제 1 노드 제어부(NC1)는, 상기 제 2 커패시터(C2)에 저장된 전압을 이용하여 상기 제 1 노드(n1)의 전압 레벨을 상기 제 2 스위칭 트랜지스터(T2)가

충분히 턴-오프될 수 있는 상태로 제어한다.

- [0043] 예를 들어, 제 2 스위칭 트랜지스터(T2)가 p형 트랜지스터인 경우, 상기 제 1 노드 제어부(NC1)는 제 1 노드(n1)의 전압 레벨을 충분히 낮게 유지시킴으로써, 제 2 스위칭 트랜지스터(T2)의 V_{gs} 값을 0 또는 그 이상으로 유지시키고, 그에 따라 제 2 스위칭 트랜지스터(T2)를 안정적으로 턴-오프시킬 수 있다.
- [0044] 또한 본 발명에 의한 발광 제어부는, 설정 제 2 트랜지스터(T2)가 플로팅되거나 불안정하게 턴-온된다 하더라도 제 1 노드(n1)는 세트 노드(Q)와 등전위를 형성하므로, 세트 노드(Q)에 충전된 전압은 제 2 트랜지스터(T2)를 통해 누설되지 않는 효과를 갖는다. 설정 제 2 트랜지스터(T2)가 플로팅되거나 불안정하게 턴-온된다 하더라도, 제 1 노드(n1)는 세트 노드(Q)와 등전위를 형성하므로, 세트 노드(Q)에 충전된 전압은 제 2 트랜지스터(T2)를 통해 누설되지 않는 효과를 갖는다.
- [0045] 상기 제 2 노드 제어부(NC)는 그 실시예에 따라 다양하게 구성될 수 있다. 이하로는, 제 2 노드 제어부(NC)의 실시예를 포함한 본 발명에 의한 발광 제어부를 설명한다. 그러나 상기 제 2 노드 제어부(NC)는 본 명세서에서 설명한 실시예에 구애받지 않고 다양한 형태를 갖도록 형성될 수 있음에 유의하여야 한다.
- [0046] 도 4는 본 발명의 제 1 실시예에 의한 제 2 노드 제어부(NC2)를 포함하는 발광 제어부를 설명하기 위한 것이다.
- [0047] 제 1 노드 제어부(NC1) 및 출력부(outk)는 도 2에서 설명한 것과 동일하므로, 상세한 설명은 생략한다.
- [0048] 제 2 노드 제어부(NC2)는 게이트 전극이 상기 반전 클럭 펄스(R_CLK)를 공급하는 반전 클럭 전송라인에 접속되고, 소스 전극이 상기 게이트 턴-온 전압 레벨, 즉 도 4의 게이트 로우전압 레벨(VGL)을 갖는 제 1 전압원과 접속되고, 드레인 전극이 제 2 노드(n2)에 접속된 제 3 스위칭 트랜지스터(T3)와, 게이트 전극이 구동 펄스를 공급하는 구동 펄스 전송라인에 접속되고, 소스 전극이 상기 반전 클럭 펄스(R_CLK)를 공급하는 반전 클럭 전송라인에 접속되며, 드레인 전극이 상기 제 2 노드(n2)에 접속된 제 4 스위칭 트랜지스터(T4)와, 게이트 전극이 상기 제 2 노드(n2)에 접속되고, 소스 전극이 상기 기준 클럭 펄스(S_CLK)를 전송하는 기준 클럭 전송라인에 접속되며, 드레인 전극이 제 3 노드(n3)에 접속된 제 5 스위칭 트랜지스터(T5)와, 상기 제 3 노드(n3)에 소스 전극 및 게이트 전극이 접속된 다이오드 형태로 접속되고, 드레인 전극이 리세트 노드(QB)에 접속된 제 6 트랜지스터(T6)와, 소스 전극이 게이트 턴-오프 전압 레벨, 즉 게이트 하이 전압 레벨(VGH)을 갖는 제 2 전압원에 접속되고, 드레인 전극이 리세트 노드(QB)에 접속되며, 게이트 전극이 제 1 노드(n1)에 접속된 제 7 스위칭 트랜지스터(T7)와, 상기 리세트 노드(QB)에 게이트 전극이 접속되고, 소스 전극이 상기 제 1 노드에 접속되며, 드레인 전극이 상기 제 2 전압원에 접속된 방전용 트랜지스터(Td) 및 상기 제 5 스위칭 트랜지스터(T5)의 게이트 전극과 상기 제 6 스위칭 트랜지스터(T6)의 게이트 전극 사이에 공통으로 접속된 제 3 커패시터(C3)를 포함한다.
- [0049] 제 3 스위칭 트랜지스터(T3)는 전술한 반전 클럭 펄스(R_CLK)에 응답하여 게이트 턴-온 전압 레벨, 즉 게이트 로우레벨 전압 레벨(VGL)을 갖는 제 1 전압원으로부터의 제 1 전압을 제 2 노드(n2)에 공급한다.
- [0050] 제 5 스위칭 트랜지스터(T5)는 제 2 노드(n2)의 논리상태에 따라 기준 클럭 펄스(S_CLK)를 제 5 스위칭 소자(T5)에 다이오드 형태로 접속된 제 6 스위칭 트랜지스터(T6)를 통해 풀다운 전압으로서 리세트 노드(QB)에 공급한다.
- [0051] 제 7 스위칭 트랜지스터(T7)는 상기 제 1 노드(n1)로부터의 게이트 온 전압 레벨을 갖는 구동 펄스에 응답하여, 상기 리세트 노드(QB)에 충전된 전압을 상기 제 2 전압원으로부터 공급되는 게이트 턴 오프 전압 레벨, 즉 게이트 하이 전압 레벨(VGH)로 변화시킨다. 즉, 제 7 스위칭 트랜지스터(T7)는 상기 제 1 노드(n1)로부터의 구동 펄스에 응답하여 상기 리세트 노드(QB)에 게이트 오프 전압 레벨의 제 2 전압을 공급함으로써, 리세트 노드(QB)를 방전시킨다.
- [0052] 방전용 트랜지스터(Td)는 상기 리세트 노드(QB)가 게이트 턴 오프 전압 레벨, 즉 게이트 로우 전압 레벨을 갖는 경우 턴-온되어 제 1 노드(n1)에 상기 제 2 전압을 공급함으로써 제 1 노드 및 상기 세트 노드(QB)를 방전시킨다.
- [0053] 제 3 커패시터(C3)에는 상기 제 3 스위칭 트랜지스터(T3)를 통해 입력된 제 2 전압이 충전된다. 제 4 스위칭 트랜지스터(T4)는 상기 게이트 턴 온 전압 레벨의 구동 펄스에 응답하여 반전 클럭 펄스(R_CLK)를 제 2 노드(n2)에 공급한다. 특히 상기 제 4 스위칭 트랜지스터(T4)는 제 3 커패시터(C3)에 충전된 제 2 전압을 게이트 하이 전압 레벨(VGH), 즉 게이트 오프 전압 레벨일 때의 반전 클럭 펄스(R_CLK)를 출력함으로써 방전시킬 수 있다.
- [0054] 도 5는 도 4에 의한 발광 제어부의 각 스테이지를 구동하기 위한 파형도를 도시한 것이고, 도 6a 내지 도 6f 는 도 4에 의한 발광 제어부의 구동 방법을 설명하기 위한 회로도이다. 도 5에서 구동 펄스는 전단 출력 펄스

(Voutn-1)인 경우를 예로 들었으나 첫 번째 스테이지에서 구동 펄스는 스타트 펄스(Vst)일 수 있다.

- [0055] 도 5에 따르면 발광 제어부의 각 스테이지(ST1-STn)는 액티브 기간(act), 준비 기간(pre) 및 비액티브 기간(inact)으로 나뉘어 구동한다.
- [0056] 액티브 기간에는, 기준 클럭 펄스(S_CLK)와 반전 클럭 펄스(R_CLK)의 파형이 서로 반전되도록 스윙하며 구동 펄스는 게이트 온 전압 레벨을 유지한다. 따라서, 상기 액티브 기간은, 기준 클럭 펄스(SCLK)가 게이트 온 전압 레벨을 가지며, 반전 클럭 펄스(R_CLK)가 게이트 오프 전압 레벨을 가지는 충전 기간(t1) 과, 상기 기준 클럭 펄스(S_CLK)가 게이트 오프 전압 레벨을 가지며, 반전 클럭 펄스(R_CLK)가 게이트 온 전압 레벨을 가지는 유지 기간(t2)으로 구분될 수 있다.
- [0057] 충전 기간(t1) 동안, 기준 클럭 펄스(S_CLK)는 게이트 온 전압 레벨로 입력되고, 반전 클럭 펄스(R_CLK)는 게이트 오프 전압 레벨을 갖도록 입력된다. 그리고, 구동 펄스는 게이트 온 전압 레벨을 갖도록 입력된다.
- [0058] 그러면, 도 6a에 도시된 것과 같이, 상기 게이트 온 전압 레벨의 기준 클럭 펄스(S_CLK)에 의해 제 1 스위칭 트랜지스터(T1)는 턴-온된다. 그에 따라 상기 게이트 온 전압 레벨의 구동 펄스(Voutn-1)가 제 1 노드로 공급되며, 게이트 로우 전압 레벨(VGL)의 제 1 전압원에 게이트 전극이 접속되어 또한 턴-온된 제 2 스위칭 트랜지스터(T2)를 통해 상기 구동 펄스(Voutn-1)는 세트 노드(Q)로 공급된다. 이 때 제 1 및 제 2 커패시터(C1, C2)에도 상기 게이트 온 전압 레벨에 대응되는 전압이 충전된다.
- [0059] 상기 세트 노드(Q)로 공급된 구동 펄스에 의해 세트 노드(Q)는 게이트 온 전압 레벨을 갖도록 충전된다. 그리고, 상기 세트 노드(Q)와 게이트 전극이 접속된 출력부(outk)의 풀업 트랜지스터(Tpu)는 턴-온되며, 그에 따라 상기 제 1 전압원으로부터의 게이트 온 전압 레벨(VGL)을 갖는 제 1 전압이 출력 펄스(Voutk)로 출력된다.
- [0060] 그와 동시에, 상기 제 1 노드(n1)와 게이트 전극이 접속된 제 7 스위칭 트랜지스터(t7)에도 상기 게이트 온 전압 레벨을 갖는 구동 펄스(voutk-1)가 공급된다. 그에 따라 상기 제 7 스위칭 트랜지스터(T7)는 턴-온되고, 상기 리세트 노드(QB)에 게이트 오프 전압 레벨, 즉 게이트 하이 전압 레벨(VGH)을 갖는 제 2 전압이 공급됨으로써, 리세트 노드(QB)는 방전된다.
- [0061] 그러면, 상기 리세트 노드에 게이트 전극이 접속된 출력부(outk)의 풀다운 트랜지스터(Td)와, 방전용 트랜지스터(Td)가 모두 턴-오프된다.
- [0062] 이 때 제 3 스위칭 트랜지스터(T3)의 게이트 전극에는 게이트 오프 전압 레벨을 갖는 반전 클럭 펄스(R_CLK)가 공급되므로, 제 3 스위칭 트랜지스터(T3)는 턴-오프되고, 상기 구동 펄스가 게이트 전극으로 공급되는 제 4 스위칭 트랜지스터(T4)는 턴-온된다. 그리고, 상기 게이트 오프 전압 레벨을 갖는 반전 클럭 펄스(R_CLK)가 제 2 노드로 공급되며, 제 3 커패시터(C3)에는 상기 반전 클럭 펄스(R_CLK)의 전압 레벨에 대응되는 전압이 저장된다. 이 때 상기 제 2 노드(n3)와 게이트 전극이 접속된 제 5 트랜지스터가 턴-오프되고, 따라서 제 3 노드(n3)를 통해 상기 제 5 트랜지스터와 다이오드 형태로 접속된 제 6 트랜지스터 또한 턴-오프된다.
- [0063] 유지 기간(t2) 동안, 기준 클럭 펄스(S_CLK)는 게이트 오프 전압 레벨로 입력되고, 반전 클럭 펄스(R_CLK)는 게이트 온 전압 레벨을 갖도록 입력된다. 그리고, 구동 펄스는 게이트 온 전압 레벨을 갖도록 입력된다.
- [0064] 그러면, 도 6b에 도시된 것과 같이 제 1 스위칭 트랜지스터(T1)는 상기 게이트 오프 전압 레벨을 갖는 기준 클럭 펄스(S_CLK)에 의해 턴-오프된다. 그러나, 앞서 설명한 것과 같이 제 1 및 제 2 커패시터(C1, C2)에는 상기 게이트 온 전압 레벨에 대응되는 전압이 충전되어 있으므로, 제 1 및 제 2 커패시터(C1, C2)에 의해 상기 세트 노드(Q)의 전압은 게이트 온 전압 레벨로 유지된다. 그에 따라 풀업 트랜지스터(Tpu)또한 턴-온되고, 상기 제 1 전압이 출력 단자(N_O)를 통해 출력 펄스(Voutk)로서 출력된다.
- [0065] 이 때 상기 제 2 커패시터(C2)에 저장된 전압은 상기 제 1 노드의 전압을 상기 제 2 스위칭 트랜지스터(T2)의 게이트 전극 레벨과 동일한 게이트 온 전압 레벨로 유지함으로써 제 2 스위칭 트랜지스터(T2)의 게이트-소스 전압(Vgs)를 0 또는 그 이상으로 유지하고, 세트 노드(Q)에 충전된 전압의 누설을 방지함으로써, 출력 펄스(voutk)의 전압 레벨을 안정화시킨다.
- [0066] 상기 제 1 노드와 접속된 제 7 스위칭 트랜지스터(T3)는 턴-온되어 리세트 노드(QB)의 전압을 상기 제 2 전압, 즉 게이트 오프 전압 레벨로 유지한다. 그에 따라 풀다운 트랜지스터(Tpd) 및 방전 트랜지스터(Td)는 턴-오프 상태를 유지한다.
- [0067] 그와 동시에 상기 반전 클럭 펄스(CLK)가 게이트 전극에 입력되는 제 3 스위칭 트랜지스터(T3)가 턴-온되어 상

기 제 1 전압원으로부터의 게이트 온 전압 레벨을 갖는 제 1 전압이 제 2 노드로 공급되고, 상기 구동 펄스(Vout-1)가 게이트 전극에 입력되는 제 4 스위칭 트랜지스터(T4)는 턴-온되어 상기 게이트 온 전압 레벨을 갖는 상태의 반전 클럭 펄스가 상기 제 3 노드로 공급된다. 이들 전압은 모두 게이트 온 전압 레벨을 가지며, 제 3 커패시터(C3)에 충전되고, 상기 제 5 스위칭 트랜지스터(T5)를 턴-온시키고, 제 5 스위칭 트랜지스터(T5)는 상기 게이트 오프 전압 레벨을 갖는 상태의 기준 클럭 펄스(S_CLK)를 상기 제 3 노드(n3)로 공급한다. 이 때 제 3 노드(n3)와 연결된 다이오드 형태의 제 6 스위칭 트랜지스터(T6)에는 게이트 오프 전압 레벨을 갖는 상태의 기준 클럭 펄스가 공급되어 제 6 스위칭 트랜지스터(T6)는 턴-오프 상태를 유지하므로, 상기 제 5 스위칭 트랜지스터(T5)로부터의 게이트 오프 전압 레벨 상태를 갖는 기준 클럭 펄스(S_CLK)는 리세트 노드(QB)에 영향을 미치지 않는다.

[0068] 상기 충전 기간(t1)에서 제 3 커패시터(C3)에는 게이트 오프 전압 레벨을 갖는 전압이 공급되고, 유지 기간(T2)에서 제 3 커패시터(C3)에는 게이트 온 전압 레벨을 갖는 전압이 공급되므로, 상기 충전 기간(t1) 및 유지 기간(T2)이 반복되는 액티브 기간 중에는 상기 제 3 커패시터(C3)는 충, 방전을 반복하게 된다. 그러나, 제 6 스위칭 트랜지스터(T6)가 상기 충전 기간(t1) 및 유지 기간(t2) 모두에서 턴-오프되므로, 상기 제 3 내지 제 6 트랜지스터(T3~T6)의 동작은 액티브 기간 동안 리세트 노드(QB)의 논리상태에 영향을 미치지 않는다.

[0069] 액티브 기간(t1~t2)과 비액티브 기간(t5~t6) 사이에는 준비 기간(t3~t4)이 구비된다. 제 1 준비 기간(t3)에는 상기 액티브 기간의 충전 기간(t1)과 동일한 파형이 각 스테이지에 공급되므로, 그 동작은 도 6c에 도시된 것과 같이 상기 충전 기간(t1)과 동일하다. 그에 따라 전술한 바와 같이 제 3 커패시터(C3)는 방전된다. 즉, 제 3 커패시터(C3)에는 게이트 오프 전압 레벨이 저장된다.

[0070] 제 2 준비 기간(t4) 동안, 기준 클럭 펄스(S_CLK)는 게이트 오프 전압 레벨을 갖는 전압이 공급되고, 반전 클럭 펄스(R_CLK)는 게이트 온 전압 레벨을 갖는 전압이 공급되며, 구동 펄스(Voutk-1)는 게이트 오프 전압 레벨을 갖는 전압이 공급된다. 즉 제 2 준비 기간(t4) 동안에는 전단 스테이지의 출력 펄스(Vout-1) 또는 스타트 펄스(Vst)가 비액티브 상태로 공급된다.

[0071] 그러면, 도 6d와 같이 게이트 오프 전압 레벨 상태의 기준 클럭 펄스(S_CLK)에 의해 제 1 스위칭 트랜지스터(T1)가 턴-오프되고, 세트 노드(Q)는 유지 기간(t2)과 동일하게 제 1 커패시터(C1)에 의해 게이트 하이 전압 레벨을 유지한다. 그리고, 제 2 커패시터(C2)는 앞서 설명한 것과 같이 제 1 노드(n1)의 전압을 게이트 로우 전압 레벨로 유지하여 제 2 스위칭 트랜지스터(T2)의 턴-온을 방지하고, 세트 노드(Q)에 공급되는 전압의 누설을 방지한다. 제 7 스위칭 트랜지스터(T7) 또한 유지 기간(t2)과 마찬가지로, 제 1 노드(n1)과 접속되어 턴-온되고, 상기 제 2 전압을 리세트 노드(QB)에 공급하여 리세트 노드(QB)를 게이트 오프 전압 레벨로 유지시킨다. 그에 따라 풀다운 트랜지스터(Tpu) 및 방전용 트랜지스터(Td)는 턴-오프 상태를 유지한다.

[0072] 동시에, 제 3 스위칭 트랜지스터(T3)는 게이트 온 전압 레벨 상태의 반전 클럭 펄스(R_CLK)에 의해 턴-온된다. 그리고, 제 4 스위칭 트랜지스터(T4)는 게이트 오프 전압 레벨 상태의 구동 펄스(Voutk-1)에 의해 턴-오프된다.

[0073] 그에 따라 제 3 스위칭 트랜지스터(T3)를 통해 게이트 온 전압 레벨을 갖는 제 1 전압이 제 2 노드로 공급되며, 상기 제 3 커패시터(C3)에는 제 1 전압이 충전된다. 그리고, 제 5 스위칭 트랜지스터(T5) 또한 제 2 노드가 게이트 온 전압 레벨을 가지므로 턴-온되나, 기준 클럭 펄스(S_CLK)가 게이트 오프 전압 레벨 상태로 제 6 트랜지스터(T6)로 공급되므로 제 6 트랜지스터(T6)는 턴-오프되어 상기 기준 클럭 펄스(S_CLK)는 세트 노드(QB)의 논리상태에 영향을 미치지 않는다.

[0074] 제 1 비액티브 기간(t5)에는, 기준 클럭 펄스(S_CLK)는 게이트 온 전압 레벨 상태를 갖도록 공급되고, 반전 클럭 펄스(R_CLK)는 게이트 오프 전압 레벨 상태를 갖는 전압이 공급되며, 구동 펄스(Voutk-1)는 게이트 오프 전압 레벨을 갖는 전압이 공급된다. 즉 제 1 비액티브 기간(t5) 동안에는 전단 스테이지의 출력 펄스(Vout-1) 또는 스타트 펄스(Vst)가 비액티브 상태로 공급된다.

[0075] 그러면, 도 6e와 같이 상기 게이트 온 전압 레벨의 기준 클럭 펄스(S_CLK)에 의해 제 1 스위칭 트랜지스터(T1)가 턴-온된다. 이 때 상기 구동 펄스(Voutk-1)는 게이트 오프 전압 레벨을 가지므로, 상기 제 1 노드(n1) 및 세트 노드(Q)에는 게이트 오프 전압 레벨이 공급되고, 제 1 및 제 2 커패시터(C1, C2)에도 게이트 오프 전압이 충전된다. 그리고, 상기 세트 노드(Q)와 접속된 풀업 트랜지스터(Tpu)는 턴-오프된다. 또한 상기 제 1 노드(n1)와 게이트 전극이 접속된 제 7 스위칭 트랜지스터(T7)또한 턴-오프 상태를 유지한다.

[0076] 그와 함께, 상기 반전 클럭 펄스(R_CLK)는 게이트 오프 전압 레벨 상태이므로, 제 3 스위칭 트랜지스터(T3)는 턴-오프되며, 상기 구동 펄스(Vout-1) 또한 게이트 오프 전압 레벨 상태이므로, 제 4 스위칭 트랜지스터(T4)는

턴-오프된다. 그러나, 제 2 준비 기간(t_4)동안 제 3 커패시터(C_{st})에는 게이트 온 전압 레벨을 갖는 제 1 전압이 충전되었으므로, 상기 제 2 노드(n_3)는 상기 게이트 온 전압 레벨을 유지함으로써, 제 5 스위칭 트랜지스터(T_5)는 턴-온된다. 그리고, 상기 제 5 스위칭 트랜지스터(T_5)를 통해 게이트 온 전압 레벨의 기준 클럭 펄스(S_CLK)가 제 3 노드(n_3)로 공급되며, 제 3 노드(n_3)에 다이오드 형태의 제 6 스위칭 트랜지스터(T_6)을 통해 상기 게이트 온 전압 레벨 상태의 기준 클럭 펄스(S_CLK)는 리세트 노드(QB)로 공급된다. 그리고, 상기 리세트 노드(QB)에 게이트 온 전압 레벨의 상기 기준 클럭 펄스(S_CLK)가 충전됨으로써, 풀다운 트랜지스터(T_{pd}) 및 방전용 트랜지스터(T_d)가 턴-온된다. 그러면, 상기 게이트 오프 전압 레벨의 제 2 전압이 상기 풀다운 트랜지스터(T_d)를 통해 출력 단자(N_o)에 공급됨으로써, 출력 단자(N_o)는 게이트 오프 레벨의 출력 펄스(V_{outk})를 출력한다.

[0077] 그리고, 방전용 트랜지스터(T_d)가 턴-온됨으로써, 제 1 노드(n_1)에는 상기 제 2 전압에 공급되고, 제 1 노드(n_1) 및 세트 노드(Q)가 빠르게 상기 게이트 오프 전압 레벨에 도달하도록 돕는 역할을 할 수 있다.

[0078] 제 2 비액티브 기간(t_6)동안, 기준 클럭 펄스(S_CLK)는 게이트 오프 전압 레벨 상태를 갖도록 공급되고, 반전 클럭 펄스(R_CLK)는 게이트 온 전압 레벨 상태를 갖는 전압이 공급되며, 구동 펄스(V_{outk-1})는 게이트 온 전압 레벨을 상태를 갖도록 공급된다. 즉 제 2 비액티브 기간(t_6) 동안에는 전단 스테이지의 출력 펄스(V_{out-1}) 또는 스타트 펄스(V_{st})가 액티브 상태로 공급된다.

[0079] 그러면, 도 6f와 같이 제 1 스위칭 트랜지스터(T_1)는 턴-오프되고, 제 1 노드(n_1) 및 세트 노드(Q)는 상기 제 1 및 제 2 커패시터(C_1, C_2)에 저장된 전압에 따라 게이트 오프 전압 레벨 상태를 유지한다. 그에 따라 상기 풀업 트랜지스터(T_{pu}) 및 방전용 트랜지스터(T_d)는 턴-오프 상태를 유지한다.

[0080] 또한 게이트 온 전압 레벨 상태의 반전 클럭 펄스(R_CLK) 및 구동 펄스(V_{outk-1})에 의해 제 3 및 제 4 스위칭 트랜지스터(T_3, T_4)는 턴-온된다. 그리고, 상기 제 1 전압이 제 3 스위칭 트랜지스터(T_3)의 소스 전극을 통해 제 2 노드(n_2)에 공급되고, 상기 제 5 스위칭 트랜지스터(T_5)는 턴-온되어 기준 클럭 펄스(S_CLK)를 제 3 노드(n_3)로 공급한다. 그러나, 기준 클럭 펄스(S_CLK)가 게이트 오프 전압 레벨 상태이므로, 제 3 노드(n_3)에 다이오드 형태로 접속된 제 6 스위칭 소자(T_6)는 턴-오프 상태를 유지하며 그에 따라 상기 제 3 노드(n_3)에 충전된 기준 클럭 펄스(S_CLK)는 리세트 노드(QB)에 영향을 주지 않는다.

[0081] 리세트 노드(QB)는 제 2 비액티브 기간(t_6)동안 상기 제 1 비액티브 기간(t_5)동안 충전된 게이트 온 전압 레벨을 유지한다. 그에 따라 풀다운 트랜지스터(T_{pd}) 및 방전용 트랜지스터(T_d)가 턴-온된다, 풀다운 트랜지스터(T_{pd})는 게이트 오프 전압 레벨의 제 2 전압을 출력 단자(N_o)로 출력하고, 상기 출력 단자(N_o)는 상기 제 2 전압을 비액티브 신호로서의 출력 펄스(V_{outk})로 출력한다.

[0082] 그리고, 방전용 트랜지스터(T_d)는 상기 제 2 전압을 제 1 노드(n_1) 및 세트 노드(Q)에 공급하여 상기 제 1 노드(n_1) 및 세트 노드(Q)가 게이트 오프 전압 상태를 유지하도록 돕는다.

[0083] 도 7은 본 발명의 제 2 실시예에 의한 제 2 노드 제어부(NC_2)를 포함하는 발광 제어부를 설명하기 위한 예시도이다.

[0084] 스테이지(ST_k)는 제 1 노드 제어부(NC_1)와 제 2 노드 제어부(NC_2) 및 출력부(out_k)를 포함한다. 제 1 노드 제어부(NC_1)는 도 2에 도시된 것과 동일하므로, 상세한 설명은 생략한다.

[0085] 도 7에 도시된 것과 같이, 제 2 노드 제어부(NC_2)는 유기 발광 표시 장치에 구비된 게이트 라인을 구동하기 위한 스캔 펄스($SCAN$)를 공급받아 구동할 수 있다. 이 때 스캔 펄스($SACN$)는 상기 게이트 라인들을 구동하는 게이트 드라이버에서 각 게이트 라인 및 발광 제어부의 각 스테이지($ST_1 \sim ST_n$)에 구비된 제 2 노드 제어부(NC_2)로 입력된다. 이 때 각 게이트 라인으로 출력되는 스캔 펄스는 각 스테이지에 일대일로 대응되어 입력된다.

[0086] 제 2 노드 제어부(NC_2)는 비액티브 기간 동안 게이트 전극으로 입력되는 게이트 온 전압 레벨의 스캔 펄스($SCAN$)에 응답하여 제 1 노드(N_1)와 게이트 오프 전압원인 제 2 전압원을 접속시키는 방전용 트랜지스터(T_d)와, 비액티브 기간 동안 상기 스캔 펄스($SCAN$)를 입력받아 게이트 온 전압 레벨로 충전되는 리세트 노드(QB)를 포함한다.

[0087] 리세트 노드(QB)의 게이트 전극은 풀다운 트랜지스터(T_{pd})의 게이트 전극과 접속되고, 풀다운 트랜지스터(T_{pd})의 소스 전극은 상기 제 2 전압원에 접속되며, 드레인 전극은 출력부(out_k)의 출력 단자(N_o)에 접속된다.

[0088] 상기 스캔 신호($SCAN$)는 발광 제어부의 각 스테이지($ST_1 \sim ST_2$)로부터 출력되는 각 출력 펄스와 반전된 파형을 갖는다. 다시 말하면 상기 출력 펄스가 액티브 기간 동안 게이트 온 전압 레벨을 갖도록 출력되고, 비액티브 기간

동안 게이트 오프 전압 레벨을 갖고 출력되는 반면, 상기 스캔 펄스는 한 프레임당 한 번의 액티브 기간을 갖도록 출력된다. 이 때 스캔 펄스의 액티브 기간은, 발광 제어부의 출력 펄스의 비액티브 기간에 해당하고, 스캔 펄스의 비액티브 기간은 상기 출력 펄스의 액티브 기간에 해당한다.

- [0089] 풀다운 트랜지스터(Tpd)는 비액티브 기간 동안 상기 스캔 펄스에 응답하여 턴-온되고, 상기 제 2 전압원으로부터 게이트 오프 전압 레벨, 즉 도 4에서는 게이트 로우 전압 레벨(VGL)을 갖는 출력 펄스(Voutk)를 출력 단지(N_o)를 통해 출력한다. 즉 제 2 실시예에 의한 노드 제어부(NC2)에서는 스캔 펄스가 풀다운 전압으로 리세트 노드(QB)에 공급될 수 있다.
- [0090] 액티브 기간 동안, 앞서 설명한 것과 같이 각 스테이지(ST1~STn)의 출력 단자(N_o)는 풀업 트랜지스터(Tpu)를 통해 상기 게이트 온 전압 레벨을 갖는 출력 펄스(Vout)를 출력한다. 이 때 제 2 노드 제어부(NC2)에는 게이트 오프 전압 레벨의 스캔 펄스가 입력된다. 그에 따라 상기 액티브 기간 동안에는 상기 리세트 노드(QB)는 게이트 오프 전압 레벨, 즉 게이트 하이 전압 레벨(VGH)을 갖는다. 따라서 풀다운 트랜지스터(Tpd) 및 방전용 트랜지스터(Td)는 턴-오프된다.
- [0091] 이상 설명한 도 7에 의한 제 2 노드 제어부(NC2)를 포함하는 발광 제어부는, 게이트 구동부로부터의 스캔 펄스(SCAN)를 입력받아 일종의 인버터 형태로 구동한다. 즉 스캔 펄스(SCAN)가 비액티브 신호를 출력할 때 발광 제어부는 액티브 신호를 출력하고, 스캔 펄스(SCAN)가 액티브 신호를 출력할 때 발광 제어부는 비액티브 신호를 출력할 수 있다.
- [0092] 도 8은 본 발명에 의한 발광 제어부를 포함하는 유기 발광 표시 장치를 설명하기 위한 개략도이다.
- [0093] 도 8에 도시된 유기 발광 표시장치는 복수의 화소 영역을 구비하여 형성된 표시패널(1), 표시패널(1)의 게이트 라인(GL1 내지 GLn)들과 발광 제어라인(EL1 내지 ELn)들을 구동하는 스캔 구동부(2), 표시패널(1)의 데이터 라인(DL1 내지 DLm)들을 구동하는 데이터 구동부(3), 표시패널(1)의 전원라인(PL1 내지 PLm)들에 제 1 및 제 2 전원신호(VDD, GND)를 공급함과 아울러 보상 전원라인(CPL)에 보상 전압(Vref)을 공급하는 전원 공급부(4), 및 보상 전압(Vref)으로 보상된 데이터 전압에 의해 영상이 표시되도록 상기 스캔 구동부(2) 및 데이터 구동부(3)를 제어하는 타이밍 제어부(5)를 구비한다.
- [0094] 표시패널(1)은 복수의 서브 화소(P)들이 각 화소영역에 매트릭스 형태로 배열되어 영상을 표시하게 되는데, 각 서브 화소(P)는 발광 셀(OLD)과 그 발광 셀(OLD)을 독립적으로 구동하는 셀 구동부(DVD)를 구비한다. 구체적으로, 도 9에 도시된 바와 같은 각각의 서브 화소(P)는 각각의 게이트 라인(GL), 데이터 라인(DL), 보상 전원 라인(CPL), 발광 제어 라인(EL) 및 전원 라인(PL)에 접속된 셀 구동부(DVD)를 구비한다.
- [0095] 스캔 구동부(2)는 게이트 구동부(21)와 발광 제어부(22)를 포함한다. 이 때 게이트 구동부(21) 및 발광 제어부(22)는 도 1과 같이 복수 개의 스테이지를 포함하는 쉬프트 레지스터 형태로 형성될 수 있다. 한편, 발광 제어부(22)는 도 7과 같이 상기 게이트 구동부로부터의 스캔 신호를 입력받아 이를 반전시켜 풀다운 전압으로 사용하는 인버터 형태로 형성될 수도 있다.
- [0096] 도 9는 본 발명에 의한 유기 발광 표시 장치의 셀 구동부(DVD)를 설명하기 위한 회로도이다.
- [0097] 셀 구동부(DVD)는 제 1 내지 제 5 화소 스위칭 소자(M1 내지 M5), 구동 스위칭 소자(DT) 및 스토리지 캐패시터(Cst)를 구비하여 이루어질 수 있다. 여기서, 제 1 내지 제 5 화소 스위칭 소자(M1 내지 M5)와 구동 스위칭 소자(DT)는 NMOS 트랜지스터 또는 PMOS 트랜지스터 등으로 구성될 수 있는데, 이하에서는 상기 제 1 내지 제 5 화소 스위칭 소자(M1 내지 M5)와 구동 스위칭 소자(DT)가 PMOS 트랜지스터로 이루어진 예를 설명하기로 한다.
- [0098] 제 1 화소 스위칭 소자(M1)는 게이트 라인(GL)으로부터의 게이트 온 전압에 응답하여, 데이터 라인(DL)으로부터의 데이터 신호(Vdata)를 제 1 화소 노드(N1)에 공급함으로써, 스토리지 캐패시터(Cst)가 충전되도록 한다.
- [0099] 제 2 화소 스위칭 소자(M2)는 게이트 라인(GL)으로부터의 게이트 온 전압에 응답하여 구동 스위칭 소자(DT)의 게이트 전극 및 드레인 전극을 서로 접속시킴으로써 구동 스위칭 소자(DT)를 다이오드 형태로 접속시킨다.
- [0100] 제 3 화소 스위칭 소자(M3)는 발광 제어 라인(EL)으로부터의 게이트 온 전압 레벨의 발광 제어 신호에 응답하여 구동 스위칭 소자(DT)의 드레인 전극을 발광 셀(OLD)의 애노드 전극에 접속시킨다. 즉, 제 3 화소 스위칭 소자(M3)는 게이트 온 전압 레벨의 발광 제어 신호에 따라 구동 스위칭 소자(DT)로부터 출력되는 데이터 전류를 발광 셀(OLD)에 공급한다.
- [0101] 제 4 화소 스위칭 소자(M4)는 발광 제어 라인(EL)으로부터의 게이트 온 전압 레벨의 발광 제어 신호에

응답하여, 제 1 화소 노드(N1)에 보상 전원 라인(CPL)을 통해 공급되는 보상 전압(Vref)을 공급한다.

[0102] 제 5 화소 스위칭 소자(M5)는 게이트 라인(GL)으로부터의 게이트 온 전압 레벨의 게이트 전압에 응답하여, 보상 전원 라인(CPL)을 통해 공급되는 보상 전압(Vref)을 발광 셀(OLD)이 접속된 제 3 화소 노드(N2)로 공급한다. 여기서, 제 5 화소 스위칭 소자(M5)는 셀 구동부(DVD)의 안정화 소자로서 구비되지 않아도 구동 과정에는 영향을 미치지 않는다.

[0103] 구동 스위칭 소자(DT)는 제 2 화소 노드(N2) 상의 전압에 응답하여 발광 셀(OLD)에 흐르는 전류량을 제어한다.

[0104] 스토리지 캐패시터(Cst)는 제 1 및 제 2 화소 노드(N1,N2) 사이에 형성되어 제 1 및 제 2 화소 노드(N1,N2) 간의 차 전압을 저장하고, 제 1 화소 스위칭 소자(M1)가 턴-오프되면 저장된 전압을 이용하여 구동 스위칭 소자(DT)의 온 상태를 소정의 기간 예를 들어, 한 프레임 기간 동안 유지시킨다.

[0105] 발광 셀(OLD)은 셀 구동부(DVD)와 접속된 애노드 전극, 저전위 전압인 제 2 전원신호(GND)와 접속된 캐소드 전극, 애노드 전극 및 캐소드 전극 사이에 형성된 유기층으로 구성된다. 이러한 발광 셀(OLD)은 셀 구동부(DVD)의 제 3 화소 스위칭 소자(M3)를 통해 구동 스위칭 소자(DT)로부터의 전류에 의해 발광한다.

[0106] 본 발명에 의한 유기 발광 표시 장치는, 단순한 발광 제어부를 포함함으로써 안정적인 발광 제어 신호를 출력하고, 그에 따라 발광 소자가 안정적으로 발광할 수 있는 효과를 갖는다.

[0107] 한편, 이상에서 설명한 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

[0108] ST1~STn: 스테이지 T1~T7: 제 1~7 스위칭 트랜지스터

NC1: 제 1 노드 제어부 NC2: 제 2 노드 제어부

out: 출력부 Tpu: 풀업 트랜지스터

Tpd: 풀다운 트랜지스터 C1~C3: 제1~3 커패시터

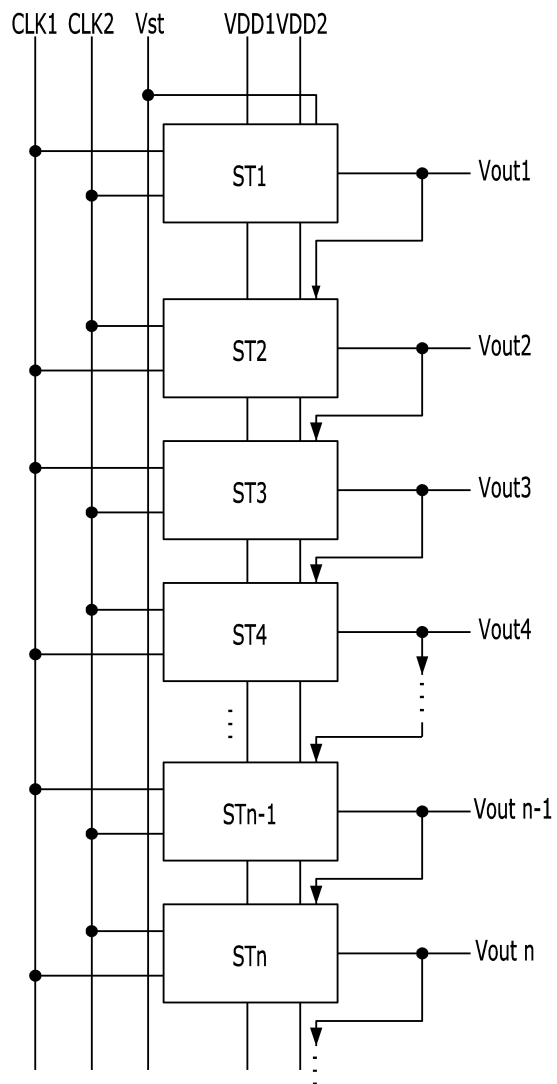
2: 구동 회로부 21: 게이트 구동부

22: 발광 제어부 3: 데이터 구동부

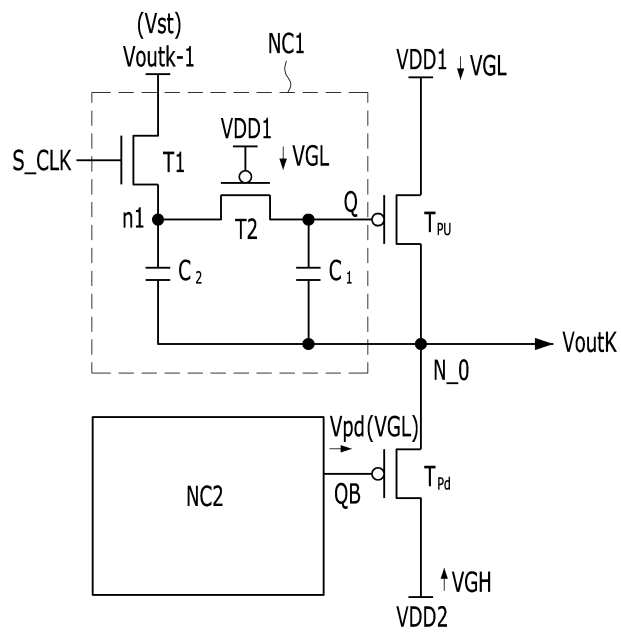
4: 전원 공급부 5: 타이밍 제어부

도면

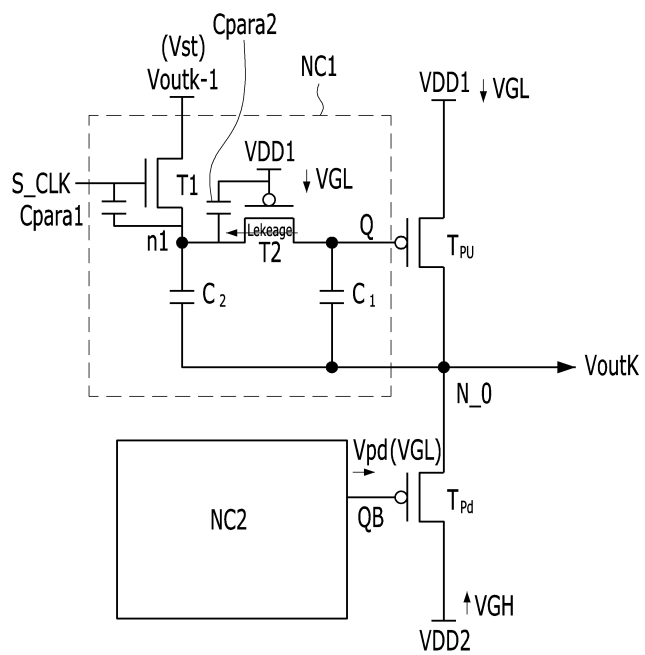
도면1



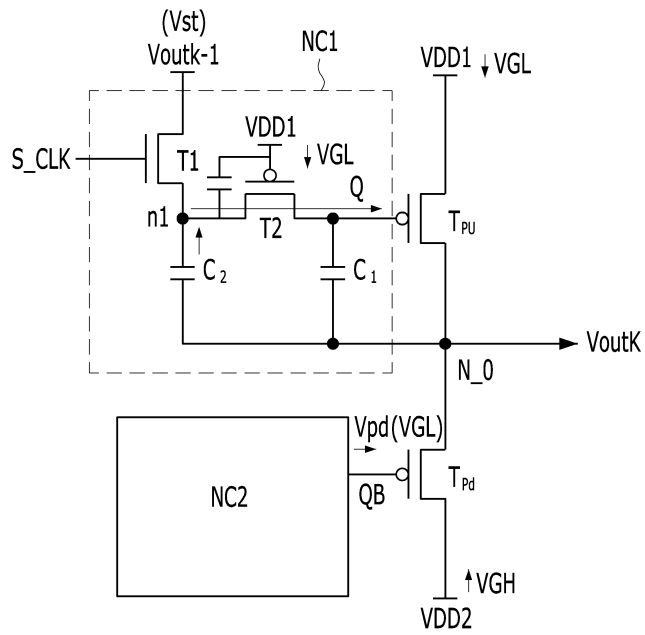
도면2



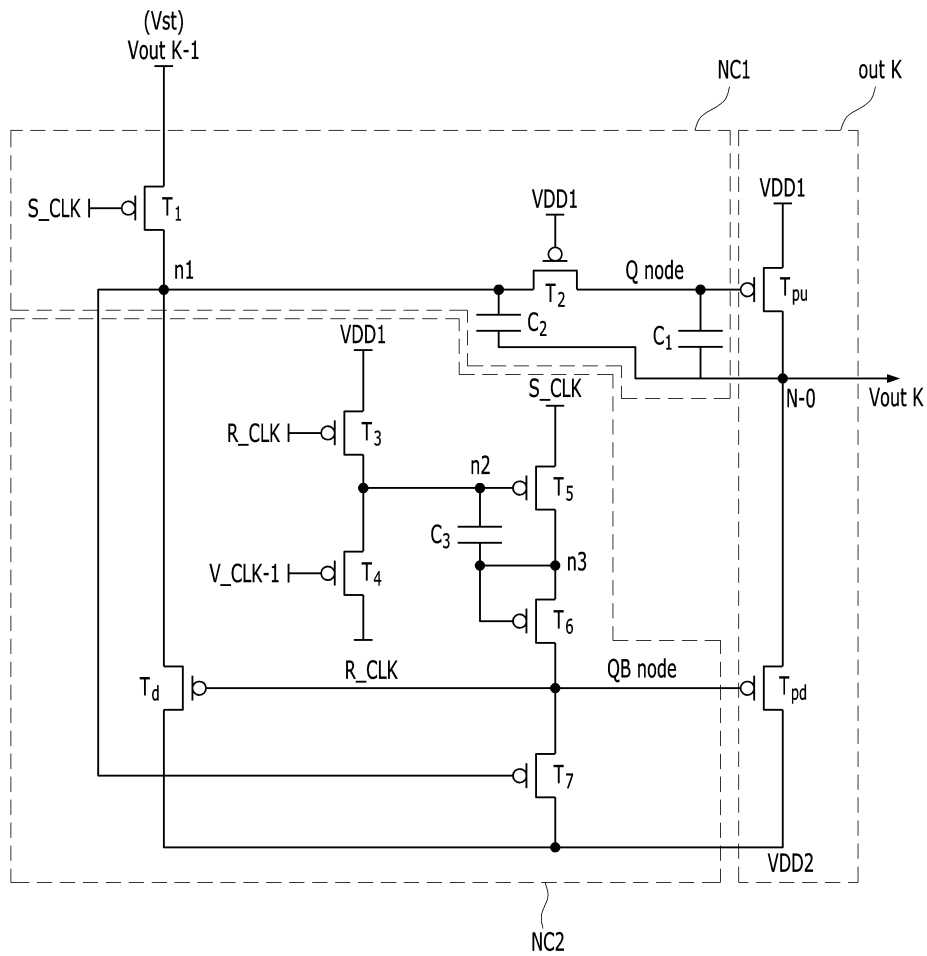
도면3a



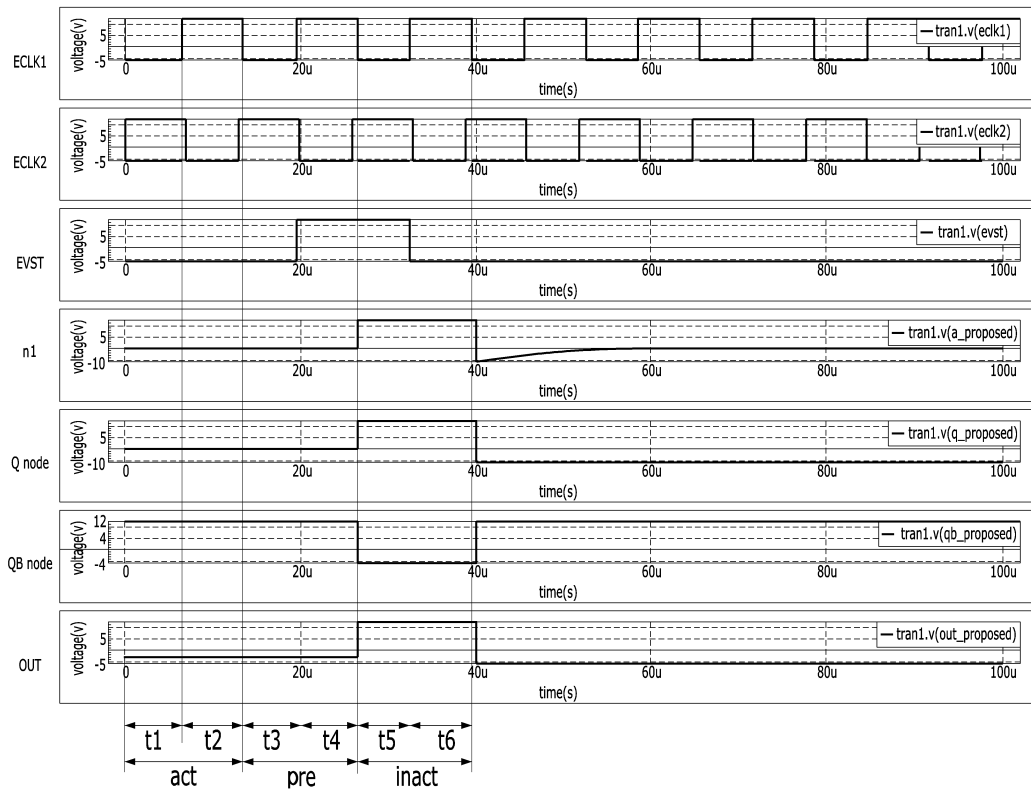
도면3b



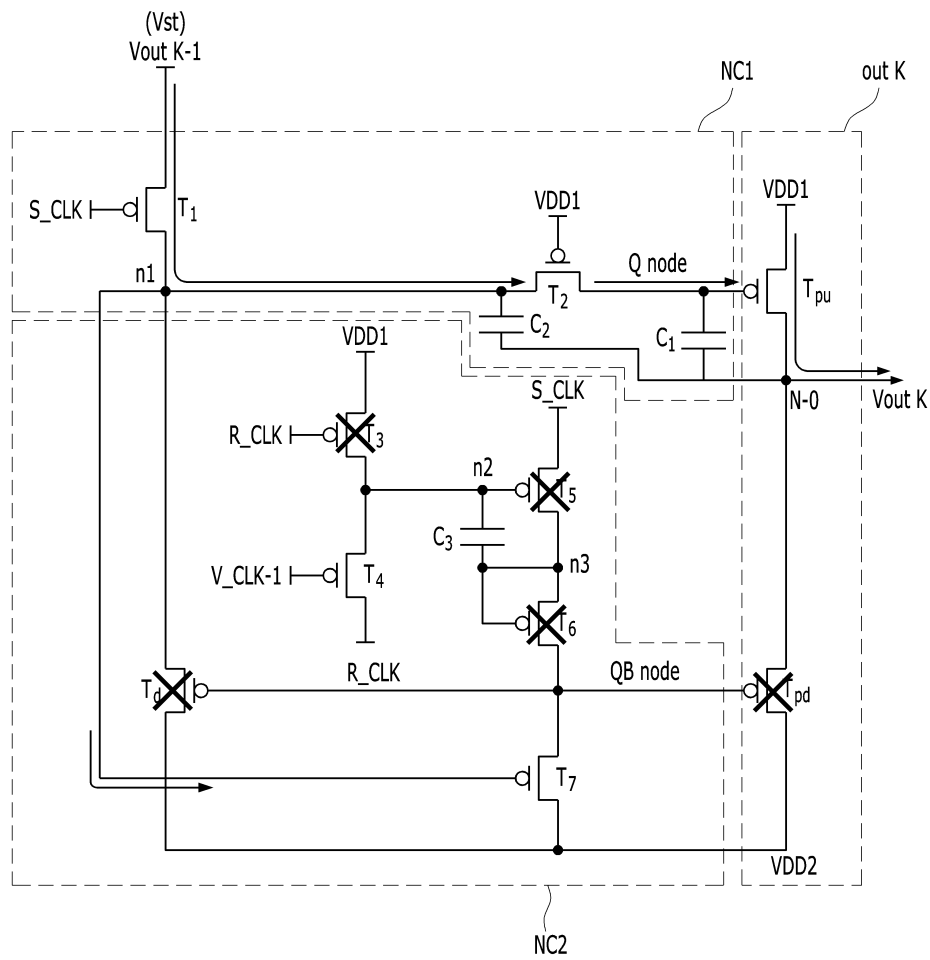
도면4



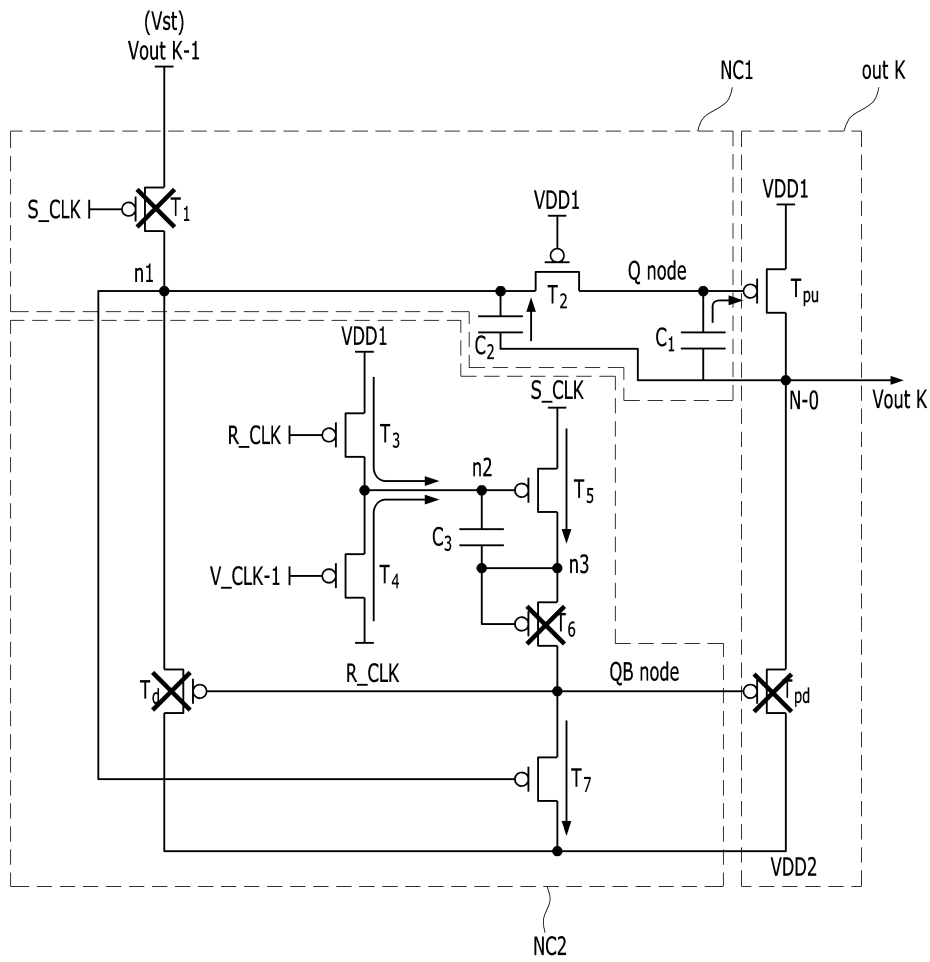
도면5



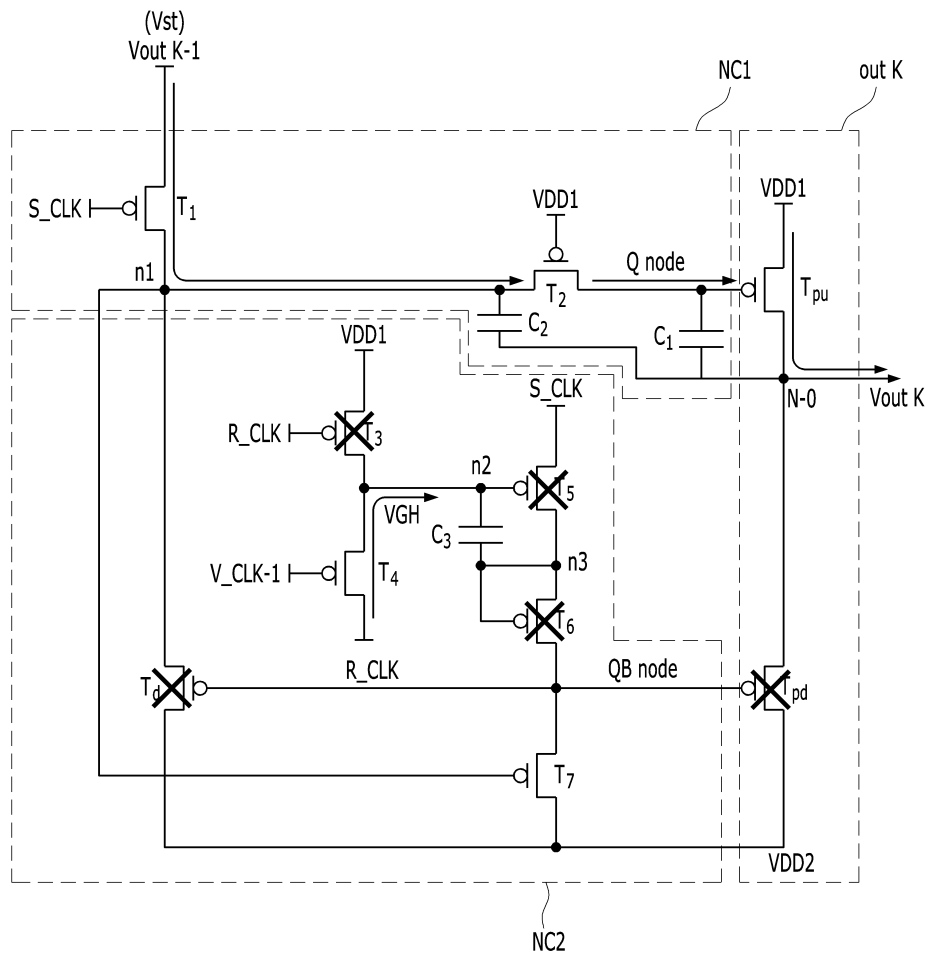
도면6a



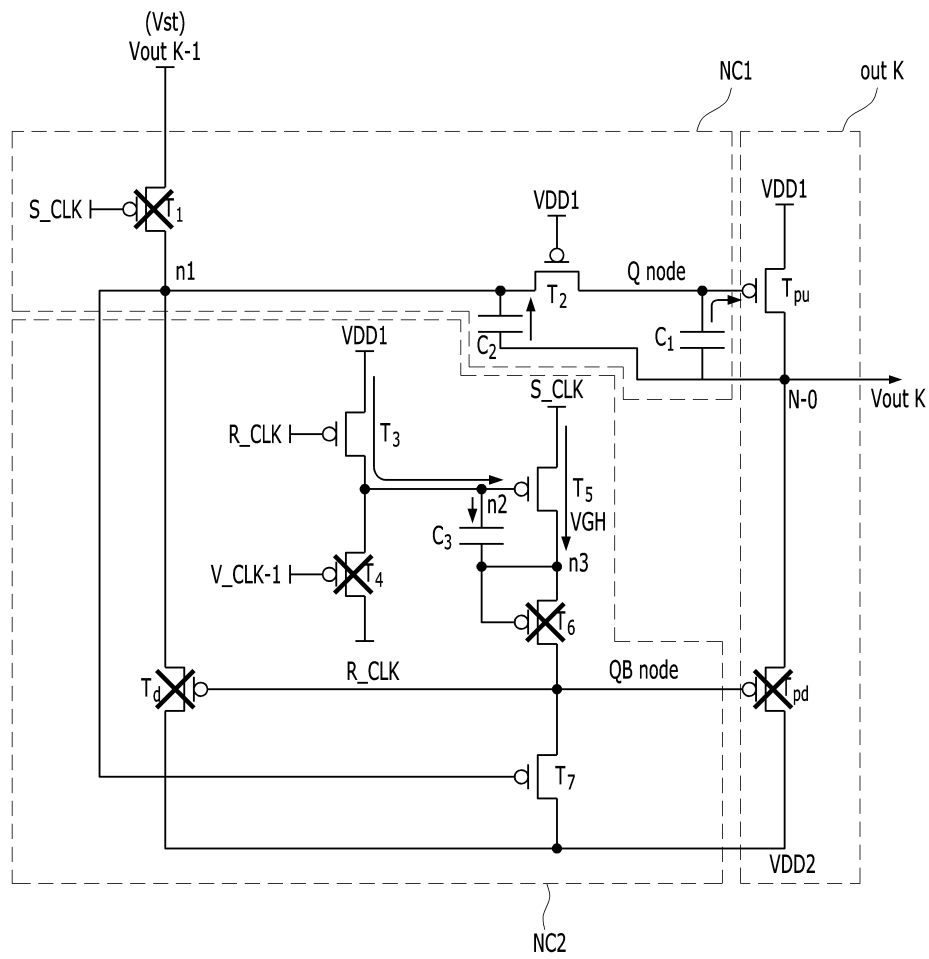
도면6b



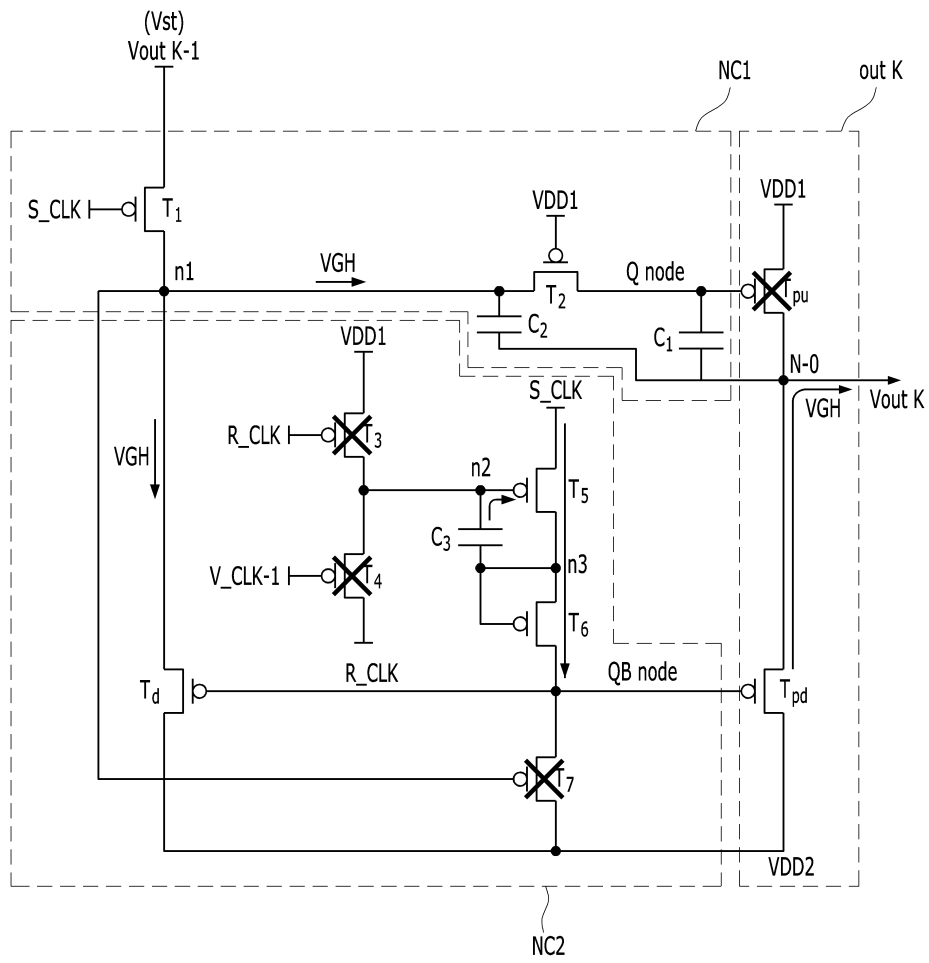
도면6c



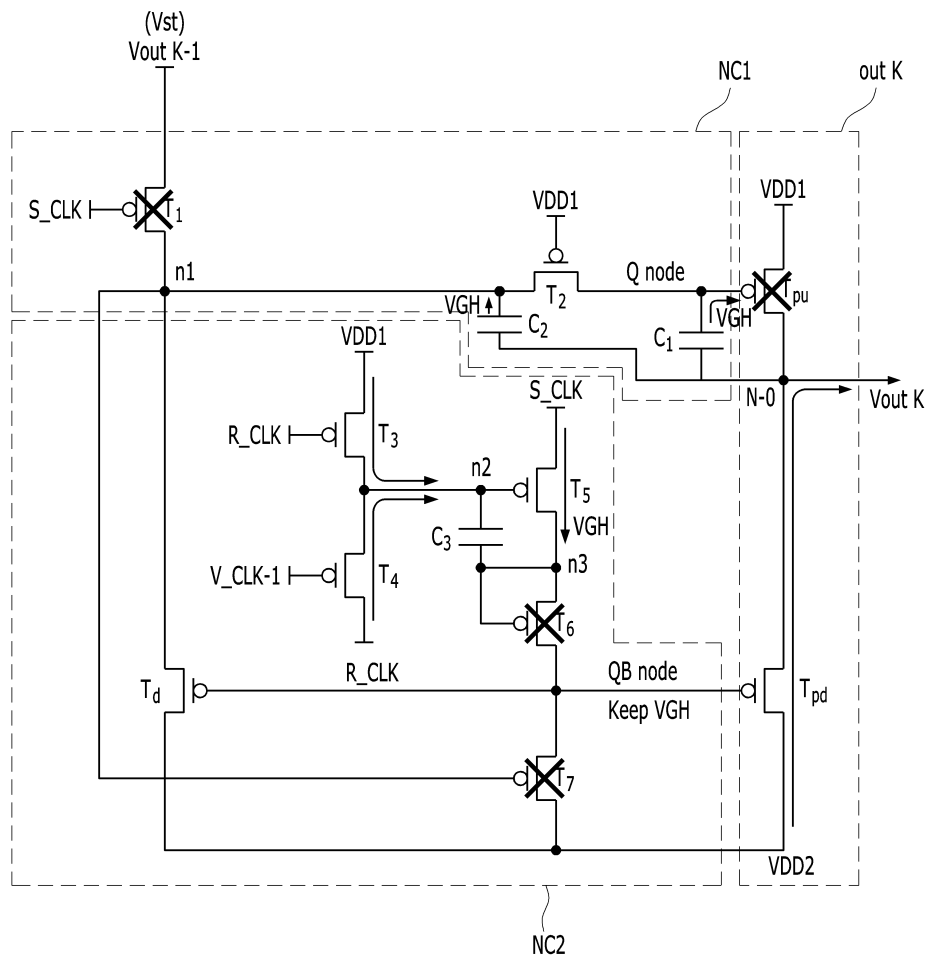
도면6d



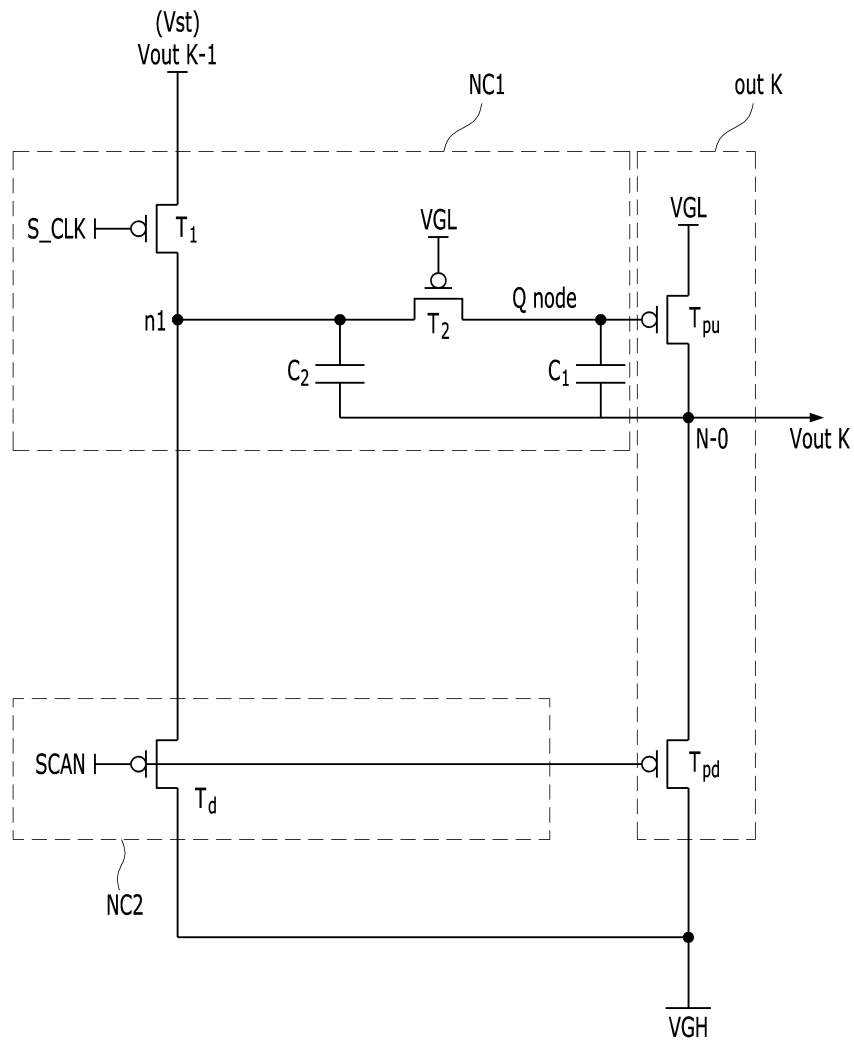
도면6e



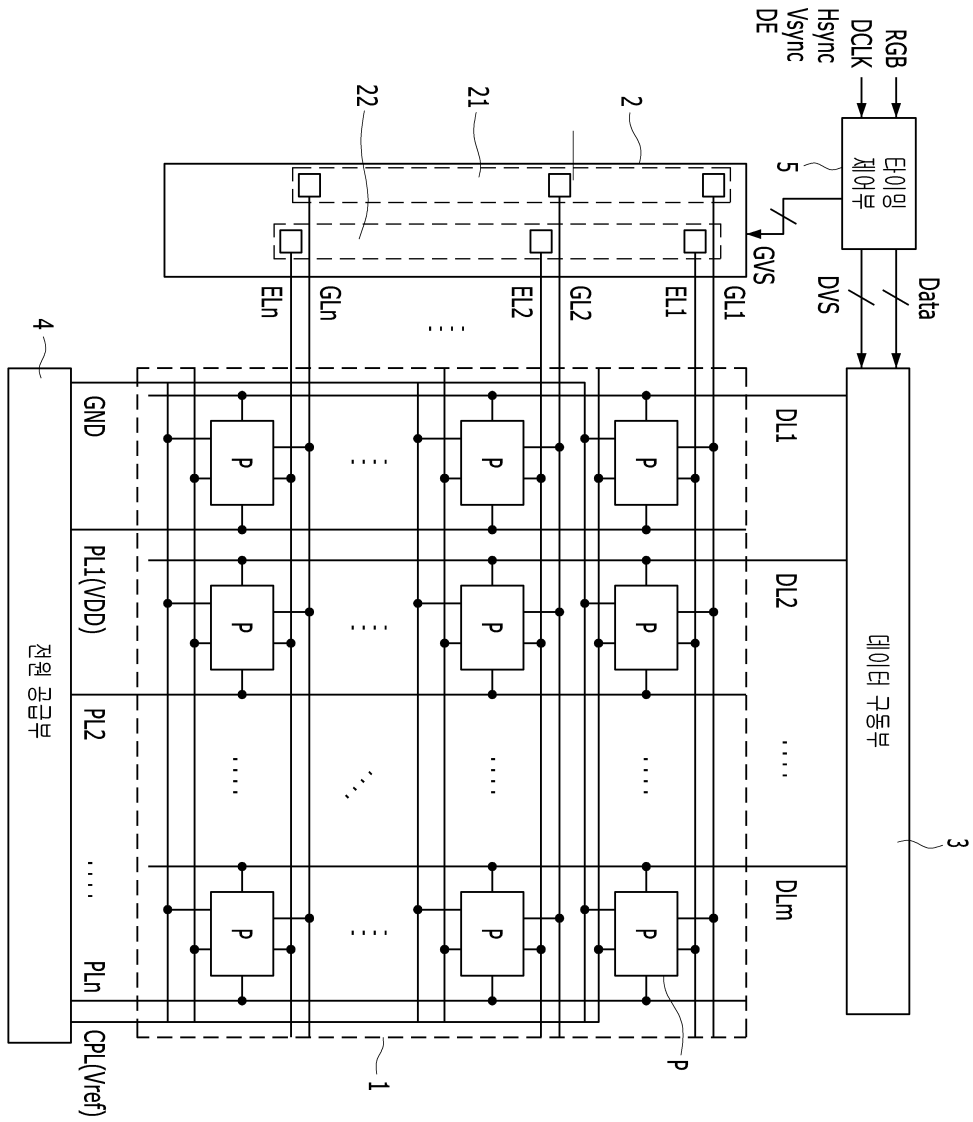
도면6f



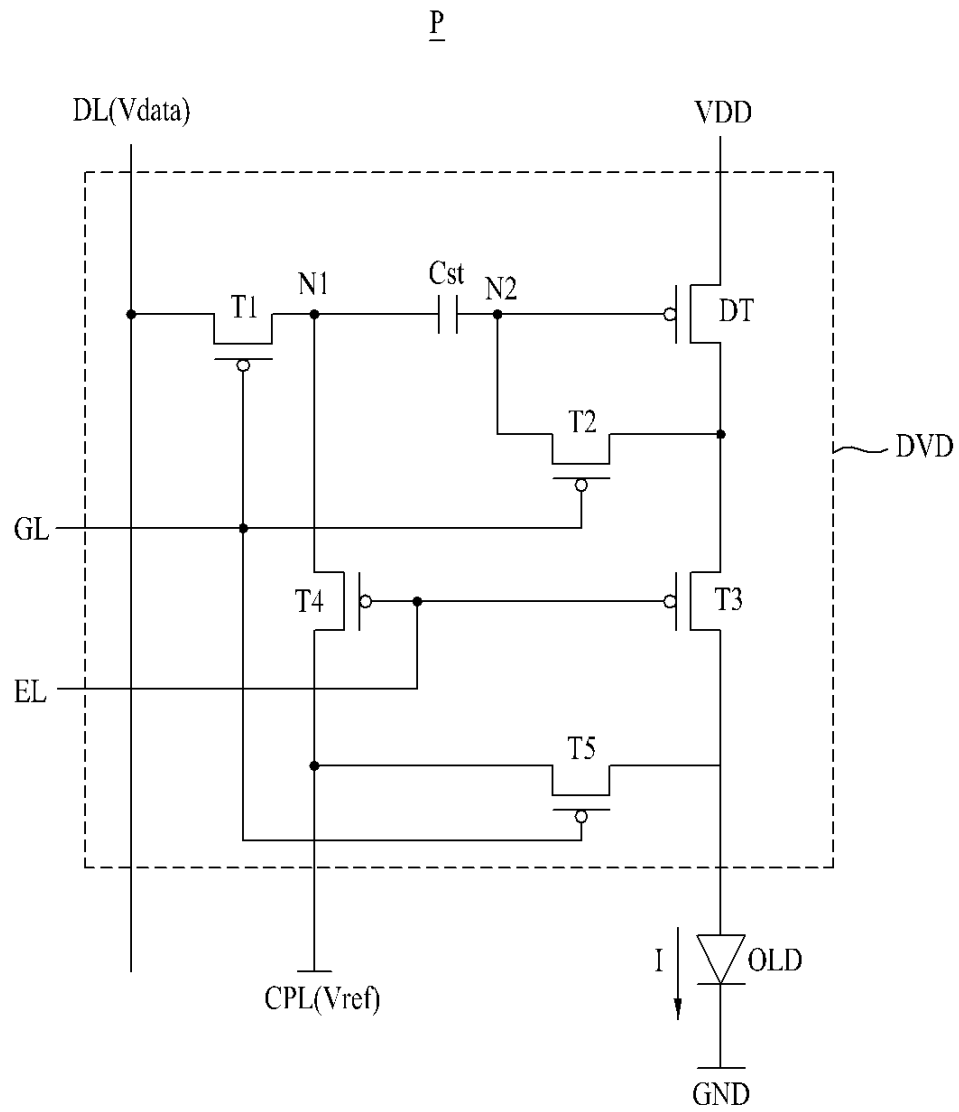
도면7



도면8



도면9



专利名称(译)	一种用于显示装置的发光控制单元和使用该发光控制单元的有机发光显示器		
公开(公告)号	KR1020180062282A	公开(公告)日	2018-06-08
申请号	KR1020160162359	申请日	2016-11-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	MOON SU HWAN 문수환		
发明人	문수환		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/0842 G09G2230/00 G09G3/325 G09G3/3258 G09G3/3291 G09G2300/0814 G09G2310/0297		
代理人(译)	Bakyoungbok		
外部链接	Espacenet		

摘要(译)

防止当发光控制信号输出节点的发射控制，并且通过保持在充电节点充电的电压电平，对于给定的值时，发光的是可以稳定发光控制信号的控制器，和使用相同的在充电时的充电电压的泄漏。显示装置和发光控制单元技术领域本发明涉及显示装置，并且根据本发明的发光控制单元包括以依赖方式连接的多个级。填充第一节点控制器的各个级，和一个下拉电压对非活动时间期间，置位节点的有效期间进行充电栅极导通电压电平状态的驱动脉冲，响应于来自外部的基准时钟脉冲输入端的复位节点双节点控制单元和输出单元，根据设定节点和复位节点的逻辑状态进行控制，并通过输出端子输出有效信号或无效信号。此时，第一节点控制器，所述参考时钟，并响应于该输出驱动脉冲到所述第一节点的脉冲中的第一开关晶体管，由所述第一电压从所述第一电压源接通 - 从所述第一节点提供的一个并且第二电容器连接在输出端子和第一节点之间，第二电容器连接在输出节点和第一节点之间。

