



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0050083
(43) 공개일자 2018년05월14일

(51) 국제특허분류(Int. Cl.)

G09G 3/3266 (2016.01)

(52) CPC특허분류

G09G 3/3266 (2013.01)

G09G 2230/00 (2013.01)

(21) 출원번호 10-2016-0146820

(22) 출원일자 2016년11월04일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김병일

경기도 김포시 김포한강2로 113 (장기동, 초당마을중흥에스클래스리버티아파트) 301동 501호

안창호

경기도 화성시 동탄중앙로 51 (반송동, 동탄나루마을한화꿈에그린아파트) 629동 2001호

(74) 대리인

특허법인로알

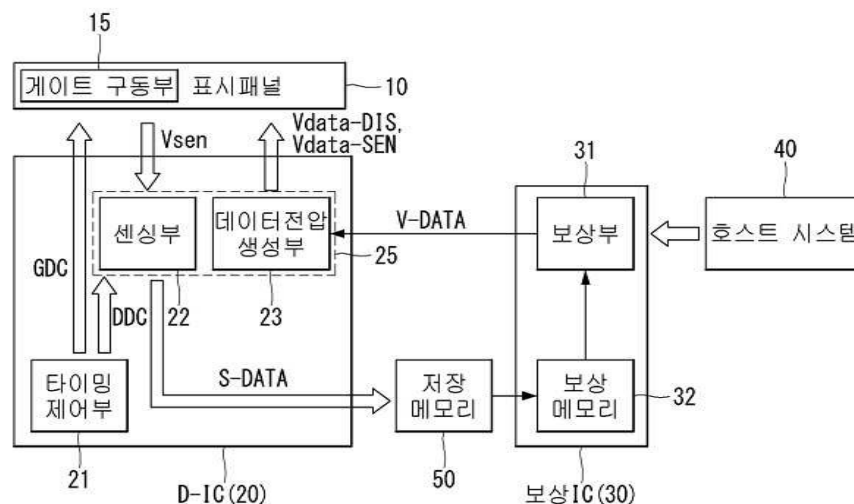
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 실시간 외부 보상용 구동회로와 그를 포함한 전계발광 표시장치

(57) 요약

본 발명에 따른 실시간 외부 보상용 구동회로는 게이트 쉬프트 클럭군, 게이트 스타트 펄스, 및 제1 선택신호와 제2 선택신호를 생성하는 타이밍 제어부; 및 상기 타이밍 제어부의 제어하에 게이트신호를 생성하여 표시패널에 공급하는 게이트 구동부를 포함한다. 여기서, 상기 게이트 구동부는, 상기 게이트 쉬프트 클럭군에 따라 상기 게이트 스타트 펄스를 쉬프트시켜 출력 신호를 생성하고, 상기 출력 신호를 제1 출력 노드에 공급하는 복수의 스테이지; 상기 표시패널의 게이트라인에 연결된 제2 출력 노드와 상기 제1 출력 노드 사이에 접속되며, 상기 제1 선택신호에 따라 온 되어 상기 제1 출력 노드를 상기 게이트라인에 연결하는 제1 출력 제어 스위치; 및 제2 출력 노드와 상기 게이트 로우 전압의 입력단 사이에 접속되며, 상기 제2 선택신호에 따라 온 되어 상기 게이트 로우 전압의 입력단을 상기 게이트라인에 연결하는 제2 출력 제어 스위치를 포함한다.

대표도 - 도1



(52) CPC특허분류

G09G 2300/0828 (2013.01)

G09G 2300/0842 (2013.01)

G09G 2310/08 (2013.01)

명세서

청구범위

청구항 1

게이트 쉬프트 클럭군, 게이트 스타트 펄스, 및 제1 선택신호와 제2 선택신호를 생성하는 타이밍 제어부; 및
상기 타이밍 제어부의 제어하에 게이트신호를 생성하여 표시패널에 공급하는 게이트 구동부를 포함하고,
상기 게이트 구동부는,

상기 게이트 쉬프트 클럭군에 따라 상기 게이트 스타트 펄스를 쉬프트시켜 출력 신호를 생성하고, 상기 출력 신호를 제1 출력 노드에 공급하는 복수의 스테이지;

상기 표시패널의 게이트라인에 연결된 제2 출력 노드와 상기 제1 출력 노드 사이에 접속되며, 상기 제1 선택신호에 따라 온 되어 상기 제1 출력 노드를 상기 게이트라인에 연결하는 제1 출력 제어 스위치; 및

상기 제2 출력 노드와 게이트 로우 전압의 입력단 사이에 접속되며, 상기 제2 선택신호에 따라 온 되어 상기 게이트 로우 전압의 입력단을 상기 게이트라인에 연결하는 제2 출력 제어 스위치를 포함하는 외부 보상용 구동회로.

청구항 2

제 1 항에 있어서,

상기 출력 신호는, 상기 표시패널에 구비된 스위치 TFT들을 턴 온 시킬 수 있는 게이트 하이 전압 레벨과, 상기 표시패널에 구비된 스위치 TFT들을 턴 오프 시킬 수 있는 게이트 로우 전압 레벨 사이에서 스윙되며,

상기 제1 출력 제어 스위치와 상기 제2 출력 제어 스위치는 서로 반대로 온/오프 되는 구간을 포함하는 외부 보상용 구동회로.

청구항 3

제 2 항에 있어서,

상기 게이트신호는,

상기 표시패널의 센싱 대상 표시라인에 인가될 센싱용 게이트신호와, 상기 표시패널의 디스플레이 대상 표시라인에 인가될 디스플레이용 게이트신호를 포함하는 외부 보상용 구동회로.

청구항 4

제 3 항에 있어서,

상기 게이트 구동부는,

1 프레임 중의 수직 액티브 기간 내에서 상기 센싱용 게이트신호와 상기 디스플레이용 게이트신호를 출력하는 외부 보상용 구동회로.

청구항 5

제 4 항에 있어서,

상기 센싱용 게이트신호와 상기 디스플레이용 게이트신호는 다른 형태로 출력되는 외부 보상용 구동회로.

청구항 6

제 4 항에 있어서,

상기 게이트 구동부는,

상기 센싱용 게이트신호와 상기 디스플레이용 게이트신호를 상기 게이트 하이 전압 레벨로 출력하기 위해, 상기 제1 선택신호에 따라 상기 제1 출력 제어 스위치를 온 시키고, 상기 제2 선택신호에 따라 상기 제2 출력 제어 스위치를 오프 시키는 외부 보상용 구동회로.

청구항 7

제 4 항에 있어서,

상기 게이트 구동부는,

상기 센싱용 게이트신호에 이웃한 일부 디스플레이용 게이트신호를,

상기 1 프레임 중의 수직 액티브 기간 내에서 계속해서 상기 게이트 로우 전압 레벨로 출력하는 외부 보상용 구동회로.

청구항 8

제 7 항에 있어서,

상기 게이트 구동부는,

상기 일부 디스플레이용 게이트신호를 상기 게이트 로우 전압 레벨로 출력하기 위해, 상기 제1 선택신호에 따라 상기 제1 출력 제어 스위치를 오프 시키고, 상기 제2 선택신호에 따라 상기 제2 출력 제어 스위치를 온 시키는 외부 보상용 구동회로.

청구항 9

제 3 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 타이밍 제어부는,

상기 게이트 쉬프트 클럭군 중에서, 상기 센싱용 게이트신호에 동기되는 클럭들의 펄스 간격을 상기 디스플레이용 게이트신호에 동기되는 클럭들의 펄스 간격보다 넓게 설정하는 외부 보상용 구동회로.

청구항 10

제 3 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 타이밍 제어부는,

상기 게이트 쉬프트 클럭군 중에서, 상기 센싱용 게이트신호에 동기되는 클럭들의 펄스폭을 상기 디스플레이용 게이트신호에 동기되는 클럭들의 펄스폭보다 넓게 설정하는 외부 보상용 구동회로.

청구항 11

제 3 항에 있어서,

상기 센싱용 게이트신호를 출력하는 스테이지는 적어도 1개 이상으로 설정되고,

이웃한 프레임들에서 상기 센싱용 게이트신호를 출력하는 스테이지의 위치는 랜덤하게 설정되는 외부 보상용 구동회로.

청구항 12

입력 영상을 표시하기 위한 다수의 화소들이 배치되며 디스플레이를 위한 제1 표시라인과, 전기적 특성이 센싱되는 다수의 화소들이 배치되며 센싱을 위한 제2 표시라인이 구비된 표시패널;

게이트 쉬프트 클럭군, 게이트 스타트 펄스, 및 위상이 서로 반대되는 구간을 포함하는 제1 선택신호와 제2 선택신호를 생성하는 타이밍 제어부; 및

상기 타이밍 제어부의 제어하에 게이트신호를 생성하여 상기 표시패널에 공급하는 게이트 구동부를 포함하고,

상기 게이트 구동부는,

상기 게이트 쉬프트 클럭군에 따라 상기 게이트 스타트 펄스를 쉬프트시켜 출력 신호를 생성하고, 상기 출력 신

호를 제1 출력 노드에 공급하는 복수의 스테이지;

제2 출력 노드와 상기 제1 출력 노드 사이에 접속되며, 상기 제1 선택신호에 따라 온 되어 상기 제1 출력 노드를 상기 제2 출력 노드에 연결하는 제1 출력 제어 스위치; 및

상기 제2 출력 노드와 저전위 전압의 입력단 사이에 접속되며, 상기 제2 선택신호에 따라 온 되어 상기 저전위 전압의 입력단을 상기 제2 출력 노드에 연결하는 제2 출력 제어 스위치를 포함하며,

상기 제2 출력 노드는 상기 제1 표시라인 또는 상기 제2 표시라인에 연결되는 전계발광 표시장치.

청구항 13

제 12 항에 있어서,

상기 게이트신호는,

상기 제1 표시라인에 인가될 디스플레이용 게이트신호와, 상기 제2 표시라인에 인가될 센싱용 게이트 신호를 포함하고,

상기 센싱용 게이트신호와 상기 디스플레이용 게이트신호는 1 프레임 중의 수직 액티브 기간 내에서 출력되는 전계발광 표시장치.

청구항 14

제 13 항에 있어서,

상기 센싱용 게이트신호와 상기 디스플레이용 게이트신호는 다른 형태로 출력되는 전계발광 표시장치.

청구항 15

제 13 항에 있어서,

센싱용 데이터전압에 동기되는 상기 센싱용 게이트신호 및, 디스플레이용 데이터전압에 동기되는 상기 디스플레이용 게이트신호가 출력되는 동안,

상기 제1 출력 제어 스위치는 상기 제1 선택신호에 따라 온 되고, 상기 제2 출력 제어 스위치는 상기 제2 선택신호에 따라 오프 되는 전계발광 표시장치.

청구항 16

제 13 항에 있어서,

상기 센싱용 게이트신호에 이웃한 일부 디스플레이용 게이트신호는, 상기 1 프레임 중의 수직 액티브 기간 내에서 계속해서 상기 표시패널에 구비된 스위치 TFT들을 턴 오프 시킬 수 있는 상기 저전위 전압 레벨로 출력되고,

상기 일부 디스플레이용 게이트신호가 공급되는 상기 제1 표시라인에는 이전 프레임에서 기입된 영상 신호가 유지되며,

상기 일부 디스플레이용 게이트신호가 상기 저전위 전압 레벨로 출력되는 동안,

상기 제1 출력 제어 스위치는 상기 제1 선택신호에 따라 오프 되고, 상기 제2 출력 제어 스위치는 상기 제2 선택신호에 따라 온 되는 전계발광 표시장치.

청구항 17

제 13 항 내지 제 16 항 중 어느 한 항에 있어서,

상기 게이트 쉬프트 클럭군 중에서, 상기 센싱용 게이트신호에 동기되는 클럭들의 펄스 간격은 상기 디스플레이용 게이트신호에 동기되는 클럭들의 펄스 간격보다 넓게 설정되거나 또는,

상기 센싱용 게이트신호에 동기되는 클럭들의 펄스폭은 상기 디스플레이용 게이트신호에 동기되는 클럭들의 펄스폭보다 넓게 설정되는 전계발광 표시장치.

청구항 18

제 13 항에 있어서,

상기 센싱용 게이트신호를 출력하는 스테이지는 적어도 1개 이상으로 설정되고,

이웃한 프레임들에서 상기 센싱용 게이트신호를 출력하는 스테이지의 위치는 랜덤하게 설정되는 전계발광 표시장치.

청구항 19

제 18 항에 있어서,

해당 프레임에서 복수개씩 설정된 상기 제2 표시라인은, 서로 이웃하게 배치되거나 또는, 적어도 일부가 이격되게 배치되는 전계발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 실시간 외부 보상용 구동회로와 그를 포함한 전계발광 표시장치에 관한 것이다.

배경 기술

[0002] 전계발광 표시장치는 발광층의 재료에 따라 무기발광 표시장치와 유기발광 표시장치로 대별된다. 이 중에서, 액티브 매트릭스 타입(active matrix type)의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 자발광 소자인 OLED는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 전원전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 유기발광 표시장치는 OLED와 구동 TFT(Thin Film Transistor)를 각각 포함한 화소들을 매트릭스 형태로 배열하고 영상 데이터의 계조에 따라 화소들에서 구현되는 영상의 휘도를 조절한다. 구동 TFT는 자신의 게이트전극과 소스전극 사이에 걸리는 전압(이하, "게이트-소스 간 전압"이라 함)에 따라 OLED에 흐르는 구동전류를 제어한다. 구동전류에 따라 OLED의 발광량이 결정되며, OLED의 발광량에 따라 영상의 휘도가 결정된다.

[0005] 일반적으로 구동 TFT가 포화 영역에서 동작할 때, 구동 TFT의 드레인-소스 사이에 흐르는 구동 전류(I_{ds})는 아래의 수학적 식 1과 같이 표현된다.

수학적 식 1

$$I_{ds} = 1/2 * (\mu * C * W / L) * (V_{gs} - V_{th})^2$$

[0006]

[0007] 수학적 식 1에서, μ 는 전자 이동도를, C는 게이트 절연막의 정전 용량을, W는 구동 TFT의 채널 폭을, 그리고 L은 구동 TFT의 채널 길이를 각각 나타낸다. 그리고, V_{gs} 는 구동 TFT의 게이트-소스 간 전압을 나타내고, V_{th} 는 구동 TFT의 문턱전압(또는 임계전압)을 나타낸다. 화소 구조에 따라서, 구동 TFT의 게이트-소스 간 전압(V_{gs})이 데이터전압과 기준전압 간의 차 전압이 될 수 있다. 데이터전압은 영상 데이터의 계조에 대응되는 아날로그 전압이고 기준전압은 고정된 전압이므로, 데이터전압에 따라 구동 TFT의 게이트-소스 간 전압(V_{gs})이 프로그래밍(또는 설정)된다. 그리고, 프로그래밍된 게이트-소스 간 전압(V_{gs})에 따라 구동 전류(I_{ds})가 결정된다.

[0008] 구동 TFT의 문턱 전압(V_{th}), 구동 TFT의 전자 이동도(μ), 및 OLED의 문턱 전압 등과 같은 화소의 전기적 특성은 구동 전류(I_{ds})를 결정하는 팩터(factor)가 되므로 모든 화소들에서 동일해야 한다. 하지만, 공정 특성, 시

변 특성 등 다양한 원인에 의해 화소들 간에 전기적 특성이 달라질 수 있다. 이러한 전기적 특성 편차는 휘도 편차를 초래하여 원하는 화상을 구현하는 데 제약이 된다.

[0009] 화소들 간의 휘도 편차를 보상하기 위해, 화소들의 전기적 특성을 센싱하고, 그 센싱 결과를 기초로 입력 영상의 디지털 데이터를 보정하는 외부 보상 기술이 알려져 있다. 휘도 편차가 보상되기 위해서는, 화소에 인가되는 데이터전압이 Δx 만큼 변화될 때 Δy 만큼의 전류 변화가 보장되어야 한다. 따라서, 외부 보상 기술은 화소별 Δx 를 연산하여 동일한 구동 전류가 OLED에 인가되도록 하여 같은 밝기를 구현하는 것이다. 즉, 외부 보상 기술은 계조 값을 조절하여 각 화소별 밝기가 같아지도록 보상하는 것이다.

[0010] 구동이 진행되는 과정에서 화소의 전기적 특성은 계속해서 변한다. 따라서, 외부보상 성능을 높이기 위해서는 실시간으로 화소의 전기적 특성 변화를 보상하기 위한, 실시간(Real Time) 보상 기술이 필요하다.

[0011] 실시간 보상 기술을 구현하기 위해 입력 영상 데이터가 기입되지 않는 수직 블랭크 기간에서 센싱 구동을 수행하는 방안이 제안된 바 있다. 수직 블랭크 기간은 1 프레임 중에서 입력 영상 데이터가 기입되는 수직 액티브 기간들 사이마다 배치된다. 종래 외부 보상용 구동회로는 수직 블랭크 기간을 이용하여 1 프레임마다 정해진 표시라인을 센싱한다. 이를 위해, 종래 외부 보상용 구동회로에 포함된 게이트 구동부는 수직 블랭크 기간 동안 센싱용 게이트신호를 생성하여 센싱 대상 표시라인에 형성된 화소들에 인가한다. 게이트 구동부는 종속적으로 접속된 다수의 스테이지들을 포함한다.

[0012] 수직 블랭크 기간은 수직 액티브 기간에 비해 매우 짧다. 게이트 구동부를 구성하는 스테이지들 각각이 앞단 스테이지의 출력 신호를 캐리 신호로 받아 순차적으로 동작하기 때문에, 한정된 수직 블랭크 기간은 원하는 센싱용 게이트신호를 생성하기에 시간적 제약이 될 수 있다. 예를 들어, 수직 해상도가 N인 표시패널의 N번째 표시라인을 센싱하기 위해서는 N번째 스테이지로부터 생성되는 N번째 센싱용 게이트신호가 필요하다. 그런데, N번째 스테이지는 1번째 내지 N-1번째 스테이지들이 순차적으로 구동된 이후에 동작되므로, N번째 센싱용 게이트신호가 생성되기 위해서는 게이트 구동부의 모든 스테이지들이 동작되어야 한다. 1 수직 블랭크 기간은 게이트 구동부의 모든 스테이지들이 동작시키기에 부족한 시간이다. 이러한 문제는 표시패널의 수직 해상도가 증가할수록, 그리고 1 수직 블랭크 기간 내에서 센싱되어야 할 표시라인의 개수가 많을수록 심화된다.

발명의 내용

해결하려는 과제

[0013] 따라서, 본 발명의 목적은 수직 액티브 기간 내에서 센싱 구동을 수행하여 시간적 제약없이 원하는 센싱용 게이트신호를 생성할 수 있도록 한 실시간 외부 보상용 구동회로와 그를 포함한 전계발광 표시장치를 제공하는 데 있다.

과제의 해결 수단

[0014] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 실시간 외부 보상용 구동회로는 게이트 쉬프트 클럭군, 게이트 스타트 펄스, 및 제1 선택신호와 제2 선택신호를 생성하는 타이밍 제어부; 및 상기 타이밍 제어부의 제어하에 게이트신호를 생성하여 표시패널에 공급하는 게이트 구동부를 포함한다. 여기서, 상기 게이트 구동부는, 상기 게이트 쉬프트 클럭군에 따라 상기 게이트 스타트 펄스를 쉬프트시켜 출력 신호를 생성하고, 상기 출력 신호를 제1 출력 노드에 공급하는 복수의 스테이지; 상기 표시패널의 게이트라인에 연결된 제2 출력 노드와 상기 제1 출력 노드 사이에 접속되며, 상기 제1 선택신호에 따라 온 되어 상기 제1 출력 노드를 상기 게이트라인에 연결하는 제1 출력 제어 스위치; 및 제2 출력 노드와 상기 게이트 로우 전압의 입력단 사이에 접속되며, 상기 제2 선택신호에 따라 온 되어 상기 게이트 로우 전압의 입력단을 상기 게이트라인에 연결하는 제2 출력 제어 스위치를 포함한다.

[0015] 또한, 본 발명의 실시예에 따른 전계발광 표시장치는 입력 영상을 표시하기 위한 다수의 화소들이 배치되며 디스플레이를 위한 제1 표시라인과, 전기적 특성이 센싱되는 다수의 화소들이 배치되며 센싱을 위한 제2 표시라인이 구비된 표시패널; 게이트 쉬프트 클럭군, 게이트 스타트 펄스, 및 위상이 서로 반대되는 제1 선택신호와 제2 선택신호를 생성하는 타이밍 제어부; 및 상기 타이밍 제어부의 제어하에 게이트신호를 생성하여 상기 표시패널에 공급하는 게이트 구동부를 포함한다. 여기서, 상기 게이트 구동부는, 상기 게이트 쉬프트 클럭군에 따라 상기 게이트 스타트 펄스를 쉬프트시켜 출력 신호를 생성하고, 상기 출력 신호를 제1 출력 노드에 공급하는 복수의 스테이지; 제2 출력 노드와 상기 제1 출력 노드 사이에 접속되며, 상기 제1 선택신호에 따라 온 되어 상기 제1 출력 노드를 상기 제2 출력 노드에 연결하는 제1 출력 제어 스위치; 및 상기 제2 출력 노드와 저전위 전압

의 입력단 사이에 접속되며, 상기 제2 선택신호에 따라 온 되어 상기 저전위 전압의 입력단을 상기 제2 출력 노드에 연결하는 제2 출력 제어 스위치를 포함하며, 상기 제2 출력 노드는 상기 제1 표시라인 또는 상기 제2 표시라인에 연결된다.

발명의 효과

- [0016] 본 발명은 각 프레임의 수직 액티브 기간에서 디스플레이 구동과 병행하여 센싱 구동을 수행하기 때문에, 시간적 제약없이 원하는 표시라인에 대한 센싱 구동을 용이하게 수행할 수 있다.
- [0017] 본 발명은 이웃한 프레임들에서 센싱 대상 표시라인의 위치를 비 순차적으로(또는 랜덤(Random)하게) 미리 설정함으로써, 센싱 대상 표시라인이 라인 덤으로 시인되는 것을 미연에 방지할 수 있다.
- [0018] 본 발명은 센싱 대상 표시라인의 위치에 맞게 게이트 쉬프트 클럭의 펄스 간격 또는 펄스 폭을 조절함으로써 센싱 타임을 용이하게 제어할 수 있다.
- [0019] 본 발명은 게이트 구동부의 출력단에 제1 및 제2 출력 제어 스위치를 추가하고, 제1 및 제2 선택신호로 제1 및 제2 출력 제어 스위치의 온/오프 동작을 제어함으로써, 센싱 대상 표시라인의 개수를 용이하게 설정할 수 있다.
- [0020] 본 발명은 게이트 구동부의 출력단에 제1 및 제2 출력 제어 스위치를 추가하고, 제1 및 제2 선택신호로 제1 및 제2 출력 제어 스위치의 온/오프 동작을 제어하여, 센싱 대상 표시라인에 인접한 일부 표시라인들을 휴지 구동 시킴으로써, 킥백 영향으로 인한 노이즈 혼입을 줄이고, 센싱 대상 표시라인에 대한 센싱의 정확도를 크게 높일 수 있다.

도면의 간단한 설명

- [0021] 도 1은 본 발명의 일 실시예에 따른 외부 보상용 전계발광 표시장치를 나타내는 블록도이다.
- 도 2는 본 발명의 실시예에 따른 실시간 외부 보상용 구동회로와 화소의 일 접속 구성을 보여주는 도면이다.
- 도 3은 본 발명의 실시예에 따른 실시간 외부 보상용 구동회로와 화소의 다른 접속 구성을 보여주는 도면이다.
- 도 4는 본 발명의 일 실시예에 따른 외부 보상 방법을 나타는 흐름도이다.
- 도 5a는 도 4의 외부 보상 방법에서 기준 커브식을 도출하는 것을 나타내는 도면이다.
- 도 5b는 도 4의 외부 보상 방법에서 표시패널의 평균 I-V 곡선과 보상 대상 화소의 I-V 곡선을 보여주는 도면이다.
- 도 5c는 도 4의 외부 보상 방법에서 표시패널의 평균 I-V 곡선과 보상 대상 화소의 I-V 곡선과 보상 완료된 화소의 I-V 곡선을 보여주는 도면이다.
- 도 6 내지 도 8은 외부 보상 모듈의 다양한 구현 예들을 보여주는 도면들이다.
- 도 9는 표시패널에 구비된 화소 어레이의 일 예를 보여주는 도면이다.
- 도 10은 도 9의 화소 어레이를 구성하는 화소의 일 등가회로를 보여주는 도면이다.
- 도 11은 도 9의 화소 어레이를 구동하기 위한 게이트 구동부의 일 예시 구성을 보여주는 도면이다.
- 도 12 및 도 13은 각 프레임의 수직 액티브 기간 내에서 실시간 센싱이 이뤄지는 본 발명의 실시간 외부 보상 기술을 보여주는 모식도들이다.
- 도 14는 수직 액티브 기간 내에서 실시간 센싱을 구현하기 위한 제1 및 제2 게이트 신호의 일 예시 파형도이다.
- 도 15는 수직으로 이웃한 표시라인들의 화소들이 1 센싱라인을 공유하는 구조를 보여주는 도면이다.
- 도 16은 수직 액티브 기간 내에서 실시간 센싱을 구현하기 위한 제1 및 제2 게이트 신호의 다른 예시 파형도이다.
- 도 17은 제1 게이트신호를 생성하는 제1 게이트 구동부의 구성을 보여주는 도면이다.
- 도 18은 도 17에 도시된 제1 게이트 구동부의 구동을 설명하기 위한 일 예시 파형도이다.
- 도 19는 도 17에 도시된 제1 게이트 구동부의 구동을 설명하기 위한 다른 예시 파형도이다.

도 20은 제2 게이트신호를 생성하는 제2 게이트 구동부의 구성을 보여주는 도면이다.

도 21은 도 20에 도시된 제2 게이트 구동부의 구동을 설명하기 위한 일 예시 파형도이다.

도 22는 도 20에 도시된 제2 게이트 구동부의 구동을 설명하기 위한 다른 예시 파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0023] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0024] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0025] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0026] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0027] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0028] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0029] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다. 이하의 실시예들에서, 전계발광 표시장치는 유기발광 물질을 포함한 유기발광 표시장치를 중심으로 설명한다. 하지만, 본 발명의 기술적 사상은 유기발광 표시장치에 국한되지 않고, 무기발광 물질을 포함한 무기발광 표시장치에 적용될 수 있음에 주의하여야 한다.
- [0030] 도 1은 본 발명의 일 실시예에 따른 외부 보상용 전계발광 표시장치를 나타내는 블록도이다. 도 2 및 도 3은 본 발명의 실시예에 따른 실시간 외부 보상용 구동회로와 화소의 일 접속 구성을 보여주는 도면들이다. 도 4는 본 발명의 일 실시예에 따른 외부 보상 방법을 보여주는 흐름도이다. 도 5a는 도 4의 외부 보상 방법에서 기준 커브식을 도출하는 것을 나타내는 도면이다. 도 5b는 도 4의 외부 보상 방법에서 표시패널의 평균 I-V 곡선과 보상 대상 화소의 I-V 곡선을 보여주는 도면이다. 도 5c는 도 4의 외부 보상 방법에서 표시패널의 평균 I-V 곡선과 보상 대상 화소의 I-V 곡선과 보상 완료된 화소의 I-V 곡선을 보여주는 도면이다.
- [0031] 도 1 내지 도 3을 참조하면, 본 발명의 일 실시예에 따른 전계발광 표시장치는 표시패널(10), 드라이버 IC(D-IC)(20), 보상 IC(30), 호스트 시스템(40), 및 저장 메모리(50)를 포함할 수 있다. 본 발명의 실시간 외부 보상용 구동회로는 표시패널(10)에 구비된 게이트 구동부(15), 드라이버 IC(D-IC)(20), 보상 IC(30), 및 저장 메모리(50)를 포함한다.
- [0032] 표시패널(10)에는 복수의 화소들(P), 복수의 신호라인들이 구비된다. 신호라인들은 화소들(P)에 아날로그 데이터전압(Vdata)을 공급하는 데이터라인들(140) 및 화소들(P)에 게이트신호를 공급하는 게이트라인들(160)을 포함할 수 있다. 여기서, 게이트신호는 제1 게이트신호와 제2 게이트신호를 포함할 수 있으며, 이 경우 게이트라인들(160) 각각은 제1 게이트신호를 공급하는 제1 게이트라인과 제2 게이트신호를 공급하는 제2 게이트라인을 포

함한다. 신호라인들은 화소들(P)의 전기적 특성을 센싱하는 데 이용되는 센싱 라인들(150)을 더 포함할 수 있다. 다만, 센싱 라인(150)은 화소(P)의 회로 구성에 따라서 생략될 수 있다. 이 경우 화소들(P)의 전기적 특성은 데이터라인(140)을 통해 센싱될 수 있다.

- [0033] 표시패널(10)의 화소들(P)은 매트릭스 형태로 배치되어 화소 어레이(Pixel array)를 구성한다. 각 화소(P)는 데이터라인들(140) 중 어느 하나에, 센싱 라인들(150) 중 어느 하나에, 그리고 게이트라인들(160) 중 적어도 어느 하나에 연결될 수 있다. 각 화소(P)는 전원생성부로부터 고전위 화소전원과 저전위 화소전원을 공급받도록 구성된다. 이를 위해, 전원생성부는 고전위 화소전원 배선 또는 패드부를 통해서 고전위 화소전원을 화소에 공급할 수 있다. 그리고 전원생성부는 저전위 화소전원 배선 또는 패드부를 통해서 저전위 화소전원을 화소에 공급할 수 있다.
- [0034] 드라이버 IC(D-IC)(20)는 타이밍 제어부(21)와 데이터 구동부(25)를 포함한다. 데이터 구동부(25)는 센싱부(22), 및 데이터전압 생성부(23)를 포함할 수 있으나, 이에 한정되지 않는다.
- [0035] 타이밍 제어부(21)는 호스트 시스템(40)으로부터 입력되는 타이밍 신호들, 예컨대 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등을 참조로 게이트 구동부(15)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와, 데이터 구동부(25)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 생성할 수 있다.
- [0036] 데이터 타이밍 제어신호(DDC)는 소스 스타트 펄스(Source Start Pulse), 소스 샘플링 클럭(Source Sampling Clock), 및 소스 출력 인에이블신호(Source Output Enable) 등을 포함할 수 있으나 이에 한정되지 않는다. 소스 스타트 펄스는 데이터전압 생성부(23)의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭은 라이징 또는 폴링 에지에 기준하여 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 소스 출력 인에이블신호는 데이터전압 생성부(23)의 출력 타이밍을 제어한다.
- [0037] 게이트 타이밍 제어신호(GDC)는 게이트 스타트 펄스(Gate Start Pulse), 게이트 쉬프트 클럭(Gate Shift Clock) 등을 포함할 수 있으나, 이에 한정되지 않는다. 게이트 스타트 펄스는 첫 번째 출력을 생성하는 스테이지에 인가되어 그 스테이지의 동작을 활성화한다. 게이트 쉬프트 클럭은 스테이지들에 공통으로 입력되는 클럭신호로써 게이트 스타트 펄스를 쉬프트시키기 위한 클럭신호이다. 한편, 게이트 타이밍 제어신호(GDC)는 도 17 내지 도 22의 제1 선택신호(SEL)와 제2 선택신호(SELB)를 포함할 수 있다.
- [0038] 타이밍 제어부(21)는 센싱 대상 표시라인(들)에 대한 센싱 구동과, 디스플레이 대상 표시라인들에 대한 디스플레이 구동을 각 프레임의 수직 액티브 기간 내에서 정해진 제어 시퀀스에 따라 제어한다. 센싱 구동은 센싱 대상 표시라인(들)에 배치된 해당 화소(P)의 전기적 특성을 J(J는 양의 정수)번째 프레임에서 센싱하고, 그에 따른 센싱 결과 즉, 아날로그 센싱 전압(Vsen)을 디지털 센싱 데이터로 변환하고, 디지털 센싱 데이터(S-DATA)를 기초로 해당 화소(P)의 전기적 특성 변화를 보상하기 위한 보상 값을 업데이트하는 구동이다. 디스플레이 구동은 기 센싱된 표시라인들, 즉 디스플레이 대상 표시라인들을 대상으로 입력 영상을 표시하기 위한 구동이다. 구체적으로, 디스플레이 구동은 업데이트된 보상 값을 기반으로 하여, 기 센싱된 화소(P)에 입력될 디지털 영상 데이터를 변조하고, 변조된 디지털 영상 데이터(V-DATA)를 아날로그 데이터전압(Vdata)으로 변환하여 J+1번째 프레임에서 해당 화소(P)에 인가함으로써 기 센싱된 화소(P)에서 입력 영상을 표시한다.
- [0039] 타이밍 제어부(21)는 디스플레이 구동을 위한 타이밍 제어신호들(GDC,DDC)과 센싱 구동을 위한 타이밍 제어신호들(GDC,DDC)을 서로 다르게 생성할 수 있다. 단 이에 제한되지 않는다. 타이밍 제어부(21)의 제어에 의해, 센싱 구동은 디스플레이 구동이 진행되고 있는 수직 액티브 기간에서 수행될 수 있다. 수직 액티브 기간 내에서 센싱 구동을 수행하면 시간적 제약없이 원하는 센싱용 게이트신호를 생성할 수 있다. 이에 대해서는 도 12 내지 도 21을 통해 상세히 후술한다.
- [0040] 데이터전압 생성부(23)는 디지털 신호를 아날로그 신호로 변환하는 디지털-아날로그 변환기(Digital to Analog converter, 이하 DAC라 함)를 포함하며, 디스플레이 구동을 위해 디스플레이용 데이터전압(Vdata-DIS)을 생성하여 표시패널(10)의 기 센싱된 화소들(P)에 인가한다. 이를 위해, 데이터전압 생성부(23)는 보상 IC(30)에서 변조된 디지털 영상 데이터(V-DATA)를 아날로그 감마전압으로 변환하고, 그 변환 결과를 디스플레이용 데이터전압(Vdata-DIS)으로서 데이터라인들(140)에 출력할 수 있다. 또한, 데이터전압 생성부(23)는 센싱 구동을 위해 센싱용 데이터전압(Vdata-SEN)을 생성하고 데이터라인들(140)을 통해 표시패널(10)의 센싱 대상 화소들(P)에 인가한다.
- [0041] 센싱부(22)는 센싱 구동을 위해, 센싱 대상 화소들(P)의 전기적 특성, 예컨대, 센싱 대상 화소들(P)에 포함된

구동 소자 및/또는 발광 소자의 전기적 특성을 센싱 라인들(150)을 통해 센싱할 수 있다. 센싱부(22)는 공지의 전압 센싱형 센싱 유닛 또는 전류 센싱형 유닛을 포함할 수 있다. 전압 센싱형 센싱 유닛은 정해진 센싱 조건에 따라 센싱 대상 화소(P)의 특정 노드에 충전된 전압을 아날로그 센싱 전압(Vsen)으로서 센싱할 수 있다. 전류 센싱형 센싱 유닛은 정해진 센싱 조건에 따라 센싱 대상 화소(P)의 특정 노드에 흐르는 전류를 직접 센싱하여 아날로그 센싱 전압(Vsen)을 얻을 수 있다.

[0042] 전압 센싱형 센싱 유닛은 도 2와 같이 샘플 앤 홀드 회로(SH)와 아날로그-디지털 변환기(Analog to Digital Converter, 이하 ADC라 함), 및 제1 및 제2 스위치(SW1, SW2)를 포함하여, 구동 소자의 픽셀 전류에 따른 구동 소자의 소스전극 전압, 즉 센싱 라인(150)의 라인 커패시터에 저장된 구동 소자의 소스전극 전압을 센싱한다. 제1 및 제2 스위치(SW1, SW2)는 선택적으로 턴 온 된다. 제1 스위치(SW1)는 초기화 전압(Vpre)을 센싱 라인(150)에 공급하기 위한 스위치이고, 제2 스위치(SW2)는 아날로그 센싱값들(Vsen)에 대한 샘플링 타이밍에 동기하여 턴 온 되는 스위치이다. ADC는 샘플 앤 홀드 회로(SH)에서 샘플링된 아날로그 센싱값들(Vsen)을 디지털 센싱 데이터(S-DATA)로 변환한다.

[0043] 전류 센싱형 센싱 유닛은 도 3과 같이 샘플 앤 홀드 회로(SH)의 앞단에 전류 적분기를 더 포함하여 센싱 라인(150)에 흐르는 구동 소자의 픽셀 전류를 직접 센싱한다. 전류 적분기는 센싱 라인(150)을 통해 유입되는 픽셀 전류를 적분하여 아날로그 센싱 전압(Vsen)을 생성한다. 전류 적분기는 센싱 라인(150)으로부터 구동 소자의 픽셀 전류를 입력받는 반전 입력단자(-), 초기화 전압(Vpre)을 입력받는 비 반전 입력단자(+), 및 출력 단자를 포함한 앰프(AMP)와, 앰프(AMP)의 반전 입력단자(-)와 출력 단자 사이에 접속된 적분 커패시터(Cfb)와, 적분 커패시터(Cfb)의 양단에 접속된 리셋 스위치(RST)를 포함한다. 전류 적분기는 샘플 앤 홀드 회로(SH)를 통해 ADC에 연결된다. 샘플 앤 홀드 회로(SH)는 앰프(AMP)로부터 출력되는 아날로그 센싱 전압(Vsen)을 샘플링하여 ADC에 공급한다. ADC는 샘플 앤 홀드 회로(SH)에서 샘플링된 아날로그 센싱값들(Vsen)을 디지털 센싱 데이터(S-DATA)로 변환한다.

[0044] 센싱부(22)는 복수의 아날로그 센싱값들(Vsen)을 복수개의 ADC들을 이용하여 동시에 병렬 처리할 수도 있고, 복수의 아날로그 센싱값들(Vsen)을 1개의 ADC를 이용하여 순차적으로 직렬 처리할 수도 있다. ADC의 샘플링 속도와 센싱의 정확도는 트레이드 오프(Trade-off) 관계에 있다. 병렬 처리 방식의 ADC는 직렬 처리 방식의 ADC에 비해 샘플링 속도를 늦출 수 있어 센싱의 정확도를 높이는 데 유리하다. ADC는 플래시 타입의 ADC, 트래킹(tracking) 기법을 이용한 ADC, 연속 근사 레지스터 타입(Successive Approximation Register type)의 ADC 등으로 구현될 수 있다. ADC는 센싱 구동시 아날로그 센싱 전압(Vsen)을 디지털 센싱 데이터(S-DATA)로 변환한 후, 저장 메모리(50)에 공급한다.

[0045] 저장 메모리(50)는 센싱 구동시 센싱부(22)로부터 입력되는 디지털 센싱 데이터(S-DATA)를 저장한다. 저장 메모리(50)는 플래시 메모리로 구현될 수 있으나, 이에 한정되지 않는다.

[0046] 보상 IC(30)는 디스플레이 구동을 위해, 저장 메모리(50)로부터 읽어들이는 디지털 센싱 데이터(S-DATA)를 기반으로 각 화소 별로 오프셋(Offset)과 게인(Gain)을 연산하고, 연산된 오프셋과 게인에 따라 기 센싱 화소들(P)에 입력될 디지털 영상 데이터를 변조(또는 보정)하고, 변조된 디지털 영상 데이터(V-DATA)를 드라이버 IC(20)에 공급한다. 이를 위해, 보상 IC(30)는 보상부(31)와 보상 메모리(32)를 포함할 수 있다.

[0047] 보상 메모리(32)는 저장 메모리(50)로부터 읽어들이는 디지털 센싱 데이터(S-DATA)를 보상부(31)에 전달한다. 보상 메모리(32)는 RAM(Random Access Memory), 예컨대 DDR SDRAM(Double Data Rate Synchronous Dynamic RAM)일 수 있으나, 이에 한정되지 않는다.

[0048] 보상부(31)는 도 4 내지 도 5c와 같이, 다수회의 센싱을 통해 한 개의 평균 전류(I)-전압(V) 곡선을 얻고, 보상 대상 화소의 I-V 곡선이 평균 I-V 곡선에 일치되도록 보상하는 보상 알고리즘을 포함할 수 있다.

[0049] 구체적으로, 보상부(31)는 도 4 및 도 5a와 같이 복수 계조(예컨대, A-F 포함 총 7 계조)에 대한 센싱을 진행한 후에, 공지의 최소자승법[最小自乘法, least square method]을 통하여 평균 I-V 곡선에 대응되는 하기 수학식 2를 도출한다(S1).

수학식 2

$$I = a(V_{data} - b)^c$$

[0050]

[0051]

수학식 2에서, "a"는 구동 TFT의 전자 이동도이고, "b"는 구동 TFT의 문턱전압이며, "c"는 구동 TFT의 물리적 특성치를 나타낸다.

[0052]

보상부(31)는 도 4 및 도 5b와 같이 2 포인트에서 측정된 전류값(I1, I2)과 게조값(X, Y 게조)(즉, 데이터전압값(Vdata1, Vdata2))을 기준으로 기 센싱 화소(P)의 파라미터값인 a'값, 및 b'값을 계산한다(S2).

수학식 3

$$I_1 = a'(V_{data1} - b')^c$$

$$I_2 = a'(V_{data2} - b')^c$$

[0053]

[0054]

보상부(31)는 상기 수학식 3에서, 2차 방정식을 이용하여 기 센싱 화소(P)의 파라미터값인 a'값, 및 b'값을 산출할 수 있다.

[0055]

보상부(31)는 도 4 및 도 5c와 같이 보상 대상 화소의 I-V 곡선이 평균 I-V 곡선에 일치되도록 하기 위한 오프셋(Offset)과 게인(Gain)을 연산할 수 있다(S3). 보상이 완료된 오프셋(Offset)과 게인(Gain)은 하기 수학식 4와 같다. 수학식 4에서, "Vcomp"는 보상 전압을 지시한다.

수학식 4

$$V_{comp} = \left(\frac{a}{a'} \right)^{\frac{1}{c}} \times V_{data} + \left(b' - b \left(\frac{a}{a'} \right)^{\frac{1}{c}} \right)$$

[0056]

[0057]

보상부(31)는 보상 전압(Vcomp)에 대응되도록 기 센싱 화소(P)에 입력될 디지털 영상 데이터를 보정한다(S4).

[0058]

호스트 시스템(40)은 표시패널(10)의 화소들(P)에 입력될 디지털 영상 데이터를 보상 IC(30)에 공급할 수 있다. 호스트 시스템(40)은 디지털 밝기 정보와 같은 유저 입력 정보를 보상 IC(30)에 더 공급할 수 있다. 호스트 시스템(40)은 어플리케이션 프로세서(Application Processor)로 구현될 수도 있다.

[0059]

게이트 구동부(15)는 디스플레이 구동을 위한 디스플레이용 게이트신호를 생성하여 기 센싱 화소들(P)에 연결된 게이트라인들(160)에 공급한다. 디스플레이용 게이트신호는 보상값이 반영된 디스플레이용 데이터전압(Vdata-DIS)의 기입 타이밍에 동기되는 신호이다. 게이트 구동부(15)는 센싱 구동을 위한 센싱용 게이트신호를 생성하여 센싱 대상 화소들(P)에 연결된 게이트라인(들)(160)에 공급한다. 센싱용 게이트신호는 센싱용 데이터전압(Vdata-SEN)의 기입 타이밍에 동기되는 신호이다.

[0060]

이를 위해, 타이밍 제어부(21)는 게이트 구동부(15)에 인가되는 게이트 쉬프트 클럭군 중에서, 센싱용 게이트신호에 동기되는 클럭들의 펄스 간격을 디스플레이용 게이트신호에 동기되는 클럭들의 펄스 간격보다 넓게 설정할 수 있다. 또한, 타이밍 제어부(21)는 게이트 구동부(15)에 인가되는 게이트 쉬프트 클럭군 중에서, 센싱용 게이트신호에 동기되는 클럭들의 펄스폭을 디스플레이용 게이트신호에 동기되는 클럭들의 펄스폭보다 넓게 설정할

수 있다.

- [0061] 게이트 구동부(15)는 레벨 쉬프트로부터 입력되는 게이트 제어신호(GDC)에 따라 동작하는 게이트 쉬프트 레지스터를 구비한다. 레벨 쉬프트는 타이밍 제어부(21)에 포함될 수 있으나 그에 한정되지 않는다. 레벨 쉬프트는 타이밍 제어부(21)로부터 게이트 스타트펄스(Gate Start Pulse), N상(N은 2이상의 정수) 게이트 쉬프트 클럭들(Gate Shift Clock)을 포함한 게이트 제어신호(GDC)를 입력받는다. 레벨 쉬프트는 게이트 제어신호(GDC)의 TTL(Transistor-Transistor- Logic) 로직 레벨 전압을 게이트 쉬프트 레지스터의 TFT를 스위칭시킬 수 있는 게이트 하이 전압과 게이트 로우 전압으로 레벨 쉬프트한다. 레벨 쉬프트는 레벨 쉬프트된 게이트 스타트펄스, N상 게이트 쉬프트 클럭들을 게이트 쉬프트 레지스터에 공급한다.
- [0062] 게이트 쉬프트 레지스터는 각 프레임의 수직 액티브 기간 내에서 게이트 스타트펄스를 N상 게이트 쉬프트 클럭들에 따라 쉬프트시켜 디스플레이용 게이트신호와 센싱용 게이트신호를 출력하는 다수의 스테이지들로 구성된다. 스테이지들은 서로 종속적으로 접속된다. 스테이지들 중에서, 최상단 스테이지는 게이트 스타트 펄스에 의해 동작이 활성화되고, 나머지 스테이지들은 앞단 스테이지들 중 어느 하나의 출력 신호(캐리 신호)에 따라 동작이 활성화 된다.
- [0063] 이러한 게이트 쉬프트 레지스터는 GIP(Gate In Panel) 방식으로 표시 패널(10)의 하부 기관 상에 직접 형성될 수 있다. 게이트 쉬프트 레지스터는 표시 패널(10)에서 화소 어레이 바깥의 비 표시영역(즉, 베젤 영역)에 형성되며, 화소 어레이와 동일한 TFT 공정으로 형성될 수 있다.
- [0064] 도 6 내지 도 8은 외부 보상 모듈의 다양한 구현 예들을 보여주는 도면들이다.
- [0065] 도 6을 참조하면, 본 발명의 전계발광 표시장치는 외부 보상 모듈을 구현하기 위해, 칩 온 필름(Chip On Film, COF)에 실장된 드라이버 IC(D-IC)(20)와, 연성 인쇄기판(Flexible Printed Circuit Board, FPCB)에 실장된 저장 메모리(50) 및 전원 IC(P-IC)(60)와, 시스템 인쇄기판(System Printed Circuit Board, SPCB)에 실장된 호스트 시스템(40)을 구비할 수 있다.
- [0066] 드라이버 IC(D-IC)(20)는 타이밍 제어부(21), 센싱부(22) 및 데이터전압 생성부(23) 외에도 보상부(32)와 보상 메모리(32)를 더 포함할 수 있다. 이 외부 보상 모듈은 드라이버 IC(D-IC)(20)와 보상 IC(도 1의 '30')가 1칩화 된 것이다. 전원 IC(P-IC)(60)는 이 외부 보상 모듈을 동작시키는 데 필요한 각종 구동전원을 생성한다.
- [0067] 도 7을 참조하면, 본 발명의 유기발광 표시장치는 외부 보상 모듈을 구현하기 위해, 칩 온 필름(COF)에 실장된 드라이버 IC(D-IC)(20)와, 연성 인쇄기판(FPCB)에 실장된 저장 메모리(50) 및 전원 IC(P-IC)(60)와, 시스템 인쇄기판(SPCB)에 실장된 호스트 시스템(40)을 구비할 수 있다.
- [0068] 도 7의 외부 보상 모듈은, 보상부(31)와 보상 메모리(32)를 드라이버 IC(D-IC)(20)에 탑재하지 않고 호스트 시스템(40)에 탑재하는 점에서 도 6과 다르다. 도 7의 외부 보상 모듈은, 보상 IC(도 1의 '30')가 호스트 시스템(40)에 통합된 것으로, 드라이버 IC(D-IC)(20)의 구성을 간소화할 수 있다는 점에서 의미가 있다.
- [0069] 도 8을 참조하면, 본 발명의 유기발광 표시장치는 외부 보상 모듈을 구현하기 위해, 칩 온 필름(COF)에 실장된 소스 드라이버 IC(SD-IC)와, 연성 인쇄기판(FPCB)에 실장된 저장 메모리(50), 보상 IC(30), 보상 메모리(32) 및 전원 IC(P-IC)(60)와, 시스템 인쇄기판(SPCB)에 실장된 호스트 시스템(40)을 구비할 수 있다.
- [0070] 도 8의 외부 보상 모듈은, 소스 드라이버 IC(SD-IC)에 데이터전압 생성부(23)와 센싱부(22)만을 실장하여 소스 드라이버 IC(SD-IC)의 구성을 더욱 간소화하고, 타이밍 제어부(31)와 보상부(32)는 별도로 제작된 보상 IC(30)에 실장하는 점에서 차이가 있다. 그리고, 보상 IC(30), 저장 메모리(50), 보상 메모리(32)를 연성 인쇄기판(FPCB)에 함께 실장함으로써, 보상 파라미터의 업 로딩 및 다운 로딩 동작을 용이하게 할 수 있는 잇점이 있다.
- [0071] 도 9는 표시패널에 구비된 화소 어레이의 일 예를 보여주는 도면이다.
- [0072] 도 9를 참조하면, 본 발명의 일 화소 어레이는 서로 이웃한 화소들(P)로 이루어진 다수의 표시라인들(L1,L2,L3,L4)을 포함한다. 각 표시라인(L1,L2,L3,L4)에서, 수평으로 이웃한 화소들(P)은 각각 서로 다른 데이터라인(140)에 접속된다. 각 표시라인(L1,L2,L3,L4)에서, 수평으로 이웃한 화소들(P)은 M(M은 2 이상의 양의 정수)개씩 단위로 서로 다른 센싱라인(150)에 접속됨으로써, 표시패널(10)의 개구율을 높일 수 있다.
- [0073] 도 9를 참조하면, 각 표시라인(L1,L2,L3,L4)에서, 수평으로 이웃한 화소들(P)은 제1 게이트라인(160A)과 제2 게이트라인(160B)에 접속될 수 있다. 다시 말해, 각 표시라인(L1,L2,L3,L4)마다 2개의 게이트라인들(160A,160B)이 할당될 수 있다.

- [0074] 한편, 도면에는 도시하지 않았지만, 제1 게이트라인(160A)은 각 표시라인(L1,L2,L3,L4)에 개별적으로 접속될 수 있고, 제2 게이트라인(160B)은 인접한 2개의 표시라인들에 공유될 수 있다. 다시 말해, 제1 및 제2 표시라인(L1,L2)은 한 개의 제2 게이트라인(160B)을 공유할 수 있고, 제3 및 제4 표시라인(L3,L4)은 또 다른 한 개의 제2 게이트라인(160B)을 공유할 수 있다. 이렇게 일부 게이트라인을 공유하도록 화소 어레이를 설계하면, 표시패널의 개구율을 증가시킬 수 있고, 또한 게이트 구동부를 간소화하여 게이트 구동부가 실장되는 베젤 영역을 줄이는 데 효과적이다. 이하에서는 설명의 편의상 도 9의 화소 어레이를 기반으로 기술한다.
- [0075] 도 10은 도 9의 화소 어레이를 구성하는 화소의 일 등가회로를 보여주는 도면이다.
- [0076] 도 10을 참조하면, 화소 어레이를 구성하는 화소들(P) 각각은, OLED, 구동 TFT(Thin Film Transistor)(DT), 스토리지 커패시터(Cst), 제1 스위치 TFT(ST1), 및 제2 스위치 TFT(ST2)를 구비할 수 있다. 도 10의 화소 구성은 일 예시에 불과하며, 본 발명의 기술적 사상은 화소 구조에 제한되지 않는다.
- [0077] 도 10의 화소(P)는 디스플레이 대상 화소일 수도 있고, 센싱 대상 화소일 수도 있다. 따라서, 도 10의 제1 게이트신호(SCAN1)는 디스플레이용 제1 게이트신호(SCAN1) 또는, 센싱용 제1 게이트신호(SCAN1) 일 수 있다. 도 10의 제2 게이트신호(SCAN2)는 디스플레이용 제2 게이트신호(SCAN2) 또는, 센싱용 제2 게이트신호(SCAN2) 일 수 있다. 그리고, 도 10의 데이터전압(Vdata)은 디스플레이용 데이터전압(도 1의 'Vdata-DIS') 또는, 센싱용 데이터전압(도 1의 'Vdata-SEN')일 수 있다.
- [0078] OLED는 구동 TFT(DT)로부터 입력되는 픽셀 전류에 따라 발광하는 발광 소자이다. OLED는 애노드전극, 캐소드전극, 및 애노드전극과 캐소드전극 사이에 위치하는 유기화합물층을 포함한다. 애노드전극은 구동 TFT(DT)의 게이트전극인 제1 노드(N1)에 접속된다. 캐소드전극은 저전위 구동전압(VSS)의 입력단에 접속된다. OLED의 발광량에 따라 해당 화소에 표시되는 영상의 계조값이 결정된다.
- [0079] 구동 TFT(DT)는 게이트-소스 간 전압(Vgs)에 따라 OLED에 입력되는 픽셀 전류를 제어하는 구동 소자이다. 구동 TFT(DT)는 제1 노드(N1)에 접속된 게이트전극, 고전위 구동전압(VDD)의 입력단에 접속된 드레인전극, 및 제2 노드(N2)에 접속된 소스전극을 구비한다.
- [0080] 스토리지 커패시터(Cst)는 제1 노드(N1)와 제2 노드(N2) 사이에 접속된다. 스토리지 커패시터(Cst)는 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)을 정해진 시간 동안 유지한다.
- [0081] 제1 스위치 TFT(ST1)는 제1 게이트신호(SCAN1)에 응답하여 데이터라인(140) 상의 데이터전압(Vdata)을 제1 노드(N1)에 인가한다. 제1 스위치 TFT(ST1)는 제1 게이트라인(160A)에 접속된 게이트전극, 데이터라인(140)에 접속된 드레인전극, 및 제1 노드(N1)에 접속된 소스전극을 구비한다.
- [0082] 제2 스위치 TFT(ST2)는 제2 게이트신호(SCAN2)에 응답하여 제2 노드(N2)와 센싱라인(150) 간의 전류 흐름을 스위칭한다. 제2 스위치 TFT(ST2)는 제2 게이트라인(160B)에 접속된 게이트전극, 센싱라인(150)에 접속된 드레인전극, 및 제2 노드(N2)에 접속된 소스전극을 구비한다. 제2 스위치 TFT(ST2)가 턴 온 되면 제2 노드(N2)와 센싱부(22)가 전기적으로 접속된다.
- [0083] 도 11은 도 9의 화소 어레이를 구동하기 위한 게이트 구동부의 일 예시 구성을 보여주는 도면이다.
- [0084] 도 11을 참조하면, 본 발명의 일 실시예에 따른 게이트 구동부(15)는, 제1 게이트라인들(160A)에 공급될 제1 게이트신호(SCAN1)를 생성하는 제1 게이트 구동부(15A)와, 제2 게이트라인(160B)들에 공급될 제2 게이트신호(SCAN2)를 생성하는 제2 게이트 구동부(15B)를 포함한다.
- [0085] 구체적으로, 게이트 구동부(15)는, 화소 어레이의 표시라인들(L1 ~ Ln)만큼의 스테이지들(SC1-STG1 ~ SC1-STGn)을 갖는 제1 게이트 구동부(15A)와, 화소 어레이의 표시라인들(L1 ~ Ln)만큼의 스테이지들(SC2-STG1 ~ SC1-STGn)을 갖는 제2 게이트 구동부(15B)를 포함한다.
- [0086] SC1-DUM, SC2-DUM, SC1-MNT, 및 SC2-MNT 은 더미 스테이지를 의미한다. L Dummy는 더미 표시라인을 지시한다. 그리고, 스테이지들에 인가되는 VGH 및 VGL은 구동 전원을 의미하며, VGH는 게이트 하이전압을, 그리고 VGL은 게이트 로우전압을 지시한다. 더미 스테이지와 더미 표시라인은 선택적으로 포함하거나 제외될 수 있다. 더미 스테이지 및 더미 표시라인에 의해서 더미 표시라인에 인접한 표시라인의 킥백이 저감되므로 인접한 표시라인의 충전 신호가 안정화 될 수 있다. 더미 표시라인의 화소는 표시라인의 화소(P)와 유사하나, 발광하지 않도록 구성될 수 있다. 즉, 더미 표시라인은 적어도 OLED를 포함하지 않거나 또는, 데이터전압을 인가받지 않도록 구성되거나 또는, 게이트신호를 인가받지 않도록 구성될 수 있다.

- [0087] 제1 게이트 구동부(15A)는 디스플레이용 제1 게이트신호(SCAN1)를 생성하여, 디스플레이 대상 표시라인들에 위치하는 제1 게이트라인들(160A), 즉 디스플레이 대상 화소들에 연결된 제1 게이트라인들(160A)에 순차적으로 공급한다. 그리고, 제1 게이트 구동부(15A)는 센싱용 제1 게이트신호(SCAN1)를 생성하여, 적어도 하나 이상의 센싱 대상 표시라인에 위치하는 제1 게이트라인(160A), 즉 센싱 대상 화소들에 연결된 제1 게이트라인(160A)에 공급한다.
- [0088] 제1 게이트 구동부(15A)를 구성하는 스테이지들(SC1-STG1 ~ SC1-STGn) 각각은 1개의 표시라인에 개별적으로 연결될 수 있다. 제1 게이트 구동부(15A)의 스테이지들(SC1-STG1 ~ SC1-STGn)은 제1 게이트 스타트 펄스(G1Vst)를 제1 게이트 쉬프트 클럭군(G1CLK1 ~ G1CLK4)에 따라 순차적으로 쉬프트 시켜, 디스플레이용 제1 게이트신호(SCAN1)와 센싱용 제1 게이트신호(SCAN1)를 생성한다.
- [0089] 제2 게이트 구동부(15B)는 디스플레이용 제2 게이트신호(SCAN2)를 생성하여, 디스플레이 대상 표시라인들에 위치하는 제2 게이트라인들(160B), 즉 디스플레이 대상 화소들에 연결된 제2 게이트라인들(160B)에 순차적으로 공급한다. 그리고, 제2 게이트 구동부(15B)는 센싱용 제2 게이트신호(SCAN2)를 생성하여, 적어도 하나 이상의 센싱 대상 표시라인에 위치하는 제2 게이트라인(160B), 즉 센싱 대상 화소들에 연결된 제2 게이트라인(160B)에 공급한다.
- [0090] 제2 게이트 구동부(15B)를 구성하는 스테이지들(SC2-STG1 ~ SC2-STGn) 각각은 1개의 표시라인에 개별적으로 연결될 수 있다. 제2 게이트 구동부(15B)의 스테이지들(SC2-STG1 ~ SC2-STGn)은 제2 게이트 스타트 펄스(G2Vst)를 제2 게이트 쉬프트 클럭군(G2CLK1 ~ G2CLK4)에 따라 순차적으로 쉬프트 시켜, 디스플레이용 제2 게이트신호(SCAN2)와 센싱용 제2 게이트신호(SCAN2)를 생성한다.
- [0091] 도 12 및 도 13은 각 프레임의 수직 액티브 기간 내에서 실시간 센싱이 이뤄지는 본 발명의 실시간 외부 보상 기술을 보여주는 모식도들이다.
- [0092] 본 발명은 실시간 외부 보상방식에 따라 화소(P)의 전기적 특성을 센싱할 때 종래와 같이 수직 블랭크 기간(VB)에서 센싱 구동을 수행하지 않고, 도 12와 같이 각 프레임의 수직 액티브 기간(VA) 내에서 디스플레이 구동과 함께 센싱 구동을 수행한다. 센싱 구동을 통해 디지털 센싱 데이터(S-DATA)가 얻어지고, 이를 기반으로 보상 값이 업데이트된다.
- [0093] 본 발명은 각 프레임의 수직 액티브 기간(VA)마다 적어도 1 표시라인씩을 센싱한다. 1 수직 액티브 기간(VA)에서 복수의 표시라인들을 센싱하는 경우, 복수의 표시라인들은 순차 센싱될 수 있다.
- [0094] 센싱 대상 표시라인에 배치된 센싱 대상 화소들은 발광하지 않는다. 따라서, 센싱 대상 표시라인이 라인 덤으로 시인되는 것을 최소화하기 위해, 각 프레임에서 센싱 대상 표시라인의 위치는 비 순차적으로(또는 랜덤(Random)하게) 미리 정해진다. 예를 들어, 도 13과 같이 센싱 대상 표시라인의 위치는, 제n 프레임(Fn)에서 b번째 표시라인(Lb)으로 정해지고, 제n+1 프레임(Fn+1)에서 c번째 표시라인(Lc)으로 정해지며, 제n+2 프레임(Fn+2)에서 a번째 표시라인(La)으로 정해질 수 있다. 여기서, Lc는 Lb와 공간적으로 수 내지 수백 표시라인만큼 많이 이격되며, Lb의 하부에 배치되나, 이에 제한되지 않는다. 그리고, La는 Lc와 공간적으로 수 내지 수백 표시라인만큼 많이 이격되며, Lc의 상부에 배치되나, 이에 제한되지 않는다. 인간의 눈은 비 순차적 변화에 비해 순차적 변화에 대해 예민하게 반응한다. 따라서, 각 프레임에서 센싱 대상 표시라인의 위치를 랜덤하게 설정하면, 센싱 대상 표시라인이 라인 덤으로 시인되는 것을 방지할 수 있다.
- [0095] 본 발명은 각 프레임의 수직 액티브 기간(VA)에서 디스플레이 구동과 병행하여 센싱 구동을 수행하기 때문에, 시간적 제약없이 원하는 표시라인에 대한 센싱 구동을 용이하게 수행할 수 있다. 구체적으로, 수직 해상도가 N인 표시패널의 N번째 표시라인을 센싱하는 경우, N번째 표시라인에 대한 센싱 구동은 1번째부터 N-1번째 표시라인들에 대한 디스플레이 구동에 이어서 바로 수행된다. N번째 스테이지는 N-1번째 스테이지의 출력 신호에 따라 동작이 활성화 되기 때문에, N번째 표시라인에 대한 센싱 구동을 위해 디스플레이 구동에 따른 N-1번째 스테이지의 출력 신호를 캐리 신호로 이용하는 것이다. 수직 블랭크 기간(VB)에서 N번째 표시라인에 대한 센싱 구동을 수행하는 경우에는 1번째 내지 N-1번째 스테이지들이 추가로 먼저 동작되어야 하기 때문에 센싱 구동을 위한 셋팅 시간이 긴 데 반해, 본 발명과 같이 각 프레임의 수직 액티브 기간(VA)에서 디스플레이 구동과 병행하여 센싱 구동을 수행하면, 센싱 구동을 위한 셋팅 시간을 획기적으로 줄일 수 있는 잇점이 있다.
- [0096] 1 프레임의 수직 액티브 기간(VA)에서 디스플레이 구동과 센싱 구동이 병행하는 일 예를 설명하면 다음과 같다.
- [0097] 도 13의 제n 프레임(Fn)에서 b번째 표시라인(Lb)이 센싱 대상 표시라인으로 정해진 경우, 디스플레이 대상 표시

라인들인 1번째 내지 b-1번째 표시라인을 순차적으로 디스플레이 구동(즉, 디스플레이용 게이트신호와 디스플레이용 데이터전압을 서로 동기시켜 인가함으로써 해당 표시라인을 프로그래밍 및 발광 시킴)한 후에, 이어서 디스플레이 구동에 따른 b-1번째 스테이지의 출력 신호를 캐리 신호로 하여 b번째 표시라인(Lb)을 센싱 구동(즉, 센싱용 게이트신호와 센싱용 데이터전압을 서로 동기시켜 해당 표시라인의 화소들에 인가하여 그 화소들의 전기적 특성을 센싱함)한다. 이어서, 센싱 구동에 따른 b번째 스테이지의 출력 신호에 기초하여 b+1번째 내지 마지막 n번째 표시라인을 순차적으로 디스플레이 구동(즉, 디스플레이용 게이트신호와 디스플레이용 데이터전압을 서로 동기시켜 해당 표시라인들의 화소들에 인가함으로써 해당 표시라인들을 프로그래밍 및 발광 시킴)한다.

[0098] 또한, 도 13의 제n+1 프레임(Fn+1)에서 c번째 표시라인(Lc)이 센싱 대상 표시라인으로 정해진 경우, 디스플레이 대상 표시라인들인 1번째 내지 c-1번째 표시라인을 순차적으로 디스플레이 구동한 후에, 이어서 디스플레이 구동에 따른 c-1번째 스테이지의 출력 신호에 따라 c번째 표시라인(Lc)을 센싱 구동한 후에, 이어서 센싱 구동에 따른 c번째 출력 신호에 기초하여 c+1번째 내지 마지막 n번째 표시라인을 순차적으로 디스플레이 구동한다.

[0099] 또한, 도 13의 제n+2 프레임(Fn+2)에서 a번째 표시라인(La)이 센싱 대상 표시라인으로 정해진 경우, 디스플레이 대상 표시라인들인 1번째 내지 a-1번째 표시라인을 순차적으로 디스플레이 구동한 후에, 이어서 디스플레이 구동에 따른 a-1번째 스테이지의 출력 신호에 따라 a번째 표시라인(La)을 센싱 구동한 후에, 이어서 센싱 구동에 따른 a번째 출력 신호에 기초하여 a+1번째 내지 마지막 n번째 표시라인을 순차적으로 디스플레이 구동한다.

[0100] 다만, 센싱의 정확도를 높이기 위해, 센싱 대상 표시라인에 이웃한 복수의 디스플레이 대상 표시라인들은 휴지 구동될 수 있다. 휴지 구동되는 디스플레이 대상 표시라인들의 화소들은 데이터라인과의 연결이 차단되어 새로운 디스플레이용 데이터전압을 공급받지 못하기 때문에, 이전 프레임에서 기입된 영상 신호를 그대로 표시한다. 또한, 휴지 구동되는 디스플레이 대상 표시라인들의 화소들은 센싱라인과의 연결도 차단된다. 휴지 구동되는 화소들에 포함된 스위치 TFT들은 턴 오프 상태를 유지하기 때문에, 스위치 TFT들이 온 상태에서 오프 상태로 변할 때 생기는 킥백(Kick Back) 노이즈가 센싱라인의 전위에 영향을 미치지 않고, 따라서 센싱 대상 표시라인에 대한 센싱의 정확도가 높아진다. 이에 대해서는 도 14 내지 도 16을 통해 부연 설명한다.

[0101] 도 14는 수직 액티브 기간 내에서 실시간 센싱을 구현하기 위한 제1 및 제2 게이트 신호의 일 예시 파형도이다. 도 15는 수직으로 이웃한 표시라인들의 화소들이 1 센싱라인을 공유하는 구조를 보여준다.

[0102] 도 14 및 도 15를 참조하면, k번째 표시라인(Lk)이 센싱 대상 표시라인으로 정해진 경우, k번째 표시라인(Lk)의 상부에 배치된 k-3번째 표시라인(Lk-3) 및 k-2번째 표시라인(Lk-2)이 순차적으로 디스플레이 구동되고, 이어서 k-1번째 표시라인(Lk-1)이 휴지 구동된다. 이어서 k번째 표시라인(Lk)이 센싱 구동된다. 그리고 이어서 k번째 표시라인(Lk)의 하부에 배치된 k+1번째 표시라인(Lk+1)이 휴지 구동되고, k+2번째 표시라인(Lk+2) 및 k+3번째 표시라인(Lk+3)이 순차적으로 디스플레이 구동된다.

[0103] 센싱 구동을 위해, k번째 표시라인(Lk)의 제1 게이트라인(160A)에는 센싱 용도의 k번째 제1 게이트신호(SCAN1<k>)가 공급되고, k번째 표시라인(Lk)의 제2 게이트라인(160B)에는 센싱 용도의 k번째 제2 게이트신호(SCAN2<k>)가 공급된다. 센싱용 제1 게이트신호(SCAN1<k>)의 게이트 하이 전압(VGH) 구간과 센싱용 제2 게이트신호(SCAN2<k>)의 게이트 하이 전압(VGH) 구간은 센싱용 데이터전압(Vdata-SEN)이 공급되는 타이밍에 동기된다. 센싱을 위해, 센싱용 제2 게이트신호(SCAN2<k>)의 게이트 하이 전압(VGH) 구간은 센싱용 제1 게이트신호(SCAN1<k>)의 게이트 하이 전압(VGH) 구간에 비해 넓을 수 있다.

[0104] k번째 표시라인(Lk)에 포함된 제1 화소(P1)에서, 제1 스위치 TFT(ST1)는 게이트 하이 전압(VGH)의 센싱용 제1 게이트신호(SCAN1<k>)에 따라 턴 온 되고, 제2 스위치 TFT(ST2)는 게이트 하이 전압(VGH)의 센싱용 제2 게이트신호(SCAN2<k>)에 따라 턴 온 된다. 제1 화소(P1)에는 센싱용 데이터전압(Vdata-SEN)에 따른 픽셀 전류가 흐르고, 이 픽셀 전류가 제2 스위치 TFT(ST2)를 통해 센싱라인(150)을 충전시킨다. 센싱부(22)는 센싱라인(150)에 충전된 전압을 센싱하여 제1 화소(P1)의 전기적 특성을 검출할 수 있다.

[0105] 디스플레이 구동을 위해, k-2번째 표시라인(Lk-2)의 제1 게이트라인(160A)에는 디스플레이 용도의 k-2번째 제1 게이트신호(SCAN1<k-2>)가 공급되고, k-2번째 표시라인(Lk-2)의 제2 게이트라인(160B)에는 디스플레이 용도의 k-2번째 제2 게이트신호(SCAN2<k-2>)가 공급된다. 디스플레이용 제1 게이트신호(SCAN1<k-2>)의 게이트 하이 전압(VGH) 구간과 디스플레이용 제2 게이트신호(SCAN2<k-2>)의 게이트 하이 전압(VGH) 구간은 디스플레이용 데이터전압(Vdata-DIS)이 공급되는 타이밍에 동기된다. 디스플레이용 제1 게이트신호(SCAN1<k-2>)의 게이트 하이 전압(VGH) 구간과 디스플레이용 제2 게이트신호(SCAN2<k-2>)의 게이트 하이 전압(VGH) 구간은 같을 수도 있고, 다

를 수도 있다.

- [0106] k-2번째 표시라인(Lk-2)에 포함된 제2 화소(P2)에서, 디스플레이용 프로그래밍(구동 TFT의 게이트-소스간 전압 설정)을 위해 제1 스위치 TFT(ST1)는 게이트 하이 전압(VGH)의 디스플레이용 제1 게이트신호(SCAN1<k-2>)에 따라 턴 온 되고, 제2 스위치 TFT(ST2)는 게이트 하이 전압(VGH)의 디스플레이용 제2 게이트신호(SCAN1<k-2>)에 따라 턴 온 된다. 제2 화소(P2)에는 디스플레이용 데이터전압(Vdata-DIS)에 따른 픽셀 전류가 흐르고, 이 픽셀 전류가 제2 화소(P2)의 OLED를 발광시킨다.
- [0107] 마찬가지로, 디스플레이 구동을 위해, k+2번째 표시라인(Lk+2)의 제1 게이트라인(160A)에는 디스플레이 용도의 k+2번째 제1 게이트신호(SCAN1<k+2>)가 공급되고, k+2번째 표시라인(Lk+2)의 제2 게이트라인(160B)에는 디스플레이 용도의 k+2번째 제2 게이트신호(SCAN2<k+2>)가 공급된다. 디스플레이용 제1 게이트신호(SCAN1<k+2>)의 게이트 하이 전압(VGH) 구간과 디스플레이용 제2 게이트신호(SCAN2<k+2>)의 게이트 하이 전압(VGH) 구간은 디스플레이용 데이터전압(Vdata-DIS)이 공급되는 타이밍에 동기된다.
- [0108] K+2번째 표시라인(Lk+2)에 포함된 제3 화소(P3)에서, 디스플레이용 프로그래밍(구동 TFT의 게이트-소스간 전압 설정)을 위해 제1 스위치 TFT(ST1)는 게이트 하이 전압(VGH)의 디스플레이용 제1 게이트신호(SCAN1<k+2>)에 따라 턴 온 되고, 제2 스위치 TFT(ST2)는 게이트 하이 전압(VGH)의 디스플레이용 제2 게이트신호(SCAN1<k+2>)에 따라 턴 온 된다. 제3 화소(P3)에는 디스플레이용 데이터전압(Vdata-DIS)에 따른 픽셀 전류가 흐르고, 이 픽셀 전류가 제3 화소(P3)의 OLED를 발광시킨다.
- [0109] 휴지 구동을 위해, k-1번째 표시라인(Lk-1)의 제1 게이트라인(160A)에는 디스플레이 용도의 k-1번째 제1 게이트신호(SCAN1<k-1>)가 공급되고, k-1번째 표시라인(Lk-1)의 제2 게이트라인(160B)에는 디스플레이 용도의 k-1번째 제2 게이트신호(SCAN2<k-1>)가 공급된다. 디스플레이용 제1 게이트신호(SCAN1<k-1>)와 디스플레이용 제2 게이트신호(SCAN2<k-1>)는 계속해서 게이트 로우 전압(VGL)으로 유지된다. 즉, 디스플레이용 제1 게이트신호(SCAN1<k-1>)와 디스플레이용 제2 게이트신호(SCAN2<k-1>)는 게이트 하이 전압(VGH) 구간을 갖지 않는다.
- [0110] k-1번째 표시라인(Lk-1)에 포함된 제4 화소(P4)에서, 제1 스위치 TFT(ST1)는 게이트 로우 전압(VGL)의 디스플레이용 제1 게이트신호(SCAN1<k-1>)에 따라 턴 오프 되고, 제2 스위치 TFT(ST2)도 게이트 로우 전압(VGL)의 디스플레이용 제2 게이트신호(SCAN1<k-1>)에 따라 턴 오프 된다. 제4 화소(P4)에서, 제2 스위치 TFT(ST2)가 계속해서 턴 오프 상태를 유지하므로 제2 스위치 TFT(ST2)가 온 상태에서 오프 상태로 변할 때 생기는 킥백(Kick Back) 노이즈가 센싱라인의 전위에 영향을 미치지 않는다.
- [0111] 마찬가지로 휴지 구동을 위해, k+1번째 표시라인(Lk+1)의 제1 게이트라인(160A)에는 디스플레이 용도의 k+1번째 제1 게이트신호(SCAN1<k+1>)가 공급되고, k+1번째 표시라인(Lk+1)의 제2 게이트라인(160B)에는 디스플레이 용도의 k+1번째 제2 게이트신호(SCAN2<k+1>)가 공급된다. 디스플레이용 제1 게이트신호(SCAN1<k+1>)와 디스플레이용 제2 게이트신호(SCAN2<k+1>)는 계속해서 게이트 로우 전압(VGL)으로 유지된다. 즉, 디스플레이용 제1 게이트신호(SCAN1<k+1>)와 디스플레이용 제2 게이트신호(SCAN2<k+1>)는 게이트 하이 전압(VGH) 구간을 갖지 않는다.
- [0112] K+1번째 표시라인(Lk+1)에 포함된 제5 화소(P5)에서, 제1 스위치 TFT(ST1)는 게이트 로우 전압(VGL)의 디스플레이용 제1 게이트신호(SCAN1<k+1>)에 따라 턴 오프 되고, 제2 스위치 TFT(ST2)도 게이트 로우 전압(VGL)의 디스플레이용 제2 게이트신호(SCAN1<k+1>)에 따라 턴 오프 된다. 제5 화소(P5)에서, 제2 스위치 TFT(ST2)가 계속해서 턴 오프 상태를 유지하므로 제2 스위치 TFT(ST2)가 온 상태에서 오프 상태로 변할 때 생기는 킥백(Kick Back) 노이즈가 센싱라인의 전위에 영향을 미치지 않는다.
- [0113] 도 16은 수직 액티브 기간 내에서 실시간 센싱을 구현하기 위한 제1 및 제2 게이트 신호의 다른 예시 파형도이다.
- [0114] 도 16은 도 14와 비교하여, 센싱 대상 표시라인이 복수로 설정된 것만 제외하고 나머지는 실질적으로 동일하다.
- [0115] 구체적으로, k번째 내지 k+2번째 표시라인(Lk, Lk+1, Lk+2)이 센싱 대상 표시라인으로 정해진 경우, k번째 표시라인(Lk)의 상부에 배치된 k-3번째 표시라인(Lk-3) 및 k-2번째 표시라인(Lk-2)이 순차적으로 디스플레이 구동되고, 이어서 k-1번째 표시라인(Lk-1)이 휴지 구동된다. 이어서 k번째 내지 k+2번째 표시라인(Lk, Lk+1, Lk+2)이 순차적으로 센싱 구동된다. 그리고 이어서 k+2번째 표시라인(Lk+2)의 하부에 배치된 k+3번째 표시라인(Lk+3)이 휴지 구동되고, k+4번째 표시라인(Lk+4) 및 k+5번째 표시라인(Lk+5)이 순차적으로 디스플레이 구동된다.
- [0116] 도 16에 있어, 센싱 구동, 디스플레이 구동, 및 휴지 구동은 도 14 및 도 15에서 설명한 것과 실질적으로 동일

하므로, 그에 대한 설명은 생략하기로 한다.

- [0117] 한편, 도 16은 센싱 구동하는 표시라인들의 상부 및 하부에 각각 1개씩 휴지 구동하는 표시라인을 설정한 경우를 보여주고 있으나, 본 발명의 기술적 사상은 이에 한정되지 않는다. 휴지 구동하는 표시라인은 센싱 구동하는 표시라인들의 상부 및 하부에 각각 복수개씩 설정될 수도 있다. 휴지 구동하는 표시라인의 개수가 많을수록 킥백 영향으로 인한 노이즈 혼입이 적어져 센싱의 정확도가 높아지는 장점은 있으나, 휴지 구동 면적 증가로 인해 입력 영상에 대한 표현력이 떨어지는 단점이 있다. 이러한 점을 고려하여, 휴지 구동하는 표시라인의 개수는 표시패널의 모델 및 스펙에 따라 적절히 설정됨이 바람직하다.
- [0118] 도 17은 제1 게이트신호를 생성하는 제1 게이트 구동부(15A)의 구성을 보여주는 도면이다.
- [0119] 도 17을 참조하면, 본 발명의 일 실시예에 따른 제1 게이트 구동부(15A)는 서로 종속적으로 접속된 다수의 스테이지들(SC1-STG1 ~ SC1-STG12)을 구비한다.
- [0120] 스테이지들(SC1-STG1 ~ SC1-STG12)은 타이밍 제어부(21)로부터 입력되는 제1 게이트 쉬프트 클럭군(G1CLK1 ~ G1CLK4)에 따라 제1 게이트 스타트 펄스(G1Vst)를 순차적으로 쉬프트시켜 제1 출력신호들(X1~X12)을 생성한다. 제1 게이트 쉬프트 클럭군(G1CLK1 ~ G1CLK4)은 고속 구동시 충분한 충전시간 확보를 위해 4상 이상의 게이트 쉬프트 클럭들로 구현됨이 바람직하다.
- [0121] 스테이지들(SC1-STG1 ~ SC1-STG12) 중에서, 제1 스테이지(SC1-STG1)는 타이밍 제어부(21)로부터 입력되는 제1 게이트 스타트 펄스(G1Vst)에 따라 동작이 활성화되고, 나머지 스테이지들(SC1-STG2 ~ SC1-STG12)은 앞단 스테이지의 제1 출력신호들(X1~X11)에 따라 동작이 활성화된다. 이를 위해, 제1 스테이지(SC1-STG1)의 스타트 단자는 제1 게이트 스타트 펄스(G1Vst)의 입력 라인에 연결된다. 그리고, 나머지 스테이지들(SC1-STG2 ~ SC1-STG12)의 스타트 단자들은 앞단 스테이지들(SC1-STG1 ~ SC1-STG11)의 제1 출력 노드(N01)에 연결된다. 제1 출력신호들(X1~X11)은 나머지 스테이지들(SC1-STG2 ~ SC1-STG12)의 동작을 활성화하는 캐리 신호가 된다.
- [0122] 제1 게이트신호(SCAN1<1> ~ SCAN1<12>)가 공급될 제1 게이트라인들과 스테이지들(SC1-STG1 ~ SC1-STG12) 사이에는 각각 제1 출력 제어 스위치(OS1)와 제2 출력 제어 스위치(OS2)가 접속된다. 제1 출력 제어 스위치(OS1)의 양단은 제1 게이트라인들과 스테이지들(SC1-STG1 ~ SC1-STG12) 사이마다 접속되고, 제2 출력 제어 스위치(OS2)의 일단은 제1 게이트라인들과 스테이지들(SC1-STG1 ~ SC1-STG12) 사이마다 접속된다.
- [0123] 제1 출력 제어 스위치(OS1)의 일단은 제1 출력신호(X1~X12)가 공급되는 제1 출력 노드(N01)에 연결되고, 제1 출력 제어 스위치(OS1)의 타단은 제2 출력 노드(N02)에 연결된다. 제2 출력 노드(N02)는 제1 게이트라인에 연결된다. 제1 출력 제어 스위치(OS1)는 타이밍 제어부(21)로부터 입력되는 제1 선택신호(SEL)에 따라 온/오프 된다. 제1 출력 제어 스위치(OS1)가 온 되면, 제1 출력 노드(N01)와 제2 출력 노드(N02)가 전기적으로 연결되고, 제1 출력 노드(N01)에 공급된 제1 출력신호(X1~X12)가 제2 출력 노드(N02)로 전달된다. 반면, 제1 출력 제어 스위치(OS1)가 오프 되면, 제1 출력 노드(N01)와 제2 출력 노드(N02)는 전기적으로 차단되고, 제1 출력 노드(N01)에 공급된 제1 출력신호(X1~X12)는 제2 출력 노드(N02)로 전달되지 않는다.
- [0124] 제2 출력 제어 스위치(OS2)의 일단은 제2 출력 노드(N02)에 연결되고, 제2 출력 노드(N02)의 타단은 게이트 로우 전압(VGL)의 입력단에 연결된다. 제2 출력 제어 스위치(OS2)는 타이밍 제어부(21)로부터 입력되는 제2 선택신호(SELB)에 따라 온/오프 된다. 제2 선택신호(SELB)는 제1 선택신호(SEL)와 위상이 반대된다. 제2 출력 제어 스위치(OS2)는, 제1 출력 제어 스위치(OS1)가 온 되는 동안에 오프 되고, 제1 출력 제어 스위치(OS1)가 오프 되는 동안에 온 된다. 제1 출력 제어 스위치(OS1)가 온 되고 제2 출력 제어 스위치(OS2)가 오프 되면, 스테이지(SC1-STG1 ~ SC1-STG12)에서 출력되는 게이트 하이 전압(VGH)의 제1 출력신호(X1~X12)가 제1 및 제2 출력 노드(N01, N02)를 통해 제1 게이트라인에 제1 게이트신호(SCAN1<1> ~ SCAN1<12>)로서 공급된다. 반면, 제1 출력 제어 스위치(OS1)가 오프 되고 제2 출력 제어 스위치(OS2)가 온 되면, 스테이지(SC1-STG1 ~ SC1-STG12)에서 출력되는 제1 출력신호(X1~X12)는 차단되고, 게이트 로우 전압(VGL)이 제2 출력 노드(N02)를 통해 제1 게이트라인에 제1 게이트신호(SCAN1<1> ~ SCAN1<12>)로서 공급된다.
- [0125] 게이트 하이 전압(VGH)의 제1 출력신호(X1~X12)가 제1 게이트신호(SCAN1<1> ~ SCAN1<12>)로서 공급되는 제1 게이트라인은 디스플레이 구동되는 표시라인에 위치하거나 또는, 센싱 구동되는 표시라인에 위치할 수 있다. 반면, 게이트 로우 전압(VGL)이 제1 게이트신호(SCAN1<1> ~ SCAN1<12>)로서 공급되는 제1 게이트라인은 휴지 구동되는 표시라인에 위치할 수 있다.
- [0126] 도 18은 도 17에 도시된 제1 게이트 구동부의 구동을 설명하기 위한 일 예시 파형도이다. 그리고, 도 19는 도

17에 도시된 제1 게이트 구동부의 구동을 설명하기 위한 다른 예시 파형도이다.

- [0127] 도 17 내지 도 19를 참조하면, 제1 게이트 쉬프트 클럭군(G1CLK1 ~ G1CLK4)의 펄스 간격과 제1 및 제2 선택 신호(SEL, SELB)의 온/오프 타이밍은 해당 프레임에서 미리 설정된 센싱 대상 표시라인의 위치에 따라 결정된다. 타이밍 제어부(21)는 미리 설정된 센싱 프로그램에 따라 해당 프레임에서 센싱 대상 표시라인의 위치를 미리 알 수 있다. 타이밍 제어부(21)는 센싱 프로그램을 미리 내장할 수도 있고, 호스트 시스템(40)으로부터 입력 받을 수도 있다.
- [0128] 타이밍 제어부(21)는 센싱 대상 표시라인의 위치에 대응하여 제1 게이트 쉬프트 클럭군(G1CLK1 ~ G1CLK4)의 펄스 간격과 제1 및 제2 선택 신호(SEL, SELB)의 온/오프 타이밍을 조절하여 센싱 타임을 조절할 수 있다. 센싱 대상 표시라인에 입력될 제1 게이트신호가 j번째 제1 게이트신호로 설정된 경우, 타이밍 제어부(21)는 충분한 센싱 타임 확보를 위해 j번째 클럭과 j+1번째 클럭 간의 펄스 간격(CKI)을 다른 이웃한 클럭들 간의 펄스 간격보다 넓히고, j번째 클럭의 라이징 타임부터 j+1번째 클럭의 라이징 타임까지 제1 선택 신호(SEL)의 온 구간(SEW)을 설정하고, 제1 선택 신호(SEL)의 온 구간(SEW)을 전후로 하여 적어도 1 클럭 이상만큼 제1 선택 신호(SEL)의 오프 구간(XX1, XX2)을 설정한다. 그리고, 타이밍 제어부(21)는 제2 선택 신호(SELB)를 제1 선택 신호(SEL)와 반대 위상으로 설정할 수 있다. 하지만 이에 제한하지 않으며, 제1 게이트신호의 안정적인 출력을 위해 일부 구간에서는 제1 선택 신호(SEL)와 제2 선택 신호(SELB)가 동시에 오프되는 구간이 있을 수 있다.
- [0129] 여기서, 해당 프레임에서 미리 설정된 센싱 대상 표시라인은 도 18과 같이 1개일 수도 있고, 도 19와 같이 복수개일 수도 있다. 도 19에는 해당 프레임에서 복수개씩 설정된 센싱 대상 표시라인들이 연속적으로 이웃하게 배치된 것만 기재되어 있으나, 본 발명의 기술적 사상은 이에 한정되지 않는다. 해당 프레임에서 복수개씩 설정된 센싱 대상 표시라인들은 적어도 일부가 이격되게 배치될 수도 있다. 한편, 1 프레임 내에 센싱되도록 설정된 센싱 대상 표시라인의 개수와, 서로 다른 클럭 배선을 통해 입력되는 게이트 쉬프트 클럭의 개수는 무관하다.
- [0130] 타이밍 제어부(21)는 다양한 방법을 통해 센싱 대상 표시라인의 위치에 따라 제1 게이트 쉬프트 클럭군(G1CLK1 ~ G1CLK4)의 펄스 간격과 제1 및 제2 선택 신호(SEL, SELB)의 온/오프 타이밍을 조절할 수 있다.
- [0131] 일 예로서, 도 18과 같이 센싱 대상 표시라인에 입력될 제1 게이트신호가 10번째 제1 게이트신호(SCAN1<10>)로 설정된 경우, 일 방법으로서, 타이밍 제어부(21)는 센싱 기간에 대응되도록 10번째 클럭과 11번째 클럭 간의 펄스 간격(CKI)을 다른 이웃한 클럭들 간의 펄스 간격보다 넓히고, 이어서 10번째 클럭의 라이징 타임부터 11번째 클럭의 라이징 타임까지 제1 선택 신호(SEL)의 온 구간(SEW)을 설정하고, 이어서 제1 선택 신호(SEL)의 온 구간(SEW)을 전후로 하여 적어도 1 클럭 이상만큼 제1 선택 신호(SEL)의 오프 구간(XX1, XX2)을 설정할 수 있다. 다른 방법으로서, 타이밍 제어부(21)는 센싱 대상 표시라인에 대한 센싱 기간에 대응되도록 기 설정된 제1 선택 신호(SEL)의 온 구간(SEW) 및 오프 구간(XX1, XX2)을 기초로 하여, 상기 센싱 기간에 대응되는 클럭의 펄스 간격, 예컨대 10번째 클럭과 11번째 클럭 간의 펄스 간격(CKI)을 다른 이웃한 클럭들 간의 펄스 간격보다 넓힐 수 있다.
- [0132] 타이밍 제어부(21)는 제2 선택 신호(SELB)를 제1 선택 신호(SEL)와 반대 위상으로 설정할 수 있다. 하지만 이에 제한하지 않으며, 제1 게이트신호(SCAN1<10>)의 안정적인 출력을 위해 일부 구간에서는 제1 선택 신호(SEL)와 제2 선택 신호(SELB)가 동시에 오프되는 구간이 있을 수 있다.
- [0133] 도 18에서, 제1 게이트 구동부(15A)는 제1 게이트 쉬프트 클럭군(G1CLK1 ~ G1CLK4)에 따라 제1 출력신호들(X1~X12)을 생성한다. 제1 출력신호들(X1~X12) 중에서, 제1 선택 신호(SEL)의 온 구간 즉, 제2 선택 신호(SELB)의 오프 구간에 대응되는 X1~X7, X10 및 X12는 각각 제1 게이트신호(SCAN1<1> ~ SCAN1<7>, SCAN1<10>, SCAN1<12>)로서 출력된다. 여기서, 게이트 하이 전압(VGH)의 1번째 내지 7번째 제1 게이트신호(SCAN1<1> ~ SCAN1<7>)와, 게이트 하이 전압(VGH)의 12번째 제1 게이트신호(SCAN1<12>)가 공급되는 표시라인들은 디스플레이 구동되는 표시라인들이고, 게이트 하이 전압(VGH)의 10번째 제1 게이트신호(SCAN1<10>)가 공급되는 표시라인은 센싱 구동되는 표시라인이다.
- [0134] 한편, 제1 출력신호들(X1~X12) 중에서, 제1 선택 신호(SEL)의 오프 구간(XX1, XX2) 즉, 제2 선택 신호(SELB)의 온 구간(XX1, XX2)에 대응되는 X8, X9 및 X11은 그 출력이 차단되고, 그 대신에 게이트 로우 전압(VGL)이 8번째, 9번째 및 11번째 제1 게이트신호(SCAN1<8>, SCAN1<9>, SCAN1<11>)로서 출력된다. 8번째, 9번째 및 11번째 제1 게이트신호(SCAN1<8>, SCAN1<9>, SCAN1<11>)가 공급되는 표시라인들은 휴지 구동되는 표시라인들이다.
- [0135] 다른 예로서, 도 19와 같이 센싱 대상 표시라인에 입력될 제1 게이트신호가 10번째 내지 13번째 제1 게이트신호(SCAN1<10> ~ SCAN1<13>)로 설정된 경우, 일 방법으로서, 타이밍 제어부(21)는 센싱 기간에 대응되도록, 10번째

클럭 내지 11번째 클럭 간의 펄스 간격(CKI), 11번째 클럭 내지 12번째 클럭 간의 펄스 간격(CKI), 12번째 클럭 내지 13번째 클럭 간의 펄스 간격(CKI), 및 13번째 클럭 내지 14번째 클럭 간의 펄스 간격(CKI) 각각을 다른 이웃한 클럭들 간의 펄스 간격보다 넓히고, 이어서 10번째 클럭의 라이징 타임부터 14번째 클럭의 라이징 타임까지 제1 선택 신호(SEL)의 온 구간(SEW)을 설정하고, 제1 선택 신호(SEL)의 온 구간(SEW)을 전후로 하여 적어도 1 클럭 이상만큼 제1 선택 신호(SEL)의 오프 구간(XX1,XX2)을 설정할 수 있다. 다른 방법으로서, 타이밍 제어부(21)는 센싱 대상 표시라인에 대한 센싱 기간에 대응되도록 기 설정된 제1 선택 신호(SEL)의 온 구간(SEW) 및 오프 구간(XX1,XX2)을 기초로 하여, 상기 센싱 기간에 대응되는 클럭의 펄스 간격, 예컨대 10번째 클럭 내지 11번째 클럭 간의 펄스 간격(CKI), 11번째 클럭 내지 12번째 클럭 간의 펄스 간격(CKI), 12번째 클럭 내지 13번째 클럭 간의 펄스 간격(CKI), 및 13번째 클럭 내지 14번째 클럭 간의 펄스 간격(CKI) 각각을 다른 이웃한 클럭들 간의 펄스 간격보다 넓힐 수 있다.

[0136] 타이밍 제어부(21)는 제2 선택 신호(SELB)를 제1 선택 신호(SEL)와 반대 위상으로 설정할 수 있다. 하지만 이에 제한하지 않으며, 제1 게이트신호(SCAN1<10> ~ SCAN1<13>)의 안정적인 출력을 위해 일부 구간에서는 제1 선택 신호(SEL)와 제2 선택 신호(SELB)가 동시에 오프되는 구간이 있을 수 있다.

[0137] 도 19에서, 제1 게이트 구동부(15A)는 제1 게이트 쉬프트 클럭군(G1CLK1 ~ G1CLK4)에 따라 제1 출력신호들(X1~X15)을 생성한다. 제1 출력신호들(X1~X15) 중에서, 제1 선택 신호(SEL)의 온 구간 즉, 제2 선택 신호(SELB)의 오프 구간에 대응되는 X1~X7, 및 X10~X13은 각각 게이트 하이 전압(VGH)의 제1 게이트신호(SCAN1<1> ~ SCAN1<7>, SCAN1<10> ~ SCAN1<13>)로서 출력된다. 여기서, 게이트 하이 전압(VGH)의 1번째 내지 7번째 제1 게이트신호(SCAN1<1> ~ SCAN1<7>)가 공급되는 표시라인들은 디스플레이 구동되는 표시라인들이고, 게이트 하이 전압(VGH)의 10번째 내지 13번째 제1 게이트신호(SCAN1<10> ~ SCAN1<13>)가 공급되는 표시라인은 센싱 구동되는 표시라인이다.

[0138] 한편, 제1 출력신호들(X1~X15) 중에서, 제1 선택 신호(SEL)의 오프 구간(XX1,XX2) 즉, 제2 선택 신호(SELB)의 온 구간(XX1,XX2)에 대응되는 X8, X9, X14 및 X15는 그 출력이 차단되고, 그 대신에 게이트 로우 전압(VGL)이 8번째, 9번째, 14번째 및 15번째 제1 게이트신호(SCAN1<8>, SCAN1<9>, SCAN1<14>, SCAN1<15>)로서 출력된다. 게이트 로우 전압(VGL)의 8번째, 9번째, 14번째 및 15번째 제1 게이트신호(SCAN1<8>, SCAN1<9>, SCAN1<14>, SCAN1<15>)가 공급되는 표시라인들은 휴지 구동되는 표시라인들이다.

[0139] 도 20은 제2 게이트신호를 생성하는 제2 게이트 구동부의 구성을 보여주는 도면이다.

[0140] 도 20을 참조하면, 본 발명의 일 실시예에 따른 제2 게이트 구동부(15B)는 서로 종속적으로 접속된 다수의 스테이지들(SC2-STG1 ~ SC2-STG12)을 구비한다.

[0141] 스테이지들(SC2-STG1 ~ SC2-STG12)은 타이밍 제어부(21)로부터 입력되는 제2 게이트 쉬프트 클럭군(G2CLK1 ~ G2CLK4)에 따라 제2 게이트 스타트 펄스(G2Vst)를 순차적으로 쉬프트시켜 제2 출력신호들(X1~X12)을 생성한다. 제2 게이트 쉬프트 클럭군(G2CLK1 ~ G2CLK4)은 고속 구동시 충분한 충전시간 확보를 위해 4상 이상의 게이트 쉬프트 클럭들로 구현됨이 바람직하다.

[0142] 스테이지들(SC2-STG1 ~ SC2-STG12) 중에서, 제1 스테이지(SC2-STG1)는 타이밍 제어부(21)로부터 입력되는 제2 게이트 스타트 펄스(G2Vst)에 따라 동작이 활성화되고, 나머지 스테이지들(SC2-STG2 ~ SC2-STG12)은 앞단 스테이지의 제2 출력신호들(X1~X11)에 따라 동작이 활성화된다. 이를 위해, 제1 스테이지(SC2-STG1)의 스타트 단자는 제2 게이트 스타트 펄스(G2Vst)의 입력 라인에 연결된다. 그리고, 나머지 스테이지들(SC2-STG2 ~ SC2-STG12)의 스타트 단자들은 앞단 스테이지들(SC2-STG1 ~ SC2-STG11)의 제1 출력 노드(N01)에 연결된다. 제2 출력신호들(X1~X11)은 나머지 스테이지들(SC2-STG2 ~ SC2-STG12)의 동작을 활성화하는 캐리 신호가 된다.

[0143] 제2 게이트신호(SCAN2<1> ~ SCAN2<12>)가 공급될 제2 게이트라인들과 스테이지들(SC2-STG1 ~ SC2-STG12) 사이에는 각각 제1 출력 제어 스위치(OS1)와 제2 출력 제어 스위치(OS2)가 접속된다.

[0144] 제1 출력 제어 스위치(OS1)의 일단은 제2 출력신호(X1~X12)가 공급되는 제1 출력 노드(N01)에 연결되고, 제1 출력 제어 스위치(OS1)의 타단은 제2 출력 노드(N02)를 통해 제2 게이트라인에 연결된다. 제1 출력 제어 스위치(OS1)는 타이밍 제어부(21)로부터 입력되는 제1 선택신호(SEL)에 따라 온/오프 된다. 제1 출력 제어 스위치(OS1)가 온 되면, 제1 출력 노드(N01)와 제2 출력 노드(N02)가 전기적으로 연결되고, 제1 출력 노드(N01)에 공급된 제2 출력신호(X1~X12)가 제2 출력 노드(N02)로 전달된다. 반면, 제1 출력 제어 스위치(OS1)가 오프 되면, 제1 출력 노드(N01)와 제2 출력 노드(N02)는 전기적으로 차단되고, 제1 출력 노드(N01)에 공급된 제2 출력신호(X1~X12)는 제2 출력 노드(N02)로 전달되지 않는다.

- [0145] 제2 출력 제어 스위치(OS2)의 일단은 제2 출력 노드(N02)에 연결되고, 제2 출력 노드(N02)의 타단은 게이트 로우 전압(VGL)의 입력단에 연결된다. 제2 출력 제어 스위치(OS2)는 타이밍 제어부(21)로부터 입력되는 제2 선택 신호(SEL)에 따라 온/오프 된다. 제2 선택신호(SEL)는 제1 선택신호(SEL)와 위상이 반대된다. 제2 출력 제어 스위치(OS2)는, 제1 출력 제어 스위치(OS1)가 온 되는 동안에 오프 되고, 제1 출력 제어 스위치(OS1)가 오프 되는 동안에 온 된다. 제1 출력 제어 스위치(OS1)가 온 되고 제2 출력 제어 스위치(OS2)가 오프 되면, 스테이지(SC2-STG1 ~ SC2-STG12)에서 출력되는 제2 출력신호(X1~X12)가 제1 및 제2 출력 노드(N01,N02)를 통해 제2 게이트라인에 제2 게이트신호(SCAN2<1> ~ SCAN2<12>)로서 공급된다. 반면, 제1 출력 제어 스위치(OS1)가 오프 되고 제2 출력 제어 스위치(OS2)가 온 되면, 스테이지(SC2-STG1 ~ SC2-STG12)에서 출력되는 제2 출력신호(X1~X12)는 차단되고, 게이트 로우 전압(VGL)이 제2 출력 노드(N)2)를 통해 제2 게이트라인에 제2 게이트신호(SCAN2<1> ~ SCAN2<12>)로서 공급된다.
- [0146] 게이트 하이 전압(VGH)의 제2 출력신호(X1~X12)가 제2 게이트신호(SCAN2<1> ~ SCAN2<12>)로서 공급되는 제2 게이트라인은 디스플레이 구동되는 표시라인에 위치하거나 또는, 센싱 구동되는 표시라인에 위치할 수 있다. 반면, 게이트 로우 전압(VGL)이 제2 게이트신호(SCAN2<1> ~ SCAN2<12>)로서 공급되는 제2 게이트라인은 휴지 구동되는 표시라인에 위치할 수 있다.
- [0147] 도 21은 도 20에 도시된 제2 게이트 구동부의 구동을 설명하기 위한 일 예시 파형도이다. 그리고, 도 22는 도 20에 도시된 제2 게이트 구동부의 구동을 설명하기 위한 다른 예시 파형도이다.
- [0148] 도 20 내지 도 22를 참조하면, 제2 게이트 쉬프트 클럭군(G2CLK1 ~ G2CLK4)의 펄스폭과 제1 및 제2 선택 신호(SEL,SELB)의 온/오프 타이밍은 해당 프레임에서 미리 설정된 센싱 대상 표시라인의 위치에 따라 결정된다. 타이밍 제어부(21)는 미리 설정된 센싱 프로그램에 따라 해당 프레임에서 센싱 대상 표시라인의 위치를 미리 알 수 있다. 타이밍 제어부(21)는 센싱 프로그램을 미리 내장할 수도 있고, 호스트 시스템(40)으로부터 입력 받을 수도 있다. 타이밍 제어부(21)는 센싱 대상 표시라인의 위치에 대응하여 제2 게이트 쉬프트 클럭군(G2CLK1 ~ G2CLK4)의 펄스폭과 제1 및 제2 선택 신호(SEL,SELB)의 온/오프 타이밍을 조절하여 센싱 타임을 조절할 수 있다.
- [0149] 센싱 대상 표시라인에 입력될 제2 게이트신호가 j번째 제2 게이트신호라고 가정할때, 타이밍 제어부(21)는 충분한 센싱 타임 확보를 위해 j번째 클럭의 펄스폭(CKW)을 다른 클럭들의 펄스폭보다 넓히고, j번째 클럭의 라이징 타임부터 j+1번째 클럭의 라이징 타임까지 제1 선택 신호(SEL)의 온 구간(SEW)을 설정하고, 제1 선택 신호(SEL)의 온 구간(SEW)을 전후로 하여 적어도 1 클럭 이상만큼 제1 선택 신호(SEL)의 오프 구간(XX1,XX2)을 설정한다. 그리고, 타이밍 제어부(21)는 제2 선택 신호(SELB)를 제1 선택 신호(SEL)와 반대 위상으로 설정할 수 있다. 하지만 이에 제한하지 않으며, 제2 게이트신호의 안정적인 출력을 위해 일부 구간에서는 제1 선택 신호(SEL)와 제2 선택 신호(SELB)가 동시에 오프되는 구간이 있을 수 있다.
- [0150] 여기서, 해당 프레임에서 미리 설정된 센싱 대상 표시라인은 도 21과 같이 1개일 수도 있고, 도 22와 같이 복수개일 수도 있다. 도 22에는 해당 프레임에서 복수개씩 설정된 센싱 대상 표시라인들이 서로 이웃하게 배치된 것만 기재되어 있으나, 본 발명의 기술적 사상은 이에 한정되지 않는다. 해당 프레임에서 복수개씩 설정된 센싱 대상 표시라인들은 적어도 일부가 이격되게 배치될 수도 있다. 한편, 1 프레임 내에 센싱되도록 설정된 센싱 대상 표시라인의 개수와, 서로 다른 클럭 배선을 통해 입력되는 게이트 쉬프트 클럭의 개수는 무관한다.
- [0151] 타이밍 제어부(21)는 다양한 방법을 통해 센싱 대상 표시라인의 위치에 따라 제2 게이트 쉬프트 클럭군(G2CLK1 ~ G2CLK4)의 펄스 간격과 제1 및 제2 선택 신호(SEL,SELB)의 온/오프 타이밍을 조절할 수 있다.
- [0152] 일 예로서, 도 21과 같이 센싱 대상 표시라인에 입력될 제2 게이트신호가 10번째 제2 게이트신호(SCAN2<10>)로 설정된 경우, 일 방법으로서, 타이밍 제어부(21)는 센싱 기간에 대응되도록 10번째 클럭의 펄스폭(CKW)을 다른 클럭들의 펄스폭보다 넓히고, 이어서 10번째 클럭의 라이징 타임부터 11번째 클럭의 라이징 타임까지 제1 선택 신호(SEL)의 온 구간(SEW)을 설정하고, 이어서 제1 선택 신호(SEL)의 온 구간(SEW)을 전후로 하여 적어도 1 클럭 이상만큼 제1 선택 신호(SEL)의 오프 구간(XX1,XX2)을 설정할 수 있다. 다른 방법으로서, 타이밍 제어부(21)는 센싱 대상 표시라인에 대한 센싱 기간에 대응되도록 기 설정된 제1 선택 신호(SEL)의 온 구간(SEW) 및 오프 구간(XX1,XX2)을 기초로 하여, 상기 센싱 기간에 대응되는 클럭의 펄스폭, 예컨대 10번째 클럭과 11번째 클럭의 펄스폭(CKW)을 다른 클럭들의 펄스폭보다 넓힐 수 있다.
- [0153] 타이밍 제어부(21)는 제2 선택 신호(SELB)를 제1 선택 신호(SEL)와 반대 위상으로 설정할 수 있다. 하지만 이에 제한하지 않으며, 제2 게이트신호(SCAN2<10>)의 안정적인 출력을 위해 일부 구간에서는 제1 선택 신호(SEL)와

제2 선택 신호(SELB)가 동시에 오프되는 구간이 있을 수 있다.

[0154] 도 21에서, 제2 게이트 구동부(15B)는 제2 게이트 쉬프트 클럭군(G2CLK1 ~ G2CLK4)에 따라 제2 출력신호들(X1~X12)을 생성한다. 제2 출력신호들(X1~X12) 중에서, 제1 선택 신호(SEL)의 온 구간 즉, 제2 선택 신호(SELB)의 오프 구간에 대응되는 X1~X7, X10 및 X12는 각각 게이트 하이 전압(VGH)의 제2 게이트신호(SCAN2<1> ~ SCAN2<7>, SCAN2<10>, SCAN2<12>)로서 출력된다. 여기서, 게이트 하이 전압(VGH)의 1번째 내지 7번째 제2 게이트신호(SCAN2<1> ~ SCAN2<7>)와, 게이트 하이 전압(VGH)의 12번째 제2 게이트신호(SCAN2<12>)가 공급되는 표시라인들은 디스플레이 구동되는 표시라인들이고, 게이트 하이 전압(VGH)의 10번째 제2 게이트신호(SCAN2<10>)가 공급되는 표시라인은 센싱 구동되는 표시라인이다.

[0155] 한편, 제2 출력신호들(X1~X12) 중에서, 제1 선택 신호(SEL)의 오프 구간(XX1,XX2) 즉, 제2 선택 신호(SELB)의 온 구간(XX1,XX2)에 대응되는 X8, X9 및 X11은 그 출력이 차단되고, 그 대신에 게이트 로우 전압(VGL)이 8번째, 9번째 및 11번째 제2 게이트신호(SCAN2<8>, SCAN2<9>,SCAN2<11>)로서 출력된다. 8번째, 9번째 및 11번째 제2 게이트신호(SCAN2<8>, SCAN2<9>, SCAN2<11>)가 공급되는 표시라인들은 휴지 구동되는 표시라인들이다.

[0156] 다른 예로서, 도 22와 같이 센싱 대상 표시라인에 입력될 제2 게이트신호가 10번째 내지 13번째 제2 게이트신호(SCAN2<10> ~ SCAN2<13>)로 설정된 경우, 타이밍 제어부(21)는센싱 기간에 대응되도록, 10번째 클럭 내지 13번째 클럭 각각의 펄스폭(CKW)을 다른 클럭들의 펄스폭보다 넓히고, 이어서 10번째 클럭의 라이징 타임부터 14번째 클럭의 라이징 타임까지 제1 선택 신호(SEL)의 온 구간(SEW)을 설정하고, 이어서 제1 선택 신호(SEL)의 온 구간(SEW)을 전후로 하여 적어도 1 클럭 이상만큼 제1 선택 신호(SEL)의 오프 구간(XX1,XX2)을 설정할 수 있다. 다른 방법으로서, 타이밍 제어부(21)는 센싱 대상 표시라인에 대한 센싱 기간에 대응되도록 기 설정된 제1 선택 신호(SEL)의 온 구간(SEW) 및 오프 구간(XX1,XX2)을 기초로 하여, 상기 센싱 기간에 대응되는 클럭의 펄스폭, 예컨대 10번째 클럭 내지 13번째 클럭 각각의 펄스폭(CKW)을 다른 클럭들의 펄스폭보다 넓힐 수 있다.

[0157] 타이밍 제어부(21)는 제2 선택 신호(SELB)를 제1 선택 신호(SEL)와 반대 위상으로 설정할 수 있다. 하지만 이에 제한하지 않으며, 제2 게이트신호(SCAN2<10> ~ SCAN2<13>)의 안정적인 출력을 위해 일부 구간에서는 제1 선택 신호(SEL)와 제2 선택 신호(SELB)가 동시에 오프되는 구간이 있을 수 있다.

[0158] 도 22에서, 제2 게이트 구동부(15B)는 제2 게이트 쉬프트 클럭군(G2CLK1 ~ G2CLK4)에 따라 제2 출력신호들(X1~X15)을 생성한다. 제2 출력신호들(X1~X15) 중에서, 제1 선택 신호(SEL)의 온 구간 즉, 제2 선택 신호(SELB)의 오프 구간에 대응되는 X1~X7, 및 X10~ X13는 각각 게이트 하이 전압(VGH)의 제2 게이트신호(SCAN2<1> ~ SCAN2<7>, SCAN2<10> ~ SCAN2<13>)로서 출력된다. 여기서, 게이트 하이 전압(VGH)의 1번째 내지 7번째 제2 게이트신호(SCAN2<1> ~ SCAN2<7>)가 공급되는 표시라인들은 디스플레이 구동되는 표시라인들이고, 게이트 하이 전압(VGH)의 10번째 내지 13번째 제2 게이트신호(SCAN2<10> ~ SCAN2<13>)가 공급되는 표시라인은 센싱 구동되는 표시라인이다.

[0159] 한편, 제2 출력신호들(X1~X15) 중에서, 제1 선택 신호(SEL)의 오프 구간(XX1,XX2) 즉, 제2 선택 신호(SELB)의 온 구간(XX1,XX2)에 대응되는 X8, X9, X14 및 X15는 그 출력이 차단되고, 그 대신에 게이트 로우 전압(VGL)이 8 번째, 9번째, 14번째 및 15번째 제2 게이트신호(SCAN2<8>, SCAN2<9>, SCAN2<14>, SCAN2<15>)로서 출력된다. 게이트 로우 전압(VGL)의 8번째, 9번째, 14번째 및 15번째 제2 게이트신호(SCAN2<8>, SCAN2<9>, SCAN2<14>, SCAN2<15>)가 공급되는 표시라인들은 휴지 구동되는 표시라인들이다.

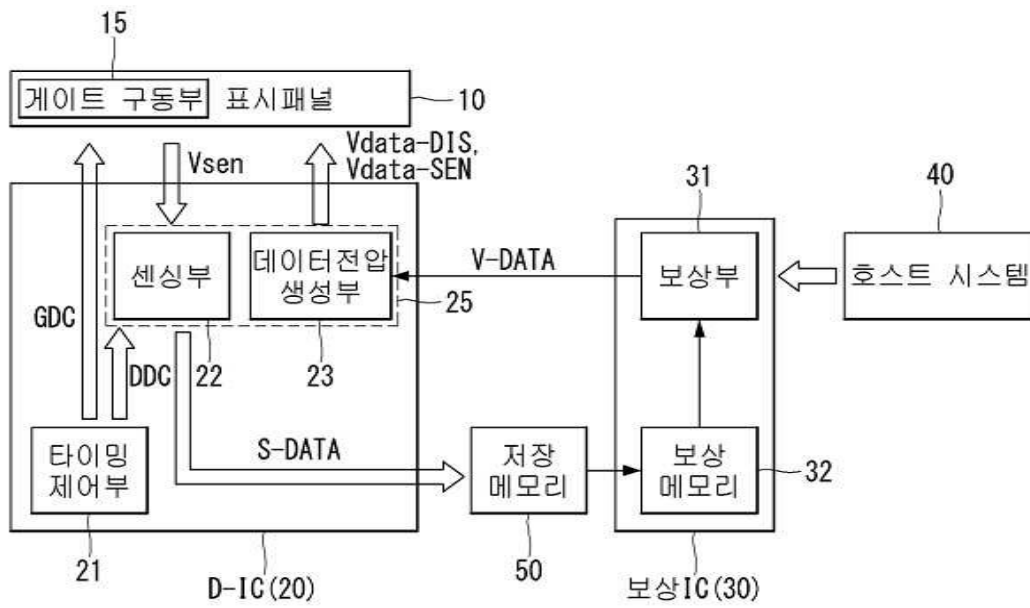
[0160] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정 되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

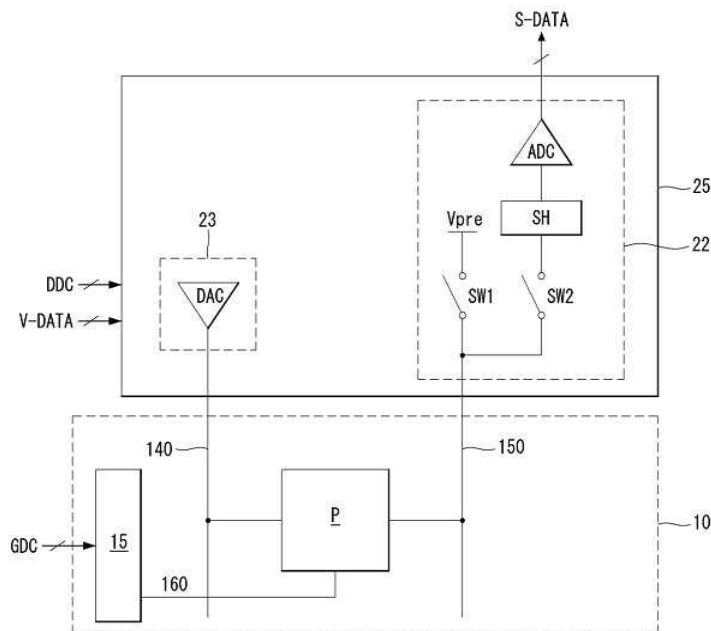
[0161] 10 : 표시패널 20 : 드라이버 IC
15 : 게이트 구동부 21: 타이밍 제어부
22 : 센싱부 23 : 데이터전압 생성부
30 : 보상 IC 40 : 호스트 시스템
50 : 저장 메모리

도면

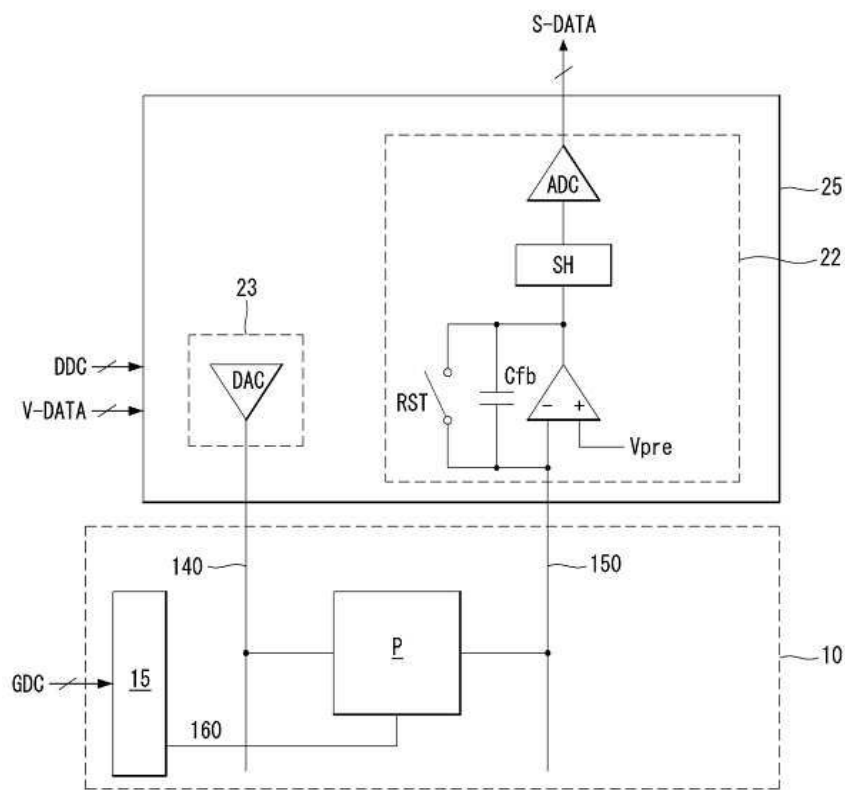
도면1



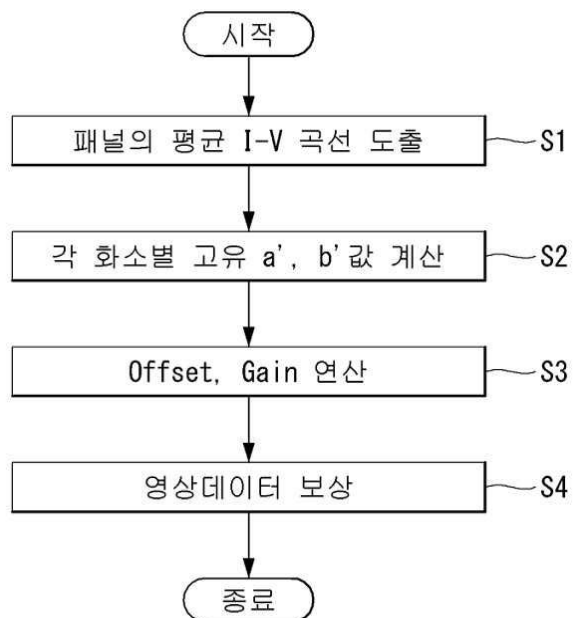
도면2



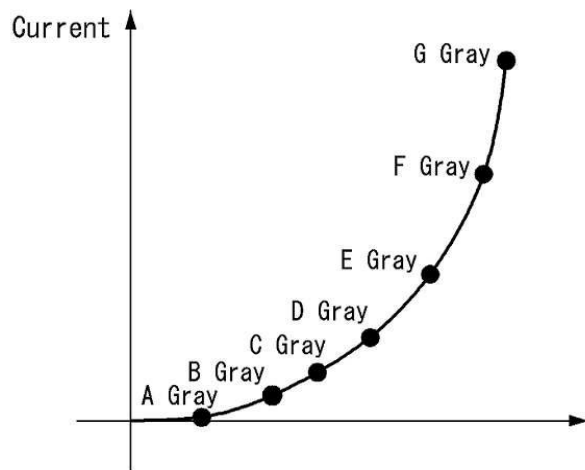
도면3



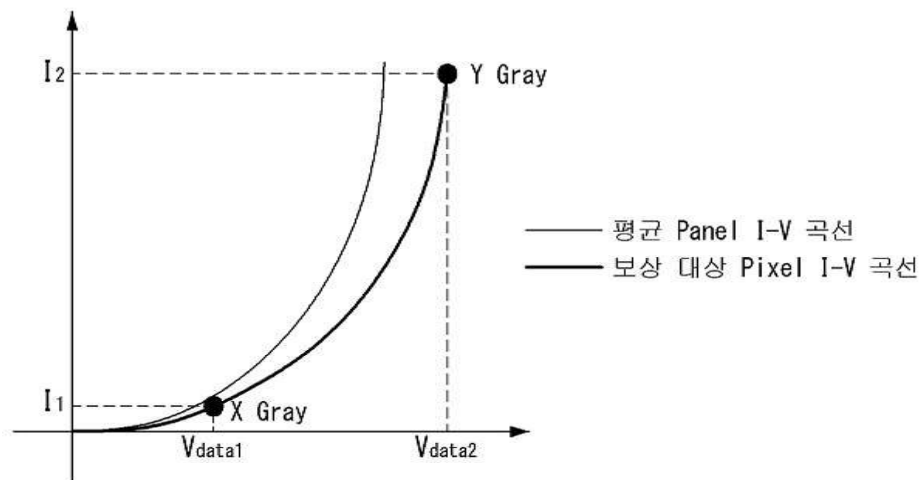
도면4



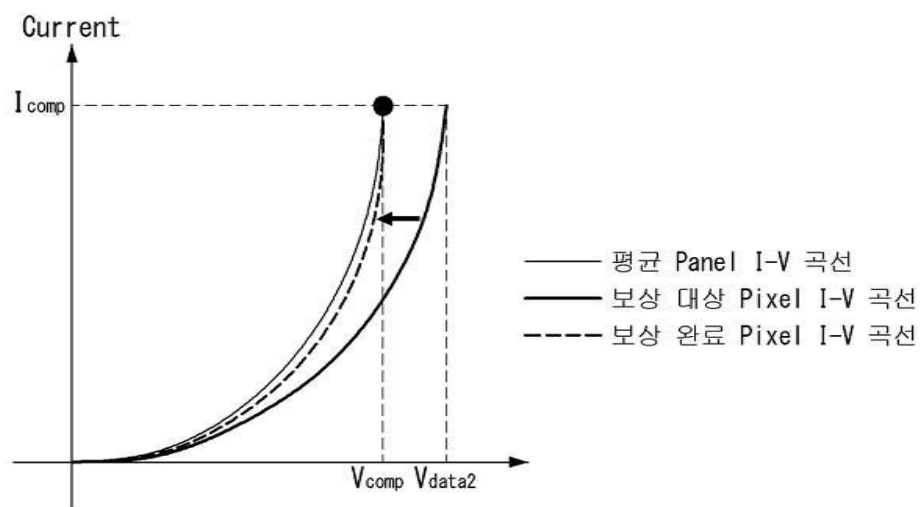
도면5a



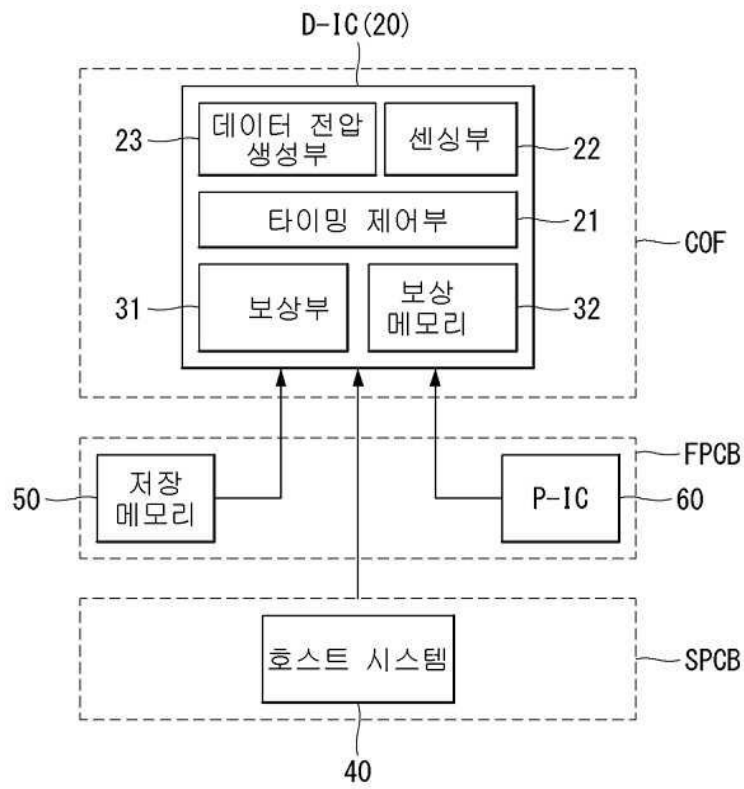
도면5b



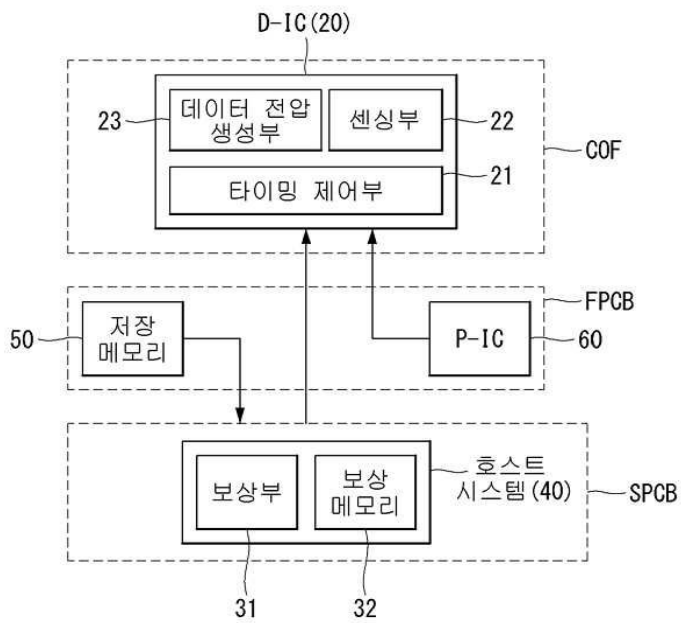
도면5c



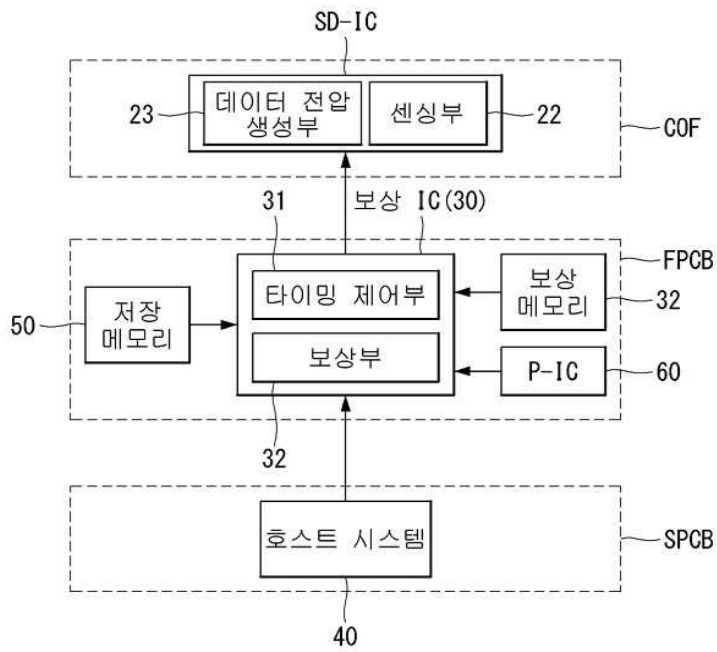
도면6



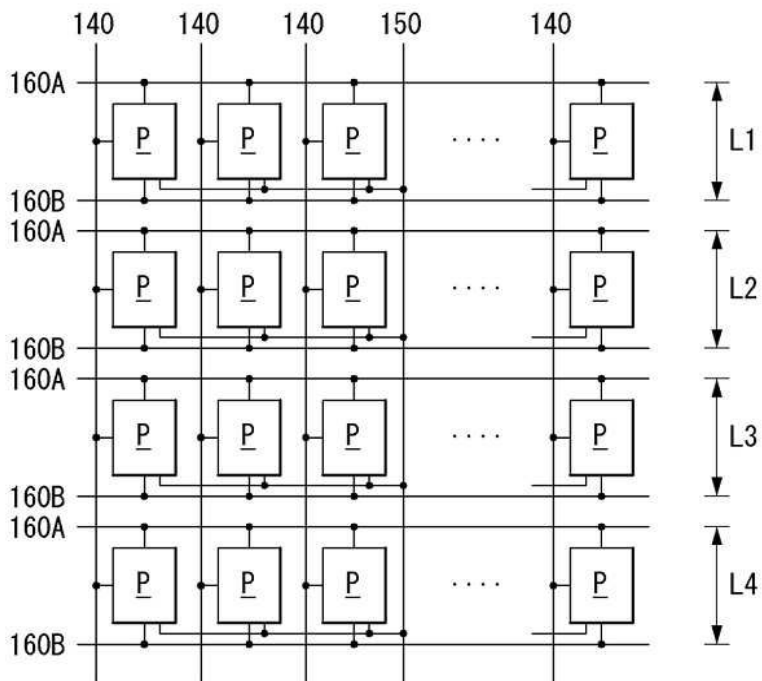
도면7



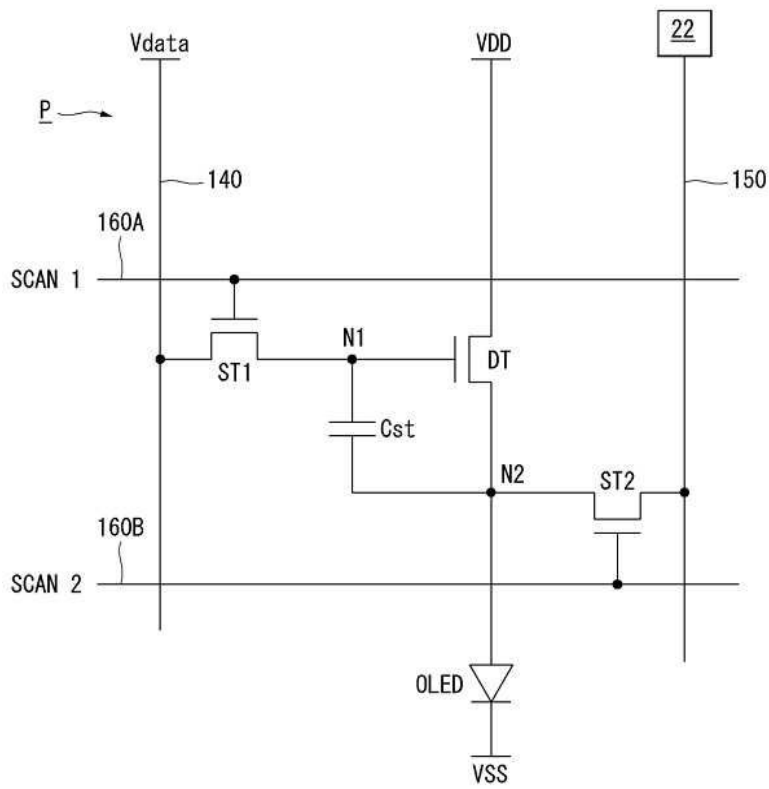
도면8



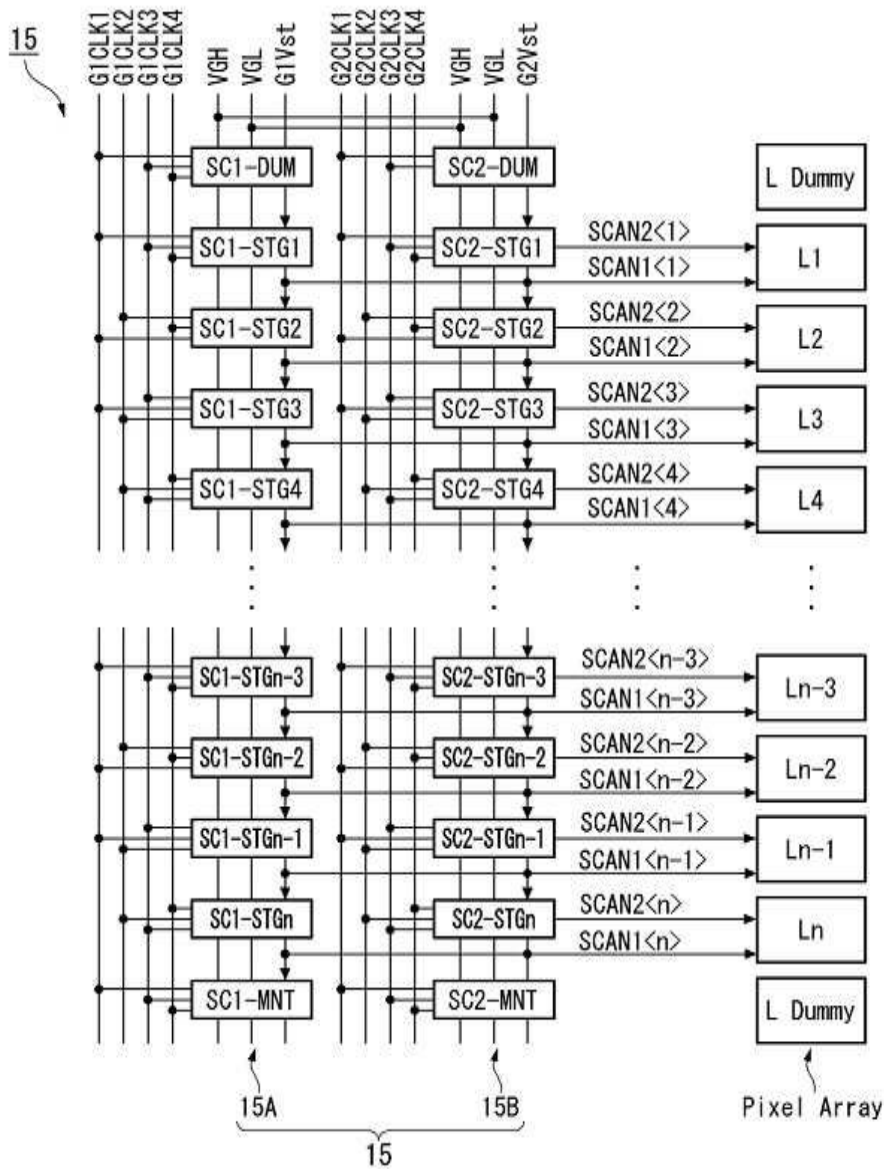
도면9



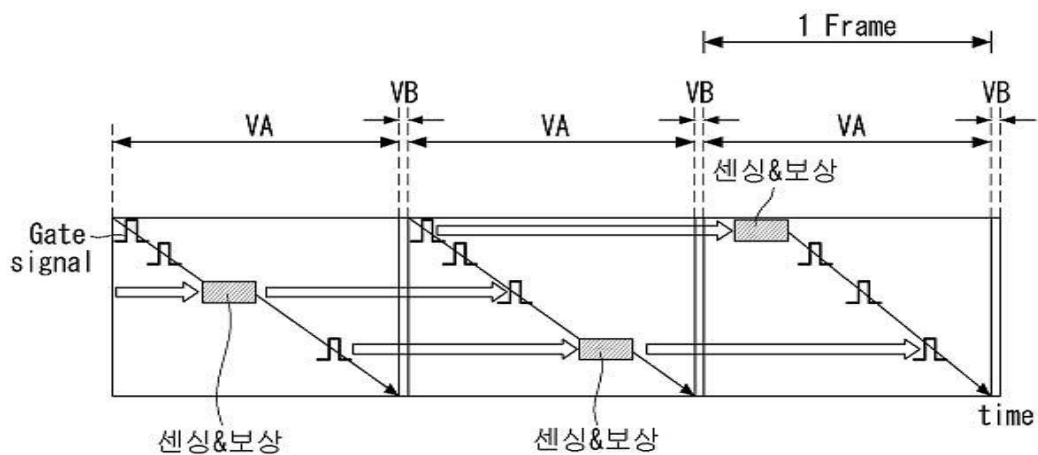
도면10



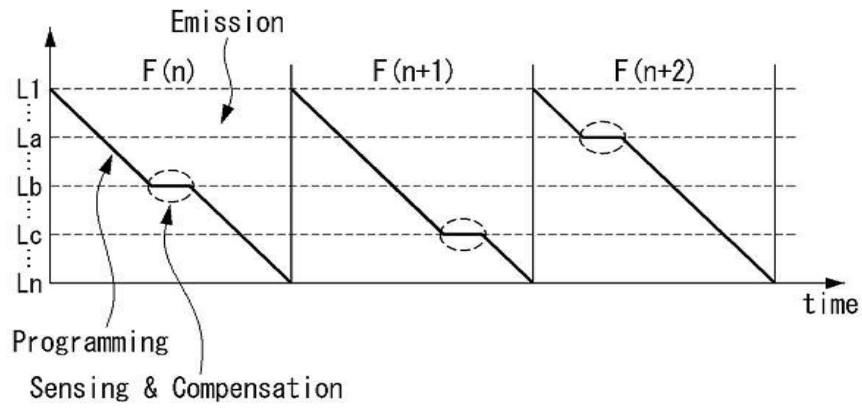
도면11



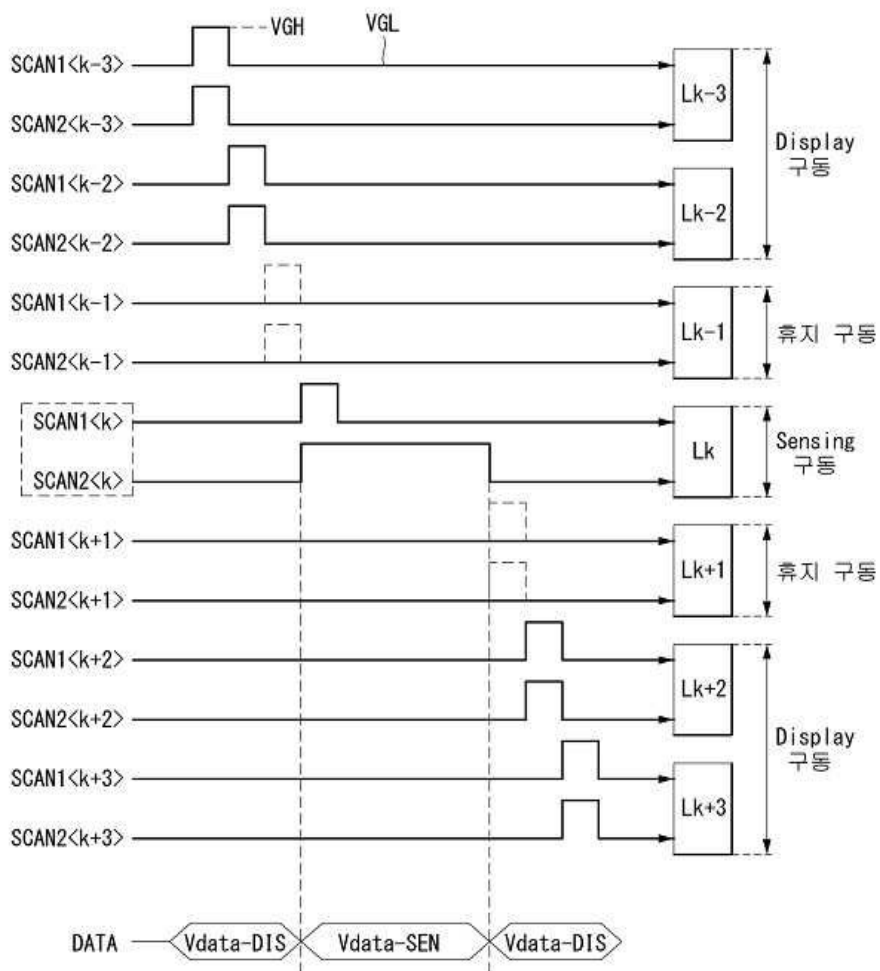
도면12



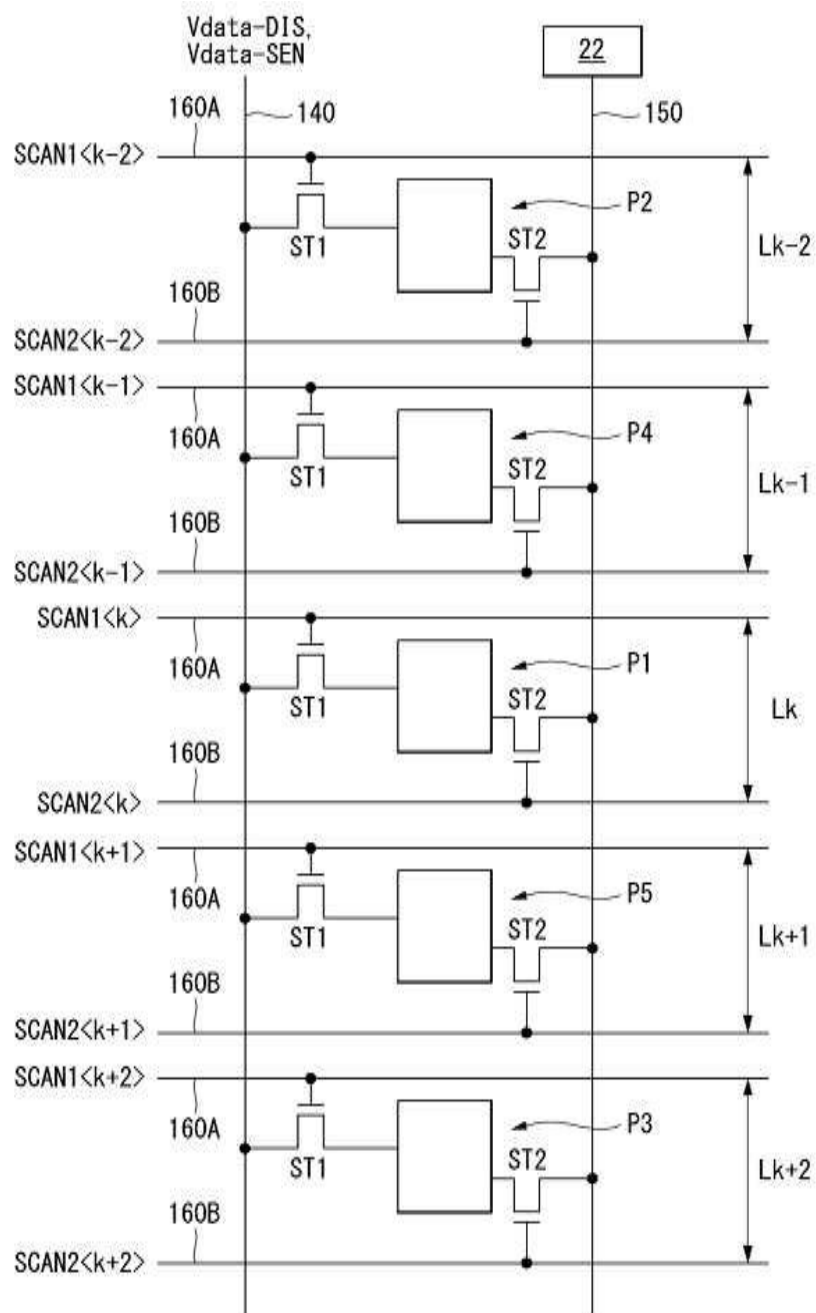
도면13



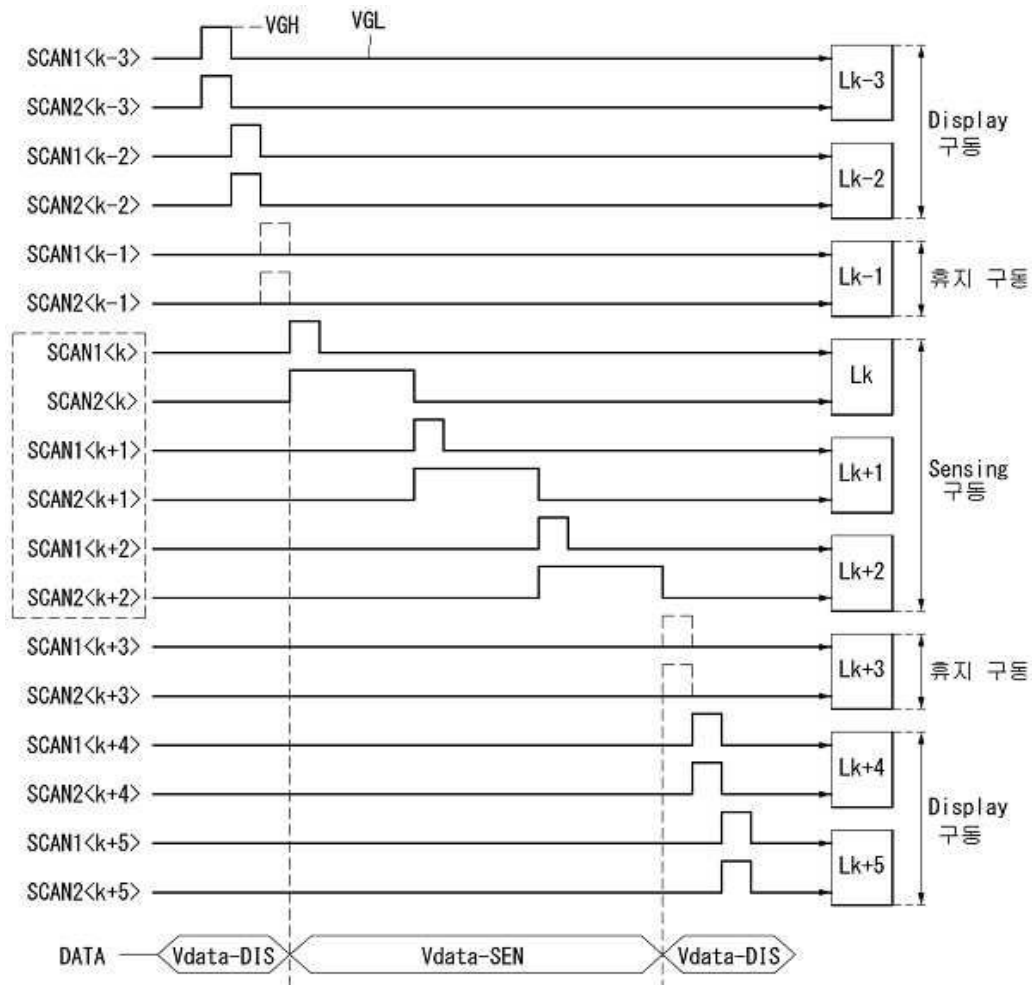
도면14



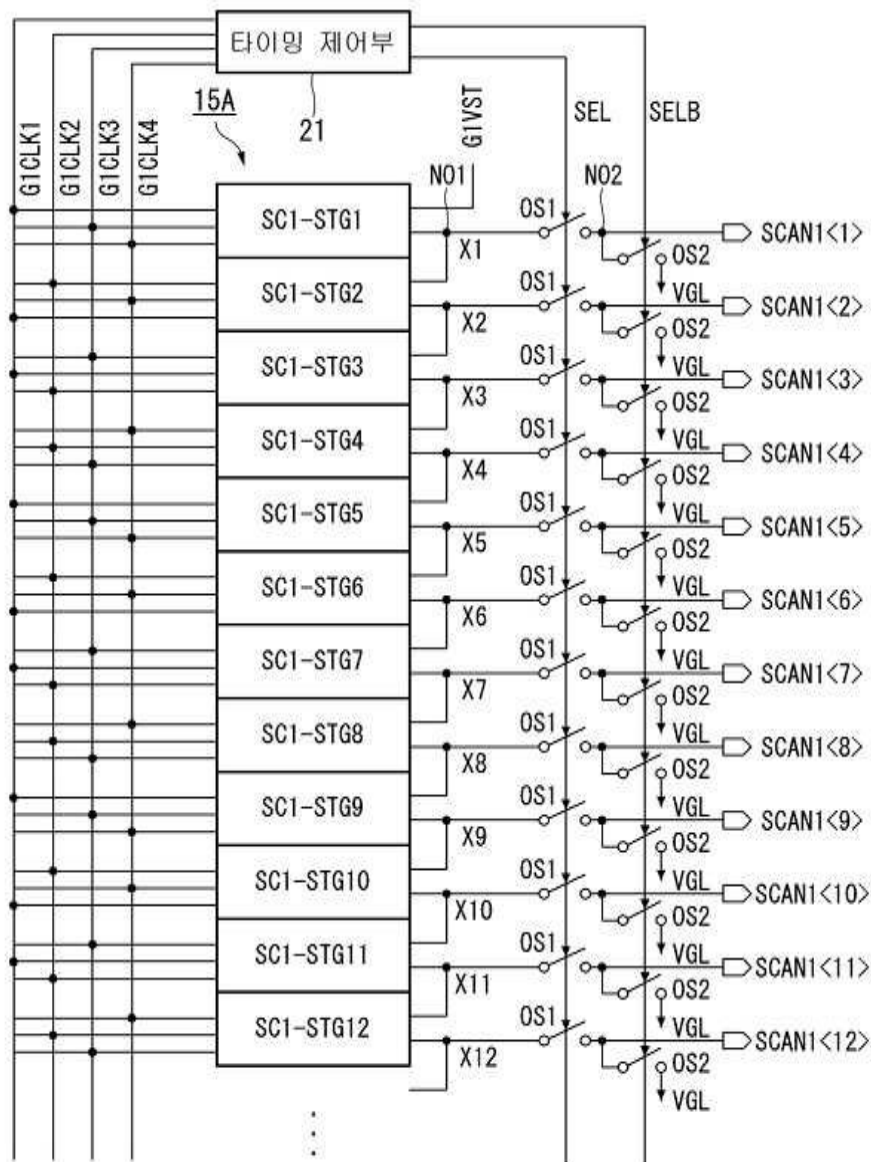
도면15



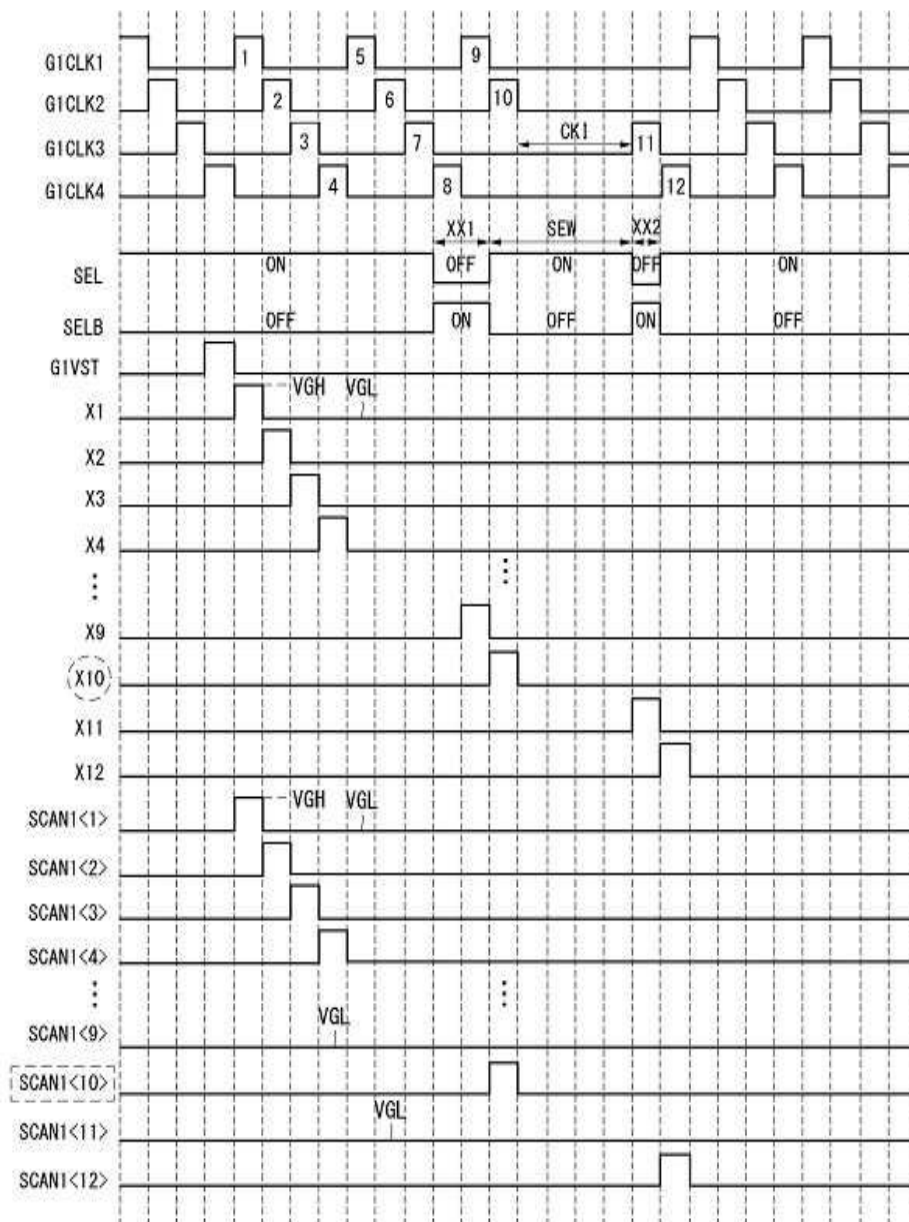
도면16



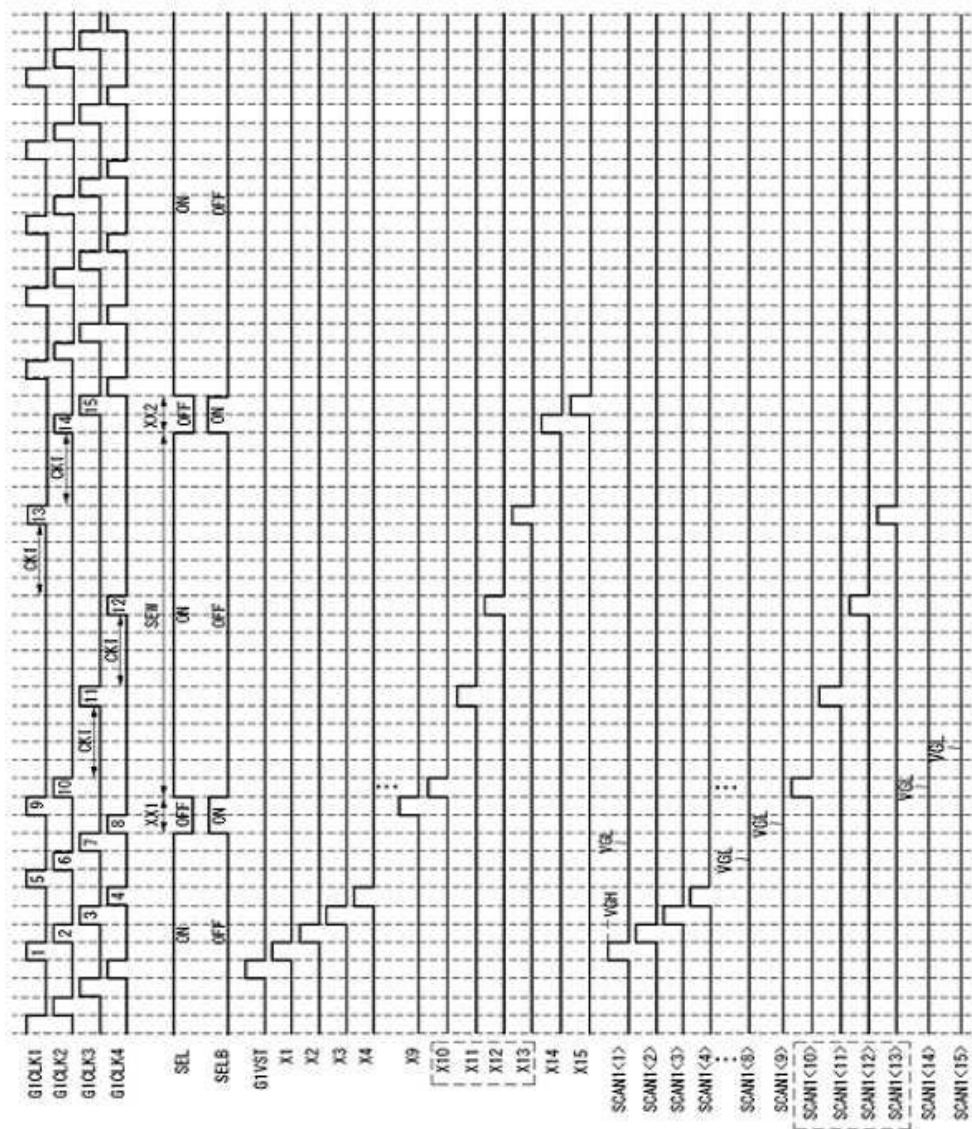
도면17



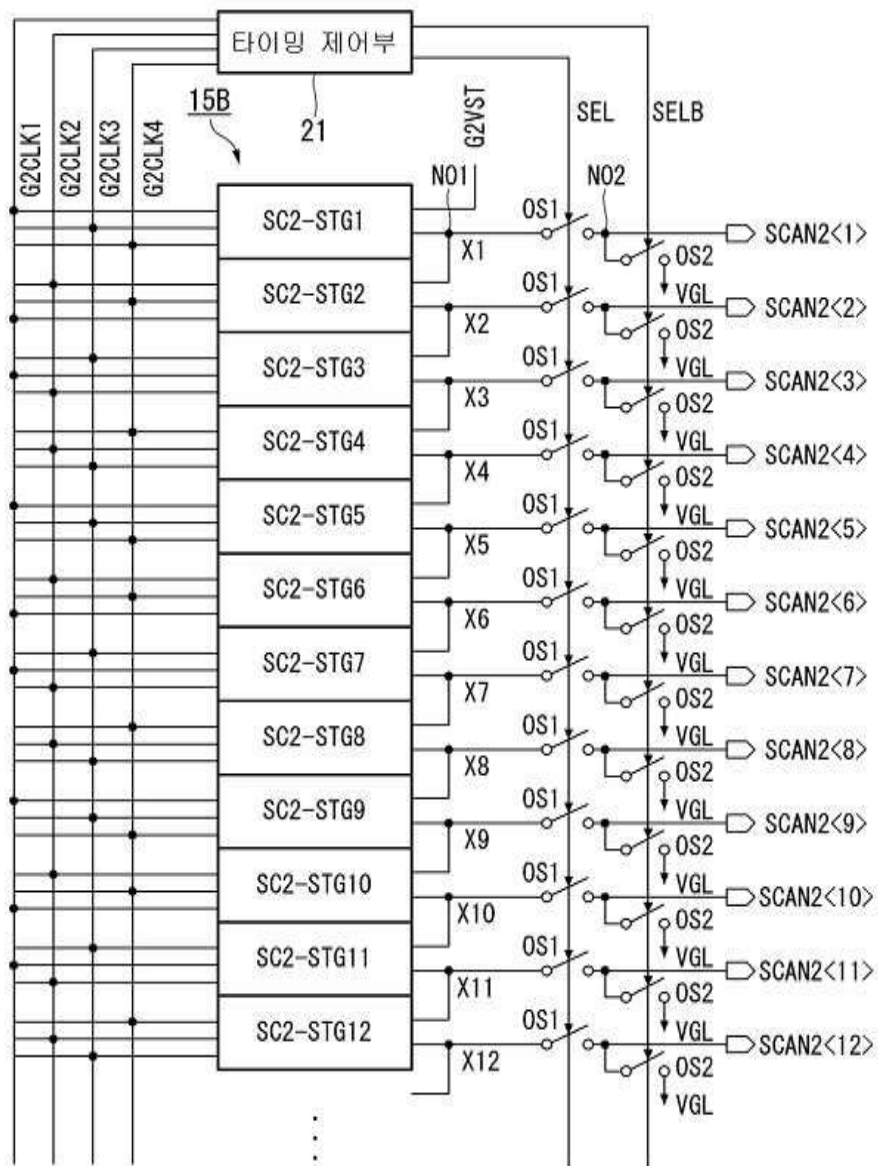
도면18



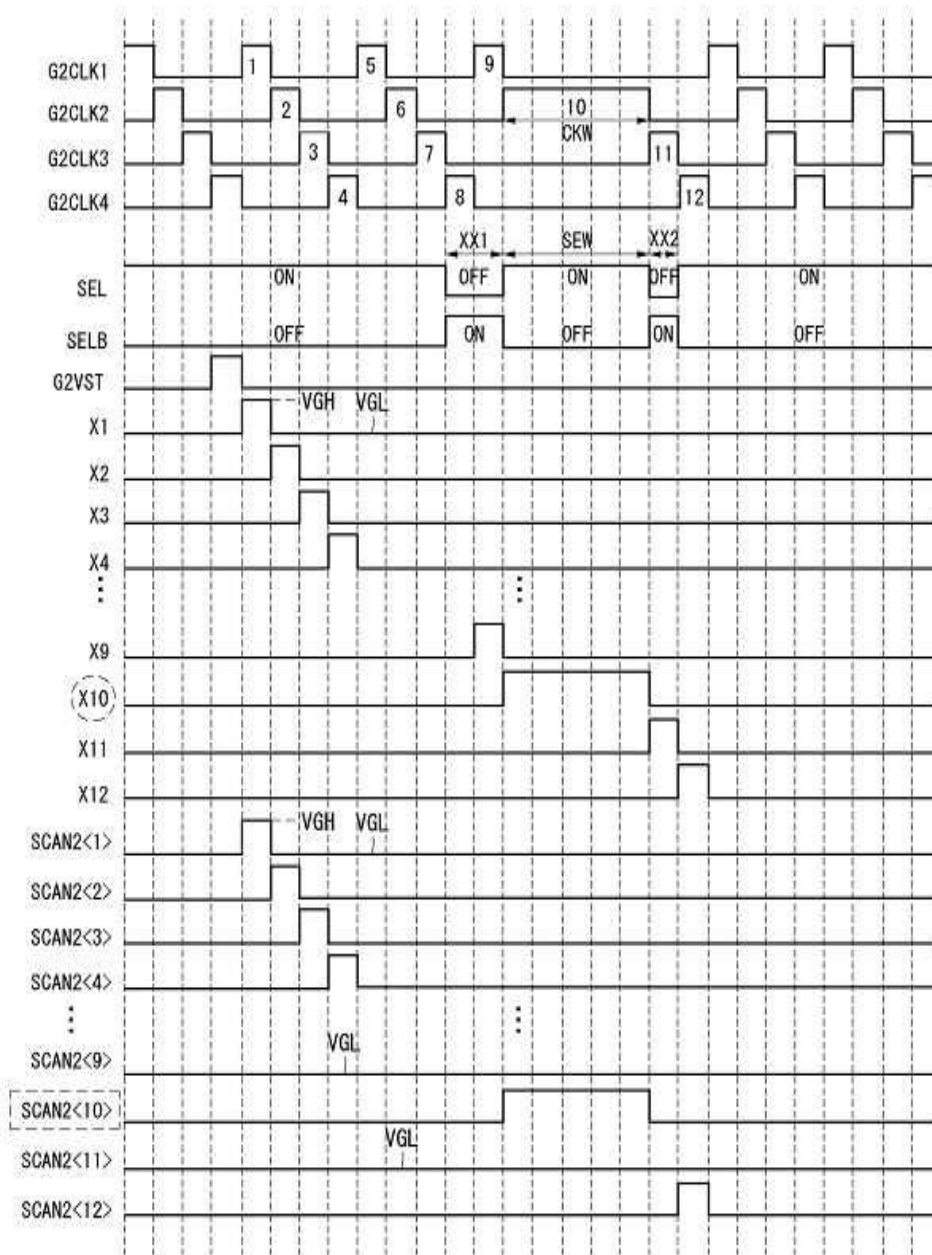
도면19



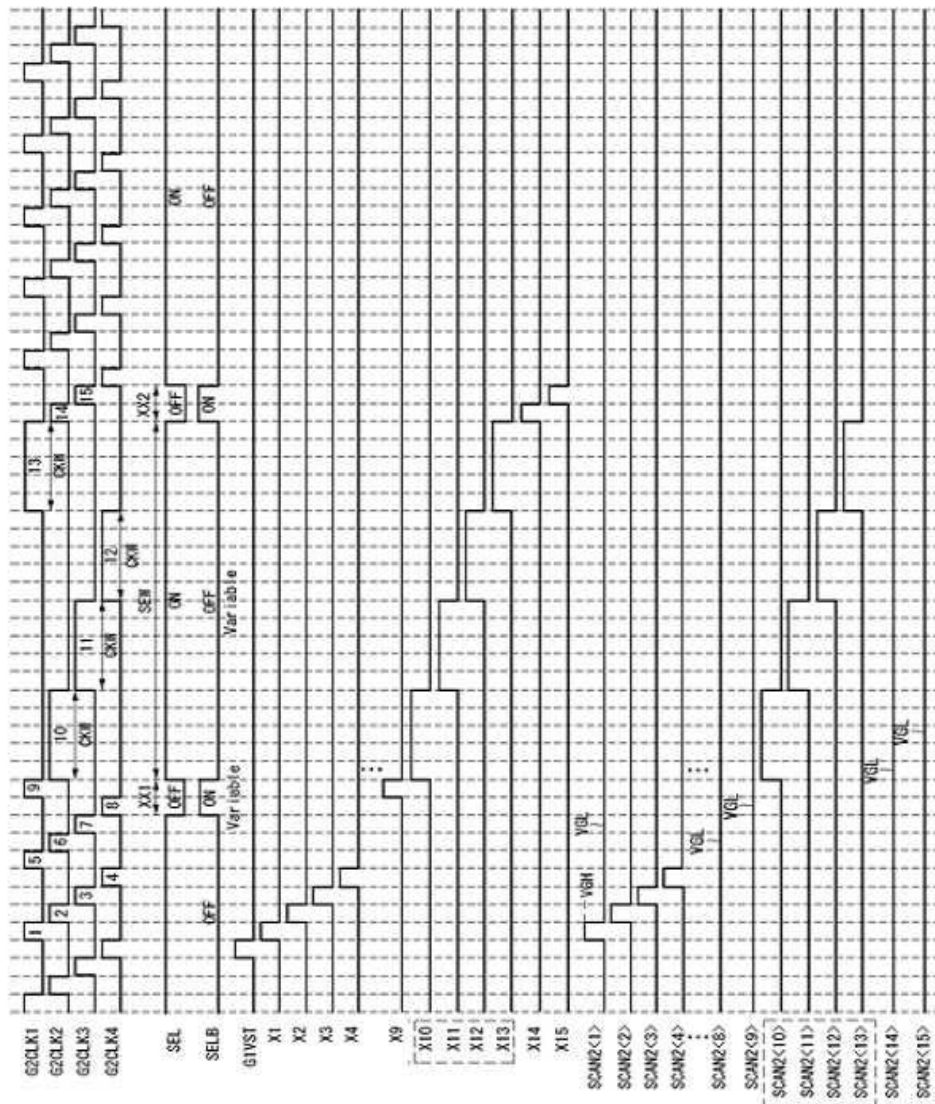
도면20



도면21



도면22



专利名称(译)	实时外部补偿的驱动电路和包括它的电致发光显示装置		
公开(公告)号	KR1020180050083A	公开(公告)日	2018-05-14
申请号	KR1020160146820	申请日	2016-11-04
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM BYUNG IL 김병일 AN CHANG HO 안창호		
发明人	김병일 안창호		
IPC分类号	G09G3/3266		
CPC分类号	G09G3/3266 G09G2300/0828 G09G2310/08 G09G2230/00 G09G2300/0842 G09G3/3233 G09G3/3291 G09G2310/0243 G09G2310/0294 G09G2320/0295 G09G2320/0693 G09G3/14 G09G3/2018 G09G3/3258 G09G2300/0426 H01L27/3258 H01L27/3262 H01L51/5012 H01L51/5068 H01L51/5072		
外部链接	Espacenet		

摘要(译)

根据本发明的实时外部补偿驱动电路包括：定时控制单元，用于产生栅极移位时钟组，栅极起始脉冲，以及第一选择信号和第二选择信号；以及栅极驱动器，用于在时序控制器的控制下产生栅极信号并将栅极信号提供给显示板。这里，栅极驱动器可以包括：多个级，用于根据栅极移位时钟组移位栅极起始脉冲，以产生输出信号并将输出信号提供给第一输出节点；第一输出控制开关，连接在连接到显示面板的栅极线的第二输出节点和第一输出节点之间，并根据第一选择信号导通，以将第一输出节点连接到栅极线；第二输出控制开关连接在第二输出节点和栅极低电压的输入端之间，并根据第二选择信号导通，以将栅极低电压的输入端连接到栅极线。

