



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0082738
(43) 공개일자 2016년07월11일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(21) 출원번호 10-2014-0191711

(22) 출원일자 2014년12월29일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

윤순일

경기도 파주시 쇠재로 30 711동 504호 (금촌동, 서원마을아파트)

이경수

서울특별시 강서구 공항대로39길 74 506동 705호 (등촌동, 주공아파트)

(74) 대리인

김은구, 송해모

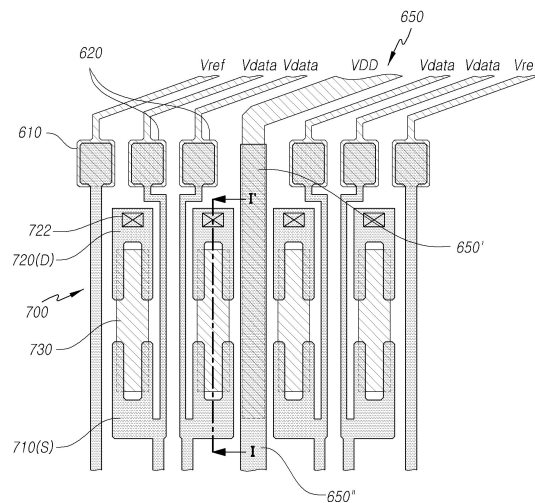
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 유기발광 표시장치

(57) 요약

본 발명은 유기발광 표시장치에 관한 것으로, OLED 표시패널의 소스 패드측(S-Pad) 또는 비패드측(X-Pad) 비표시 영역에 형성되는 정전기 방출(ESD) 트랜지스터의 드레인 전극이 드레인 컨택홀에 의해 캐소드 전극층에 전기적으로 연결됨으로써, ESD 트랜지스터 영역에 별도의 기저전압(VSS) 배선을 형성하지 않을 수 있으며, 따라서 ESD 트랜지스터 영역에서 기저전압 배선과 구동전압 배선의 오버랩으로 인한 쇼트 또는 번트(Burnt) 발생을 방지하고, 구동전압(VDD) 배선의 폭을 증가시켜 설계상의 편의성 및 저항 감소에 따른 소비전력 절감 효과를 제공할 수 있다.

대표도 - 도6



명세서

청구범위

청구항 1

구동트랜지스터의 드레인 전극에 연결되는 애노드 전극층과, 기저전압(VSS)이 인가되는 캐소드 전극층 및 양 전극층 사이에 배치되는 유기발광층을 포함하는 표시패널의 비표시 영역에 배치되는 정전기 방출(ESD) 트랜지스터를 포함하는 유기발광 표시장치로서,

상기 정전기 방출 트랜지스터는 1 이상의 데이터 패드 또는 데이터 라인의 단부와 전기적으로 연결되는 소스 전극; 및,

상기 캐소드 전극층과 전기적으로 연결되는 드레인 전극;

을 포함하는 유기발광 표시장치.

청구항 2

제1항에 있어서,

상기 정전기 방출 트랜지스터의 드레인 전극은 상기 드레인 전극 상부에 배치되는 드레인 콘택홀에 의하여 상기 캐소드 전극층과 전기적으로 연결되는 유기발광 표시장치.

청구항 3

제1항에 있어서,

상기 정전기 방출 트랜지스터는 상기 유기발광 표시장치의 소스 패드층(S-Pad)에 배치되며, 상기 정전기 방출 트랜지스터의 소스 전극은 소스 콘택홀을 통해서 게이트 레이어로 제공된 상기 데이터 패드와 전기적으로 연결되는 유기발광 표시장치.

청구항 4

제2항에 있어서,

상기 드레인 콘택홀은 소스/드레인 레이어 상에 증착되는 패시베이션층(Passivation layer), 오버코터(OC)층, बैं크층 중 1 이상을 관통하여 제공되는 유기발광 표시장치.

청구항 5

제3항에 있어서,

상기 드레인 전극은 상기 소스 전극보다 상기 데이터 패드에 가깝도록 배치되는 유기발광 표시장치.

청구항 6

제1항에 있어서,

상기 정전기 방출 트랜지스터의 드레인 전극은 별도의 기저전압 배선에 연결되지 않고 상기 캐소드 전극층과의 연결을 통해 기저전압을 인가받는 유기발광 표시장치.

청구항 7

제1항에 있어서,

상기 정전기 방출 트랜지스터는 상기 유기발광 표시장치의 비 패드층(X-Pad)에 배치되며, 상기 정전기 방출 트랜지스터의 소스 전극은 소스/드레인 레이어에 제공되는 상기 데이터 라인의 단부와 일체로 연장되는 유기발광 표시장치.

청구항 8

제1항에 있어서,

상기 유기발광 표시장치는 상기 정전기 방출 트랜지스터 영역에서 상기 상기 정전기 방출 트랜지스터의 드레인 전극과 연결되기 위하여 수평방향으로 연장되는 기저전압 배선 패턴을 포함하지 않는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 정전기 방전 소자를 포함하는 유기발광 표시패널 또는 유기전계 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기발광표시장치(OLED: Organic Light Emitting Display Device) 등과 같은 다양한 표시장치가 활용되고 있다. 이러한 다양한 표시장치에는, 그에 적합한 표시패널이 포함된다.

[0003] 이러한 표시장치에 포함되는 표시패널은 하나의 기관에서 만들어지는 여러 개의 표시패널 중 하나일 수 있다. 즉, 여러 공정 절차에 따라, 하나의 기관에서 화소들을 구성하는 소자들, 신호라인, 또는 전원 라인 등이 표시패널 단위 별로 형성될 수 있다. 또한 표시패널은 다수의 박막 트랜지스터와 이들 박막 트랜지스터에 의하여 제어되는 화소 영역을 가지고 있으며, 화소 영역에서 발광하는 소자로 유기발광 소자를 사용하는 OLED 표시패널에는 유기발광 소자를 제어하기 위한 박막 트랜지스터 소자가 각각 연결된다.

[0004] 이러한, 종래 OLED 표시패널의 제조공정이나 시험 과정 등에서 비정상적으로 정전기에 의한 전하가 발생되어 표시패널 내부의 여러 소자에 손상을 일으키는 문제가 있었으며, 이를 위해 정전기 방지 트랜지스터(Electro-Static Discharge Transistor)와 같은 정전기 방지 소자가 사용될 수 있다.

[0005] 이러한, 정전기 방지소자들은 드레인 또는 출력단자가 저전위 전원전압 또는 기저전압(VSS)에 연결되어야 하고, 이를 위하여 정전기 방지소자 부근에 기저전압 배선이 형성되어야 하며, 이 때 정전기 방지소자를 위한 기저전압 배선이 구동전압(Vdd) 배선과 오버랩되어 두 배선 사이의 단선(Brunt)이 발생될 우려가 있었다.

[0006] 또한, 이러한 정전기 방지소자를 위한 기저전압 배선이 표시패널 가장자리의 일정 영역을 차지함으로써, 비표시 영역의 배선 설계, 설계 마진 등에 나쁜 영향을 미칠 뿐 아니라, 내로우 베젤(narrow bezel) 등을 달성하는데 장애로 작용하는 문제가 있었다.

발명의 내용

해결하려는 과제

[0007] 이러한 배경에서, 본 발명의 목적은 간단한 구조의 정전기 방지소자를 포함하는 유기발광표시장치를 제공하는 것이다.

[0008] 본 발명의 다른 목적은 OLED 표시패널의 비표시 영역에 배치되는 정전기 방지 트랜지스터의 단자 중 하나를 캐소드 전극층에 직접 연결하여 정전기 방지 소자 연결을 위한 기저전압(Vss) 배선을 없앴으로써, 전압 배선 사이의 단선(Brunt)을 방지할 수 있는 OLED 표시패널을 제공하는 것이다.

[0009] 본 발명의 또다른 목적은 OLED 표시패널의 비표시 영역에 배치되는 정전기 방지 스위칭소자의 단자 중 하나를 캐소드 레이어에 직접 연결하여 정전기 방지 소자 연결을 위한 기저전압(Vss) 배선을 없앴으로써, 배선 설계 마진 확보를 통한 내로우 베젤을 달성할 수 있는 OLED 표시패널을 제공하는 것이다.

[0010] 본 발명의 또다른 목적은 정전기 방지 소자 연결을 위한 기저전압(Vss) 배선을 없애는 대신 구동전압 배선의 폭을 증가시킴으로써 저항 감소에 따른 소비전력 감소가 가능한 OLED 표시패널을 제공하는 것이다.

과제의 해결 수단

[0011] 전술한 목적을 달성하기 위하여, 본 발명의 일실시예에 의하면, 구동트랜지스터의 드레인 전극에 연결되는 애노드 전극층과, 기저전압(VSS)이 인가되는 캐소드 전극층 및 양 전극층 사이에 배치되는 유기발광층을 포함하는 유기발광 표시장치의 비표시 영역에 배치되는 정전기 방출(ESD) 트랜지스터를 포함하는 유기발광 표시장치로서, 상기 정전기 방출 트랜지스터는 1 이상의 데이터 패드 또는 데이터 라인의 단부와 전기적으로 연결되는 소스 전극과, 상기 캐소드 전극층과 전기적으로 연결되는 드레인 전극을 포함하는 유기발광 표시장치를 제공한다.

발명의 효과

[0012] 본 발명의 일실시예에 의하면, OLED 표시패널의 비표시 영역에 배치되는 정전기 방지 스위칭소자의 단자 중 하나를 캐소드 레이어에 직접 연결하여 정전기 방지 소자 연결을 위한 기저전압(Vss) 배선을 없앴으로써, 전압 배선 사이의 단선(Brunt)을 방지할 수 있고, 배선 설계 마진 확보를 통한 배선간 간격 증가 또는 내로우 베젤을 달성할 수 있는 효과가 있다.

[0013] 또한, 본 발명의 일실시예에 의하면, OLED 표시패널의 비표시 영역에 배치되는 정전기 방지 스위칭소자의 단자 중 하나를 캐소드 레이어에 직접 연결하여 정전기 방지 소자 연결을 위한 기저전압(Vss) 배선을 없애고 다른 배선의 폭을 증가시킴으로써 저항 감소에 따른 소비전력 절감 효과가 있다.

도면의 간단한 설명

[0014] 도 1은 실시예들에 따른 표시장치의 개략적인 구성도 및 화소의 등가 회로를 나타낸 도면이다.

도 2는 도 1의 구동트랜지스터 영역의 적층 구조를 도시하는 단면도이다.

도 3은 본 발명의 일실시예가 적용되는 정전기 방지용(Electro-Static Discharge; 이하 'ESD'라 함) 트랜지스터가 형성된 OLED 표시패널의 비표시 영역을 도시한다.

도 4는 데이터 패드측(S-Pad)에서의 일반적인 정전기 방지용(Electro-Static Discharge; 이하 'ESD'라 함) 트랜지스터에 대한 평면도 및 단면도이다.

도 5는 비패드 측(X-Pad)에서의 일반적인 정전기 방지용(ESD) 트랜지스터에 대한 평면도이다.

도 6은 본 발명의 일 실시예에 의하여 소스 패드측(S-Pad)에 형성된 ESD 트랜지스터를 도시하는 평면도이다.

도 7은 도 6의 실시예에 의한 ESD 트랜지스터의 단면 구조로서, 도 6의 I-I'를 따라 자른 단면도이다.

도 8은 본 발명의 다른 실시예에 의하여 비패드측(X-Pad)에 형성된 ESD 트랜지스터를 도시하는 평면도이다.

도 9는 도 8의 실시예에 의한 ESD 트랜지스터의 단면 구조로서, 도 8의 II-II'를 따라 자른 단면도이다.

도 10은 본 발명의 또다른 실시예에 의한 소스 패드측(S-Pad)의 ESD 트랜지스터의 평면도이다.

발명을 실시하기 위한 구체적인 내용

[0015] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

[0016] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

[0017] 도 1은 본 발명의 실시예가 적용될 수 있는 표시장치의 개략적인 구성도 및 화소의 등가 회로를 나타낸 도면이다.

[0018] 도 1을 참조하면, 본 발명의 실시예가 적용될 수 있는 OLED 표시패널 또는 OLED 표시장치(100)는, 제1방향(예:

수직방향)으로 다수의 제1라인(VL1~VLm)이 형성되고, 제2방향(예: 수평방향)으로 다수의 제2라인(HL1~HLn)이 형성되는 표시패널(110)과, 다수의 제1라인(VL1~VLm)으로 제1신호를 공급하는 제1구동부(120)와, 다수의 제2라인(HL1~HLn)으로 제2신호를 공급하는 제2구동부(130)와, 제1구동부(120) 및 제2구동부(130)를 제어하는 타이밍 컨트롤러(140) 등을 포함한다.

- [0019] 표시패널(110)에는, 제1방향(예: 수직방향)으로 형성된 다수의 제1라인(VL1~VLm)과 제2방향(예: 수평방향)으로 형성된 다수의 제2라인(HL1~HLn)의 교차에 따라 다수의 화소(P: Pixel)가 정의된다.
- [0020] 전술한 제1구동부(120) 및 제2구동부(130) 각각은, 영상 표시를 위한 신호를 출력하는 적어도 하나의 구동 집적 회로(Driver IC)를 포함할 수 있다.
- [0021] 표시패널(110)에 제1방향으로 형성된 다수의 제1라인(VL1~VLm)은, 일 예로, 수직방향(제1방향)으로 형성되어 수직방향의 화소 열로 데이터 전압(제1신호)을 전달하는 데이터 배선일 수 있으며, 제1구동부(120)는 데이터 배선으로 데이터 전압을 공급하는 데이터 구동부일 수 있다.
- [0022] 또한, 표시패널(110)에 제2방향으로 형성된 다수의 제2라인(HL1~HLn)은 수평방향(제2방향)으로 형성되어 수평방향의 화소 열로 스캔 신호(제2신호)를 전달하는 게이트 배선일 수 있으며, 제2구동부(130)는 게이트 배선으로 스캔 신호를 공급하는 게이트 구동부일 수 있다.
- [0023] 또한, 제1구동부(120)와 제2구동부(130)와 접속하기 위해 표시패널(110)에는 패드부가 구성된다. 패드부는 제1구동부(120)에서 다수의 제1라인(VL1~VLm)으로 제1신호를 공급하면 이를 표시패널(110)로 전달하며, 마찬가지로 제2구동부(130)에서 다수의 제2라인(HL1~HLn)으로 제2신호를 공급하면 이를 표시패널(110)로 전달한다. 따라서, 표시패널(110)의 화소들의 영역을 형성하는 공정에서 패드부를 함께 형성할 수 있다.
- [0024] 본 명세서에는 표시패널의 4개 가장자리 중에서 데이터 구동부(D-IC 또는 S-IC)인 제1구동부(120)측 가장자리를 소스 패드측(S-Pad)이라 표현하고, 그 대향 가장자리를 비패드측(X-Pad)이라 표현한다.
- [0025] 소스 패드측(S-Pad)측에는 데이터 배선 또는 데이터 라인과 연결되는 단자로서 다수의 데이터 패드 또는 소스 패드가 형성되어 있으며, 비패드측(X-Pad)에는 데이터 패드가 형성되지 않는 것이 일반적이다.
- [0026] 도 1에의 확대 표시영역은 본 발명의 실시예들이 적용되는 OLED 표시장치의 화소 구조의 등가 회로를 나타낸다.
- [0027] OLED 표시패널(110)에 포함된 다수의 화소 각각은, 기본적으로, 유기발광다이오드(OLED), 구동트랜지스터(DT), 제1트랜지스터(T1), 제2트랜지스터(T2), 스토리지 캐패시터(Cstg) 등을 포함한다. 각 트랜지스터들은 박막 트랜지스터(Thin Film Transistor, 또는 TFT)이다.
- [0028] 유기발광다이오드(OLED)는, 제1전극(예: 애노드 또는 캐소드)이 구동트랜지스터(DT)와 연결되고, 제2전극(예: 캐소드 또는 애노드)이 기저전압(Vss 또는 EVSS)을 공급하는 공급단과 연결될 수 있다.
- [0029] 구동트랜지스터(DT)는, 유기발광다이오드(OLED)를 구동하기 위한 트랜지스터로서, 게이트 노드인 제2노드(N2)에 인가된 전압에 의해 제어되며, 구동전압 라인(DVL: Driving Voltage Line)으로부터 구동전압(VDD: Driving Voltage, 또는 EVDD)을 제3노드(N3)로 인가받으며, 유기발광다이오드(OLED)로 전류를 공급해주어 유기발광다이오드(OLED)를 발광시킬 수 있다.
- [0030] 제1트랜지스터(T1)는, 기준전압(Vref: Reference Voltage)이 공급되는 기준전압 공급노드(Nref: Reference Node)와 구동트랜지스터(DT)의 제1노드(N1) 사이에 연결되는 트랜지스터로서, 게이트라인(GL)을 통해 공급된 스캔신호(SCAN)에 의해 제어되며, 기준전압 공급노드(Nref)로 인가된 기준전압(Vref)을 구동트랜지스터(DT)의 제1노드(N1)에 인가해줄 수 있다.
- [0031] 제2트랜지스터(T2)는, 데이터라인(DL)과 구동트랜지스터(DT)의 제2노드(N2) 사이에 연결되는 트랜지스터로서, 제1트랜지스터(T2)의 게이트노드에 인가된 스캔신호(SCAN)를 게이트노드로 함께 인가받아 제어되며, 데이터라인(DL: Data Line)을 통해 공급된 데이터전압(Vdata)을 구동트랜지스터(DT)의 게이트노드인 제2노드(N2)에 공급해준다.
- [0032] 스토리지 캐패시터(Cstg)는, 구동트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 사이에 연결되어, 한 프레임(Frame) 동안 전압을 유지시켜주는 역할을 한다.
- [0033] 전술한 바와 같이, 제1트랜지스터(T1)와 제2트랜지스터(T2)는, 하나의 게이트라인(GL)을 통해 스캔신호(SCAN)를 동시에 인가받는다. 따라서, 제1트랜지스터(T1)와 제2트랜지스터(T2)의 게이트노드는 회로적으로 서로 연결되어

있다.

- [0034] 한편, 본 명세서 및 도면에서는, 모든 트랜지스터를 N 타입으로 예로 들어 설명하고 있으나, 회로 설계 방식에 따라, 모든 트랜지스터 또는 일부 트랜지스터를 P 타입으로 설계될 수도 있다.
- [0035] 도 2는 도 1의 구동트랜지스터의 일부(N1) 및 유기발광층(OLED)의 구성을 보여주는 도면이다. 도 2에서 살펴본 바와 같이 OLED 소자를 구동시키는 전극이 구동트랜지스터(DT)의 제1노드(N1)와 연결된다.
- [0036] 도 2는 구동트랜지스터가 게이트가 소스/드레인의 하부에 배치되는 바텀 게이트(bottom gate) 방식인 경우를 예시하며, 도시하지는 않지만 이와는 반대로 게이트가 소스/드레인의 상부에 배치되는 탑 게이트(Top Gate) 방식일 수도 있다.
- [0037] 도 2에서 기판(200) 상에 구동트랜지스터의 게이트(210), 게이트 절연막(215), 구동트랜지스터의 드레인(220), 그리고 패시베이션층(Passivation layer, 225) 및 평탄화층(또는 평탄화막, 오버코트층, 230)이 형성되며, 패시베이션층(225) 및 평탄화층(230) 상에 컨택홀이 형성된다.
- [0038] 화소 전극을 구성하는 애노드층(Anode Layer, 240)는 컨택홀을 통하여 드레인(220)과 컨택한다. 애노드(240) 및 그 외의 평탄화층(230)에는 OLED 발광 영역을 구획짓기 위한 बैं크(250)가 형성되고, 이후 유기발광층(260)과 캐소드층(Cathod layer, 270)가 형성된다.
- [0039] 도 3은 본 발명의 일실시예가 적용되는 정전기 방지용(Electro-Static Discharge; 이하 'ESD'라 함) 트랜지스터가 형성된 OLED 표시패널의 비표시 영역을 도시하며, 도 3의 (b)는 ESD 트랜지스터의 등가 회로를 도시한다.
- [0040] 도 3의 (a)는 특히 OLED 표시패널의 소스-패드층(S-Pad)의 비표시영역 중 ESD 트랜지스터 부근을 도시한다.
- [0041] 도 3의 (a)와 같이, OLED 표시패널의 소스-패드층(S-Pad)에는 데이터 라인과 연결되는 단자인 데이터 패드(320)와, 기준전압(Vref) 패드(310) 등의 다수의 신호 패드가 형성되어 있다.
- [0042] 또한, 신호 패드 중에서 데이터 패드(320) 또는 소스패드와 기저전압 배선(VSS; 340) 사이에는 데이터 라인에 발생하는 정전기를 방출하기 위한 ESD 스위칭 소자로서 ESD 트랜지스터(ESD Tr; 350)가 형성된다.
- [0043] 도 3의 (b)는 이러한 ESD 트랜지스터(350)의 등가회로로서 표시패널 제조공정 또는 시험 공정 등에서 데이터 라인(Vdata)에서 대량의 정전기에 의한 전하가 발생한 경우 ESD 트랜지스터의 게이트와 소스에 전압이 인가되면서 ESD 트랜지스터가 ON되며, 그에 따라 기저전압 배선(340)를 통해서 정전기 전하의 방출이 이루어지게 되는 것이다.
- [0044] 도 4는 데이터 패드층(S-Pad)에서의 일반적인 정전기 방지용(Electro-Static Discharge; 이하 'ESD'라 함) 트랜지스터에 대한 평면도 및 단면도이다.
- [0045] 도 4와 같이, 데이터 패드층(S-Pad)의 ESD 트랜지스터 구조를 보면, 게이트 금속 레이어로 형성된 다수의 신호 패드인 데이터 패드(320)와 역시 게이트 레이어로 형성되는 기저전압 배선(340) 사이에 ESD 트랜지스터(400)이 형성된다.
- [0046] ESD 트랜지스터(400)는 게이트 전극(430)과, 소스 전극(410) 및 드레인 전극(420)을 포함하며, 소스 전극은 데이터 패드(320)에 전기적으로 연결되고 드레인 전극(420)은 드레인 컨택홀(422)을 통해서 하부에 있는 기저전압(VSS) 배선 패턴과 전기적으로 연결된다.
- [0047] 도 4의 (b)의 단면도를 참고하여 ESD 트랜지스터의 적층 구조 및 제조 공정을 설명하면 다음과 같다.
- [0048] 우선, 기판(500) 상에 게이트 금속 레이어를 형성한 후 패터닝하여, ESD 트랜지스터(400)의 게이트 전극(430)과 기저전압 배선(340) 및 데이터 패드(320) 패턴 등을 형성하고 그 상부에 게이트 절연층(515)을 형성한다.
- [0049] 다음으로 ESD 트랜지스터(400)의 채널이 되는 활성층(516)을 게이트 전극 상부 영역에 형성한 후 그 상부에 소스/드레인 금속 레이어로 형성되는 ESD 트랜지스터의 소스전극(410) 및 드레인 전극(420)을 형성한다. 이 때, ESD 트랜지스터의 소스전극(410) 및 드레인 전극(420)은 각각 하부에 게이트 레이어로 형성된 데이터 패드(320) 및 기저전압(VSS) 배선과 연결되어야 하므로 게이트 절연층(515)에 소스 컨택홀(412) 및 드레인 컨택홀(422)을 형성한 후 소스/드레인 레이어를 증착한다.
- [0050] 도 4에 도시된 바와 같이, 드레인 전극(420)을 기저전압(VSS)으로 연결하기 위하여 기저전압 배선(340)이 반드시 필요하며 이러한 기저전압 배선(340)은 게이트 레이어 패턴으로서 일정한 폭을 가지면서 수평방향(제2방향)

으로 연장된다.

- [0051] 한편, 양측의 데이터 라인 사이에는 구동전압 배선(VDD; 350)이 수직방향(제1방향)으로 연장되어 형성되는데, 이러한 구동전압 배선(350)은 게이트 레이어로 형성되는 제1 구동전압 배선(350')과 소스/드레인 레이어로 형성되는 제2 구동전압 배선(350'')을 포함할 수 있다.
- [0052] 도 4에 도시된 바와 같은 ESD 트랜지스터(400)의 경우, 게이트 레이어 패턴으로서 일정한 폭을 가지면서 수평방향(제2방향)으로 연장되는 기저전압 배선(340)과 소스/드레인 패턴으로서 일정한 폭을 가지면서 수직방향(제1방향)으로 연장되는 제2구동전압 배선(350'')이 교차하면서 중첩되는 오버랩 영역(360)이 생기게 된다.
- [0053] 이러한 오버랩 영역(360)은 게이트 절연층(515)만을 사이에 두고 양 금속 층이 형성되기 때문에, 제조과정 등에서 양 전원 배선(VSS, VDD) 사이에 쇼트(Short) 또는 번트(Burnt) 현상이 발생하는 문제가 있었다.
- [0054] 도 5는 비패드 측(X-Pad)에서의 일반적인 정전기 방지용(ESD) 트랜지스터에 대한 평면도이다.
- [0055] 도 5에서와 같이 데이터 패드 등이 형성되지 않는 가장자리인 비패드측(X-Pad) 비표시 영역에도 ESD 트랜지스터(500)가 형성되며, 비패드측의 ESD 트랜지스터(500)는 게이트 레이어로 형성되는 게이트 전극(530)과, 소스/드레인 레이어인 데이터 라인으로부터 연장 형성되는 소스 전극(510)과 역시 소스/드레인 레이어로 형성된 기저전압 배선(340)으로부터 일체로 연장되는 드레인 전극(520)을 포함한다.
- [0056] 한편, 도 5와 같이, 비패드측에서는 구동전압 배선(VDD; 350)이 수직 및 수평방향 모두로 연장되도록 형성되어 있고, 기저전압 배선(340)은 소스/드레인 레이어로서 일정 폭을 가지면서 수평방향으로 일정 길이로 연장되도록 형성된다.
- [0057] 따라서, 도 5와 같이, 비패드측 ESD 트랜지스터(500)를 위해서는 수평방향으로 연장되는 기저전압 배선(340)과 그와 평행하게 연장되는 구동전압 배선(350)이 모두 형성되어야 한다. 한편, ESD 트랜지스터가 형성되는 비표시 영역의 공간 마진(Margin)이 크지 않기 때문에, 구동전압 배선(VDD; 350)의 폭(w1)을 일정 크기 이상으로 하기 어렵다.
- [0058] 한편, 구동전압 배선(VDD; 350) 전기적 저항이 작을수록 소비전력이 감소하므로, 구동전압 배선의 저항을 감소시키기 위하여 구동전압 배선(350)을 게이트 레이어의 제1 구동전압 배선(350')과 소스/드레인 레이어인 제2 구동전압 배선(350'') 모두로 형성할 뿐 아니라, 구동 전압 배선의 폭(w1)을 크게 할수록 유리하다.
- [0059] 그러나, 도 5와 같은 비패드측 ESD 트랜지스터(500)에 의하면 수평방향으로 기저전압 배선(340)을 형성하여야 하고, 비표시영역의 제한된 마진 때문에 구동전압 배선의 폭을 충분히 크게 할 수 없게 되거나, 효율을 고려하여 구동전압 배선의 폭을 크게 하는 경우에는 비표시영역이 커져서 내로우 베젤(Narrow Bezel)을 달성하기 힘들다는 문제가 있었다.
- [0060] 본 발명의 실시예는 이러한 점을 극복하기 위하여, OLED 표시패널의 비표시 영역에 형성되는 정전기 방출(ESD) 트랜지스터의 드레인 전극을 기저전압(VSS)이 인가되는 캐소드 전극층에 직접 연결함으로써, ESD 트랜지스터 영역에서의 기저전압 배선을 제거하여 전술한 여러가지 문제들을 해결하고자 한다.
- [0061] 본 발명의 구체적인 구성을 살펴보면, 구동트랜지스터의 드레인 전극에 연결되는 애노드 전극층과, 기저전압(VSS)이 인가되는 캐소드 전극층 및 양 전극층 사이에 배치되는 유기발광층을 포함하는 유기발광 표시장치의 비표시 영역에 배치되는 정전기 방출 트랜지스터를 포함하며, 정전기 방출 트랜지스터는 1 이상의 데이터 패드 또는 데이터 라인의 단부와 전기적으로 연결되는 소스 전극과, 상기 캐소드 전극층과 전기적으로 연결되는 드레인 전극을 포함하여 구성될 수 있다.
- [0062] 도 6은 본 발명의 일 실시예에 의하여 소스 패드측(S-Pad)에 형성된 ESD 트랜지스터를 도시하는 평면도이고, 도 7은 도 6의 실시예에 의한 ESD 트랜지스터의 단면 구조로서, 도 6의 I-I'를 따라 자른 단면도이다.
- [0063] 도 6에 도시된 본 발명의 일 실시예에 의한 유기 발광 표시장치는 표시장치의 소스 패드측(S-Pad)의 비표시 영역 일부에 형성되는 정전기 방출 트랜지스터(ESD Tr; 700)를 포함하며, ESD 트랜지스터(700)는 게이트 레이어이 형성된 게이트 전극(730)과, 소스 패드측에 형성된 데이터 패드(620)와 전기적으로 연결되는 소스 전극(710)과, 드레인 컨택홀(722)에 의하여 최상부에 형성된 기저전압(VSS)이 인가되는 캐소드 전극층(도 7의 570)에 전기적으로 연결되는 드레인 전극(720)을 포함하여 구성될 수 있다.
- [0064] 더 구체적으로 설명하면, 유기 발광 표시장치의 소스 패드측(S-Pad) 비표시 영역에는 표시영역으로부터 연장되는 기준전압 배선의 단부에 형성되는 기준전압 패드(610)와 구동전압 배선(650)이 배치되고, 그 사이에 2개의

데이터 라인으로부터 연장되는 데이터 패드(620)가 형성된다.

- [0065] 소스 패드측(S-Pad)의 기준전압 패드(610), 데이터 패드(620)는 게이트 금속 레이어로 형성될 수 있으며, 구동 전압 배선(650)은 게이트 레이어로서 비표시 영역의 일부까지만 연장되는 제1 구동전압 배선(650')과, 제1구동 전압 배선(650')과 일부 중첩되어 나머지 비표시 영역으로 연장되는 소스/드레인 레이어의 제2 구동전압 배선(650'')을 포함하여 구성될 수 있다.
- [0066] 이 때, 본 발명의 실시예에 의한 ESD 트랜지스터(700)는 게이트 전극(730)과 그 상부에 형성되는 활성층(도 7의 740)과, 활성층 상부의 소스/드레인 레이어에 서로 이격되어 형성되는 소스 전극(710) 및 드레인 전극(720)을 포함하여 구성된다.
- [0067] 이러한 ESD 트랜지스터(700)의 소스 전극(710)은 데이터 패드(620)와 전기적으로 연결되어야 하므로, 비록 도시하지는 않았지만, 소스 전극(710)은 데이터 패드(620)의 상부에 형성되는 게이트 전연층(515)의 일부를 관통하는 소스 콘택홀을 통해서 데이터 패드(620)와 연결될 수 있다.
- [0068] 또한, 도 6의 실시예에 의한 ESD 트랜지스터(700)의 드레인 전극(720)은 도 4에서 도시한 방식과 상이하게 별도의 기저전압 배선(도 4의 340)에 연결되는 것이 아니라, 드레인 전극(720)의 상부에 형성되는 드레인 콘택홀(722)을 통해서 최상부에 형성된 캐소드 전극층(도 7의 570)에 연결된다.
- [0069] 이 때, 드레인 콘택홀(722)은 소스/드레인 레이어 상에 증착되는 패시베이션층(Passivation layer), 오버코터(OC)층, बैं크층 중 1 이상을 관통하여 형성될 수 있으며, 이에 대해서는 도 7을 참고로 아래에서 더 상세하게 설명한다.
- [0070] 즉, 도 6의 실시예에 의한 유기발광 표시장치는 ESD 트랜지스터 영역에서 ESD 트랜지스터의 드레인 전극과 연결되기 위하여 수평방향으로 연장되는 기저전압 배선 패턴을 별도로 포함하지 않고, 기저전압(VSS)이 인가되는 최상부 층인 캐소드 층에 연결되는 것이다.
- [0071] 이상과 같이, 도 6 및 도 7과 같은 본 발명의 제1실시예에 의하면, OLED 표시장치의 소스 패드측(S-Pad) 비표시 영역에 형성되는 ESD 트랜지스터의 드레인 전극에 기저전압을 인가하기 위하여 별도의 기저전압 배선(도 4의 340)이 필요없게 되므로, 도 4의 경우와 같이 ESD 트랜지스터 영역에서 기전전압 배선(340)과 구동전압 배선(350'')이 교차하는 오버랩 영역(360)이 발생할 여지가 없고, 따라서 기전전압 배선과 구동전압 배선의 오버랩 영역에서의 쇼트 또는 번트(Burnt) 발생이 원천적으로 차단될 수 있는 것이다.
- [0072] 한편, 도 6의 실시예에서는, ESD 트랜지스터(700)의 소스 전극(710)이 드레인 전극(720)보다 더 외곽에 형성하고 있다. 즉, 데이터 패드(620)에 연결되는 ESD 트랜지스터의 소스 전극(720)을 비표시 영역의 더 바깥쪽에 형성하고, 캐소드 전극층(570)에 연결되는 ESD 트랜지스터의 드레인 전극(720)을 표시영역에 더 가까운 측에 배치하는 것이다.
- [0073] 이와 같이 구성하는 것은, 본 발명의 실시예에 의하면 드레인 전극(720)이 캐소드 전극층(570)에 연결되어야 하며 따라서 캐소드 전극층(570)이 드레인 전극(720)의 상부 영역까지 증착되어야만 한다. 따라서, 드레인 전극(720)이 비표시 영역의 외곽쪽에 배치되는 경우 캐소드 전극층(570)의 증착 영역도 더 넓어져야 하므로, 도 6과 같이 ESD 트랜지스터의 드레인 전극(720)을 표시영역에 더 가까운 쪽에 배치하면, 캐소드 전극층(570)의 형성 면적을 최소화할 수 있는 효과가 있다.
- [0074] 이하에서는 도 7을 참고로 본 발명의 일실시예에 의한 ESD 트랜지스터의 단면 구조와 그 제조 공정에 대하여 상세하게 설명한다.
- [0075] 한편 도 7의 좌측에는 본 발명의 실시예에 의한 ESD 트랜지스터의 단면 구조(도 6의 I-I' 단면)를 도시하며, 이해를 돕기 위해서 오른쪽에는 표시영역 각 화소에 포함되는 구동 트랜지스터(DTr) 단면 구조를 함께 도시한다.
- [0076] 도 7의 도면은 바텀 게이트(Bottom Gate) 방식의 OLED 표시패널에 대하여 도시하지만, 본 발명이 이러한 바텀 게이트 방식에 한정되어 적용되는 것은 아니며, ESD 트랜지스터의 드레인 전극(720)이 최상부의 캐소드 전극층과 연결될 수 있는한 탑 게이트 방식의 OLED에도 적용될 수 있을 것이다.
- [0077] 유기전계 발광소자는 구동 및 스위칭 박막트랜지스터(DTr, 미도시)와 유기전계 발광 다이오드(E)가 형성된 제 1 기판과, 인캡슐레이션을 위한 제 2 기판으로 구성되며, 도 7의 우측에 도시한 바와 같이 제 1 기판의 구성에 대해 먼저 설명하면 다음과 같다.
- [0078] 절연기판(500) 상에 저저항 금속물질 예를들면 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금 중 하

나를 증착하고, 이를 패터닝함으로써 일방향으로 연장하는 게이트 배선(미도시)과 구동전압 배선(VDD; 650) 등을 형성하고, 동시에 스위칭 영역 및 구동영역(미도시, DA)에는 게이트 전극(310)을 형성한다.

[0079] 이 때, 본 발명의 실시예에 의한 ESD 트랜지스터 영역에는 ESD 트랜지스터의 게이트 전극(730)과, 기준전압(Vref) 라인 및 그 단부에 있는 기준전압 패드(610)와 각 데이터 라인 및 그 단부에 있는 데이터 패드(620) 등도 함께 형성된다.

[0080] 다음으로 구동 트랜지스터의 게이트 전극(310) 및 ESD 트랜지스터의 게이트 전극(730) 위로 무기절연물질 예를 들면 산화실리콘(SiO₂) 또는 질화 실리콘(SiN_x)을 증착하여 게이트 절연층(515)을 형성한다.

[0081] 이후, 구동 트랜지스터 및 ESD 트랜지스터의 게이트 전극(310, 730)의 상부에 있는 게이트 절연층(515) 위에 순수 비정질 실리콘의 액티브층(315)과 그 상부로 불순물 비정질 실리콘으로 이루어진 불순물 비정질 실리콘 패턴(미도시)을 형성한다.

[0082] 다음, 상기 불순물 비정질 실리콘 패턴(미도시) 위로 전면예 소스/드레인 레이어를 구성하는 금속물질을 증착하고 이를 패터닝함으로써 상기 게이트 절연막 위로 상기 게이트 배선(미도시)과 교차하여 화소영역(P)을 정의하는 데이터 배선(미도시)과, 이와 이격하며 나란하게 배치되는 전원배선(미도시)을 형성하고, 동시에 상기 불순물 비정질 실리콘 패턴(미도시) 상부에 서로 이격하는 구동 트랜지스터의 소스 및 드레인 전극(318, 320)을 형성한다. 이때 상기 스위칭 영역(미도시)에 형성된 소스 전극(미도시)은 상기 데이터 배선(미도시)과 연결되도록 한다.

[0083] 이 때, 본 발명의 실시예에 의한 ESD 트랜지스터 영역에는 ESD 트랜지스터의 소스 전극(710)과, 드레인 전극(720) 등이 함께 형성된다.

[0084] 특히, 도 6의 실시예에서는 ESD 트랜지스터의 소스 전극(720)이 게이트 레이어인 데이터 패드와 전기적으로 연결되어야 하므로, 데이터 패드(620) 상부에 있는 게이트 절연층(515)의 일부 영역을 관통하는 소스 콘택홀(미도시)을 형성하고, 그 상부에 소스/드레인 층을 형성한 후 ESD 트랜지스터의 소스 전극(720)을 패터닝하여야 한다.

[0085] 다음으로 구동 트랜지스터의 소스 및 드레인 전극(318, 320) 사이로 노출된 불순물 비정질 실리콘 패턴(미도시)을 제거함으로써 오믹콘택층을 이루도록 한다. 이로써, 게이트 전극(310)과, 게이트 절연막(515)과, 활성층(315)과 오믹콘택층으로 구성된 반도체층과, 서로 이격하는 소스 및 드레인 전극(318, 320) 등이 스위칭 또는 구동 박막트랜지스터(미도시, DTr)를 구성한다.

[0086] 물론, 이러한 구동 트랜지스터의 활성층(315) 및/또는 반도체층을 형성하는 공정에서 본 발명에 의한 ESD 트랜지스터(700)를 위한 활성층이 ESD 트랜지스터의 게이트 전극(730) 상부에 형성된다.

[0087] 다음으로, 화소 영역의 구동 및 스위칭 박막트랜지스터(DTr, 미도시) 및 비표시 영역의 ESD 트랜지스터(700)의 상부에 패시베이션 층 또는 보호층(525)을 형성하고 이를 패터닝함으로써 상기 구동 박막트랜지스터(DTr)의 드레인 전극(320)을 노출시키는 드레인 콘택홀을 형성한다.

[0088] 이 과정에서 본 발명의 실시예에 의한 ESD 트랜지스터(700)의 드레인 콘택홀(722)이 형성된다. 즉, ESD 트랜지스터(700)의 드레인 전극(720) 상부에 증착되는 보호층(PAS; 525)의 일부 영역을 식각하여 드레인 전극(720)의 일부를 노출시키도록 하는 드레인 콘택홀(722)을 형성하고, 그 상부에 캐소드 전극층(570)을 증착함으로써 ESD 트랜지스터(700)의 드레인 전극(720)을 캐소드 전극층(570)과 전기적으로 연결하는 것이다.

[0089] 물론, 도 7에서는 드레인 콘택홀(722)이 보호층(525)만을 관통하는 것으로 도시되어 있으나, 만일 ESD 트랜지스터가 형성되는 비표시 영역까지 애노드(Anode; 340), 오버코트층(OC층), 뱅크층(350) 등이 증착되는 경우라면, 드레인 콘택홀(722)이 보호층(525)는 물론 애노드(Anode), 오버코트층(OC층), 뱅크층 등을 모두 관통하여 형성되어야 할 것이다.

[0090] 다음으로, 보호층(525) 위로 일함수 값이 비교적 높은 투명 도전성 물질인 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)를 수천 Å 정도의 두께를 갖도록 증착하고 패터닝함으로써 각 화소영역(P)별로 드레인 콘택홀을 통해 상기 구동 박막트랜지스터(DTr)의 드레인 전극(320)과 접촉하는 제 1 전극인 애노드 전극층(340)을 형성하고, 애노드 전극층(340) 상부로 유기절연물질 예를 들면 포토아크릴(photo acryl) 또는 벤조사이클로부텐(BCB)을 도포하여 제 1 유기절연물질층(미도시)을 형성하고, 이를 패터닝함으로써 각 화소영역(P)을 테두리하는 뱅크층(350)을 형성한다.

- [0091] 그 상부에 유기 발광층(EL층; 360)을 형성하고 그 상부에 160) 위로 비교적 일함수 값이 작은 금속물질 예를 들면 알루미늄(Al), 알루미늄 합금, 은(Ag), 마그네슘(Mg), 금(Au) 중 하나를 열증착 또는 이온 빔 증착을 실시함으로써 전면에 5Å 내지 50Å 정도의 비교적 얇은 두께를 갖도록 제 2 전극인 캐소드 전극층(370)을 형성한다. 이러한 캐소드 전극층(370, 570)은 표시영역 전체 및 비표시 영역의 일부까지 연장되도록 패널 전체에 걸쳐 형성되며, 표시영역 또는 기타 다른 영역에 형성된 기저전압(VSS) 배선 패턴(미도시)과 전기적으로 연결되어 기저전압(VSS)를 인가받게 된다.
- [0092] 이로써, ESD 트랜지스터(700)의 드레인 전극(720)이 드레인 컨택홀(722)에 의해 캐소드 전극층(570)에 연결됨으로써, ESD 트랜지스터 영역에서 별도의 기저전압(VSS) 배선을 형성하지 않고서도 ESD 트랜지스터의 드레인 전극이 기저전압에 연결되도록 할 수 있고, 따라서 도 4의 경우와 같이 ESD 트랜지스터 영역에서 기전전압 배선과 구동전압 배선의 오버랩으로 인한 쇼트 또는 번트(Burnt) 발생이 방지될 수 있게 된다.
- [0093] 한편, 도 7에서는 바텀 게이트 방식의 트랜지스터 구조를 설명하였으나, 본 발명은 탑 게이트 방식의 트랜지스터 구조에서 동일하게 적용될 수 있다.
- [0094] 도 8 및 도 9는 본 발명의 다른 실시예로서, OLED 표시패널의 비패드층(X-Pad)의 구조를 도시한다.
- [0095] 더 구체적으로 도 8은 비패드층(X-Pad)에 형성된 ESD 트랜지스터를 도시하는 평면도이고, 도 9는 도 8의 실시예에 의한 ESD 트랜지스터의 단면 구조로서, 도 8의 II-II'를 따라 자른 단면도이다.
- [0096] 도 8 및 도 9에 도시된 바와 같이, OLED 표시패널의 비패드층(X-Pad)의 비표시 영역에는 다수의 데이터 라인이 연장되어 형성되어 있으며, 데이터 라인 쌍의 가운데에는 구동전압 배선(850)이 형성되어 있다.
- [0097] OLED 표시패널의 비패드층(X-Pad)에 형성된 데이터 라인 연장부는 소스/드레인 레이어로 형성되고, 구동전압(VDD) 배선(850)은 "T" 형상으로 수직방향 및 수평방향 모두로 연장되도록 형성되며 게이트 레이어로 형성되는 제1 구동전압 배선(850')과 소스/드레인 레이어로 형성되는 제2 구동전압 배선(850'')을 포함한다.
- [0098] 이 때, 본 발명의 실시예에 의한 ESD 트랜지스터(800)는 도 6의 실시예와 유사하게 게이트 전극(830)과, 그 상부의 활성층 또는 반도체층과, 그 상부에 서로 이격 형성되는 소스 전극(810) 및 드레인 전극(820)을 포함하여 구성되며, ESD 트랜지스터(800)의 소스 전극(810)은 데이터 라인으로부터 일체로 연장 형성된다.
- [0099] 또한, ESD 트랜지스터(800)의 드레인 전극(820)은 소스 전극(810)과 일정 거리 이격되어 소스/드레인 레이어에 형성되며, 드레인 전극(820)의 상부에 형성된 드레인 컨택홀(822)을 통해서 최상부의 캐소드 전극층(570)에 연결된다.
- [0100] 이상과 같이, 도 8 및 도 9의 실시예에서는 OLED 표시장치의 비패드층(X-Pad)에 ESD 트랜지스터(800)를 형성함에 있어서, ESD 드레인 전극을 최상부에 형성된 캐소드 전극층에 직접 연결함으로써 드레인 전극에 기저전압(VSS)을 인가하기 위한 별도의 기저전압 배선(도 5의 340)이 필요하지 않게 된다.
- [0101] 따라서, 도 5의 경우에서는 별도의 기저전압 배선(340)으로 인하여 구동전압 배선(350)의 폭을 w1으로 작게 설계할 수 밖에 없었으나, 도 8의 실시예에 의하면 구동전압 배선(850)의 폭을 w2로 더 크게 형성함으로써 전기적 저항 감소 및 그에 따른 소비전력 감소를 달성할 수 있게 된다
- [0102] 또한, 소비전력에 비교적 덜 민감하여 구동전압 배선의 폭을 기존과 동일하게 유지할 수 있는 경우라면, 도 8의 실시예에서와 같이 ESD 트랜지스터를 위한 별도의 수평방향 기저전압 배선이 필요 없게 되므로 비표시 영역을 상대적으로 감소시킬 수 있고, 그 결과 내로우 베젤(Narrow Bezel)을 달성할 수도 있게 된다.
- [0103] 도 9는 도 8의 실시예에 의한 ESD 트랜지스터의 단면 구조와 그 제조 공정을 설명하기 위한 것으로, 대부분 도 7의 설명과 중복되므로 중복된 설명은 생략하고 주요한 부분만 설명한다.
- [0104] 도 9의 좌측에는 본 발명의 실시예에 의한 비패드층(X-Pad)에 형성된 ESD 트랜지스터의 단면 구조(도 8의 II-II' 단면)를 도시하며, 이해를 돕기 위해서 오른쪽에는 표시영역 각 화소에 포함되는 구동 트랜지스터(DTr) 단면 구조를 함께 도시한다.
- [0105] 구동 트랜지스터(DTr)의 게이트 전극(310), 활성층(315), 소스/드레인 전극(318, 320)의 형성 과정과 동일한 공정으로, ESD 트랜지스터(800)의 게이트 전극(830), 활성층, 소스 전극(810) 및 드레인 전극(820)을 형성한다. 이 때, ESD 트랜지스터의 소스 전극(810)은 데이터 라인의 연장부와 일체로 형성된다.
- [0106] 다음으로, 소스 드레인 레이어 상부에 패시베이션층 또는 보호층(PAS; 525)을 증착한 후, ESD 트랜지스터(80

0)의 드레인 전극(820) 상부에 증착되는 보호층(PAS; 525)의 일부 영역을 식각하여 드레인 전극(820)의 일부를 노출시키도록 하는 드레인 콘택홀(822)을 형성한다.

- [0107] 다음으로, 구동 트랜지스터 영역에는 애노드 전극층(340),뱅크층(350) 및 유기발광층(EL; 360) 등이 순차적으로 형성된 후, 그 상부에 캐소드 전극층(370)이 증착된다. 이 때 ESD 트랜지스터 영역에도 캐소드 전극층(570)이 증착되는데, 미리 형성된 드레인 콘택홀(822)에 의하여 캐소드 전극층이 직접 ESD 트랜지스터의 드레인 전극(820)에 연결되게 된다.
- [0108] 도 10은 본 발명의 또다른 실시예에 의한 소스 패드층(S-Pad)의 ESD 트랜지스터의 평면도이다.
- [0109] 도 10의 실시예는 도 6의 실시예와 비교할 때, ESD 트랜지스터의 소스 전극과 드레인 전극의 배치관계가 상이하다.
- [0110] 즉, 도 6의 실시예에서는 ESD 트랜지스터(700)의 드레인 전극(720)이 표시 영역측에 더 가깝게 형성하는 반면, 도 10의 실시예에서는 ESD 트랜지스터(100)의 소스 전극(1100)을 표시 영역에 가깝도록 형성한다.
- [0111] 도 10의 실시예에 의한 ESD 트랜지스터의 드레인 전극(1200) 소스 전극(1100) 보다 더 외곽에 형성되며, 그 상부에 제공된 드레인 콘택홀(1220)에 의하여 최상부의 캐소드 전극층에 접속되게 된다.
- [0112] 도 6의 실시예에서는 ESD 트랜지스터의 드레인 전극(720)을 소스 전극(710) 보다 표시영역에 가깝게 형성함으로써 캐소드 전극층(570)의 형성 면적을 감소시킬 수 있다는 장점은 있지만, 데이터 라인에 전기적으로 연결되어야 하는 소스 전극(710)을 비표시영역의 더 외곽으로 배치함으로써 설계상으로 조금 더 복잡해지는 단점이 있을 수 있었다.
- [0113] 따라서, 도 10의 실시예에서는 캐소드 전극층의 형성 면적에 제한이 없는 경우, 데이터 패드에 가까운 쪽에 소스 전극(1100)을 형성함으로써 전극 패턴의 설계가 단순해진다는 효과를 가질 수 있게 된다.
- [0114] 이상과 같은 본 발명의 일 실시예에 의하면, OLED 표시패널의 소스 패드층(S-Pad)에 형성되는 ESD 트랜지스터의 드레인 전극이 드레인 콘택홀에 의해 캐소드 전극층에 전기적으로 연결됨으로써, ESD 트랜지스터 영역에 별도의 기저전압(VSS) 배선을 형성하지 않을수 있으며, 따라서 ESD 트랜지스터 영역에서 기저전압 배선과 구동전압 배선의 오버랩으로 인한 쇼트 또는 번트(Burnt) 발생이 방지되는 효과가 있다.
- [0115] 또한, 본 발명의 다른 실시예에 의하면, OLED 표시패널의 비패드층(X-Pad)에 형성되는 ESD 트랜지스터의 드레인 전극에 기저전압을 제공하기 위한 별도의 기저전압(VSS) 배선을 형성하지 않을수 있으며, 따라서 구동전압(VDD) 배선의 폭을 증가시켜 설계상의 편의성 및 저항 감소에 따른 소비전력 절감 효과를 제공할 수 있다.
- [0116] 또한, OLED 표시패널의 비패드층(X-Pad)에 형성되는 ESD 트랜지스터의 드레인 전극에 기저전압을 제공하기 위한 별도의 수평방향 기저전압(VSS) 배선을 형성하지 않을수 있음으로써, 비표시 영역의 감소에 따른 내로우 베젤(Narrow Bezel)을 달성할 수 있는 효과가 있다.
- [0117] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

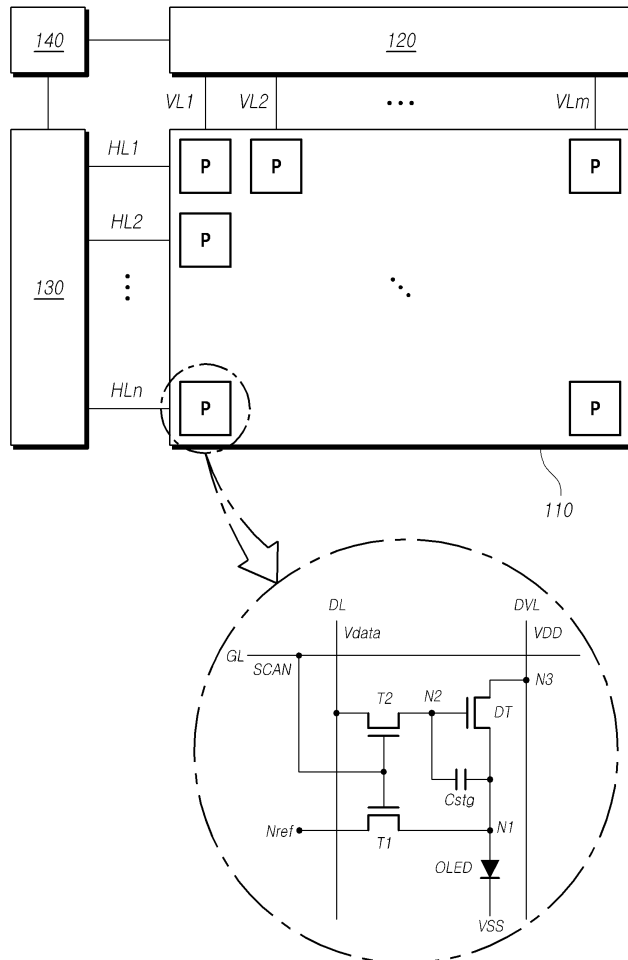
부호의 설명

- [0118] 700, 800, 1000: 정전기 방출(ESD) 트랜지스터
 710, 810, 1100 : 소스 전극 720, 820, 1200 : 드레인 전극
 730, 830, 1300 : 게이트 전극 722, 822, 1220 : 드레인 콘택홀
 370, 570 : 캐소드 전극층 340 : 기저전압(VSS) 배선
 350, 650, 850 : 구동전압(VDD) 배선
 525 : 보호층(패시베이션층; PAS) 620 : 데이터 패드

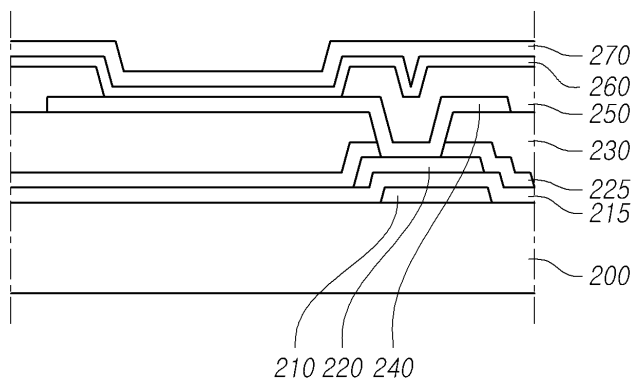
도면

도면1

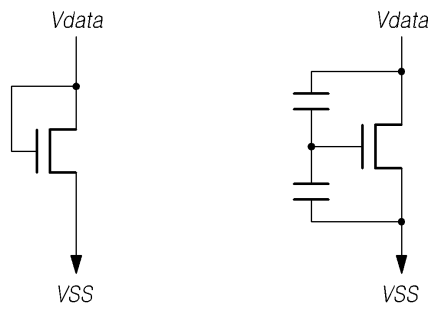
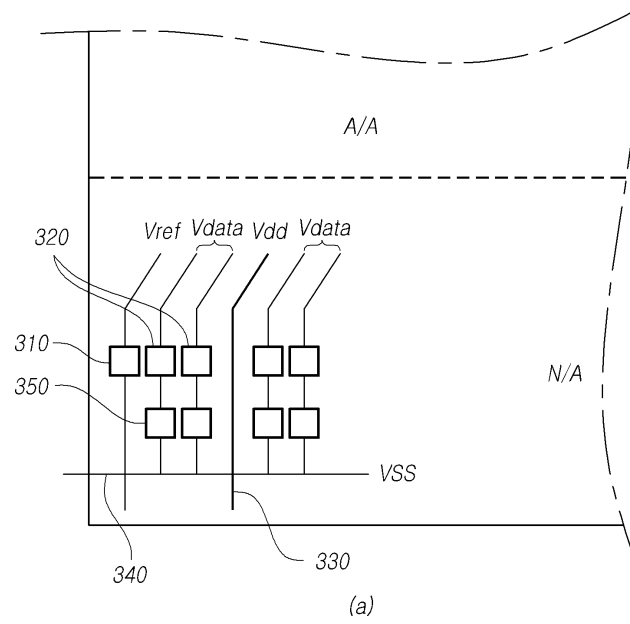
100



도면2

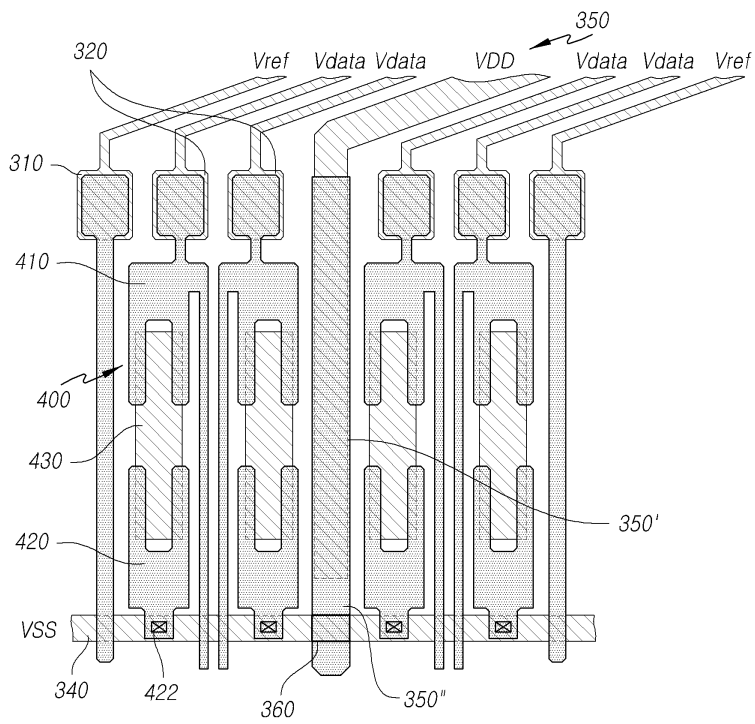


도면3

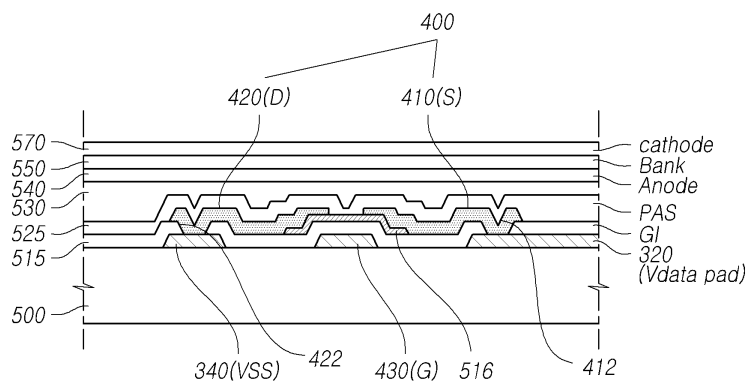


(b)

도면4

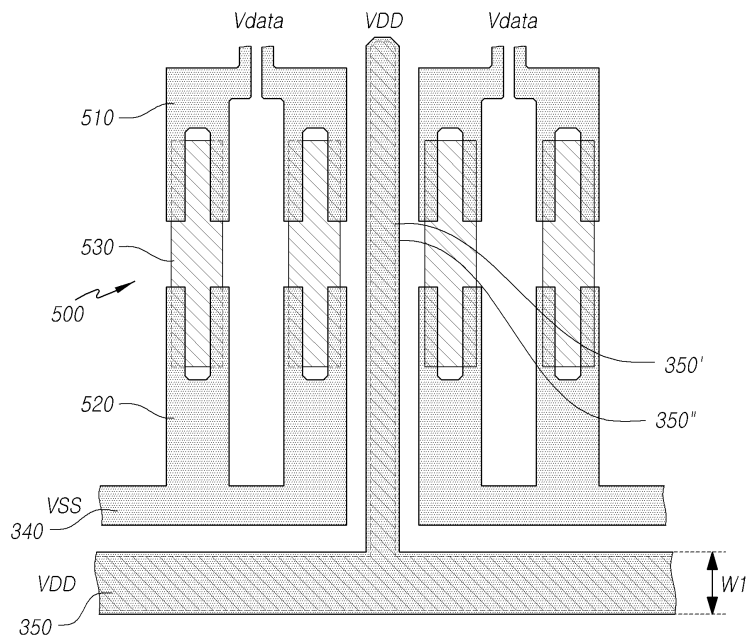


(a)

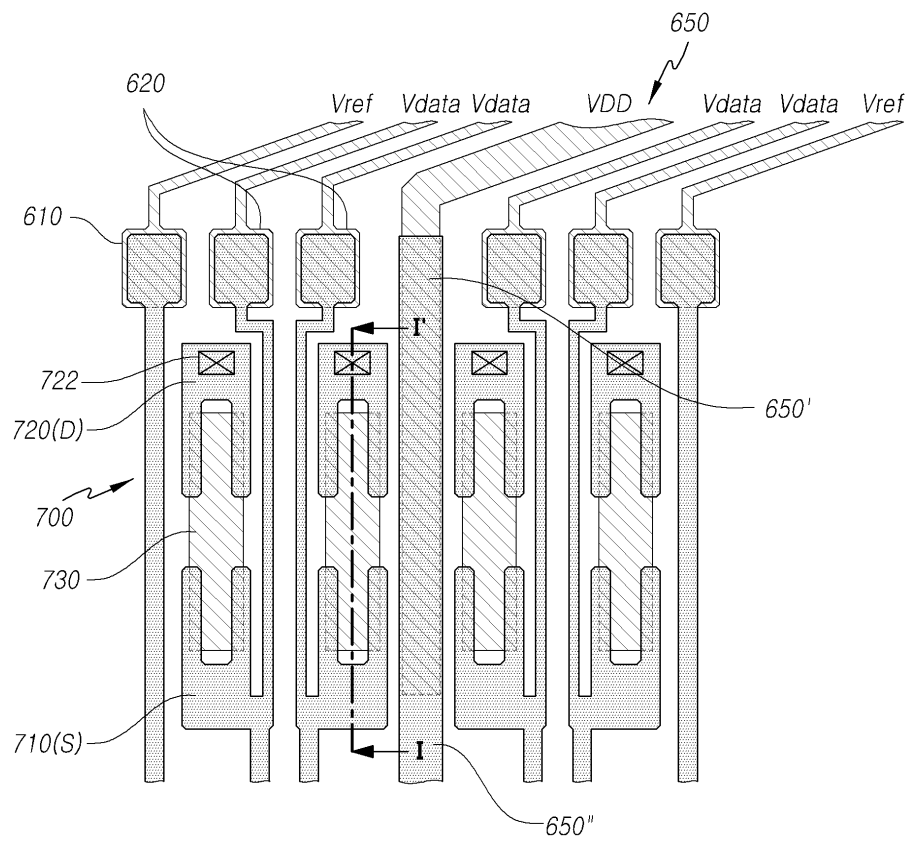


(b)

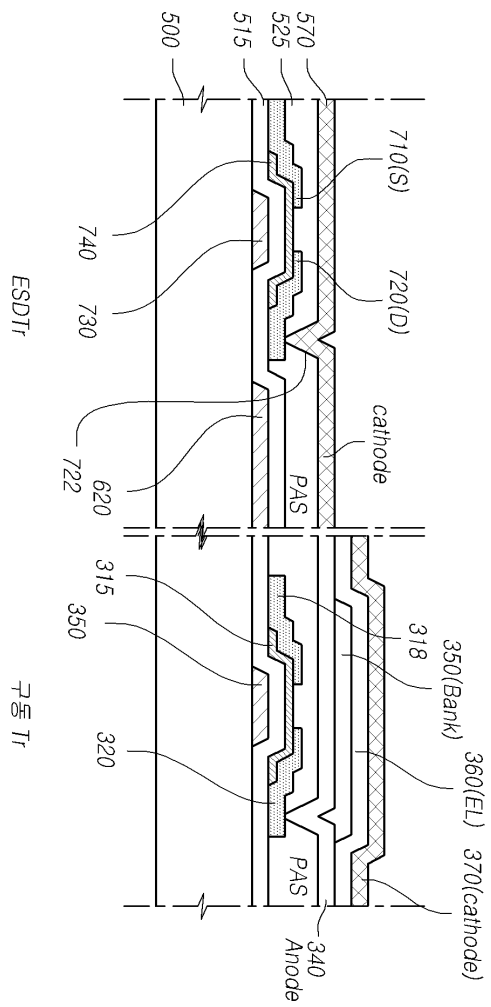
도면5



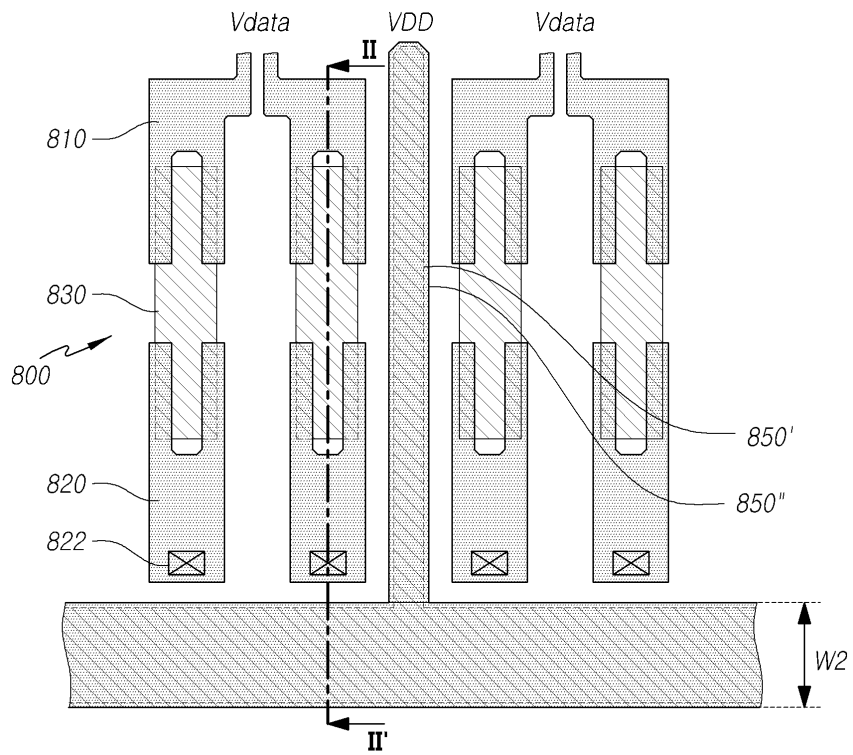
도면6



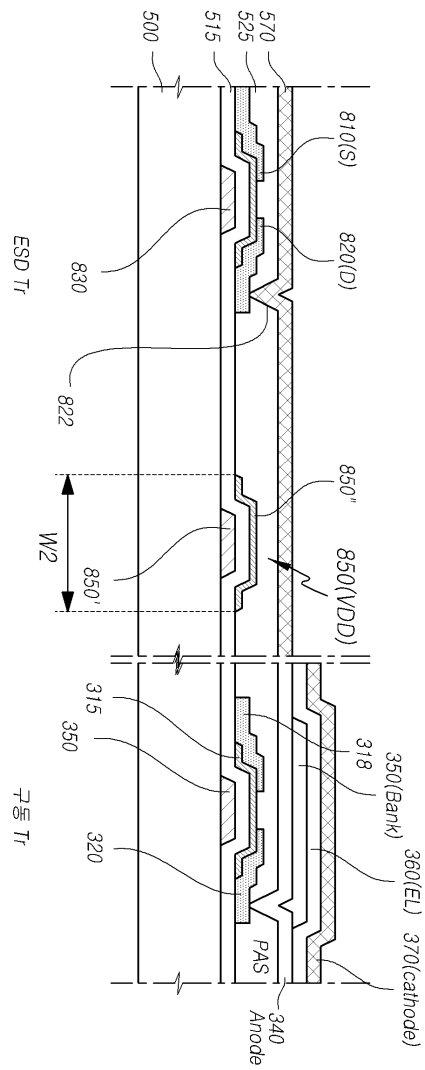
도면7



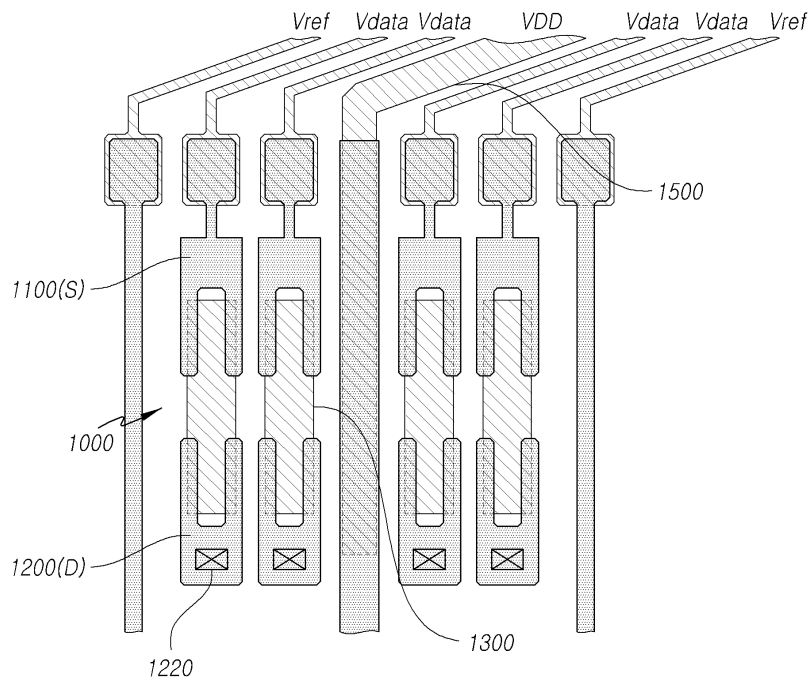
도면8



도면9



도면10



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020160082738A	公开(公告)日	2016-07-11
申请号	KR1020140191711	申请日	2014-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YUN SOON IL 윤순일 LEE KYUNG SU 이경수		
发明人	윤순일 이경수		
IPC分类号	H01L27/32		
CPC分类号	H01L27/32 H01L27/3202 H01L27/3204		
代理人(译)	Gimeungu 宋.		
外部链接	Espacenet		

摘要(译)

[0001]本发明涉及有机发光二极管 (OLED) 显示器，更具体地，涉及其中形成在源极焊盘侧 (S-Pad) 中的静电放电 (ESD) 晶体管的漏电极的显示装置。 ESD晶体管区域中的空穴 (VSS) 布线，以及由于感应电压布线和ESD晶体管区域中的驱动电压布线的重叠导致的短路或短路 (VSS) 布线可以增加驱动电压VDD布线的宽度，并且由于电阻的减小而提供设计方便和省电效果。

