



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0014139

(43) 공개일자 2016년02월11일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01) H01L 51/50 (2006.01)

(21) 출원번호 10-2014-0095611

(22) 출원일자 2014년07월28일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기 용인시 기흥구 삼성로1(농서동)

(72) 발명자

안기완

서울특별시 양천구 목동동로 257, 102동

장용재

서울특별시 마포구 상암산로1길 92, 706동 403호

(74) 대리인

박영우

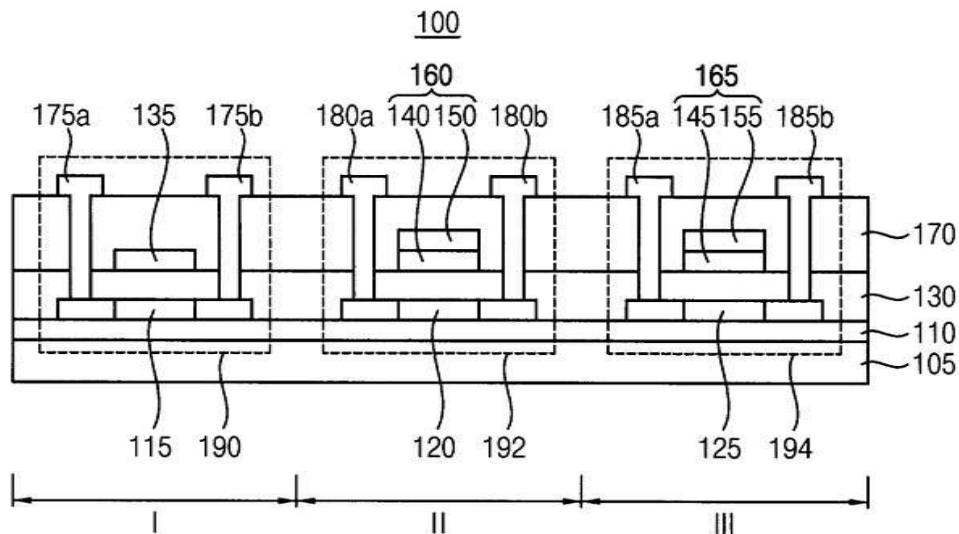
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 기관, 표시 기관의 제조 방법 및 표시 기관을 포함하는 유기 발광 표시 장치

(57) 요약

표시 기관은 기관, 제1 반도체 소자, 제2 반도체 소자 및 제3 반도체 소자를 포함할 수 있다. 기관은 제1 영역, 제2 영역 및 제3 영역을 포함할 수 있다. 제1 반도체 소자는 기관의 제1 영역에 배치되며 제1 투과율을 가질 수 있다. 제2 반도체 소자는 기관의 제2 영역에 배치되며 제1 투과율과 다른 제2 투과율을 가질 수 있다. 제3 반도체 소자는 기관의 제3 영역에 배치되며 제1 투과율과 다른 제3 투과율을 가질 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

제1 영역, 제2 영역 및 제3 영역을 포함하는 기관;

상기 제1 영역의 기관 상에 배치되며, 제1 투과율을 가지는 제1 반도체 소자;

상기 제2 영역의 기관 상에 배치되며, 상기 제1 투과율과 다른 제2 투과율을 가지는 제2 반도체 소자; 및

상기 제3 영역의 기관 상에 배치되며, 상기 제1 투과율과 다른 제3 투과율을 가지는 제3 반도체 소자를 포함하는 표시 기관.

청구항 2

제1항에 있어서, 상기 제1 투과율은 상기 제2 투과율과 상기 제3 투과율보다 큰 것을 특징으로 하는 표시 기관.

청구항 3

제2항에 있어서, 상기 제2 투과율 및 상기 제3 투과율은 동일한 것을 특징으로 하는 표시 기관.

청구항 4

제2항에 있어서, 상기 제2 투과율 및 상기 제3 투과율은 다른 것을 특징으로 하는 표시 기관.

청구항 5

제1항에 있어서, 상기 제1 반도체 소자는,

제1 액티브 패턴;

상기 제1 액티브 패턴을 덮는 게이트 절연층;

상기 게이트 절연층 상에 배치되며, 투명 도전성 물질을 포함하는 제1 게이트 전극; 및

상기 제1 액티브 패턴에 접속되는 제1 소스 및 드레인 전극을 포함하는 것을 특징으로 하는 표시 기관.

청구항 6

제5항에 있어서, 상기 제2 반도체 소자는,

제2 액티브 패턴;

상기 제2 액티브 패턴을 덮는 상기 게이트 절연층;

상기 게이트 절연층 상에 배치되며, 투명 도전성 물질을 포함하는 제1 게이트 전극 패턴 및 상기 제1 게이트 전극 패턴 상에 배치되고, 불투명한 도전성 물질을 구비하는 제2 게이트 전극 패턴을 갖는 제2 게이트 전극; 및

상기 제2 액티브 패턴의 일측과 접속되는 제2 소스 전극 및 상기 제2 액티브 패턴의 타측과 접속되는 제2 드레인 전극을 포함하는 것을 특징으로 하는 표시 기관.

청구항 7

제6항에 있어서, 상기 제3 반도체 소자는,

제3 액티브 패턴;

상기 제3 액티브 패턴을 덮는 상기 게이트 절연층;

상기 게이트 절연층 상에 배치되며, 투명 도전성 물질을 포함하는 제3 게이트 전극 패턴 및 상기 제3 게이트 전극 패턴 상에 배치되고 불투명 도전성 물질을 포함하는 제4 게이트 전극 패턴을 갖는 제3 게이트 전극; 및

상기 제3 액티브 패턴과 접속되는 제3 소스 전극 및 제3 드레인 전극을 포함하는 것을 특징으로 하는 표시

기관.

청구항 8

제7항에 있어서, 상기 투명 도전성 물질은 인듐 주석 산화물, 인듐 아연 산화물, 아연 산화물, 주석 산화물, 갈륨 산화물 및 인듐 산화물로 이루어진 그룹으로부터 선택된 적어도 하나를 포함하는 것을 특징으로 하는 표시 기관.

청구항 9

제7항에 있어서, 상기 불투명 도전성 물질은 크롬(Cr)계 금속, 알루미늄(Al)계 금속, 은(Ag)계 금속, 주석(Sn)계 금속, 몰리브덴(Mo)계 금속, 철(Fe)계 금속, 플라티늄(Pt)계 금속 및 수은(Hg)계 금속으로 이루어진 그룹으로부터 선택된 적어도 하나를 포함하는 것을 특징으로 하는 표시 기관.

청구항 10

제5항에 있어서, 상기 제2 반도체 소자는,

제2 액티브 패턴;

상기 제2 액티브 패턴을 덮는 상기 게이트 절연층;

상기 게이트 절연층 상에 배치되며, 불투명 도전성 물질을 포함하는 제2 게이트 전극; 및

상기 제2 액티브 패턴의 일측과 접속되는 제2 소스 전극 및 상기 제2 액티브 패턴의 타측과 접속되는 제2 드레인 전극을 포함하는 것을 특징으로 하는 표시 기관.

청구항 11

제10항에 있어서, 상기 제3 반도체 소자는,

제3 액티브 패턴;

상기 제3 액티브 패턴을 덮는 상기 게이트 절연층;

상기 게이트 절연층 상에 배치되며, 불투명 도전성 물질을 포함하는 제3 게이트 전극; 및

상기 제3 액티브 패턴과 접속되는 제3 소스 전극 및 제3 드레인 전극을 포함하는 것을 특징으로 하는 표시 기관.

청구항 12

제1 내지 제3 영역을 포함하는 기관을 제공하는 단계;

상기 기관의 상기 제1 영역에 제1 액티브 패턴을 형성하는 단계;

상기 기관의 상기 제2 영역에 제2 액티브 패턴을 형성하는 단계;

상기 기관의 상기 제3 영역에 제3 액티브 패턴을 형성하는 단계;

상기 제1 액티브 패턴, 상기 제2액티브 패턴 및 상기 제3 액티브 패턴을 덮는 게이트 절연층을 형성하는 단계;

상기 기관의 상기 제1 영역의 게이트 절연층을 사이에 두고 상기 제1 액티브 패턴과 중첩되는 제1 게이트 전극을 형성하는 단계;

상기 기관의 상기 제2 영역의 게이트 절연층을 사이에 두고 상기 제2 액티브 패턴과 중첩되는 제2 게이트 전극을 형성하는 단계;

상기 기관의 상기 제3 영역의 게이트 절연층을 사이에 두고 상기 제3 액티브 패턴과 중첩되는 제3 게이트 전극을 형성하는 단계;

상기 제1 액티브 패턴에 접속되는 제1 소스 전극 및 제1 드레인 전극을 형성하는 단계;

상기 제2 액티브 패턴에 접속되는 제2 소스 전극 및 제2 드레인 전극을 형성하는 단계; 및

상기 제3 액티브 패턴에 접속되는 제3 소스 전극 및 제3 드레인 전극을 형성하는 단계를 포함하는 표시 기관의

제조 방법.

청구항 13

제12항에 있어서, 상기 제1 게이트 전극을 형성하는 단계는,

상기 게이트 절연층 상에 제1 게이트 전극막을 형성하는 단계;

상기 제1 게이트 전극막 상에 제2 게이트 전극막을 형성하는 단계;

하프톤 마스크 또는 하프톤 슬릿 마스크를 이용하여 상기 제1 게이트 전극막 및 상기 제2 게이트 전극막을 식각하는 단계; 및

상기 제2 게이트 전극막이 식각된 부분을 제거하는 단계를 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 14

제12항에 있어서, 상기 제2 게이트 전극을 형성하는 단계 및 상기 제3 게이트 전극을 형성하는 단계는,

상기 게이트 절연층 상에 제1 게이트 전극막을 형성하는 단계;

상기 제1 게이트 전극막 상에 제2 게이트 전극막을 형성하는 단계; 및

상기 제1 게이트 전극막 및 상기 제2 게이트 전극막을 식각하는 단계를 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 15

제14항에 있어서, 상기 제1 게이트 전극막 및 상기 제2 게이트 전극막을 식각하는 단계는 하프톤 마스크 또는 하프톤 슬릿 마스크를 이용하여 수행되는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 16

제12항에 있어서, 상기 제1 게이트 전극을 형성하는 단계는,

상기 게이트 절연층 상에 제1 게이트 전극막을 형성하는 단계; 및

상기 제1 게이트 전극막을 부분적으로 식각하여 상기 기판의 상기 제1 영역의 상기 게이트 절연층 상에 제1 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 17

제12항에 있어서, 상기 제2 게이트 전극을 형성하는 단계는,

상기 게이트 절연층 상에 제1 게이트 전극막을 형성하는 단계;

상기 제1 게이트 전극막을 부분적으로 식각하여 상기 기판의 상기 제2 영역의 상기 게이트 절연층 상에 제1 게이트 전극 패터를 형성하는 단계;

상기 제1 게이트 전극 패터를 덮는 제2 게이트 전극막을 형성하는 단계; 및

상기 제2 게이트 전극막을 부분적으로 식각하여 상기 기판의 상기 제2 영역의 상기 게이트 절연층 상에 제2 게이트 전극 패터를 형성하는 단계를 포함하는 것을 특징으로 하는 표시 기판의 제조 방법.

청구항 18

제12항에 있어서, 상기 제3 게이트 전극을 형성하는 단계는,

상기 게이트 절연층 상에 제1 게이트 전극막을 형성하는 단계;

상기 제1 게이트 전극막을 부분적으로 식각하여 상기 기판의 상기 제3 영역의 상기 게이트 절연층 상에 제3 게이트 전극 패터를 형성하는 단계;

상기 제3 게이트 전극 패터를 덮는 제2 게이트 전극막을 형성하는 단계; 및

상기 제2 게이트 전극막을 부분적으로 식각하여 상기 기관의 상기 제3 영역의 상기 게이트 절연층 상에 제4 게이트 전극 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 표시 기관의 제조 방법.

청구항 19

제12항에 있어서, 상기 제1 반도체 소자는 제1 투과율을 가지고, 상기 제2 반도체 소자는 상기 제1 투과율과 다른 제2 투과율을 가지며, 상기 제3 반도체 소자는 상기 제1 투과율과 다른 제3 투과율을 가지는 것을 특징으로 하는 표시 기관의 제조 방법.

청구항 20

제1 영역, 제2 영역 및 제3 영역을 포함하는 기관;

상기 기관의 상기 제1 영역에 배치되며 제1 투과율을 가지는 제1 반도체 소자;

상기 기관의 상기 제2 영역에 배치되며 상기 제1 투과율과 다른 제2 투과율을 가지는 제2 반도체 소자;

상기 기관의 상기 제3 영역에 배치되며 상기 제1 투과율과 다른 제3 투과율을 가지는 제3 반도체 소자;

상기 제3 반도체 소자와 접속되는 제1 전극;

상기 제1 전극 상에 배치되는 유기 발광 구조; 및

상기 유기 발광 구조 상에 배치되는 제2 전극을 포함하는 유기 발광 표시 장치.

명세서

기술분야

[0001] 본 발명은 표시 기관, 표시 기관의 제조 방법 및 표시 기관을 포함하는 유기 발광 표시 장치에 관한 것이다. 보다 상세하게는, 본 발명은 상이한 투과율들을 가지는 복수의 게이트 전극들을 구비하는 복수의 반도체 소자들을 포함하는 표시 기관, 표시 기관의 제조 방법 및 표시 기관을 포함하는 유기 발광 표시 장치에 관한 것이다.

배경기술

[0002] 일반적으로, 표시 기관 상에는 유기 발광 구조로부터 방출된 광을 센싱하는 제1 반도체 소자, 상기 제1 반도체 소자로부터 데이터를 출력하는 제2 반도체 소자 및 상기 데이터에 근거하여 상기 유기 발광 구조에 흐르는 전류를 제어하는 제3 반도체 소자 등이 배치될 수 있다.

[0003] 종래의 표시 기관에 구비되는 제1 반도체 소자, 제2 반도체 소자 및 제3 반도체 소자는 각기 동일한 투과율을 가지는 게이트 전극들을 포함할 수 있다. 이러한 게이트 전극들은 각기 동일한 물질을 이용하여 동시에 형성될 수 있다. 이에 따라, 낮은 투과율을 요구하는 상기 제2 및 제3 반도체 소자들에 기초하여 상기 게이트 전극들의 물질을 결정하는 경우, 상기 제1 반도체 소자의 광 센싱 능력이 저하되는 문제점이 있고, 높은 투과율을 요구하는 상기 제1 반도체 소자에 기초하여 상기 게이트 전극들의 물질을 결정하는 경우, 상기 제2 및 제3 반도체 소자들의 소자 신뢰성이 저하되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 목적은 상이한 투과율들을 가지는 복수의 게이트 전극들을 구비하는 복수의 반도체 소자들을 포함하여 광 센싱 능력, 소자 신뢰성 등을 확보할 수 있는 표시 기관을 제공하는 것이다.

[0005] 본 발명의 다른 목적은 상술한 표시 기관의 제조 방법을 제공하는 것이다.

[0006] 본 발명의 또 다른 목적은 상술한 표시 기관을 포함하는 유기 발광 표시 장치를 제공하는 것이다.

[0007] 본 발명의 목적이 전술한 목적들에 한정되는 것은 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

- [0008] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 표시 기판은, 기판, 제1 반도체 소자, 제2 반도체 소자, 제3 반도체 소자 등을 포함할 수 있다. 상기 기판은 제1 영역, 제2 영역 및 제3 영역을 포함할 수 있다. 상기 제1 반도체 소자는 상기 제1 영역의 기판 상에 배치되며 제1 투과율을 가질 수 있다. 상기 제2 반도체 소자는 상기 제2 영역의 기판 상에 배치되며 상기 제1 투과율과 다른 제2 투과율을 가질 수 있다. 상기 제3 반도체 소자는 상기 제3 영역의 기판 상에 배치되며 상기 제1 투과율과 다른 제3 투과율을 가질 수 있다.
- [0009] 예시적인 실시예들에 있어서, 상기 제1 투과율은 상기 제2 투과율과 상기 제3 투과율보다 클 수 있다.
- [0010] 예시적인 실시예들에 있어서, 상기 제2 투과율 및 상기 제3 투과율은 동일할 수 있다.
- [0011] 예시적인 실시예들에 있어서, 상기 제2 투과율 및 상기 제3 투과율은 서로 다를 수 있다.
- [0012] 예시적인 실시예들에 있어서, 상기 제1 반도체 소자는, 제1 액티브 패턴, 상기 제1 액티브 패턴을 덮는 게이트 절연층, 상기 게이트 절연층 상에 배치되며, 투명 도전성 물질을 포함하는 제1 게이트 전극 및 상기 제1 액티브 패턴에 접속되는 제1 소스 및 드레인 전극을 포함할 수 있다.
- [0013] 예시적인 실시예들에 있어서, 상기 제2 반도체 소자는, 제2 액티브 패턴, 상기 제2 액티브 패턴을 덮는 상기 게이트 절연층, 상기 게이트 절연층 상에 배치되며, 투명 도전성 물질을 포함하는 제1 게이트 전극 패턴 및 상기 제1 게이트 전극 패턴 상에 배치되고, 불투명한 도전성 물질을 구비하는 제2 게이트 전극 패턴을 갖는 제2 게이트 전극 및 상기 제2 액티브 패턴의 일측과 접속되는 제2 소스 전극 및 상기 제2 액티브 패턴의 타측과 접속되는 제2 드레인 전극을 포함할 수 있다.
- [0014] 예시적인 실시예들에 있어서, 상기 제3 반도체 소자는, 제3 액티브 패턴, 상기 제3 액티브 패턴을 덮는 상기 게이트 절연층, 상기 게이트 절연층 상에 배치되며, 투명 도전성 물질을 포함하는 제3 게이트 전극 패턴 및 상기 제3 게이트 전극 패턴 상에 배치되고 불투명 도전성 물질을 포함하는 제4 게이트 전극 패턴을 갖는 제3 게이트 전극 및 상기 제3 액티브 패턴과 접속되는 제3 소스 전극 및 제3 드레인 전극을 포함할 수 있다.
- [0015] 예시적인 실시예들에 있어서, 상기 투명 도전성 물질은 인듐 주석 산화물, 인듐 아연 산화물, 아연 산화물, 주석 산화물, 갈륨 산화물, 인듐 산화물 등을 포함할 수 있다.
- [0016] 예시적인 실시예들에 있어서, 상기 불투명 도전성 물질은 크롬(Cr)계 금속, 알루미늄(Al)계 금속, 은(Ag)계 금속, 주석(Sn)계 금속, 몰리브덴(Mo)계 금속, 철(Fe)계 금속, 플라티늄(Pt)계 금속, 수은(Hg)계 금속 등을 포함할 수 있다.
- [0017] 다른 예시적인 실시예들에 있어서, 상기 제2 반도체 소자는, 제2 액티브 패턴, 상기 제2 액티브 패턴을 덮는 상기 게이트 절연층, 상기 게이트 절연층 상에 배치되며, 불투명 도전성 물질을 포함하는 제2 게이트 전극 및 상기 제2 액티브 패턴의 일측과 접속되는 제2 소스 전극 및 상기 제2 액티브 패턴의 타측과 접속되는 제2 드레인 전극을 포함할 수 있다.
- [0018] 다른 예시적인 실시예들에 있어서, 상기 제3 반도체 소자는, 제3 액티브 패턴, 상기 제3 액티브 패턴을 덮는 상기 게이트 절연층, 상기 게이트 절연층 상에 배치되며, 불투명 도전성 물질을 포함하는 제3 게이트 전극 및 상기 제3 액티브 패턴과 접속되는 제3 소스 전극 및 제3 드레인 전극을 포함할 수 있다.
- [0019] 상술한 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 표시 기판의 제조 방법에 있어서, 제1 내지 제3 영역을 포함하는 기판을 제공한 후, 상기 기판의 상기 제1 영역에 제1 액티브 패턴을 형성할 수 있다. 상기 기판의 상기 제2 영역에 제2 액티브 패턴을 형성할 수 있다. 상기 기판의 상기 제3 영역에 제3 액티브 패턴을 형성할 수 있다. 상기 제1 액티브 패턴, 상기 제2 액티브 패턴 및 상기 제3 액티브 패턴을 덮는 게이트 절연층을 형성할 수 있다. 상기 기판의 상기 제1 영역의 게이트 절연층을 사이에 두고 상기 제1 액티브 패턴과 중첩되는 제1 게이트 전극을 형성할 수 있다. 상기 기판의 상기 제2 영역의 게이트 절연층을 사이에 두고 상기 제2 액티브 패턴과 중첩되는 제2 게이트 전극을 형성할 수 있다. 상기 기판의 상기 제3 영역의 게이트 절연층을 사이에 두고 상기 제3 액티브 패턴과 중첩되는 제3 게이트 전극을 형성할 수 있다. 상기 제1 액티브 패턴에 접속되는 제1 소스 전극 및 제1 드레인 전극을 형성할 수 있다. 상기 제2 액티브 패턴에 접속되는 제2 소스 전극 및 제2 드레인 전극을 형성할 수 있다. 상기 제3 액티브 패턴에 접속되는 제3 소스 전극 및 제3 드레인 전극을 형성할 수 있다.
- [0020] 예시적인 실시예들에 있어서, 상기 제1 게이트 전극을 형성하는 과정에 있어서, 상기 게이트 절연층 상에 제1 게이트 전극막을 형성할 수 있다. 상기 제1 게이트 전극막 상에 제2 게이트 전극막을 형성할 수 있다. 하프톤

마스크 또는 하프톤 슬릿 마스크를 이용하여 상기 제1 게이트 전극막 및 상기 제2 게이트 전극막을 식각할 수 있다. 상기 제2 게이트 전극막이 식각된 부분을 제거할 수 있다.

[0021] 예시적인 실시예들에 있어서, 상기 제2 게이트 전극을 형성하는 과정 및 상기 제3 게이트 전극을 형성하는 과정에 있어서, 상기 게이트 절연층 상에 제1 게이트 전극막을 형성할 수 있다. 상기 제1 게이트 전극막 상에 제2 게이트 전극막을 형성할 수 있다. 상기 제1 게이트 전극막 및 상기 제2 게이트 전극막을 식각할 수 있다.

[0022] 예시적인 실시예들에 있어서, 상기 제1 게이트 전극막 및 상기 제2 게이트 전극막을 식각하는 단계는 하프톤 마스크 또는 하프톤 슬릿 마스크를 이용하여 수행될 수 있다.

[0023] 다른 예시적인 실시예들에 있어서, 상기 제1 게이트 전극을 형성하는 과정에 있어서, 상기 게이트 절연층 상에 제1 게이트 전극막을 형성할 수 있다. 상기 제1 게이트 전극막을 부분적으로 식각하여 상기 기판의 상기 제1 영역의 상기 게이트 절연층 상에 제1 게이트 전극을 형성할 수 있다.

[0024] 다른 예시적인 실시예들에 있어서, 상기 제2 게이트 전극을 형성하는 과정에 있어서, 상기 게이트 절연층 상에 상기 제1 게이트 전극막을 형성할 수 있다. 상기 제1 게이트 전극막을 부분적으로 식각하여 상기 기판의 상기 제2 영역의 상기 게이트 절연층 상에 제1 게이트 전극 패턴을 형성할 수 있다. 상기 제1 게이트 전극 패턴을 덮는 제2 게이트 전극막을 형성할 수 있다. 상기 제2 게이트 전극막을 부분적으로 식각하여 상기 기판의 상기 제2 영역의 상기 게이트 절연층 상에 제2 게이트 전극 패턴을 형성할 수 있다.

[0025] 다른 예시적인 실시예들에 있어서, 상기 제3 게이트 전극을 형성하는 과정에 있어서, 상기 게이트 절연층 상에 상기 제1 게이트 전극막을 형성할 수 있다. 상기 제1 게이트 전극막을 부분적으로 식각하여 상기 기판의 상기 제3 영역의 상기 게이트 절연층 상에 제3 게이트 전극 패턴을 형성할 수 있다. 상기 제3 게이트 전극 패턴을 덮는 제2 게이트 전극막을 형성할 수 있다. 상기 제2 게이트 전극막을 부분적으로 식각하여 상기 기판의 상기 제3 영역의 상기 게이트 절연층 상에 제4 게이트 전극 패턴을 형성할 수 있다.

[0026] 예시적인 실시예들에 있어서, 상기 제1 반도체 소자는 제1 투과율을 가지고, 상기 제2 반도체 소자는 상기 제1 투과율과 다른 제2 투과율을 가지며, 상기 제3 반도체 소자는 상기 제1 투과율과 다른 제3 투과율을 가질 수 있다.

[0027] 상술한 본 발명의 또 다른 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는, 기판, 제1 반도체 소자, 제2 반도체 소자, 제3 반도체 소자, 제1 전극, 유기 발광 구조, 제2 전극 등을 포함할 수 있다. 상기 기판은 제1 영역, 제2 영역 및 제3 영역을 포함할 수 있다. 상기 제1 반도체 소자는 상기 제1 영역의 기판 상에 배치되며 제1 투과율을 가질 수 있다. 상기 제2 반도체 소자는 상기 제2 영역의 기판 상에 배치되며 상기 제1 투과율과 다른 제2 투과율을 가질 수 있다. 상기 제3 반도체 소자는 상기 제3 영역의 기판 상에 배치되며 상기 제1 투과율과 다른 제3 투과율을 가질 수 있다. 상기 제1 전극은 상기 제3 반도체 소자와 접속될 수 있다. 상기 유기 발광 구조는 상기 제1 전극 상에 배치될 수 있다. 상기 제2 전극은 상기 유기 발광 구조 상에 배치될 수 있다.

발명의 효과

[0028] 본 발명의 예시적인 실시예들에 따른 표시 기판은 상이한 투과율들을 가지는 복수의 게이트 전극들(예를 들면, 제1 게이트 전극, 제2 게이트 전극 및 제3 게이트 전극)을 구비하여 제1 투과율을 가지는 제1 반도체 소자, 제2 투과율을 가지는 제2 반도체 소자 및 제3 광투과율을 가지는 제3 반도체 소자를 포함할 수 있다. 상기 제1 반도체 소자의 상기 제1 게이트 전극은 유기 발광 소자로부터 방출되는 빛을 보다 용이하게 흡수(또는 투과)시킬 수 있기 때문에, 상기 제1 반도체 소자가 광 센싱 트랜지스터로 기능할 때, 상기 제1 반도체 소자는 향상된 광 센싱 능력을 가질 수 있다. 또한, 제2 반도체 소자의 제2 게이트 전극 및 제3 반도체 소자의 제3 게이트 전극은 각기 상기 유기 발광 구조로부터 방출되는 광을 반사시킬 수 있기 때문에, 상기 광에 의한 광 전류(photo current)의 증가를 억제할 수 있으며, 각기 복층 구조를 가짐에 따라, 시간의 흐름에 따라 문턱 전압이 음(-)의 방향으로 이동(shift)되는 것을 방지할 수 있다. 그 결과, 상기 제2 반도체 소자 및 상기 제3 반도체 소자는 향상된 소자 신뢰성을 가질 수 있다. 본 발명의 예시적인 실시예들에 따른 표시 기판의 제조 방법에 있어서, 제1 반도체 소자의 제1 게이트 전극, 제2 반도체 소자의 제2 게이트 전극 및 제3 반도체 소자의 제3 게이트 전극은 하프톤 마스크 또는 하프톤 슬릿 마스크를 사용하는 1회의 식각 공정을 통해 동시에 형성되기 때문에, 제조 공정의 추가없이 제1 내지 제3 반도체 소자들을 동시에 형성할 수 있기 때문에, 제조 비용을 절감할 수 있다. 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는 상이한 투과율들을 가지는 복수의 반도체 소자들을 구비하는 표시 기판을 포함하고 상기 반도체 소자들 중에서 낮은 투과율을 가지는 반도체 소자들에 의해 유기 발

광 구조로부터 방출되는 빛을 외부로 방출시킴에 따라, 향상된 광효율을 제공할 수 있다.

[0029] 다만, 본 발명의 효과가 상술한 바에 한정되는 것은 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0030] 도 1은 본 발명의 예시적인 실시예들에 따른 표시 기판을 나타내는 단면도이다.

도 2 내지 도 8은 본 발명의 예시적인 실시예들에 따른 표시 기판의 제조 방법을 설명하기 위한 단면도들이다.

도 9는 본 발명의 다른 예시적인 실시예들에 따른 표시 기판을 나타내는 단면도이다.

도 10 내지 도 15는 본 발명의 다른 예시적인 실시예들에 따른 표시 기판의 제조 방법을 설명하기 위한 단면도들이다.

도 16은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0031] 이하, 첨부한 도면들을 참조하여, 본 발명의 예시적인 실시예들에 따른 표시 기판, 표시 기판의 제조 방법 및 표시 기판을 포함하는 유기 발광 표시 장치에 대하여 상세하게 설명한다.

[0032] 도 1을 참조하면, 표시 기판(100)은 기판(105), 제1 반도체 소자(190), 제2 반도체 소자(192), 제3 반도체 소자(194) 등을 포함할 수 있다.

[0033] 기판(105)은 투명 절연 물질을 포함할 수 있다. 예시적인 실시예들에 있어서, 기판(105)은 제1 영역(I), 제2 영역(II) 및 제3 영역(III)을 포함할 수 있다. 도 1에 예시한 바와 같이, 제2 영역(II)은 제1 영역(I)에 인접할 수 있고, 제3 영역(III)은 제2 영역(II)에 인접할 수 있다.

[0034] 기판(105) 상에 버퍼층(110)이 배치될 수 있다. 버퍼층(110)은 기판(105)이 표면이 균일하지 않을 경우, 기판(105)의 표면의 평탄도를 향상시키는 역할을 수행할 수도 있다.

[0035] 제1 반도체 소자(190)는 기판(105)의 제1 영역(I)에 순차적으로 배치된 제1 액티브 패턴(115), 게이트 절연층(130), 제1 게이트 전극(135), 층간 절연층(170) 그리고 게이트 절연층(130)과 층간 절연층(170)을 관통하여 제1 액티브 패턴(115)에 접속되는 제1 소스 전극(175a) 및 제1 드레인 전극(175b)을 포함할 수 있고, 제2 반도체 소자(192)는 기판(105)의 제2 영역(II)에 순차적으로 배치된 제2 액티브 패턴(120), 게이트 절연층(130), 제2 게이트 전극(160), 층간 절연층(170) 및 게이트 절연층(130)과 층간 절연층(170)을 관통하여 제2 액티브 패턴(120)에 접속되는 제2 소스 전극(180a) 및 제2 드레인 전극(180b)을 포함할 수 있으며, 제3 반도체 소자(194)는 기판(105)의 제3 영역(III)에 순차적으로 배치된 제3 액티브 패턴(125), 게이트 절연층(130), 제3 게이트 전극(165), 층간 절연층(170) 및 게이트 절연층(130)과 층간 절연층(170)을 관통하여 제3 액티브 패턴(125)에 접속되는 제3 소스 전극(185a) 및 제3 드레인 전극(185b)을 포함할 수 있다. 예시적인 실시예들에 있어서, 제1 게이트 전극(135), 제2 게이트 전극(160) 및 제3 게이트 전극(165)은 각기 다른 투과율을 가질 수 있다. 이에 대해서는 후술한다.

[0036] 제1 액티브 패턴(115)은 기판(105)의 제1 영역(I)의 버퍼층(110) 상에 배치될 수 있다. 제1 액티브 패턴(115)은 실리콘을 함유할 수 있다. 선택적으로는, 제1 액티브 패턴(115)은 반도체 산화물을 함유할 수도 있다.

[0037] 제2 액티브 패턴(120)은 기판(105)의 제2 영역(II)의 버퍼층(110) 상에 배치될 수 있다. 예를 들면, 제2 액티브 패턴(120)은 제1 액티브 패턴(115)과 실질적으로 동일한 물질을 포함할 수 있다.

[0038] 제3 액티브 패턴(125)은 기판(105)의 제3 영역(III)의 버퍼층(110) 상에 배치될 수 있다. 이러한 제3 액티브 패턴(125)은 제1 액티브 패턴(115) 및/또는 제2 액티브 패턴(120)과 실질적으로 동일한 물질을 포함할 수 있다.

[0039] 게이트 절연층(130)은 제1 액티브 패턴(115), 제2 액티브 패턴(120) 및 제3 액티브 패턴(125)을 덮으면서 버퍼층(110) 상에 배치될 수 있으며, 게이트 절연층(130)은 실리콘 산화물, 실리콘 탄산화물 등과 같은 실리콘 화합물로 구성될 수 있다.

[0040] 기판(105)의 제1 영역(I)의 게이트 절연층(130) 상에 제1 게이트 전극(135)이 배치될 수 있다. 제1 게이트 전극(135)은 게이트 절연층(130)의 하부에 제1 액티브 패턴(115)이 위치하는 영역들 상에 배치될 수 있다. 예시적

인 실시예들에 따르면, 제1 게이트 전극(135)은 투명 도전성 물질을 포함할 수 있다. 달리 말하면, 제1 게이트 전극(135)은 광 흡수율이 높은 물질을 포함할 수 있다. 제1 게이트 전극(135)으로 사용될 수 있는 투명 도전성 물질은 인듐 주석 산화물, 인듐 아연 산화물, 아연 산화물, 주석 산화물, 갈륨 산화물, 인듐 산화물 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 예시적인 실시예들에 있어서, 제1 게이트 전극(135)은 제1 투과율을 가질 수 있다. 상술한 바와 같이, 제1 게이트 전극(135)은 광 흡수율이 높은 물질(즉, 광 민감성이 높은)로 구성되기 때문에, 상기 제1 투과율은 후술할 제2 게이트 전극의 제2 투과율 및 제3 게이트 전극의 제3 투과율 보다 상대적으로 클 수 있다. 이에 따라, 제1 게이트 전극(135)은 유기 발광 구조로부터 방출되는 광을 효과적으로 흡수(또는 투과)시켜 제1 반도체 소자(190)의 광 센싱 효율을 증가시킬 수 있다.

[0041]

기관(105)의 제2 영역(II)의 게이트 절연층(130) 상에 제1 게이트 전극 패턴(140)이 배치될 수 있으며, 제1 게이트 전극 패턴(140)은 게이트 절연층(130)을 사이에 두고 제2 액티브 패턴(120)과 중첩될 수 있다. 예시적인 실시예들에 있어서, 제1 게이트 전극 패턴(140)은 제1 게이트 전극(135)과 실질적으로 동일한 물질을 포함할 수 있으며, 제1 게이트 전극 패턴(140) 상에는 제2 게이트 전극 패턴(150)이 배치될 수 있다. 이에 따라, 제1 게이트 전극 패턴(140) 및 제2 게이트 전극 패턴(150)을 구비하는 복층 구조의 제2 게이트 전극(160)이 정의될 수 있다. 예시적인 실시예들에 있어서, 제2 게이트 전극 패턴(150)은 불투명 도전성 물질을 포함할 수 있다. 달리 말하면, 제2 게이트 전극 패턴(150)은 제1 게이트 전극(135) 보다 상대적으로 광 흡수율이 낮은(즉, 광 민감성이 낮은) 물질로 이루어질 수 있다. 예를 들면, 제2 게이트 전극 패턴(150)은 금속, 합금, 금속 질화물, 도전성 금속 산화물 등으로 이루어질 수 있다. 제2 게이트 전극 패턴(150)은 알루미늄, 알루미늄을 함유하는 합금, 알루미늄 질화물, 은, 은을 함유하는 합금, 텅스텐, 텅스텐 질화물, 구리, 구리를 함유하는 합금, 니켈, 크롬, 크롬 질화물, 몰리브데늄, 몰리브데늄을 함유하는 합금, 티타늄, 티타늄 질화물, 백금, 탄탈륨, 탄탈륨 질화물, 네오디뮴, 스칸듐, 스트론튬 루테튬 산화물 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 이와 같이, 제2 반도체 소자(192)는 불투명 도전성 물질로 구성되는 제2 게이트 전극 패턴(150)을 구비하는 제2 게이트 전극(160)을 포함함에 따라, 제1 반도체 소자(190)의 상기 제1 투과율 보다 상대적으로 작은 제2 투과율을 가질 수 있으며, 유기 발광 구조로부터 방출되는 광을 반사시킬 수 있다.

[0042]

기관(105)의 제3 영역(III)의 게이트 절연층(130) 상에 제3 게이트 전극 패턴(145)이 배치될 수 있다. 예시적인 실시예들에 있어서, 제3 게이트 전극 패턴(145)은 게이트 절연층(130)을 사이에 두고 제3 액티브 패턴(125)과 중첩될 수 있다. 예를 들면, 제3 게이트 전극 패턴(145)은 제1 게이트 전극 패턴(140)과 실질적으로 동일한 물질을 포함할 수 있으며, 제3 게이트 전극 패턴(145) 상에는 제2 게이트 전극 패턴(150)과 실질적으로 동일한 물질로 구성되는 제4 게이트 전극 패턴(155)이 배치될 수 있다. 이와 같이, 제3 게이트 전극 패턴(145)과 제4 게이트 전극 패턴(155)으로 구성되어 복층 구조를 가지는 제3 게이트 전극(165)이 정의될 수 있다. 제3 게이트 전극(165)은 유기 발광 구조로부터 방출되는 광을 반사시킬 수 있다. 상술한 바와 같이, 제3 반도체 소자(194)는 불투명 도전성 물질을 가지는 제4 게이트 전극 패턴(155)을 구비하는 제3 게이트 전극(165)을 포함하기 때문에, 제1 반도체 소자(190)의 상기 제1 투과율 보다 상대적으로 작은 제3 투과율을 가질 수 있다.

[0043]

상술한 바와 같이, 제2 반도체 소자(192)의 제2 게이트 전극(160)과 제3 반도체 소자(194)의 제3 게이트 전극(165)은 각기 상기 유기 발광 구조로부터 방출되는 광을 반사시킬 수 있기 때문에(즉, 제2 반도체 소자(192)와 제3 반도체 소자(194)의 광에 대한 감도는 낮아지기 때문에), 상기 광에 의해 제2 액티브 패턴(120)과 제3 액티브 패턴(125)에 발생할 수 있는 광 전류(photo current)의 증가를 억제할 수 있다. 또한, 제2 반도체 소자(192)의 제2 게이트 전극(160)과 제3 반도체 소자(194)의 제3 게이트 전극(165)은 각기 복층 구조를 가짐에 따라, 시간의 흐름에 따라 문턱 전압이 음(-)의 방향으로 이동(shift)되는 것을 방지할 수 있다. 제2 반도체 소자(192)와 제3 반도체 소자(194)는 향상된 소자 신뢰성은 가질 수 있다.

[0044]

게이트 절연층(130) 상에 제1 게이트 전극(135), 제1 게이트 전극 패턴(140) 및 제3 게이트 전극 패턴(145)을 덮는 층간 절연층(170)이 배치될 수 있다. 층간 절연층(170)은 제1 소스 전극(175a) 및 제1 드레인 전극(175b)으로부터 제1 게이트 전극(135)을 전기적으로 절연시킬 수 있고, 제2 소스 전극(180a) 및 제2 드레인 전극(180b)으로부터 제1 게이트 전극 패턴(140)을 전기적으로 절연시킬 수 있으며, 제3 소스 전극(185a) 및 제3 소스 전극(185b)으로부터 제3 게이트 전극 패턴(145)을 전기적으로 절연시킬 수 있다. 예를 들면, 층간 절연층(170)은 실리콘 화합물, 투명 수지 등을 포함할 수 있다.

[0045]

층간 절연층(170) 상에 제1 소스 전극(175a), 제1 드레인 전극(175b), 제2 소스 전극(180a), 제2 드레인 전극(180b), 제3 소스 전극(185a), 제3 소스 전극(185b)이 배치될 수 있다. 예를 들면, 제1 소스 전극(175a), 제1 드레인 전극(175b), 제2 소스 전극(180a), 제2 드레인 전극(180b), 제3 소스 전극(185a), 제3 소스 전극(185b)은 각기 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투과성을 가지는 물질 등으로 구성될 수 있다. 이들

은 단독으로 또는 서로 조합되어 사용될 수 있다. 층간 절연층(170) 상에 제1 소스 전극(175a) 및 제1 드레인 전극(175b)이 배치됨에 따라, 기판(105)의 제1 영역(I)에는 제1 액티브 패턴(115), 게이트 절연층(130), 제1 게이트 전극(135), 층간 절연층(170), 제1 소스 전극(175a) 및 제1 드레인 전극(175b)을 포함하는 제1 반도체 소자(190)가 정의될 수 있으며, 제1 반도체 소자(190)는 센싱 박막 트랜지스터의 역할을 수행할 수 있다.

[0046]

층간 절연층(170) 상에 제2 소스 전극(180a) 및 제2 드레인 전극(180b)이 배치됨에 따라, 기판(105)의 제2 영역(II)에는 제2 액티브 패턴(120), 게이트 절연층(130), 제1 게이트 전극 패턴(140)과 제2 게이트 전극 패턴(150)을 구비하는 제2 게이트 전극(160), 층간 절연층(170), 제2 소스 전극(180a) 및 제2 드레인 전극(180b)을 포함하는 제2 반도체 소자(192)가 정의될 수 있다. 예를 들면, 제2 반도체 소자(192)는 스위칭 박막 트랜지스터에 해당될 수 있다.

[0047]

층간 절연층(170) 상에 제3 소스 전극(185a) 및 제3 드레인 전극(185b)이 배치됨에 따라, 기판(105)의 제3 영역(III)에는 제3 액티브 패턴(125), 게이트 절연층(130), 제3 게이트 전극 패턴(145)과 제4 게이트 전극 패턴(155)을 구비하는 제3 게이트 전극(165), 층간 절연층(170), 제3 소스 전극(185a) 및 제3 소스 전극(185b)을 포함하는 제3 반도체 소자(194)가 정의될 수 있다. 이러한 제3 반도체 소자(194)는 구동 박막 트랜지스터로 기능할 수 있다.

[0048]

종래의 표시 기판은 서로 동일한 투과율을 가지는 게이트 전극들을 구비하는 복수의 반도체 소자들을 포함할 수 있다. 여기서, 상기 반도체 소자들은 유기 발광 구조로부터 방출된 광을 센싱하는 제1 반도체 소자, 상기 제1 반도체 소자로부터 데이터를 출력하는 제2 반도체 소자 및 상기 데이터에 기초하여 상기 유기 발광 구조에 흐르는 전류를 제어하는 제3 반도체 소자를 포함할 수 있다. 여기서, 상기 제1 내지 제3 반도체 소자들에 각기 구비되는 게이트 전극들은 동일한 물질을 이용하여 형성될 수 있다. 이에 따라, 낮은 투과율을 요구하는 상기 제2 및 제3 반도체 소자들에 기초하여 상기 게이트 전극들의 물질을 결정하는 경우, 상기 제1 반도체 소자의 광 센싱 능력이 저하되는 문제점이 있고, 높은 투과율을 요구하는 상기 제1 반도체 소자에 기초하여 상기 게이트 전극들의 물질을 결정하는 경우, 상기 제2 및 제3 반도체 소자들의 소자 신뢰성이 저하되는 문제점이 있다. 비록, 전술한 문제점들을 고려하여, 본 발명의 예시적인 실시예들에 따른 표시 기판(100)은 서로 동일한 투과율을 가지는 게이트 전극들을 각기 구비하는 복수의 반도체 소자들(즉, 제1 반도체 소자(190), 제2 반도체 소자(192) 및 제3 반도체 소자(194))을 포함할 수 있다. 여기서, 제1 반도체 소자(190)는 기판(105)의 제1 영역(I)에 순차적으로 배치된 제1 액티브 패턴(115), 게이트 절연층(130), 제1 게이트 전극(135), 층간 절연층(170), 제1 소스 전극(175a) 및 제1 드레인 전극(175b)을 포함할 수 있고, 제2 반도체 소자(192)는 기판(105)의 제2 영역(II)에 순차적으로 배치된 제2 액티브 패턴(120), 게이트 절연층(130), 제2 게이트 전극(160), 층간 절연층(170), 제2 소스 전극(180a) 및 제2 드레인 전극(180b)을 포함할 수 있고, 제3 반도체 소자(194)는 기판(105)의 제3 영역(III)에 배치된 제3 액티브 패턴(125), 게이트 절연층(130), 제3 게이트 전극(165), 층간 절연층(170), 제3 소스 전극(185a) 및 제3 드레인 전극(185b)을 포함할 수 있다. 이러한 제1 게이트 전극(135)은 투명 도전성 물질을 구비하여 제1 반도체 소자(190)는 제1 투과율을 가지고, 제2 게이트 전극(160) 및 제3 게이트 전극(165)은 불투명 도전성 물질을 구비하여 제2 반도체 소자(192)는 제1 반도체 소자(190)의 상기 제1 투과율 보다 상대적으로 작은 제2 투과율 및 제3 투과율을 각기 가질 수 있다. 이에 따라, 제1 반도체 소자(190)의 제1 게이트 전극(135)은 유기 발광 구조로부터 방출되는 광을 흡수(또는 투과)시킬 수 있기 때문에, 제1 반도체 소자(190)는 보다 효과적으로 상기 광을 센싱할 수 있고, 제2 반도체 소자(192)의 제2 게이트 전극(160) 및 제3 반도체 소자(194)의 제3 게이트 전극(165)은 각기 상기 유기 발광 구조로부터 방출되는 광을 반사시키므로, 상기 광에 의해 제2 액티브 패턴(120)과 제3 액티브 패턴(125)에 발생할 수 있는 광 전류의 증가를 방지할 수 있으며, 각기 복층 구조로 구성되기 때문에, 시간이 지나도 문턱 전압을 안정되게 유지시킬 수 있다. 그 결과, 제2 반도체 소자(192) 및 제3 반도체 소자(194)의 소자 신뢰성을 확보할 수 있다.

[0049]

도 2 내지 도 8은 본 발명의 예시적인 실시예들에 따른 표시 기판의 제조 방법을 설명하기 위한 단면도들이다.

[0050]

도 2를 참조하면, 버퍼층(110)을 기판(105) 상에 형성할 수 있다. 예시적인 실시예들에 있어서, 기판(105)은 제1 내지 제3 영역들(I, II, III)을 포함할 수 있다. 버퍼층(110)은 실리콘 화합물, 투명 수지 등을 사용하여 형성될 수 있다.

[0051]

버퍼층(110) 상에 제1 액티브 패턴(115), 제2 액티브 패턴(120) 및 제3 액티브 패턴(125)이 형성될 수 있다. 제1 액티브 패턴(115)은 기판(105)의 제1 영역(I)의 버퍼층(110) 상에 형성될 수 있고, 제2 액티브 패턴(120)은 기판(105)의 제2 영역(II)의 버퍼층(110) 상에 형성될 수 있으며, 제3 액티브 패턴(125)은 기판(105)의 제3 영역(III)의 버퍼층(110) 상에 형성될 수 있다. 제1 내지 제3 액티브 패턴들(115, 120, 125)은 아몰퍼스 실리콘,

불순물을 포함하는 아몰퍼스 실리콘 등을 사용하여 형성될 수 있다.

- [0052] 다시 도 2를 참조하면, 버퍼층(110) 상에 제1 내지 제3 액티브 패턴들(115, 120, 125)을 덮는 게이트 절연층(130)이 형성될 수 있다. 게이트 절연층(130)은 실리콘 산화물, 실리콘 탄산화물 등과 같은 실리콘 화합물을 사용하여 형성될 수 있다.
- [0053] 도 3을 참조하면, 게이트 절연층(130) 상에 제1 게이트 전극막(131)을 형성한 후, 제1 게이트 전극막(131) 상에 제2 게이트 전극막(146)을 형성할 수 있다. 예시적인 실시예들에 있어서, 제1 게이트 전극막(131)은 투명 도전성 물질을 사용하여 형성될 수 있다. 예를 들면, 제1 게이트 전극막(131)은 인듐 주석 산화물, 인듐 아연 산화물, 아연 산화물, 주석 산화물, 갈륨 산화물 및 인듐 산화물 등을 사용하여 형성될 수 있다. 여기서, 제1 게이트 전극막(131)은 스퍼터링 공정, 화학 기상 증착 공정, 펄스 레이저 증착 공정, 진공 증착 공정, 원자층 적층 공정 등을 사용하여 얻어질 수 있다. 제2 게이트 전극막(146)은 불투명 도전성 물질을 사용하여 형성될 수 있다. 예를 들면, 제2 게이트 전극막(146)은 알루미늄, 알루미늄을 함유하는 합금, 알루미늄 질화물, 은, 은을 함유하는 합금, 텅스텐, 텅스텐 질화물, 구리, 구리를 함유하는 합금, 니켈, 크롬, 크롬 질화물, 몰리브데늄, 몰리브데늄을 함유하는 합금, 티타늄, 티타늄 질화물, 백금, 탄탈륨, 탄탈륨 질화물, 네오디뮴, 스칸듐, 스트론튬 루테튬 산화물 등을 사용하여 형성될 수 있다. 여기서, 제2 게이트 전극막(146)은 스퍼터링 공정, 화학 기상 증착 공정, 펄스 레이저 증착 공정, 진공 증착 공정, 원자층 적층 공정 등을 사용하여 얻어질 수 있다.
- [0054] 도 4를 참조하면, 제2 게이트 전극막(146) 상에 포토레지스트 패턴(PR)을 형성한 후, 제2 게이트 전극막(146) 상부에 차광 영역, 반투과 영역, 투과 영역 등을 포함하는 하프톤 마스크(도시되지 않음) 또는 하프톤 슬릿 마스크(도시되지 않음)를 위치시킬 수 있다.
- [0055] 도 5를 참조하면, 상기 하프톤 마스크 또는 상기 하프톤 슬릿 마스크를 이용하여 제2 게이트 전극막(146)과 제1 게이트 전극막(131)을 식각하여 예비 제1 게이트 전극들(132, 147), 예비 제2 게이트 전극들(133, 148) 및 예비 제3 게이트 전극들(134, 149)을 형성할 수 있다.
- [0056] 도 6을 참조하면, 포토레지스트 패턴(PR)을 부분적으로 제거하고, 제2 게이트 전극막(146)의 노광된 부분(즉, 예비 제1 게이트 전극(147))을 현상액으로 제거하여 기관(105)의 제1 영역(I)의 게이트 절연층(130) 상에 제1 게이트 전극(135)을 형성할 수 있다.
- [0057] 도 7을 참조하면, 포토레지스트 패턴(PR)을 제거하여, 기관(105)의 제2 영역(II)의 게이트 절연층(130) 상에 제1 게이트 전극 패턴(140) 및 제2 게이트 전극 패턴(150)을 포함하는 제2 게이트 전극(160)을 형성할 수 있으며, 기관(105)의 제3 영역(III)의 게이트 절연층(130) 상에 제3 게이트 전극 패턴(145) 및 제4 게이트 전극 패턴(155)을 포함하는 제3 게이트 전극(165)을 형성할 수 있다. 이와 같이, 제1 게이트 전극(135)을 형성하는 과정에서 제2 게이트 전극(160)과 제3 게이트 전극(165)을 형성할 수 있으므로, 추가적인 공정 및 추가적인 마스크가 요구되지 않을 수 있다. 이에 따라, 제조 공정을 단순화할 수 있으며, 제조 비용을 절감할 수 있다.
- [0058] 도 8을 참조하면, 게이트 절연층(130) 및 층간 절연층(170)을 부분적으로 식각하여 제1 액티브 패턴(115)의 소스 영역 및 드레인 영역을 노출시키는 콘택홀들, 제2 액티브 패턴(120)의 소스 영역 및 드레인 영역을 노출시키는 콘택홀들 및 제3 액티브 패턴(125)의 소스 영역 및 드레인 영역을 노출시키는 콘택홀들을 형성한 후, 상기 콘택홀들을 채우면서 제1 소스 전극(175a), 제1 드레인 전극(175b), 제2 소스 전극(180a), 제2 드레인 전극(180b), 제3 소스 전극(185a), 제3 소스 전극(185b)을 형성할 수 있다.
- [0059] 도 8에 도시된 바와 같이, 제1 드레인 전극(175b)과 제1 소스 전극(175a)의 형성에 따라, 기관(105)의 제1 영역(I)에는 제1 반도체 소자(190)가 제공될 수 있고, 제2 드레인 전극(180b)과 제2 소스 전극(180a)의 형성에 따라, 기관(105)의 제2 영역(II)에는 제2 반도체 소자(192)가 제공될 수 있으며, 제3 소스 전극(185b)과 제3 소스 전극(185a)의 형성에 따라, 기관(105)의 제3 영역(III)에는 제3 반도체 소자(194)가 제공될 수 있다. 이 경우, 제1 반도체 소자(190)는 센싱 박막 트랜지스터의 역할을 수행할 수 있고, 제2 반도체 소자(192)는 스위칭 박막 트랜지스터로 기능할 수 있으며, 제3 반도체 소자(194)는 구동 박막 트랜지스터에 해당될 수 있다.
- [0060] 도 9는 본 발명의 다른 예시적인 실시예들에 따른 표시 기관을 나타내는 단면도이다. 도 9에 예시한 표시 기관(200)은 제2 게이트 전극(240)의 구조 및 제3 게이트 전극(245)의 구조를 제외하면, 도 1을 참조하여 설명한 표시 기관(100)과 실질적으로 동일하거나 유사한 구성을 가질 수 있다. 따라서, 도 1을 참조하여 설명한 유기 발광 표시 장치(100)의 구성 요소들과 실질적으로 동일한 구성 요소들에 대해서는 상세한 설명들은 생략한다.
- [0061] 도 9를 참조하면, 기관(205)의 제1 영역(I)의 게이트 절연층(230) 상에 제1 게이트 전극(235)이 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 게이트 전극(235)은 게이트 절연층(230)을 사이에 두고 제1 액티브 패턴

(215)과 중첩될 수 있다. 예를 들면, 제1 게이트 전극(235)은 투명 도전성 물질을 포함하여 제1 투과율을 가질 수 있다. 이 경우, 상기 제1 투과율은 후술할 제2 게이트 전극의 제2 투과율 및 제3 게이트 전극의 제3 투과율 보다 상대적으로 클 수 있다. 이에 따라, 제1 게이트 전극(235)은 유기 발광 구조로부터 방출되는 광을 효과적으로 흡수(또는 투과)시킬 수 있기 때문에, 제1 반도체 소자(270)는 상기 광에 대한 높은 감도를 유지할 수 있다. 그 결과, 제1 반도체 소자(270)는 향상된 광 센싱 능력을 제공할 수 있다.

[0062] 기판(205)의 제2 영역(Ⅱ)의 게이트 절연층(230) 상에 제2 게이트 전극(240)이 배치될 수 있다. 예시적인 실시예들에 있어서, 제2 게이트 전극(240)은 게이트 절연층(230)을 사이에 두고 제2 액티브 패턴(220)과 중첩될 수 있으며, 불투명 도전성 물질을 구비함에 따라, 상기 투명 도전성 물질을 구비하는 제1 게이트 전극(235)의 상기 제1 투과율 보다 상대적으로 작은 제2 투과율을 가질 수 있다. 따라서, 제2 반도체 소자(272)의 제2 게이트 전극(240)은 상기 유기 발광 구조로부터 방출되는 광을 반사시킬 수 있다.

[0063] 기판(205)의 제3 영역(Ⅲ)의 게이트 절연층(230) 상에 제3 게이트 전극(245)이 배치될 수 있다. 예시적인 실시예들에 있어서, 제3 게이트 전극(245)은 게이트 절연층(230)을 사이에 두고 제3 액티브 패턴(225)과 중첩될 수 있다. 예를 들면, 제3 게이트 전극(245)은 제2 게이트 전극(240)과 실질적으로 동일한 물질을 구비하기 때문에, 제1 게이트 전극(235)의 상기 제1 투과율 보다 상대적으로 작은 제3 투과율을 가질 수 있다. 따라서, 제3 게이트 전극(245)은 상기 유기 발광 구조로부터 방출되는 광을 반사시킬 수 있다.

[0064] 상술한 바와 같이, 제2 게이트 전극(240)과 제3 게이트 전극(245)은 도 1을 참조하여 설명한 제2 게이트 전극(160)과 제3 게이트 전극(165)에 비해 상대적으로 간소화된 구조(즉, 단층 구조)를 가질 수 있다.

[0065] 도 10 내지 도 15는 본 발명의 다른 예시적인 실시예들에 따른 표시 기판의 제조 방법을 설명하기 위한 단면도들이다. 도 10 내지 도 15에 예시하는 유기 발광 표시 장치의 제조 방법에 있어서, 도 3 내지 도 8을 참조하여 설명한 공정들에 대한 상세한 설명은 생략한다.

[0066] 도 10를 참조하면, 버퍼층(210)을 기판(205) 상에 형성한 후, 버퍼층(210) 상에 제1 액티브 패턴(215), 제2 액티브 패턴(220) 및 제3 액티브 패턴(225)을 형성할 수 있다. 제1 액티브 패턴(215)은 기판(205)의 제1 영역(Ⅰ)의 버퍼층(210) 상에 형성될 수 있고, 제2 액티브 패턴(220)은 기판(205)의 제2 영역(Ⅱ)의 버퍼층(210) 상에 형성될 수 있으며, 제3 액티브 패턴(225)은 기판(205)의 제3 영역(Ⅲ)의 버퍼층(210) 상에 형성될 수 있다.

[0067] 예시적인 실시예들에 있어서, 버퍼층(210) 상에 제1 액티브 패턴(215), 제2 액티브 패턴(220) 및 제3 액티브 패턴(225)을 수득할 수 있다. 제1 내지 제3 액티브 패턴들(215, 220, 225)은 아몰퍼스 실리콘, 불순물을 포함하는 아몰퍼스 실리콘 등을 사용하여 형성될 수 있다.

[0068] 다시 도 10를 참조하면, 버퍼층(210) 상에 제1 액티브 패턴(215), 제2 액티브 패턴(220) 및 제3 액티브 패턴(225)을 덮는 게이트 절연층(230)을 형성될 수 있다. 게이트 절연층(230)은 실리콘 산화물, 실리콘 탄산화물 등과 같은 실리콘 화합물을 사용하여 수득될 수 있다.

[0069] 도 11을 참조하면, 게이트 절연층(230) 상에 제1 게이트 전극막(232)을 형성할 수 있다. 예를 들면, 제1 게이트 전극막(232)은 인듐 주석 산화물, 인듐 아연 산화물, 아연 산화물, 주석 산화물, 갈륨 산화물, 인듐 산화물 등과 같은 투명 도전성 물질을 사용하여 형성될 수 있다.

[0070] 도 12를 참조하면, 제1 게이트 전극막(232)을 패터닝하여 제1 게이트 전극(235)을 형성할 수 있다. 예를 들면, 제1 게이트 전극(235)은 게이트 절연층(230) 중에서 아래에 제1 액티브 패턴(215)이 위치하는 부분들 상에 형성될 수 있다.

[0071] 도 13을 참조하면, 제1 게이트 전극(235)을 덮으면서 게이트 절연층(230) 상에 제2 게이트 전극막(247)을 형성할 수 있다. 예시적인 실시예들에 있어서, 제2 게이트 전극막(247)은 알루미늄, 알루미늄을 함유하는 합금, 알루미늄 질화물, 은, 은을 함유하는 합금, 텅스텐, 텅스텐 질화물, 구리, 구리를 함유하는 합금, 니켈, 크롬, 크롬 질화물, 몰리브데늄, 몰리브데늄을 함유하는 합금, 티타늄, 티타늄 질화물, 백금, 탄탈륨, 탄탈륨 질화물, 네오디뮴, 스칸듐, 스트론튬 루테튬 산화물 등과 같은 불투명 도전성 물질을 사용하여 형성될 수 있다.

[0072] 도 14를 참조하면, 제2 게이트 전극막(247)을 패터닝하여 제2 게이트 전극(240) 및 제3 게이트 전극(245)을 형성할 수 있다. 예를 들면, 제2 게이트 전극(240)은 게이트 절연층(230) 중에서 아래에 제2 액티브 패턴(220)이 위치하는 부분들 상에 형성될 수 있고, 제3 게이트 전극(245)은 게이트 절연층(230) 중에서 아래에 제3 액티브 패턴(225)이 위치하는 부분들 상에 형성될 수 있다. 이와 같이, 제2 게이트 전극(240) 및 제3 게이트 전극(245)은 단층 구조로 형성되어 상대적으로 간단한 구조를 가짐에 따라, 제2 반도체 소자(272) 및 제3 반도체 소자

(274)를 형성하기 위한 제조 공정들이 간소화될 수 있으며, 이에 따라, 제조 비용이 절감될 수 있다.

[0073] 도 15를 참조하면, 층간 절연층(270) 상에 제1 소스 전극(275a), 제1 드레인 전극(255b), 제2 소스 전극(260a), 제2 드레인 전극(260b), 제3 소스 전극(265a), 제3 소스 전극(265b)을 형성할 수 있다. 도 15에 도시된 바와 같이, 제1 드레인 전극(255b)과 제1 소스 전극(255a)의 형성에 따라, 기판(205) 상부에는 센싱 박막 트랜지스터에 해당되는 제1 반도체 소자(270)가 제공될 수 있고, 제2 드레인 전극(260b)과 제2 소스 전극(260a)의 형성에 따라, 기판(205) 상부에는 스위칭 박막 트랜지스터로 기능할 수 있는 제2 반도체 소자(272)가 제공될 수 있으며, 제3 소스 전극(265b)과 제3 소스 전극(265a)의 형성에 따라, 기판(205) 상부에는 구동 박막 트랜지스터의 역할을 수행할 수 있는 제3 반도체 소자(274)가 제공될 수 있다.

[0074] 도 16은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다. 도 16에 있어서, 유기 발광 표시 장치(300)는 도 1을 참조하여 설명한 표시 기관(100)과 실질적으로 동일하거나 유사한 구성을 가지는 표시 기관을 포함하는 것으로 설명하지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 도 9를 참조하여 설명한 표시 기관(200)도 유기 발광 표시 장치(300)에 적용될 수 있음을 이해할 수 있을 것이다. 한편, 도 1을 참조로 설명한 구성 및/또는 구조와 실질적으로 동일하거나 유사한 구성 및/또는 구조에 대한 상세한 설명은 생략한다.

[0075] 도 16을 참조하면, 유기 발광 표시 장치(300)는 기관(305), 제1 반도체 소자(390), 제2 반도체 소자(392), 제3 반도체 소자(394), 제1 전극(400), 유기 발광 구조(410), 제2 전극(415) 등을 포함할 수 있다.

[0076] 제1 내지 제3 반도체 소자들(390, 392, 394)를 덮는 절연층(395)이 배치될 수 있다. 절연층(395)은 유기 물질 또는 무기 물질로 구성될 수 있다.

[0077] 제1 전극(400)은 절연층(395) 상에 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 전극(400)은 투과성을 가지는 물질을 포함할 수 있다. 이와는 달리, 제1 전극(400)은 반사성을 가지는 물질을 포함할 수도 있다.

[0078] 제1 전극(400) 상에는 화소 정의막(405)이 배치될 수 있다. 화소 정의막(405)은 제1 전극(400)을 각기 부분적으로 노출시키는 개구를 포함할 수 있다. 이 경우, 화소 정의막(405)은 유기 물질 또는 무기 물질로 이루어질 수 있다.

[0079] 유기 발광 구조(410)는 화소 정의막(405)의 개구를 통해 노출되는 제1 전극(400) 상에 배치될 수 있다. 유기 발광 구조(410)는 유기 발광 표시 장치(300)의 각 화소에 따라 서로 상이한 색광들을 발생시킬 수 있는 발광 물질들을 사용하여 형성될 수 있다. 선택적으로는, 유기 발광 구조(410)는 상이한 색광들을 구현할 수 있는 복수의 발광 물질들이 적층되어 백색광을 발광하는 구조를 제공할 수도 있다.

[0080] 제2 전극(415)은 화소 정의막(405)과 유기 발광 구조(410) 상에 배치될 수 있다. 제2 전극(415)을 구성하는 물질은 제1 전극(400)을 구성하는 물질과 실질적으로 동일할 수 있다.

[0081] 상술한 바에 있어서는, 본 발명의 예시적인 실시예들에 따른 표시 기관, 표시 기관의 제조 방법 및 표시 기관을 포함하는 유기 발광 표시 장치에 대해 도면들을 참조하여 설명하였지만, 전술한 실시예들은 예시적인 것이며, 다음 특허청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위에서 해당 기술 분야에서 통상의 지식을 가진 자에 의해 다양하게 수정, 변형 및 변경될 수 있을 것이다.

산업상 이용가능성

[0082] 본 발명은 표시 기관을 구비하는 다양한 전자 기기들에 적용될 수 있다. 예를 들면, 본 발명은 노트북, 디지털 카메라, 비디오 캠코더, 휴대폰, 스마트폰, 스마트패드, 피엠포(PMP), 피디에이(PDA), MP3 플레이어, 차량용 네비게이션, 비디오폰 등에 적용될 수 있다.

부호의 설명

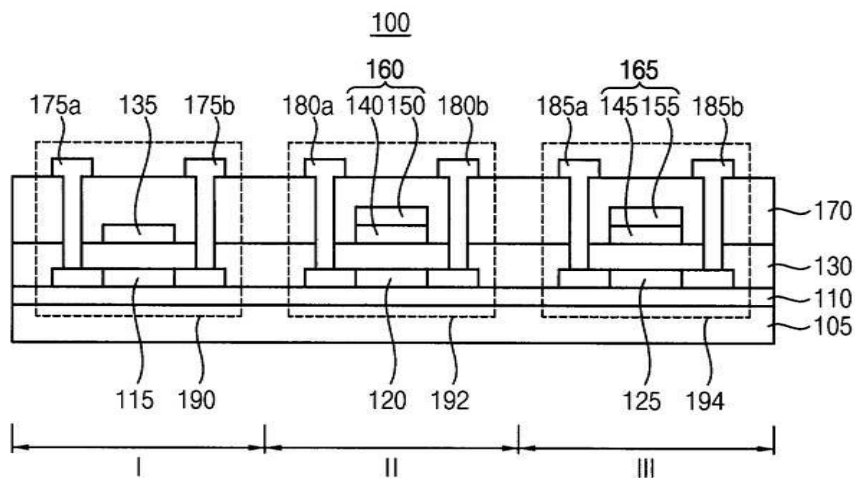
[0083]

100, 200: 표시 기관	105, 205, 305: 기관
110, 210, 310: 버퍼층	115, 215, 315: 제1 액티브 패턴
120, 220, 320: 제2 액티브 패턴	125, 225, 325: 제3 액티브 패턴
130, 230, 330: 게이트 절연층	135, 235, 335: 제1 게이트 전극
140, 340: 제1 게이트 전극 패턴	145, 345: 제3 게이트 전극 패턴

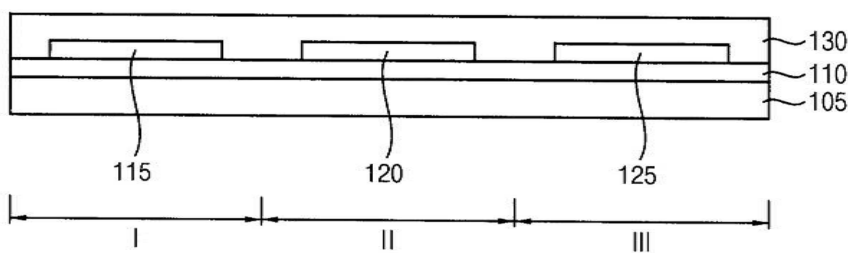
150, 350: 제2 게이트 전극 패턴	155, 355: 제4 게이트 전극 패턴
160, 240, 360: 제2 게이트 전극	165, 245, 365: 제3 게이트 전극
170, 250, 370: 층간 절연층	
175a, 255a, 375a: 제1 소스 전극	
175b, 255b, 375b: 제1 드레인 전극	
180a, 260a, 380a: 제2 소스 전극	
180b, 260b, 380b: 제2 드레인 전극	
185a, 265a, 385a: 제3 소스 전극	
185b, 265b, 385b: 제3 드레인 전극	
190, 270, 390: 제1 반도체 소자	192, 272, 392: 제2 반도체 소자
194, 274, 394: 제3 반도체 소자	300: 유기 발광 표시 장치
395: 절연층	400: 화소 정의막
405: 제1 전극	410: 유기 발광 구조
415: 제2 전극	

도면

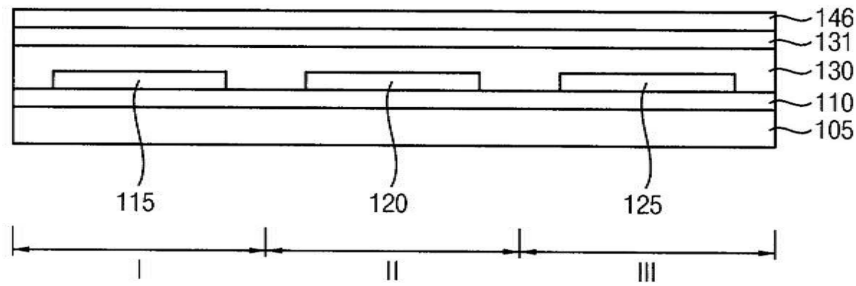
도면1



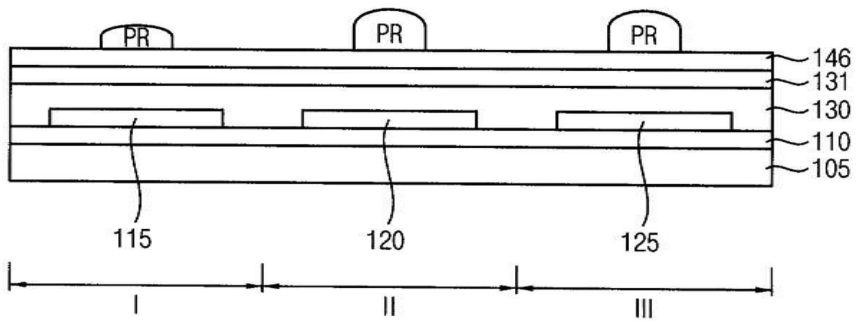
도면2



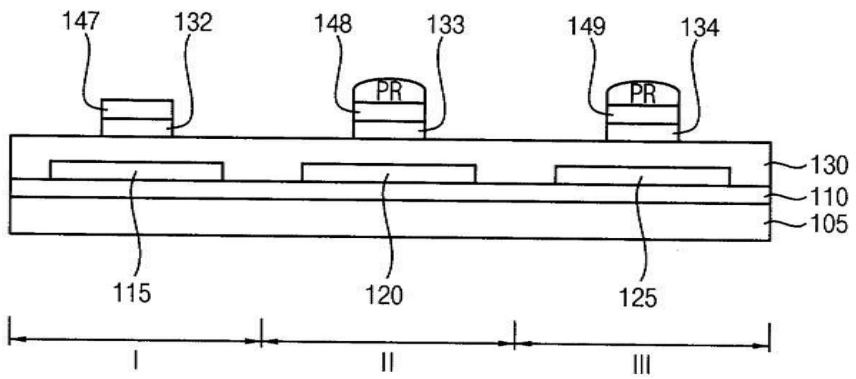
도면3



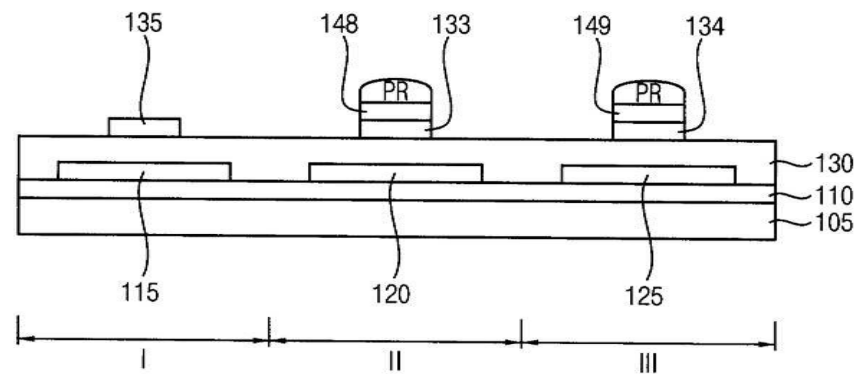
도면4



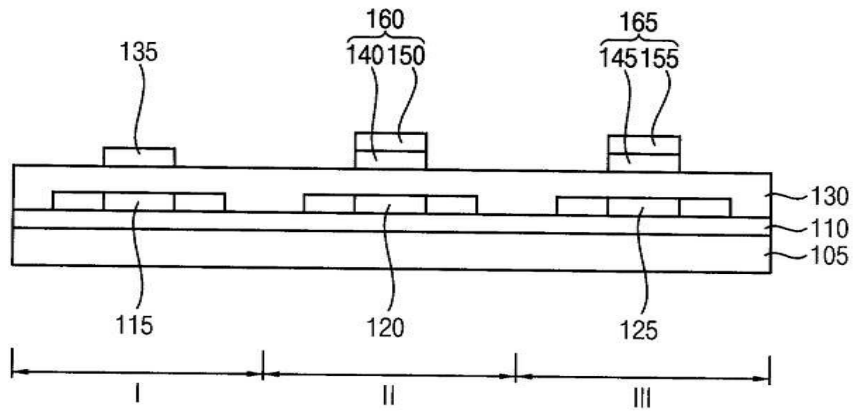
도면5



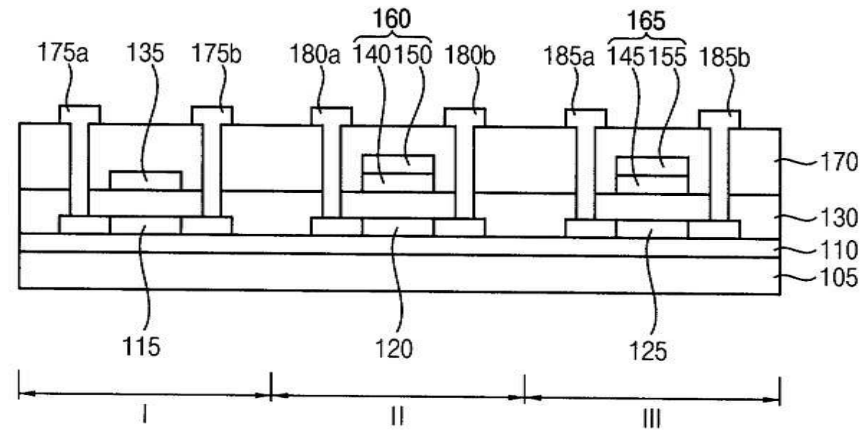
도면6



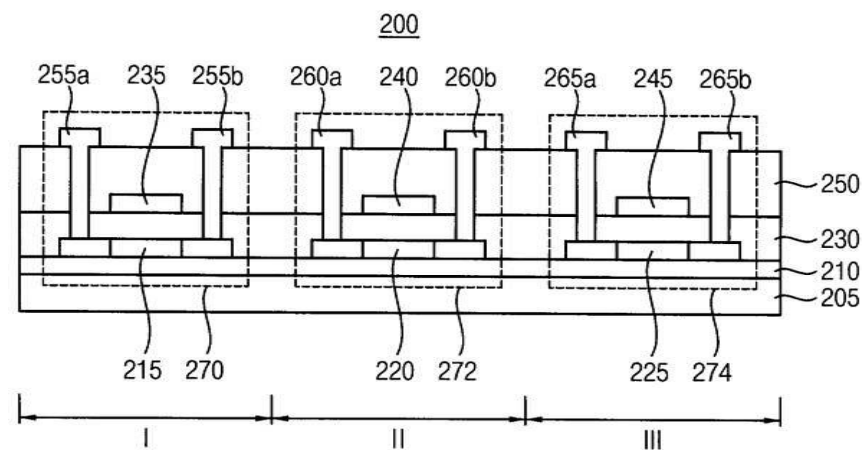
도면7



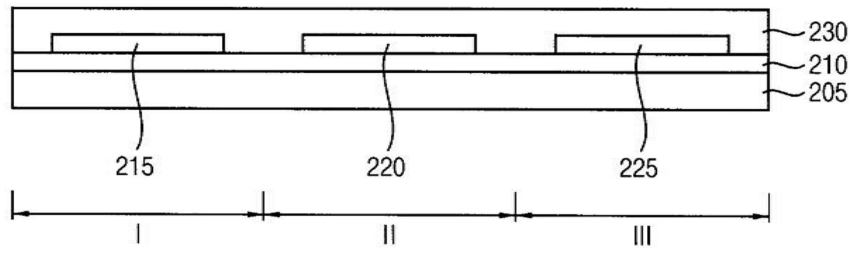
도면8



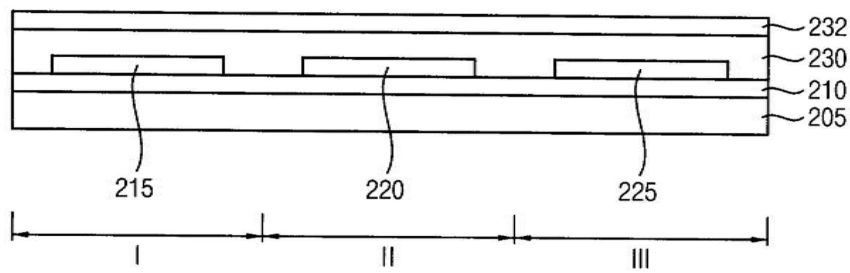
도면9



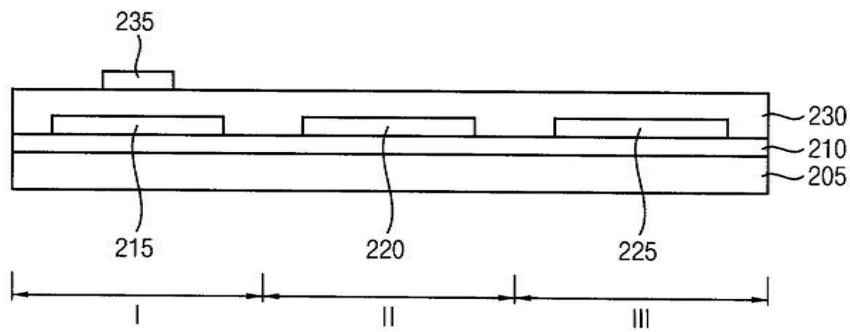
도면10



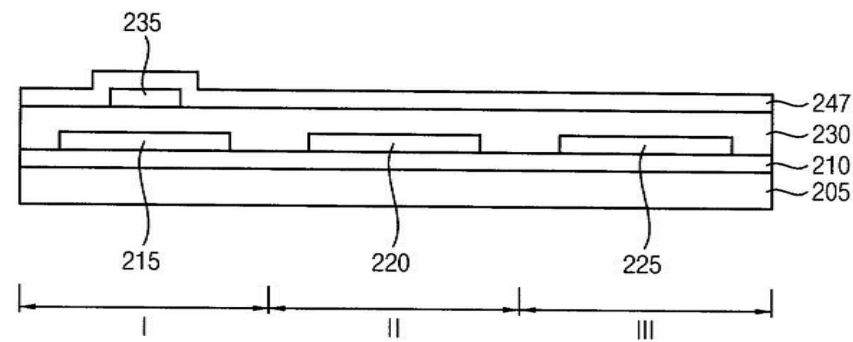
도면11



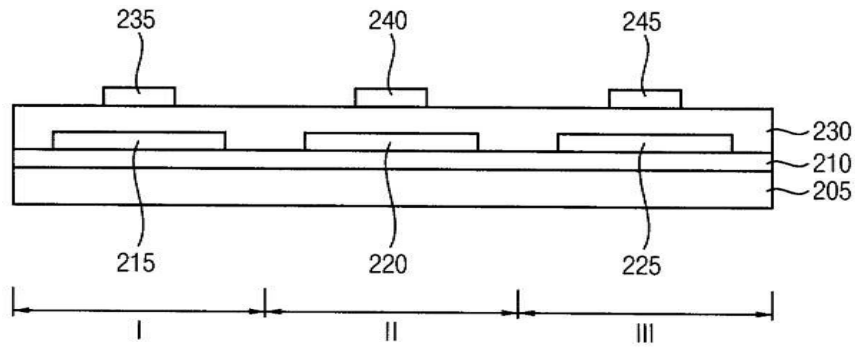
도면12



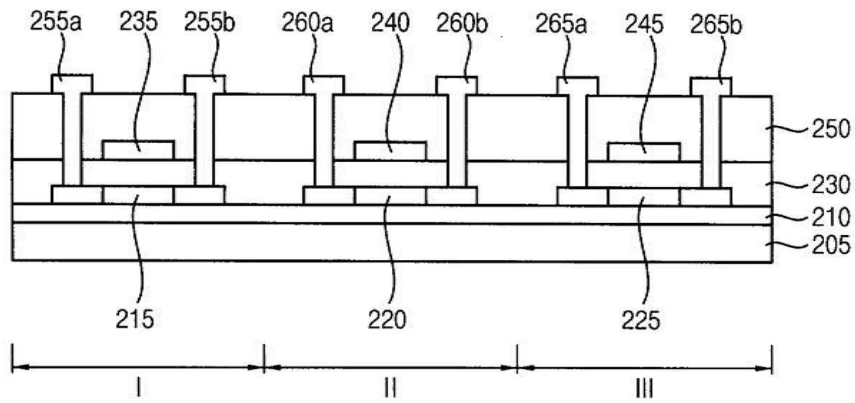
도면13



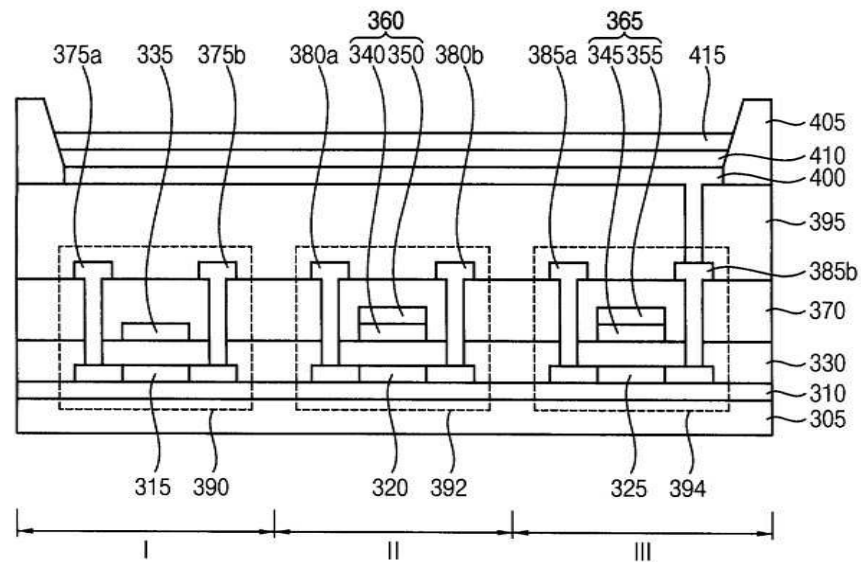
도면14



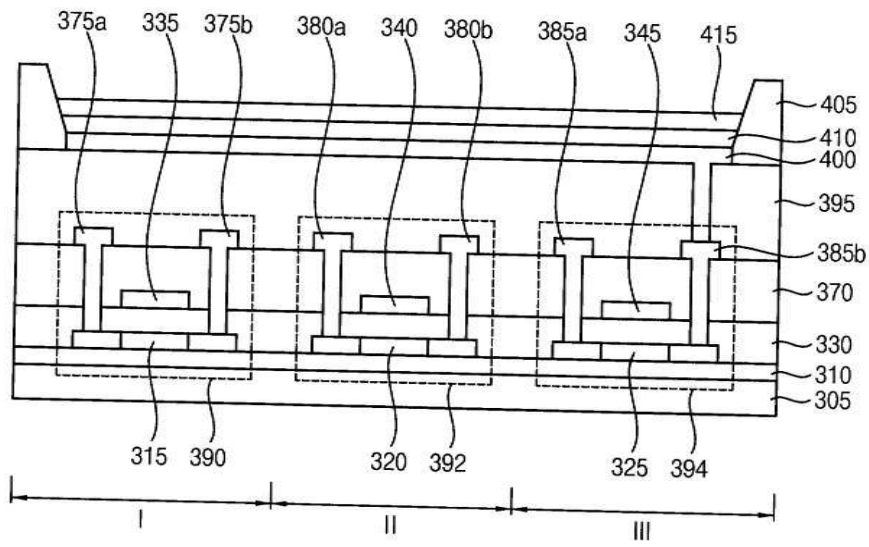
도면15



도면16



도면17



专利名称(译)	标题：显示基板，制造显示基板的方法，以及包括显示基板的有机发光显示装置		
公开(公告)号	KR1020160014139A	公开(公告)日	2016-02-11
申请号	KR1020140095611	申请日	2014-07-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	AHN KI WAN 안기완 JANG YONG JAE 장용재		
发明人	안기완 장용재		
IPC分类号	H01L27/32 H01L51/50		
CPC分类号	H01L27/3262 H01L27/124 H01L27/127 H01L29/4908		
代理人(译)	PARK, YOUNG WOO		
外部链接	Espacenet		

摘要(译)

显示基板可以包括基板，第一半导体元件，第二半导体元件和第三半导体元件。衬底可以包括第一区域，第二区域和第三区域。第一半导体元件可以设置在基板的第一区域中并且可以具有第一透射率。第二半导体元件可以设置在基板的第二区域中，并且可以具有与第一透射率不同的第二透射率。第三半导体元件可以设置在基板的第三区域中，并且可以具有与第一透射率不同的第三透射率。

