



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0088733
(43) 공개일자 2014년07월11일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 29/786 (2006.01)
(21) 출원번호 10-2013-0000633
(22) 출원일자 2013년01월03일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
김민규
경기도 용인시 기흥구 삼성2로 95 (농서동)
모연곤
경기도 용인시 기흥구 삼성2로 95 (농서동)
(74) 대리인
리엔목특허법인

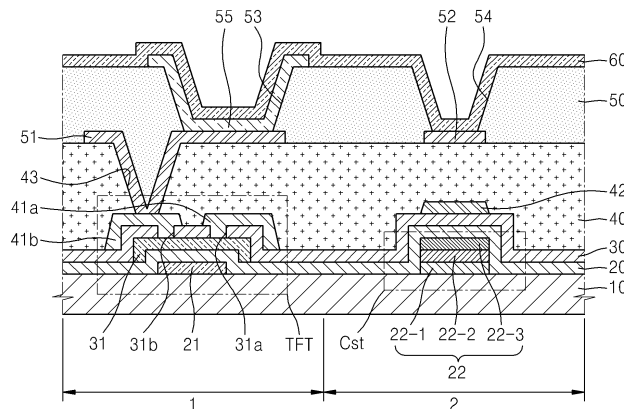
전체 청구항 수 : 총 27 항

(54) 발명의 명칭 평판표시장치용 백플레인 및 그의 제조 방법

(57) 요약

평판표시장치용 백플레인 및 그의 제조 방법에 관한 것으로, 상세하게는 전면발광 가능한 유기발광 표시장치용 백플레인 및 그의 제조 방법에 관한 것이다. 평판표시장치용 백플레인은 기판, 상기 기판 상에 형성된 게이트 전극, 상기 기판 상에 형성되며, 제1 전극과 상기 제1 전극 위에 형성된 절연패턴층과 상기 절연패턴층 위에 형성된 제2 전극을 포함하는 제1 커패시터, 상기 게이트 전극과 상기 제1 커패시터를 덮도록 상기 기판 상에 형성된 제1 절연층, 상기 제1 절연층 상에 상기 게이트 전극과 대응되도록 형성된 활성층 및 상기 활성층 상에 형성되며 상기 활성층의 일부와 접촉하는 소스전극 및 드레인전극을 포함할 수 있다.

대표도 - 도12



특허청구의 범위

청구항 1

기관;

상기 기관 상에 형성된 게이트 전극;

상기 기관 상에 형성되며, 제1 전극과 상기 제1 전극 위에 형성된 절연패턴층과 상기 절연패턴층 위에 형성된 제2 전극을 포함하는 제1 커패시터; // 특징부

상기 게이트 전극과 상기 제 1 커패시터를 덮도록 상기 상기 기관 상에 형성된 제1 절연층;

상기 제1 절연층 상에 상기 게이트 전극과 대응되도록 형성된 활성층; 및

상기 활성층 상에 형성되며 상기 활성층의 일부와 접촉하는 소스전극 및 드레인전극을 포함하는 평판표시장치용 백플레인.

청구항 2

제1 항에 있어서,

상기 소스전극 및 상기 드레인전극과 동일한 층에 상기 제1 커패시터와 대응되도록 형성된 제3 전극을 더 포함하는 평판표시장치용 백플레인.

청구항 3

제1 항에 있어서,

상기 활성층을 덮도록 상기 제1 절연층 상에 형성되고, 상기 활성층의 일부를 노출시키는 제1 홀 및 제2 홀을 구비하는 제2 절연층을 더 포함하고,

상기 소스전극과 상기 드레인전극은 상기 제2 절연층 상에 상기 제1 홀 및 상기 제2 홀을 채우면서 형성되는 평판표시장치용 백플레인.

청구항 4

제1 항에 있어서,

상기 소스전극 및 상기 드레인전극 및 상기 제3전극을 덮도록 상기 제1 절연층 상에 형성되는 제3 절연층을 더 포함하며,

상기 제3 절연층은 상기 소스전극 또는 상기 드레인전극의 일부를 노출시키는 제3 홀을 구비하는 평판표시장치용 백플레인.

청구항 5

제4 항에 있어서,

상기 제3 홀을 채우면서 상기 제3 절연층 상에 형성되고, 상기 제3 홀에 의해 상기 소스전극 또는 상기 드레인 전극 중 하나와 전기적으로 연결된 화소전극을 더 포함하는 평판표시장치용 백플레인.

청구항 6

제4 항에 있어서,

상기 제3 절연층 상에 상기 제1 커패시터에 대응되도록 형성된 제4 전극을 더 포함하는 평판표시장치용 백플레인.

청구항 7

제5항에 있어서,

상기 제3절연층 상에 상기 화소전극의 가장자리를 덮도록 형성되며, 상기 화소전극의 적어도 일부분을 노출하는 개구부를 포함하는 제4절연층;

상기 개구부에 의해 노출된 상기 화소 전극 상에 형성되며 유기 발광층을 포함하는 중간층; 및

및 상기 중간층을 사이에 두고 상기 화소전극에 대향하여 형성된 대향전극을 더 포함하는 평판표시장치용 백플레인.

청구항 8

제1 항에 있어서,

상기 제1 전극은 상기 게이트 전극과 동일 물질로 형성된 평판표시 장치용 백플레인.

청구항 9

제1 항에 있어서,

상기 활성층은 산화물반도체를 포함하는 평판표시장치용 백플레인.

청구항 10

제1 항에 있어서,

상기 게이트 전극과 상기 제1 커패시터는 하프톤 마스크를 이용하여 형성된 평판표시장치용 백플레인.

청구항 11

제1 항에 있어서,

상기 제1 전극, 상기 절연패턴층, 및 상기 제2전극의 측면부의 위치가 동일한 평판표시장치용 백플레인.

청구항 12

제1 항에 있어서,

상기 절연패턴층의 유전 상수는 상기 제1 절연층의 유전상수보다 큰 평판표시장치용 백플레인.

청구항 13

제1 항에 있어서,

상기 절연패턴층은 ZrO_x , HfO_x , AlO_x , SiN_x , $SiNO_x$, SiO_x 중 적어도 하나의 성분을 포함하는 평판표시장치용 백

플레인.

청구항 14

기관 상에 제1 전극과 상기 제1 전극 위에 형성된 절연패턴층과 상기 절연패턴층 위에 형성된 제2 전극을 포함하는 제1 커패시터 및 게이트 전극을 형성하는 제1마스크공정단계;

상기 제1 커패시터 및 상기 게이트 전극을 덮도록 상기 기관 상에 제1 절연층을 형성하는 단계;

상기 제1 절연층 상에, 상기 게이트 전극과 대응되도록 활성층을 형성하는 제2마스크공정단계;

상기 제1 절연층 상에, 상기 활성층의 일부를 노출시키는 제1 홀 및 제2 홀을 구비하면서 상기 활성층을 덮는 제2 절연층을 형성하는 제3마스크공정단계; 및

상기 제2 절연층 상에 상기 활성층의 일부와 접촉하는 소스전극과 드레인전극을 형성하는 제4마스크공정단계를 포함하는 평판표시장치용 백플레인의 제조방법.

청구항 15

제14 항에 있어서,

상기 제4 마스크 공정단계는 상기 제1 커패시터에 대응되는 제3 전극을 더 형성하는 평판표시장치용 백플레인의 제조방법.

청구항 16

제14 항에 있어서,

상기 소스전극과 상기 드레인전극은 상기 제2 절연층 상에 상기 제1 홀 및 상기 제2 홀을 채우면서 형성되는 평판표시장치용 백플레인의 제조방법.

청구항 17

제14 항에 있어서,

상기 소스전극 또는 상기 드레인전극의 일부를 노출시키는 제3 홀이 형성된 제3 절연층을 상기 소스전극, 상기 드레인전극 및 상기 제3 전극을 덮도록 상기 제2 절연층 상에 형성하는 제5 마스크 공정단계를 더 포함하는 평판표시장치용 백플레인 제조방법.

청구항 18

제17 항에 있어서,

상기 제3 홀을 채우면서 상기 제3 절연층 상에, 상기 제3 홀에 의해 상기 소스전극 또는 상기 드레인전극 중 하나와 전기적으로 연결된 화소전극을 형성하는 제6마스크공정단계를 더 포함하는 평판표시장치용 백플레인 제조방법.

청구항 19

제18항에 있어서,

상기 제6 마스크공정단계는 상기 제3 절연층 상에 상기 제1 커패시터에 대응되도록 제4 전극을 더 형성하는 평

판표시장치용 백플레인.

청구항 20

제18항에 있어서,

상기 제3절연층 상에 상기 화소전극의 가장자리를 덮도록 형성되며, 상기 화소전극의 적어도 일부분을 노출하는 개구부를 포함하는 제4절연층을 형성하는 제7마스크공정단계를 더 포함하는 평판표시장치용 백플레인 제조방법.

청구항 21

제20항에 있어서,

상기 개구부에 의해 노출된 상기 화소 전극 상에 유기 발광층을 포함하는 중간층을 형성하고, 상기 중간층을 사이에 두고 상기 화소전극에 대향하여 대향전극을 형성하는 단계를 더 포함하는 평판표시장치용 백플레인 제조방법.

청구항 22

제14 항에 있어서,

상기 제1 전극은 상기 게이트 전극과 동일 물질로 형성된 평판표시 장치용 백플레인 제조방법.

청구항 23

제14 항에 있어서,

상기 활성층은 산화물반도체를 포함하는 평판표시장치용 백플레인의 제조방법.

청구항 24

제14 항에 있어서,

상기 제1 마스크 공정단계는 하프톤 마스크를 이용하여 상기 게이트 전극과 상기 제1 커패시터를 형성하는 평판표시장치용 백플레인 제조방법.

청구항 25

제14 항에 있어서,

상기 제1 전극, 상기 절연패턴층, 및 상기 제2전극의 측면부의 위치가 동일한 평판표시장치용 백플레인 제조방법.

청구항 26

제14 항에 있어서,

상기 절연패턴층의 유전 상수는 상기 제1 절연층의 유전상수보다 큰 평판표시장치용 백플레인 제조방법.

청구항 27

제14 항에 있어서,

상기 절연패턴층은 ZrO_x , HfO_x , AlO_x , SiN_x , $SiNO_x$, SiO_x 중 적어도 하나의 성분을 포함하는 평판표시장치용 백플레인 제조방법.

명세서

기술분야

[0001] 평판표시장치용 백플레인 및 그의 제조 방법에 관한 것으로, 상세하게는 전면발광 가능한 유기발광 표시장치용 백플레인 및 그의 제조 방법에 관한 것이다.

배경기술

[0002] 유기발광표시장치, 액정표시장치 등과 같은 평판 표시 장치는 구동을 위해 적어도 하나의 구동 박막트랜지스터(Thin Film Transistor: TFT) 및 커패시터 등과 이들을 연결하는 배선을 포함하는 패턴을 기판 상에 형성하여 제작된다. 여기서, 구동 박막트랜지스터는 게이트 전극과, 게이트 절연층에 의해 게이트 전극과 전기적으로 절연되는 활성층과, 상기 활성층과 전기적으로 연결되는 소스전극 및 드레인전극을 포함한다. 또한, 평판 표시 장치는 구동 박막 트랜지스터를 제어하는 스위칭 트랜지스터를 포함한다.

[0003] 일반적으로, 평판 표시 장치가 제작되는 기판은 TFT 등을 포함하는 미세 구조의 패턴을 형성하기 위하여, 이와 같은 미세 패턴이 그려진 마스크를 이용하여 패턴을 상기 어레이 기판에 전사한다.

[0004] 이와 같이 마스크를 이용하여 패턴을 전사하는 공정에서는, 먼저 필요한 패턴을 구비한 마스크를 준비하여야 하기 때문에, 마스크를 이용하는 공정 단계가 늘어날수록 마스크 준비를 위한 제조 원가가 상승한다. 또한, 상술한 복잡한 단계들을 거쳐야 하기 때문에 제조 공정이 복잡하고, 제조 시간의 증가 및 이로 인한 제조 원가가 상승하는 문제점이 발생한다.

[0005] 최근 유기 발광표시 장치의 대형화 및 고해상도 추세에 따라 저저항 배선이 요구되고 있으며, 구조가 복잡해짐에 따라 공정 단계가 증가하는 문제점이 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 일 측면은 고해상도 및 대형화되어지는 평판 표시 장치에 적용할 수 있는, 마스크를 이용한 패턴링 공정 단계가 줄어들고 품질이 우수한 평판표시장치 백플레인 및 그의 제조방법을 제공하는 것을 목적으로 한다. 본 실시예가 이루고자 하는 기술적 과제는 상기된 바와 같은 기술적 과제들로 한정되지 않으며, 이하의 실시예들로부터 또 다른 기술적 과제들이 유추될 수 있다.

과제의 해결 수단

[0007] 본 발명의 일 측면에 따른 평판표시장치용 백플레인은 기판, 상기 기판 상에 형성된 게이트 전극, 상기 기판 상에 형성되며, 제1 전극과 상기 제1 전극 위에 형성된 절연패턴층과 상기 절연패턴층 위에 형성된 제2 전극을 포함하는 제1 커패시터, 상기 게이트 전극과 상기 제1 커패시터를 덮도록 상기 기판 상에 형성된 제1 절연층, 상기 제1 절연층 상에 상기 게이트 전극과 대응되도록 형성된 활성층 및 상기 활성층 상에 형성되며 상기 활성층의 일부와 접촉하는 소스전극 및 드레인전극을 포함할 수 있다.

[0008] 본 발명의 다른 측면에 따른 평판표시장치용 백플레인은 상기 소스전극 및 상기 드레인전극과 동일한 층에 상기 제1 커패시터와 대응되도록 형성된 제3 전극을 더 포함할 수 있다.

[0009] 본 발명의 또 다른 측면에 따른 평판표시장치용 백플레인은 상기 활성층을 덮도록 상기 제1 절연층 상에 형성되고, 상기 활성층의 일부를 노출시키는 제1 홀 및 제2 홀을 구비하는 제2 절연층을 더 포함하고, 상기 소스전극과 상기 드레인전극은 상기 제2 절연층 상에 상기 제1 홀 및 상기 제2 홀을 채우면서 형성될 수 있다.

[0010] 본 발명의 또 다른 측면에 따른 평판표시장치용 백플레인은 상기 소스전극 및 상기 드레인전극 및 상기 제3전극을 덮도록 상기 제1 절연층 상에 형성되는 제3 절연층을 더 포함하며, 상기 제3 절연층은 상기 소스전극 또는

상기 드레인전극의 일부를 노출시키는 제3 홀을 구비할 수 있다.

- [0011] 본 발명의 또 다른 측면에 따른 평판표시장치용 백플레인은 상기 제3 홀을 채우면서 상기 제3 절연층 상에 형성되고, 상기 제3 홀에 의해 상기 소스전극 또는 상기 드레인전극 중 하나와 전기적으로 연결된 화소전극을 더 포함할 수 있다.
- [0012] 본 발명의 또 다른 측면에 따른 평판표시장치용 백플레인은 상기 제3 절연층 상에 상기 제1 커패시터에 대응되도록 형성된 제4 전극을 더 포함할 수 있다.
- [0013] 본 발명의 또 다른 측면에 따른 평판표시장치용 백플레인은 상기 제3절연층 상에 상기 화소전극의 가장자리를 덮도록 형성되며, 상기 화소전극의 적어도 일부분을 노출하는 개구부를 포함하는 제4절연층, 상기 개구부에 의해 노출된 상기 화소 전극 상에 형성되며 유기 발광층을 포함하는 중간층 및 상기 중간층을 사이에 두고 상기 화소전극에 대향하여 형성된 대향전극을 더 포함할 수 있다.
- [0014] 본 발명의 또 다른 측면에 따라 상기 제1 전극은 상기 게이트 전극과 동일 물질로 형성될 수 있다.
- [0015] 본 발명의 또 다른 측면에 따라 상기 활성층은 산화물반도체를 포함할 수 있다.
- [0016] 본 발명의 또 다른 측면에 따라 상기 게이트 전극과 상기 제1 커패시터는 하프톤 마스크를 이용하여 형성될 수 있다.
- [0017] 본 발명의 또 다른 측면에 따라 상기 제1 전극, 상기 절연패턴층, 및 상기 제2전극의 측면부의 위치가 동일할 수 있다.
- [0018] 본 발명의 또 다른 측면에 따라 상기 절연패턴층의 유전 상수는 상기 제1 절연층의 유전상수보다 클 수 있다.
- [0019] 본 발명의 또 다른 측면에 따라 상기 절연패턴층은 ZrO_x , HfO_x , AlO_x , SiN_x , $SiNO_x$, SiO_x 중 적어도 하나의 성분을 포함할 수 있다.
- [0020] 본 발명의 또 다른 측면에 따른 평판표시장치용 백플레인 제조방법은 기판 상에 제1 전극과 상기 제1 전극 위에 형성된 절연패턴층과 상기 절연패턴층 위에 형성된 제2 전극을 포함하는 제1 커패시터 및 게이트 전극을 형성하는 제1마스크공정단계, 상기 제1 커패시터 및 상기 게이트 전극을 덮도록 상기 기판 상에 제1 절연층을 형성하는 단계, 상기 제1 절연층 상에, 상기 게이트 전극과 대응되도록 활성층을 형성하는 제2마스크공정단계, 상기 제1 절연층 상에, 상기 활성층의 일부를 노출시키는 제1 홀 및 제2 홀을 구비하면서 상기 활성층을 덮는 제2 절연층을 형성하는 제3마스크공정단계 및 상기 제2 절연층 상에 상기 활성층의 일부와 접촉하는 소스전극과 드레인전극을 형성하는 제4마스크공정단계를 포함할 수 있다.
- [0021] 본 발명의 또 다른 측면에 따라 상기 제4 마스크 공정단계는 상기 제1 커패시터에 대응되는 제3 전극을 더 형성할 수 있다.
- [0022] 본 발명의 또 다른 측면에 따라 상기 소스전극과 상기 드레인전극은 상기 제2 절연층 상에 상기 제1 홀 및 상기 제2 홀을 채우면서 형성될 수 있다.
- [0023] 본 발명의 또 다른 측면에 따른 평판표시장치용 백플레인 제조방법은 상기 소스전극 또는 상기 드레인전극의 일부를 노출시키는 제3 홀이 형성된 제3 절연층을 상기 소스전극, 상기 드레인전극 및 상기 제3 전극을 덮도록 상기 제2 절연층 상에 형성하는 제5 마스크 공정단계를 더 포함할 수 있다.
- [0024] 본 발명의 또 다른 측면에 따른 평판표시장치용 백플레인 제조방법은 상기 제3 홀을 채우면서 상기 제3 절연층 상에, 상기 제3 홀에 의해 상기 소스전극 또는 상기 드레인전극 중 하나와 전기적으로 연결된 화소전극을 형성하는 제6마스크공정단계를 더 포함할 수 있다.
- [0025] 본 발명의 또 다른 측면에 따라 상기 제6 마스크공정단계는 상기 제3 절연층 상에 상기 제1 커패시터에 대응되도록 제4 전극을 더 형성할 수 있다.
- [0026] 본 발명의 또 다른 측면에 따른 평판표시장치용 백플레인 제조방법은 상기 제3절연층 상에 상기 화소전극의 가장자리를 덮도록 형성되며, 상기 화소전극의 적어도 일부분을 노출하는 개구부를 포함하는 제4절연층을 형성하는 제7마스크공정단계를 더 포함할 수 있다.
- [0027] 본 발명의 또 다른 측면에 따른 평판표시장치용 백플레인 제조방법은 상기 개구부에 의해 노출된 상기 화소 전극 상에 유기 발광층을 포함하는 중간층을 형성하고, 상기 중간층을 사이에 두고 상기 화소전극에 대향하여 대

향전극을 형성하는 단계를 더 포함할 수 있다.

- [0028] 본 발명의 또 다른 측면에 따라 상기 제1 전극은 상기 게이트 전극과 동일 물질로 형성될 수 있다.
- [0029] 본 발명의 또 다른 측면에 따라 상기 활성층은 산화물반도체를 포함할 수 있다.
- [0030] 본 발명의 또 다른 측면에 따라 상기 제1 마스크 공정단계는 하프톤 마스크를 이용하여 상기 게이트 전극과 상기 제1 커패시터를 형성할 수 있다.
- [0031] 본 발명의 또 다른 측면에 따라 상기 제1 전극, 상기 절연패턴층, 및 상기 제2전극의 측면부의 위치가 동일할 수 있다.
- [0032] 본 발명의 또 다른 측면에 따라 상기 절연패턴층의 유전 상수는 상기 제1 절연층의 유전상수보다 클 수 있다.
- [0033] 본 발명의 또 다른 측면에 따라 상기 절연패턴층은 ZrO_x , HfO_x , AlO_x , SiN_x , $SiNO_x$, SiO_x 중 적어도 하나의 성분을 포함할 수 있다.

발명의 효과

- [0034] 이상과 같은 본 발명의 일 실시예에 따르면, 전체적인 마스크 수의 저감에 따른 생산 비용의 절감 효과가 있다. 또한, 대형 평판 표시 장치에 필요한 저저항 배선 및 고용량 커패시터의 확보가 가능하다.

도면의 간단한 설명

- [0035] 도 1 내지 도 12는 본 발명의 일 실시예에 따른 평판표시장치용 백플레인의 제조 공정을 개략적으로 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0036] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고, 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0037] 제 1, 제 2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 구성 요소들은 용어들에 의하여 한정되어서는 안된다. 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다.
- [0038] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, “포함한다” 또는 “가지다” 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0039] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.
- [0040] 도 1 내지 도 12는 본 발명의 일 실시예에 따른 평판표시장치용 백플레인의 제조 공정을 개략적으로 나타내는 단면도이다. 이하에서는, 평판표시장치용 백플레인의 제조 공정을 개략적으로 설명한다.
- [0041] 먼저, 도 1에 도시된 바와 같이 기판(10)이 구비된다. 기판(10)은 SiO_2 를 주성분으로 하는 투명 재질의 글라스 재로 형성될 수 있다. 그러나 본 발명의 일 측면에 따른 평판 표시 장치는 전면 발광 가능하므로, 기판(10)은 반드시 이에 한정되는 것은 아니며 불투명 재질도 가능하고 플라스틱 재 또는 금속 재 등, 다양한 재질의 기판을 이용할 수 있다. 도 1을 참조하면, 평판표시장치용 백플레인은 트랜지스터 영역(1) 및 저장 영역(2)을 포함한다.
- [0042] 한편, 기판(1) 상면에 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 블록킹층, 및/또는 버퍼층과 같은 보조층(미도시)이 구비될 수 있다. 보조층(미도시)은 SiO_2 및/또는 SiN_x 등을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 형성될 수 있다.
- [0043] 다음으로, 도 2에 도시된 바와 같이, 기판(10)에 제1 도전층(11)과 유전층(12)과 제2 도전층(13)을 차례로 형성

한다. 본 실시예의 제1 도전층(11)과 제2 도전층(13) 각각은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW 또는 Cu 중 선택된 하나 이상의 물질을 포함할 수 있다. 그러나, 제1 도전층(11)과 제2 도전층(12)의 재료는 이에 한정되지 않으며 금속 등을 포함한 도전성 물질이라면 어느 것이든 무방하다.

- [0044] 제1 도전층(11)의 비저항은 제2 도전층(13)의 비저항보다 클 수 있다. 예를 들어, 제1 도전층(11)은 약 0.5 Ω /□(ohm/square) 내지 1 Ω /□의 비저항을 갖는 물질을 포함할 수 있고, 제2 도전층(13)은 그보다 작은 약 0.1 Ω /□의 비저항을 갖는 물질을 포함할 수 있다.
- [0045] 유전층(12)은 후술하는 제1 절연층(20)을 구성하는 물질보다 높은 유전상수를 갖는 물질을 포함할 수 있다. 그러한 물질의 예로는 ZrO_x, HfO_x, AlO_x 등이 있으나, 이에 한정하지 않는다. 유전층(12) 성막 시 CVD(Chemical vapor deposition)의 증착 방법을 사용할 수도 있으나, ALD(Atomic layer deposition)와 같은 방법을 사용할 수도 있다.
- [0046] 유전층(12)을 구성하는 물질은 이에 한정하지 않으며, 후술하는 제1 절연층(20)을 구성하는 물질과 동일한 물질을 포함할 수도 있음은 물론이다. 그러한 물질의 예로는 SiO_x, SiON_x, SiN_x 등이 있으며, CVD(chemical vapor deposition) 또는 sputter 같은 PVD(Plasma vapor deposition) 등의 방법으로 증착할 수 있다.
- [0047] 다음으로, 도 3에 도시된 바와 같이 도 2의 구조물 상부에 도포된 감광제(photoresist)를 프리 베이킹(pre-baking) 또는 소프트 베이킹(soft baking)으로 용제를 제거한 감광막(P1)(photoresist layer)을 형성한 후, 감광막(P1)을 패터닝하기 위하여 소정 패턴이 그려진 제1마스크(M1)를 준비하여 기판(10)에 정렬한다.
- [0048] 제1마스크(M1)는 반투과부(M11), 광차단부(M12) 및 광투과부(M13)를 구비한 하프톤 마스크(half-tone mask)로 구비된다. 광투과부(M13)는 소정 파장대의 광을 투과시키고, 광차단부(M12)는 조사되는 광을 차단하며, 반투과부(M11)는 조사되는 광의 일부만 통과시킨다.
- [0049] 상기 도면에 도시된 하프톤 마스크(M1)는, 마스크의 각 부분의 기능을 개념적으로 설명하기 위한 개념도이며, 실제로는 상기와 같은 하프톤 마스크(M1)는 석영(Qz)과 같은 투명 기판 상에 소정 패턴으로 형성될 수 있다. 이때, 광차단부(M12)는 석영 기판 상에 Cr 또는 CrO₂ 등의 재료로 패터닝하여 형성되고, 반투과부(M11)는 Cr, Si, Mo, Ta, Al 가운데 적어도 하나 이상의 물질을 이용하여 패터닝되고, 그 조성 성분의 비 또는 두께를 조절함으로써 조사되는 광의 광투과율을 조절할 수 있다.
- [0050] 위와 같은 패턴이 그려진 제1 마스크(M1)를 기판(10)에 정렬하여 감광막(P1)에 소정 파장대의 광을 조사하여 노광을 실시한다.
- [0051] 도 4를 참조하면, 감광된 부분의 감광막(P1)을 제거하는 현상 과정을 거친 후, 잔존하는 감광막의 패턴이 개략적으로 도시되어 있다. 본 실시예에서는 감광된 부분이 제거되는 포지티브 감광제(positive-PR)가 사용되었지만, 본 발명은 이에 한정되지 않고 네가티브 감광제(negative-PR)를 사용할 수도 있음은 물론이다.
- [0052] 상기 도면을 참조하면, 하프톤 마스크(M1)의 광투과부(M13)에 대응하는 감광막 부분(P13)은 제거되고, 광차단부(M12)에 대응하는 감광막 부분(P12), 및 반투과부(M11)에 대응하는 감광막 부분(P11)은 남는다. 이때, 반투과부(M11)에 대응하는 감광막 부분(P11)의 두께는 광차단부(M12)에 대응하는 감광막 부분(P12)의 두께보다 얇으며, 이 감광막 부분(P11)의 두께는 하프톤 마스크(M1)에서 반투과부(M11) 영역을 구성하는 물질의 성분비 또는 그 두께로 조절할 수 있다.
- [0053] 이들 감광막 패턴들(P11, P12)을 마스크로 이용하여, 식각 장비로 상기 기판(10) 상의 제1 도전층(11), 유전층(12) 및 제2 도전층(13)을 식각한다. 이때, 감광막이 없는 부분(P13)의 구조물이 가장 먼저 식각되고, 감광막이 있는 부분(P11, P12)에서는 감광막의 일부 두께가 식각된다. 이때, 상기 식각 과정은 습식 식각 및 건식 식각 등 다양한 방법으로 수행 가능하다.
- [0054] 도 5를 참조하면, 식각 공정이 진행되는 동안, 도 4의 감광막이 없는 부분(P13)의 제1 도전층(11), 유전층(12), 제2 반도체층(13)은 식각되었다. 또한, 도 3의 반투과부(M11)에 대응되는 감광막(P11)이 얇게 있었던 부분의 유전층(12)과 제2 도전층(13)이 식각되었으나, 그 하부의 제1 도전층 패턴(21)은 그대로 남아있다. 한편, 도 3의 광차단부(M12)에 대응되는 감광막(P12)이 남아있었던 부분은 감광막(P12)만 식각될 뿐, 그 하부의 제2 도전층 패턴(22-3), 유전층 패턴(22-2), 제1 도전층 패턴(22-1)은 그대로 남아있다. 도 3의 반투과부(M11)에 대응되는 영역에 남은 제1 도전층 패턴(21)은 트랜지스터 영역(1)의 게이트 전극(21)이 되고, 도 3의 광차단부(M12)에 대응되는 영역에 남은 제1 도전층 패턴(22-1), 유전층 패턴(22-2), 제2 도전층 패턴(22-3)은 각각 저장 영역(2)의 제1 커패시터(22)의 제1 전극(22-1), 절연패턴층(22-2), 제2 전극(22-3)이 된다.

- [0055] 이와 같이, 트랜지스터 영역(1)의 게이트 전극(21) 및 저장 영역(2)의 제1 커패시터(22)는 동일 구조물 상에서 동일한 하나의 하프톤 마스크(M1)를 이용하여 동시에 패터닝될 수 있다. 따라서, 게이트 전극(21)과 제1 커패시터(22)의 제1 전극(22-1)은 동일 물질로, 동일 층에 형성될 수 있다. 또한, 동일한 하나의 마스크(M1)로 동시에 패터닝되었기 때문에, 제1 커패시터(22)의 제1 전극(22-1)과 절연패턴층(22-2)과 제2 전극(22-3)의 측면부의 위치와 형상이 일치할 수 있다.
- [0056] 상기와 같은 제1 마스크 공정은 기판(10) 상에 제1 전극(22-1)과 제1 전극(22-1) 위에 형성된 절연패턴층(22-2)과 절연패턴층(22-2) 위에 형성된 제2 전극(22-3)을 포함하는 제1 커패시터(22) 및 게이트 전극(21)을 형성한다.
- [0057] 전술한 바와 같이, 제1 도전층(11)의 비저항은 제2 도전층(13)의 비저항보다 클 수 있다. 이에 따라 게이트 전극(21)과 제1 전극(22-1)은 고저항 금속, 제2 전극(22-3)은 저저항 금속을 포함할 수 있다. 또한, 유전층(12)은 후술하는 제1 절연층(20)을 구성하는 물질보다 높은 유전상수를 갖는 ZrO_x , HfO_x , AlO_x 중 적어도 하나의 물질을 포함할 수 있으나, 이에 한정하지 않으며 SiN_x , $SiNO_x$, SiO_x 중 적어도 하나의 물질을 포함할 수도 있다.
- [0058] 제1 마스크 공정이 완료되면 트랜지스터 영역(1)에는 고저항 금속을 포함하는 게이트 전극(21)이 형성되고, 저장 영역(2)에는 고저항 금속의 제1 전극(22-1), 고유전상수의 절연패턴막(22-2), 저저항 금속의 제2 전극(22-3)의 구조를 갖는 제1 커패시터(22)가 형성된다.
- [0059] 절연패턴막(22-2)가 ZrO_x , HfO_x , AlO_x 중 적어도 하나의 물질을 포함하여 형성되는 경우, 제1 커패시터(22)는 고유전 상수의 절연패턴막(22-2)을 유전층으로써 포함하므로 고용량의 커패시턴스를 확보할 수 있다.
- [0060] 도 6을 참조하면, 제1 마스크 공정의 결과인 도 5의 구조물 상에 제1 절연층(20)을 증착하고, 그 위에 활성층(31)을 패터닝하여 형성할 수 있다. 상세하게는, 제1 커패시터(22) 및 게이트 전극(21)을 덮도록 제1 절연층(20)을 형성하고, 제1 절연층(30) 상에 게이트 전극(21)과 대응되도록 활성층(31)을 형성할 수 있다.
- [0061] 제1 절연층(20)은 SiN_x 또는 SiO_x 등과 같은 무기 절연막을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착하여 형성할 수 있다. 제1 절연층(20)의 일부는 트랜지스터 영역(1)의 활성층(31)과 게이트 전극(21) 사이에 개재되어 트랜지스터 영역(1)의 게이트 절연막 역할을 하고, 제1 커패시터(22)의 제2 전극(22-3) 상에 적층된다.
- [0062] 활성층(31)을 형성하는 과정은 도면에 도시하지는 않았으나, 도전층을 증착하고 그 상부에 감광막을 형성한 후, 제2 마스크(미도시)를 기판(10)에 정렬하고, 감광막에 소정 파장대의 광을 조사하여 노광을 실시하고, 이에 따라 패터닝된 감광막을 에치 스타퍼로 이용하여 활성층(31)만 남기고 식각함에 따라 활성층(31)을 형성할 수 있다.
- [0063] 활성층(31)은 다결정 실리콘으로 형성될 수 있는 데, 반드시 이에 한정되는 것은 아니며, 산화물 반도체로 형성될 수 있다. 산화물 반도체는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn) 카드뮴(Cd), 게르마늄(Ge), 또는 하프늄(Hf)과 같은 12, 13, 14족 금속 원소 및 이들의 조합에서 선택된 물질의 산화물을 포함할 수 있다. 예를 들면 활성층(31)은 $G-I-Z-O[(In_{203})a(Ga_{203})b(Zn_{0})c]$ (a, b, c는 각각 $a \geq 0$, $b \geq 0$, $c > 0$ 의 조건을 만족시키는 실수)을 포함할 수 있다.
- [0064] 상기와 같은 제2 마스크 공정은 제1 커패시터(22) 및 게이트 전극(21)을 덮도록 기판(10) 상에 제1 절연층(30)을 형성하고, 제1 절연층(30) 상에, 게이트 전극(21)과 대응되도록 활성층(31)을 형성한다.
- [0065] 도 7을 참조하면, 제2 마스크 공정의 결과인 도 6의 구조물 상에 제2 절연층(30)을 증착하고, 이를 패터닝할 수 있다. 상세하게는, 도 6의 구조물 상에 제2 절연층(30)을 증착하고, 제2 절연층(30)에 활성층(31)의 일부를 노출시키는 제1홀(31a)과 제2홀(31b)을 형성하기 위하여 제2 절연층(30)의 일부를 식각한다. 제2 절연층(30)은 활성층(31)을 보호할 수 있다. 제1홀(31a)과 제2홀(31b)은 습식 식각 및 건식 식각 등 다양한 방법으로 수행 가능하다. 다만, 그 하부의 활성층(31)이 식각되지 않는 조건이어야 할 것이다. 제2 절연층(30)은 활성층(31)을 보호하는 기능을 수행할 수 있다.
- [0066] 상기와 같은 제3 마스크 공정은 제1 절연층(20) 상에, 활성층(31)의 일부를 노출시키는 제1 홀(31a) 및 제2 홀(31b)을 구비하면서 활성층(31)을 덮는 제2 절연층(30)을 형성한다.
- [0067] 다음으로, 도 8에 도시된 바와 같이, 제3 마스크 공정의 결과인 도 7의 구조물 상에 소스전극(41a), 드레인전극(41b) 및 제3 전극(42)을 형성한다. 소스전극(41a), 드레인 전극(41b) 및 제3 전극(42)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW 또는 Cu 중 선택된 하나 이상의 물질을 포함할 수 있다.

- [0068] 소스전극(41a)과 드레인전극(41b)은 제2 절연층(30) 상에 제1 홀(31a) 및 제2 홀(31b)을 채우면서 형성된다. 소스전극(41a)은 제1홀(31a)에 채워져 활성층(31)과 접촉되고, 드레인 전극(41b)은 제2홀(32b)에 채워져 활성층(31)과 접촉되나, 소스전극(41a)과 드레인전극(41b)은 서로 이격되어 형성된다.
- [0069] 제3 전극(42)은 제1 커패시터(22)의 위치에 대응하여 형성될 수 있다. 이에 따라, 제2 전극(22-3)과 제3 전극(42)과 그 사이에 개재된 제1 절연층(20)과 제2 절연층(30)은 커패시터 기능을 할 수 있다.
- [0070] 소스전극(41a), 드레인 전극(41b) 및 제3 전극(42)을 형성하기 위하여 도 7의 구조물 상에 금속층을 적층하고, 금속층을 선택적으로 식각할 수 있다. 여기서 4번째의 포토마스크를 이용한다. 상기 식각 과정은 습식 식각 및 건식 식각 등 다양한 방법으로 수행 가능하다. 금속층은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW 또는 Cu 중 선택된 하나 이상의 물질을 포함할 수 있다.
- [0071] 상기와 같이 제4 마스크 공정은 제2 절연층(30) 상에 활성층(31)의 일부와 접촉하는 소스전극(41a) 및 드레인전극(41b)과 제1 커패시터(22)에 대응되는 제3 전극(42)을 형성한다.
- [0072] 다음으로, 도 9에 도시된 바와 같이, 제4 마스크 공정의 결과인 도8의 구조물 상에, 소스전극(41a) 또는 드레인 전극(41b)의 일부를 노출시키는 제3 홀(43)이 형성된 제3 절연층(40)을 형성한다.
- [0073] 제3홀(43)은 제5 마스크(미도시)를 사용한 마스크 공정에 의하여 패터닝됨으로써 형성될 수 있다. 제3 홀(43)은 후술할 화소전극과 트랜지스터 영역의 박막트랜지스터를 전기적으로 연결하기 위해 형성된다. 도 9에서는 드레인전극(41b)을 노출하도록 제3 홀(43)을 형성하였으나, 이에 한정되지 않는다. 또한 제3 홀(43)의 위치 및 형태는 도9에 도시된 바에 한정되지 않고 다양하게 구현될 수 있다.
- [0074] 제3 절연층(40)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성될 수 있다. 한편, 제3절연층(40)은 상기와 같은 유기 절연 물질뿐만 아니라, SiO₂, SiNx, Al₂O₃, CuOx, Tb₄O₇, Y₂O₃, Nb₂O₅, Pr₂O₃ 등에서 선택된 무기 절연 물질로 형성될 수 있음은 물론이다. 또한 제3절연층(40)은 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.
- [0075] 제3절연층(40)은 충분한 두께로 형성되어, 예컨대 전술한 제1절연층(20) 또는 제2 절연층(30)보다 두껍게 형성되어, 후술하는 화소전극이 형성될 상면을 평탄하게 하는 평탄화막 또는 트랜지스터 영역의 소스/드레인 전극(41a, 41b) 및 제3 전극(42)을 보호하는 패시베이션막(passivation layer)의 기능을 수행할 수 있다.
- [0076] 상기와 같이 제5 마스크 공정은 소스전극(41a) 또는 드레인전극(41b)의 일부를 노출시키는 제3 홀(43)이 형성된 제3 절연층(40)을 소스전극(41a), 드레인전극(41b) 및 제3 전극(42)을 덮도록 제2 절연층(30) 상에 형성한다.
- [0077] 다음으로, 도 10에 도시된 바와 같이, 제3 절연층(40) 상에 소스전극(41a) 또는 드레인 전극(41b) 중 하나와 전기적으로 연결되는 화소전극(51)을 형성한다. 화소전극(51)은 제3 절연층(40)의 제3 홀(43)을 채우면서 제3 홀(43)에 의해 노출된 소스전극(41a) 또는 드레인전극(41b) 중 하나와 전기적으로 연결된다.
- [0078] 화소전극(51)을 형성하면서, 화소전극(51)과 동일 층에 제4 전극(52)을 형성할 수 있다. 제4 전극(52)은 제3 절연층(40) 상에서 제3 전극(42)과 대응되는 위치에 형성될 수 있다. 이에 따라, 제4 전극(52)과 제3 전극(42)과 그 사이에 개재된 제3 절연층(40)은 커패시터 기능을 할 수 있다. 뿐만 아니라, 제4 전극(52)은 후술할 대향전극(60)의 전압강하를 방지하기 위하여 보조 전극으로써 사용될 수도 있다.
- [0079] 화소전극(51)과 제4 전극(52)은 제6 마스크(미도시)를 사용한 마스크 공정에 의해 패터닝 됨으로써 형성될 수 있다.
- [0080] 화소전극(51)은 제3 홀(43)을 통해 소스전극(41a) 또는 드레인전극(41b) 중 하나와 접촉한다. 화소전극(51)은 유기발광표시장치의 발광타입에 따라 다양한 물질로 형성될 수 있다. 예를 들어, 기관(1)의 방향으로 화상이 구현되는 배면발광(bottom-emission) 또는 기관(1)의 방향과 기관(1)의 역방향으로 모두 화상이 구현되는 양면발광(dual-emission)의 경우 화소전극(51)은 투명한 금속산화물로 이루어진다. 이러한 화소전극(51)은 ITO, IZO, ZnO, 또는 In₂O₃와 같은 물질 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 이러한 타입의 경우 도시되지 않았으나 화소전극(51)은 트랜지스터영역(1) 및 저장영역(2)과 중첩되지 않도록 설계된다.
- [0081] 한편, 기관(1)의 역방향으로 화상이 구현되는 전면발광(top-emission)의 경우 화소전극(51)은 광을 반사하는 물질로 이루어진 반사전극을 더 포함할 수 있다. 이러한 타입의 경우 도 10과 같이 화소전극(51)은 트랜지스터영역(1) 및 저장영역(2)과 중첩되도록 설계될 수 있다.

- [0082] 다음으로, 도11에 도시된 바와 같이, 제3 절연층(40) 상에 화소전극(51)의 가장자리를 덮도록 형성되며, 화소전극(51)의 적어도 일부분을 노출하는 개구부(53)를 포함하는 제4 절연층(50)을 형성한다. 제4 절연층(50)은 제4 전극(52)의 가장자리를 덮도록 형성되며, 제4 전극(52)의 적어도 일부분을 노출하는 제2 개구부(54)를 더 포함할 수 있다. 제4 절연층(50)은 제7 마스크(미도시)를 사용한 마스크 공정에 의해 패터닝 됨으로써 형성될 수 있다.
- [0083] 다음으로, 도 12에 도시된 바와 같이 도 11의 제1 개구부(53)에 의해 노출된 화소 전극(51) 상에 유기 발광층을 포함하는 중간층(55)을 형성하고, 중간층(55)을 사이에 두고 화소전극(51)에 대향하여 대향전극(60)을 형성할 수 있다.
- [0084] 중간층(55)은 유기 발광층(emissive layer: EML)과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다. 중간층(55)은 저분자 또는 고분자 유기물로 구비될 수 있다.
- [0085] 저분자 유기물로 형성되는 경우, 중간층(55)은 유기 발광층을 중심으로 화소전극(51)의 방향으로 정공 수송층 및 정공 주입층 등이 적층되고, 대향 전극(60) 방향으로 전자 수송층 및 전자 주입층 등이 적층된다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘(N,N'-Di(naphthalene-1-yl)-N,N'-diphenylbenzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다.
- [0086] 한편, 고분자 유기물로 형성되는 경우에는, 중간층(55)은 유기 발광층을 중심으로 화소전극(51) 방향으로 정공 수송층만이 포함될 수 있다. 정공 수송층은 폴리에틸렌 디히드록시티오펜(PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용하여 잉크젯 프린팅이나 스핀 코팅의 방법에 의해 화소전극(51) 상부에 형성할 수 있다. 이때 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있으며, 잉크젯 프린팅이나 스핀 코팅 또는 레이저를 이용한 열전사 방식 등의 통상의 방법으로 컬러 패턴을 형성할 수 있다.
- [0087] 이와 같은 유기 발광층은 적색, 녹색, 청색의 빛을 방출하는 서브 픽셀로 하나의 단위 픽셀을 이룰 수 있다.
- [0088] 대향전극(60)은 기관(1) 전면적으로 증착되어 공통전극으로 형성될 수 있다. 본 실시예에 따른 유기발광표시장치의 경우, 화소전극(51)은 애노드로 사용되고, 대향전극(60)은 캐소드로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0089] 상술한 실시예에서는 중간층(55)이 개구부(53) 내부에 형성되어 각 픽셀별로 별도의 발광 물질이 형성된 경우를 예로 설명하였으나, 본 발명은 이에 한정되지 않는다. 중간층(55)은 픽셀의 위치에 관계 없이 제4 절연층(50) 전체에 공통으로 형성될 수 있다. 이때, 중간층(55)은 예를 들어, 적색, 녹색 및 청색의 빛을 방출하는 발광 물질을 포함하는 발광층이 수직으로 적층되거나 혼합되어 형성될 수 있다. 물론, 백색광을 방출할 수 있다면 다른 색의 조합이 가능함은 물론이다. 또한, 상기 방출된 백색광을 소정의 컬러로 변환하는 색변환층이나, 컬러 필터를 더 구비할 수 있다.
- [0090] 유기발광표시장치가 기관(1)의 반대방향으로 화상이 구현되는 전면발광형(top emission type)의 경우, 대향전극(60)은 투명전극이 되고, 화소전극(51)은 반사전극이 된다. 이 때, 반사전극은 일함수가 적은 금속, 예를 들자면, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, LiF, 또는 이들의 화합물을 얇게 증착하여 형성할 수 있다. 본 발명의 일 실시예에 의한 평판표시장치의 백플레인에서는 대향 전극(60)은 광투과가 가능하도록 형성될 수 있다.
- [0091] 도 12를 참조하면, 평판표시장치용 백플레인은 트랜지스터 영역(1)과 저장영역(2)을 포함한다. 도 12에서는 유기발광표시장치가 전면발광형인 경우의 예를 도시하였으므로, 발광 영역은 트랜지스터 영역(1)과 저장 영역(2)과 중첩되어도 무방하기에 발광 영역을 별도로 구분하지 않았다.
- [0092] 트랜지스터 영역(1)에는 구동소자로서 박막트랜지스터(TFT)가 구비된다. 박막트랜지스터(TFT)는 게이트전극(21), 활성층(31), 및 소스/드레인 전극(41a, 41b)으로 구성된다. 본 발명의 일 실시예에 의한 박막트랜지스터(TFT)는 구조 면에서 게이트 전극(21)이 활성층(31)보다 하부에 존재하는 바텀 게이트(bottom-gate) 타입일 수 있다. 또한, 물질면에서 활성층(31)에 산화물 반도체를 포함하는 산화물 반도체 박막트랜지스터(TFT)일 수

있다.

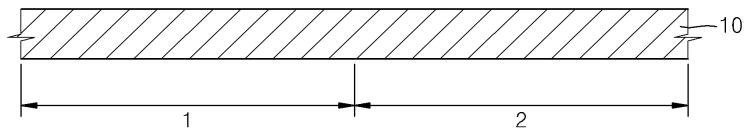
- [0093] 저장영역(2)에는 제1 커패시터(Cst)가 구비된다. 제1 커패시터(Cst)는 제1 전극(22-1), 제 2 전극(22-3)으로 이루어지며, 이들 사이에 절연패턴층(22-2)이 개재된다. 여기서, 제1 전극(22-1), 절연패턴층(22-2), 제2 전극(22-3)은 하프톤 마스크를 이용하여 게이트 전극(21)과 동일 층에 형성될 수 있다. 제1 전극(22-1), 절연패턴층(22-2), 제2 전극(22-3)은 기판(10) 상에 순차적으로 적층된 후 일괄 패터닝될 수 있다. 제1 전극(22-1)은 게이트 전극(21)과 동일 물질로 형성될 수 있다.
- [0094] 본 발명의 일 실시예에 의한 절연패턴층(22-2)은 그 두께와 조성 물질을 트랜지스터 영역(1)의 구조와 무관하게 조절할 수 있다. 따라서, 두께를 최소화하거나 유전율이 높은 물질을 사용하여 제1 커패시터 (Cst)의 용량을 증대시킬 수 있다.
- [0095] 또한, 저장 영역(2)은 제1 커패시터(Cst)에 대응되는 제3 전극(42), 제4 전극(52)를 더 포함할 수 있다. 제3 전극(42)과 제2 전극(22-3)의 사이에는 제1 절연층(20)과 제2 절연층(30)이 개재되고, 제4 전극(52)과 제3 전극(42) 사이에는 제3 절연층(40)이 개재된다. 따라서, 저장 영역(Cst)은 제1 커패시터(22), 제3 전극(42), 제4 전극(52)으로부터 적어도 세 개 이상의 커패시터를 확보할 수 있다.
- [0096] 뿐만 아니라, 필요에 따라 제4 전극(52)은 대향전극(60)의 전압 유지를 위하여 보조 전극으로써 사용될 수도 있다.
- [0097] 본 발명의 일 실시예에 의하면, 발광영역(4)에는 유기발광소자(EL)가 구비됨으로써, 도 1은 유기발광표시장치용 백플레인으로 사용될 수 있다. 그러나, 본 발명의 일 측면은 이에 한정되지 않는다. 예를 들어, 화소전극(41)과 대향전극(45) 사이에 액정이 구비되면, 도 1은 액정표시장치용 백플레인으로 사용될 수도 있을 것이다.
- [0098] 도 12의 발광층 형성 단계를 제외하고, 도 1내지 도 11에서는 약 7개의 마스크를 사용하여 백플레인을 제조하였다. 이 중, 제1 마스크 공정에서는 2개 이상의 마스크 공정으로 형성 가능한 구조를 하프톤 마스크(M1)를 이용하여 1개의 마스크 공정으로 형성할 수 있다.
- [0099] 전술된 유기발광표시장치를 형성하기 위한 각 마스크 공정 시 적층막의 제거는 건식 식각 또는 습식 식각으로 수행될 수 있다. 또한, 본 발명에 따른 실시예를 설명하기 위한 도면들에는 하나의 트랜지스터와 하나의 커패시터만 도시되어 있으나, 이는 설명의 편의를 위한 것일 뿐, 본 발명은 이에 한정되지 않으며, 본 발명에 따른 마스크 공정을 늘리지 않는 한, 복수 개의 TFT와 복수 개의 커패시터가 포함될 수 있음은 물론이다.
- [0100] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지 않는 것은, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

부호의 설명

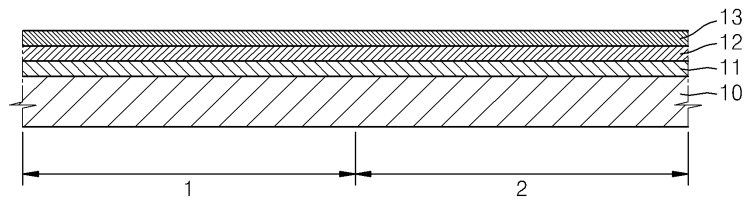
- [0101] 1: 트랜지스터 영역 2: 저장 영역
- 10: 기판 21: 게이트 전극
- 22-1: 제1 전극 22-2: 절연패턴층
- 22-3: 제2 전극 22: 제1 커패시터
- 20: 제1 절연층 31: 활성층
- 30: 제2 절연층 41a: 소스전극
- 41b: 드레인전극 42: 제3 전극
- 40: 제3 절연층 51: 화소전극
- 52: 제4 전극 50: 제4 절연층
- 55: 중간층 60: 대향전극

도면

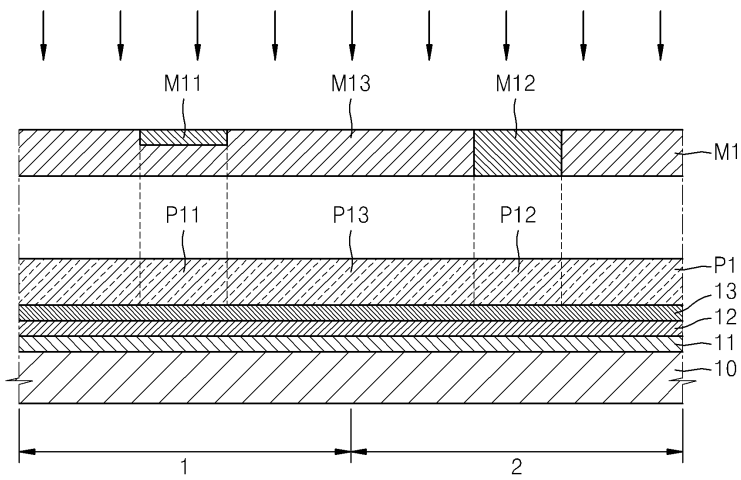
도면1



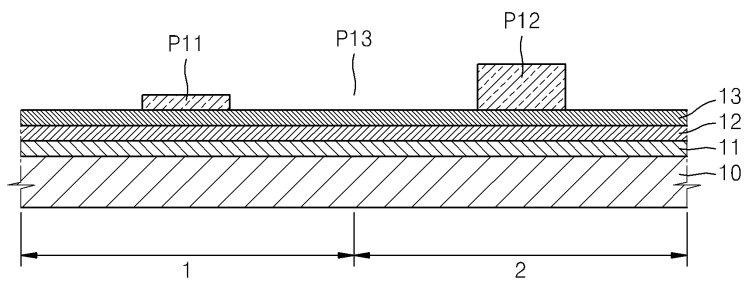
도면2



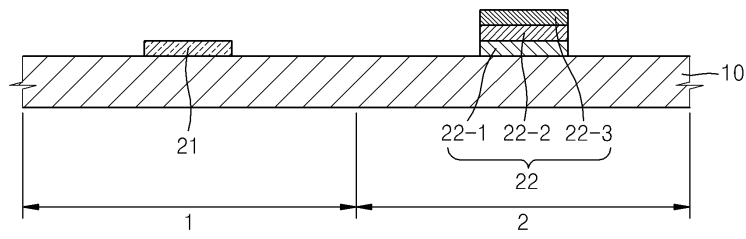
도면3



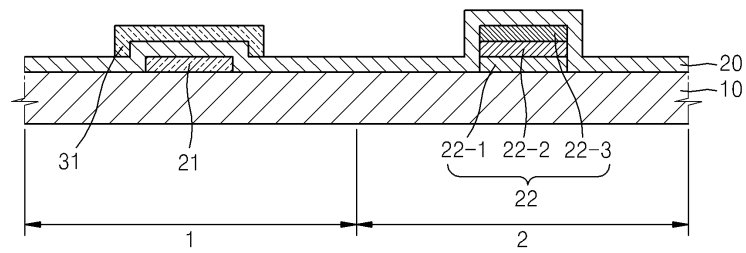
도면4



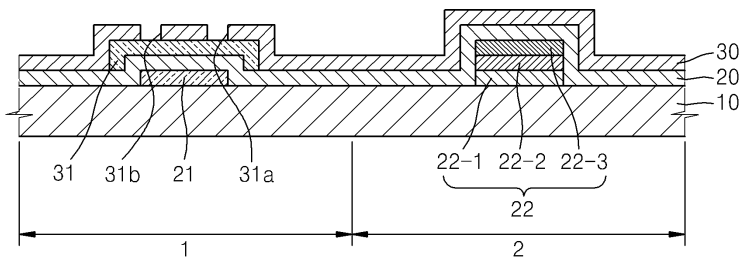
도면5



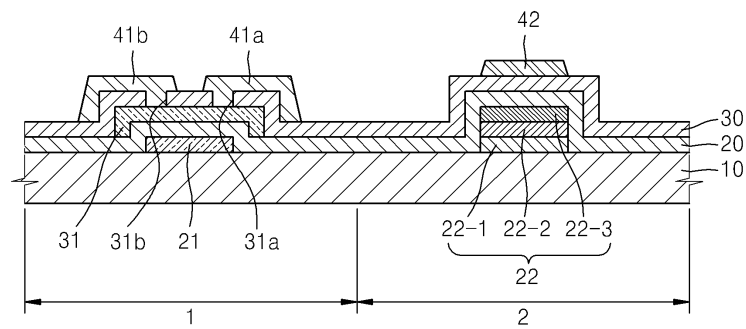
도면6



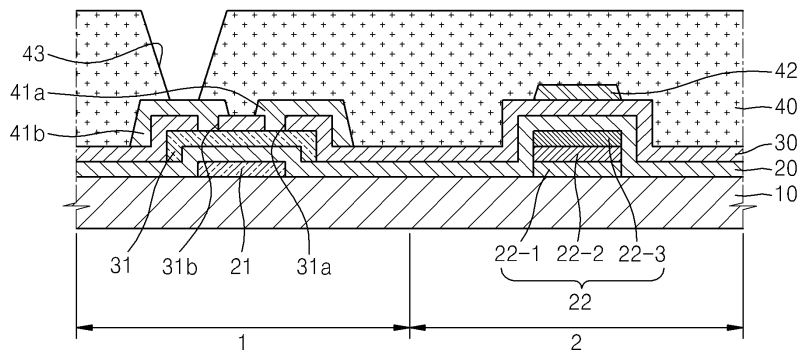
도면7



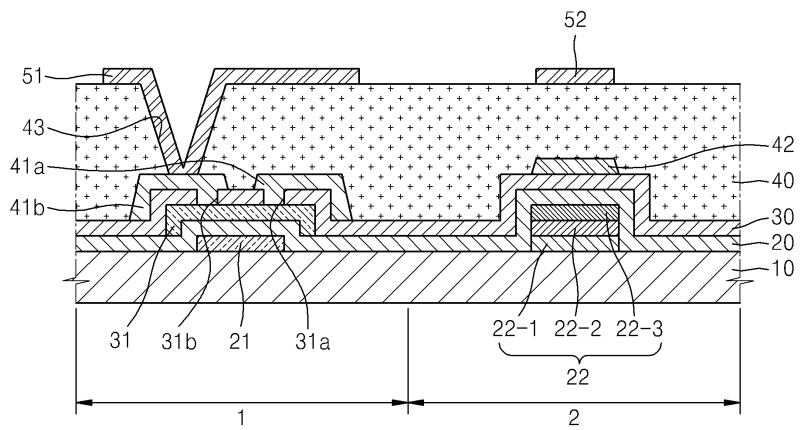
도면8



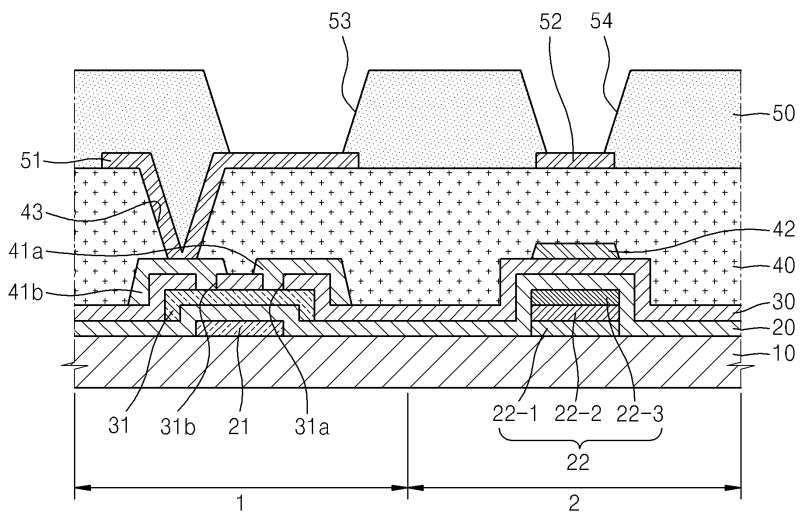
도면9



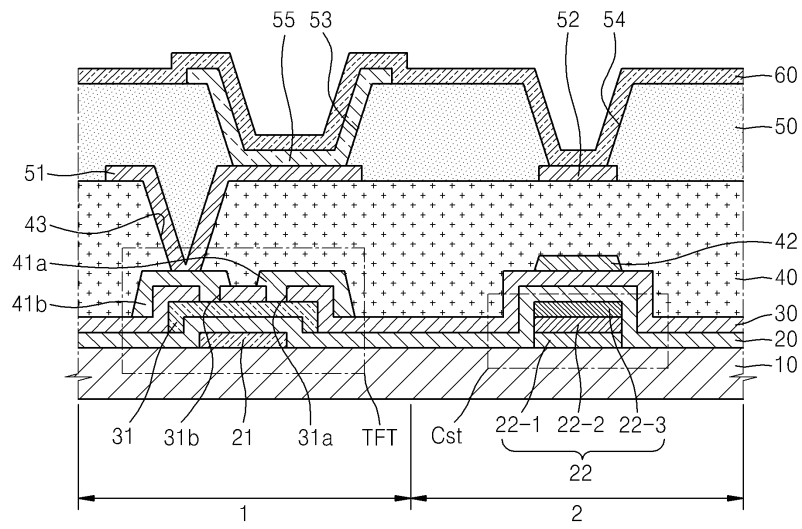
도면10



도면11



도면12



专利名称(译)	显示器背板及其制造方法		
公开(公告)号	KR1020140088733A	公开(公告)日	2014-07-11
申请号	KR1020130000633	申请日	2013-01-03
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM MIN KYU 김민규 MO YEON GON 모연곤		
发明人	김민규 모연곤		
IPC分类号	H01L51/52 H01L29/786		
CPC分类号	H01L27/3265 H01L27/1288 H01L27/1225 H01L27/1255		
其他公开文献	KR102015873B1		
外部链接	Espacenet		

摘要(译)

平板显示装置的背板及其制造方法技术领域本发明涉及一种平板显示装置的背板及其制造方法，尤其涉及一种有机发光显示装置的背板及其制造方法。平板显示器背板包括基板，形成在基板上的栅电极，形成在基板上并包括第一电极的基板，形成在第一电极上的绝缘图案层和形成在绝缘图案层上的第二电极。电容器，形成在基板上以覆盖栅电极和第一电容器的第一绝缘层，以与栅电极相对应的方式形成在第一绝缘层上并形成在有源层上的有源层；它可以包括与一部分接触的源电极和漏电极。 专利出版物10-2014-0088733

