



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년03월02일
(11) 등록번호 10-2071296
(24) 등록일자 2020년01월22일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2016.01)

(21) 출원번호 10-2013-0116392

(22) 출원일자 2013년09월30일

심사청구일자 2018년08월06일

(65) 공개번호 10-2015-0037117

(43) 공개일자 2015년04월08일

(56) 선행기술조사문헌

US04439693 A*

US20130050116 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

주식회사 실리콘웍스

대전광역시 유성구 테크노2로 222 (탑림동)

(72) 발명자

민경직

서울 강동구 진향도로61길 7, 102동 1507호 (문촌동, 현대4차아파트)

전현규

대전 유성구 구죽로 16, 104동 405호 (송강동, 한마을아파트)

(뒷면에 계속)

(74) 대리인

이철희

전체 청구항 수 : 총 8 항

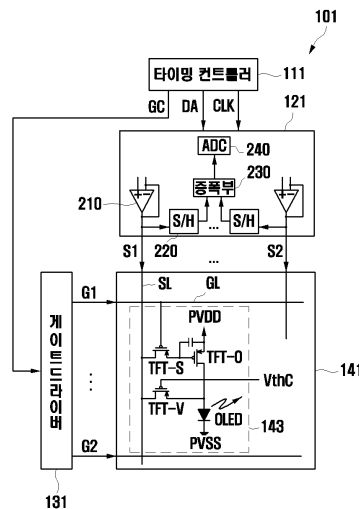
심사관 : 이승민

(54) 발명의 명칭 디스플레이 패널의 소스 드라이버

(57) 요약

본 발명은 디스플레이 패널을 구동하는 소스 드라이버 및 그의 오프셋 전압 제거 방법을 개시하며, 소스 드라이버는, 상기 디스플레이 패널에 구비된 화소들의 정보를 수집하는 복수개의 샘플 앤드 홀드 회로들과, 상기 샘플 앤드 홀드 회로들로부터 출력되는 신호를 증폭하는 증폭기 및 상기 증폭기의 입력단에 발생하는 오프셋 전압을 저장하는 오프셋 전압 저장부를 구비한다.

대표도 - 도1



(72) 발명자

정용익

인천 서구 장고개로309번길 24, 6동 901호 (가좌동, 진주아파트)

조현호

인천 남구 한나루로490번길 62, 502호 (주안동, 신일테크노빌)

김영복

대전 서구 월평중로 50, 102동 907호 (월평동, 전원아파트)

명세서

청구범위

청구항 1

유기 발광다이오드 셀의 화소 정보를 저장하는 샘플 앤드 홀드 회로의 출력 신호를 전송하는 전송 라인;

상기 전송 라인의 기생 캐패시터에 의하여 입력단에 제1 오프셋 전압이 형성되는 증폭기; 및

상기 전송 라인을 통한 상기 샘플 앤드 홀드 회로의 출력 신호의 전송이 오프된 샘플링 모드 동안 상기 증폭기에서 출력되는 상기 제1 오프셋 전압을 제2 오프셋 전압으로 저장하고, 상기 전송 라인을 통하여 상기 출력 신호가 전송되는 증폭 모드 동안 상기 증폭기의 상기 입력단에 상기 제2 오프셋 전압을 제공하여 상기 제1 오프셋 전압을 상쇄하는 오프셋 전압 저장부; 구비하며,

상기 샘플링 모드 동안, 상기 증폭기가 상기 샘플 앤드 홀드 회로와 분리되며 상기 증폭기의 입력단과 출력단이 연결됨을 특징으로 하는 소스 드라이버.

청구항 2

제1항에 있어서, 상기 오프셋 전압 저장부는 상기 제2 오프셋 전압이 상기 제1 오프셋 전압과 반대 극성을 갖도록 구성되는 소스 드라이버.

청구항 3

제1항에 있어서,

상기 증폭기는 상기 제2 오프셋 전압을 저장하기 위한 제1 증폭률과 증폭을 위한 제2 증폭률이 상이하게 적용되도록 구성되는 소스 드라이버.

청구항 4

제3항에 있어서,

상기 증폭기는 상기 제1 증폭률이 1로 설정되는 소스 드라이버.

청구항 5

디스플레이 패널의 유기 발광다이오드 셀로부터 입력되는 화소 정보를 저장하는 샘플링 모드와 저장된 상기 화소 정보를 출력하는 증폭 모드를 수행하는 샘플 앤드 홀드 회로;

입력단에 제1 오프셋 전압이 형성되고, 상기 샘플링 모드에 대응하여 상기 제1 오프셋 전압에 대응한 제2 오프셋 전압을 출력하며, 상기 증폭 모드에 대응하여 전송 라인을 통하여 상기 입력단에 인가되는 상기 샘플 앤드 홀드 회로의 출력 신호를 증폭하여 출력하는 증폭기;

상기 샘플링 모드에 대응하여 상기 제2 오프셋 전압을 저장하고, 상기 증폭 모드에 대응하여 상기 제2 오프셋 전압을 상기 증폭기의 상기 입력단에 제공하는 오프셋 전압 저장부; 및

상기 증폭 모드에 대응하여 상기 증폭기에 대한 휘드백 경로를 제공하며, 상기 샘플링 모드에 대응하여 증폭을 위한 전압을 저장하는 휘드백 캐패시터;를 구비하며,

상기 샘플링 모드 동안, 상기 증폭기가 상기 샘플 앤드 홀드 회로와 분리되며 상기 증폭기의 입력단과 출력단이 연결됨을 특징으로 하는 소스 드라이버.

청구항 6

제5항에 있어서,

상기 샘플링 모드에 대응하여 턴온되는 제1 스위치 그룹과 상기 증폭 모드에 대응하여 턴온되는 제2 스위치 그룹으로 구분되는 스위치들을 포함하며,

상기 제1 스위치 그룹과 상기 제2 스위치 그룹의 턴온 상태가 교차되고,

상기 제1 스위치 그룹의 턴온에 의하여 상기 전송 라인의 기생 캐패시터와 상기 오프셋 전압 저장부가 분리되고, 상기 휘드백 경로가 해제되며, 상기 제1 오프셋 전압에 대한 상기 증폭기의 출력이 상기 오프셋 전압 저장부에 전달되어서 제2 오프셋 전압이 저장되며,

상기 제2 스위치 그룹의 턴온에 의하여 상기 샘플 앤드 홀드 회로의 출력이 상기 전송 라인 및 상기 오프셋 전압 저장부를 경유하여 상기 증폭기의 상기 입력단으로 전달되며 상기 증폭기의 증폭을 위한 상기 휘드백 경로가 형성되는 소스 드라이버.

청구항 7

제5항에 있어서,

상기 샘플 앤드 홀드 회로는 병렬로 형성되는 내부의 샘플링 캐패시터와 상기 전송 라인의 기생 캐패시터 사이에 구성되는 제1 스위치를 포함하고,

상기 증폭기는 제2 내지 제5 스위치를 포함하며,

상기 제2 스위치는 상기 기생 캐패시터에 병렬로 연결되어 온될 때 상기 기생 캐패시터를 상기 증폭기의 상기 오프셋 전압 저장부와 분리시키고,

상기 제3 스위치는 상기 증폭기의 상기 입력단과 출력단 사이에 연결되어 온될 때 상기 증폭기의 출력을 상기 오프셋 전압 저장부에 전달하며,

제4 스위치는 상기 휘드백 캐패시터와 상기 증폭기의 출력단 사이에 연결되어 온될 때 상기 휘드백 경로를 형성하면서 상기 증폭기의 출력을 상기 휘드백 캐패시터에 전달하고,

상기 제5 스위치는 상기 휘드백 캐패시터와 기준 전압 사이에 연결되어 온될 때 상기 기준 전압으로 상기 휘드백 캐패시터를 충전하는 소스 드라이버.

청구항 8

디스플레이 패널의 유기 발광다이오드 셀로부터 입력되는 화소 정보를 샘플링 모드에 대응하여 저장하고 증폭 모드에 대응하여 저장한 화소 정보를 출력하는 제1 샘플 앤드 홀드 회로;

기준 전압을 상기 샘플링 모드에 대응하여 저장하고 상기 증폭 모드에 대응하여 저장한 기준 전압을 출력하는 제2 샘플 앤드 홀드 회로; 및

상기 샘플링 모드에 대응하여 포지티브 입력단과 네가티브 입력단의 제1 및 제2 오프셋 전압을 제3 및 제 4 오프셋 전압으로 각각 저장하며, 상기 증폭 모드에 대응하여 상기 제3 및 제4 오프셋 전압으로 상기 제1 및 제2 오프셋 전압을 상쇄하고 전송 라인을 통하여 제공되는 상기 제1 샘플 앤드 홀드 회로와 상기 제2 샘플 앤드 홀드 회로의 출력 신호들을 차동 증폭하는 증폭부;를 포함하며,

상기 증폭부는,

상기 전송 라인의 기생 캐패시터에 의하여 상기 포지티브 입력단과 상기 네가티브 입력단에 상기 제1 및 제2 오프셋 전압이 형성되는 증폭기;

상기 전송 라인을 통한 상기 제1 샘플 앤드 홀드 회로의 출력 신호의 전송이 오프된 동안 상기 포지티브 입력단

의 상기 제1 오프셋 전압에 대응하여 상기 증폭기의 네가티브 출력단에서 출력되는 상기 제3 오프셋 전압을 저장하고, 상기 전송 라인을 통하여 상기 제1 샘플 앤드 홀드 회로에서 출력 신호가 전송되면 상기 증폭기의 상기 포지티브 입력단에 상기 제3 오프셋 전압을 제공하여 상기 포지티브 입력단의 상기 제1 오프셋 전압을 상쇄하는 제1 오프셋 전압 저장부; 및

상기 전송 라인을 통한 상기 제2 샘플 앤드 홀드 회로의 출력 신호의 전송이 오프된 동안 상기 네가티브 입력단의 상기 제2 오프셋 전압에 대응하여 상기 증폭기의 포지티브 출력단에서 출력되는 상기 제4 오프셋 전압을 저장하고, 상기 전송 라인을 통하여 상기 제2 샘플 앤드 홀드 회로에서 출력 신호가 전송되면 상기 증폭기의 상기 네가티브 입력단에 상기 제4 오프셋 전압을 제공하여 상기 네가티브 입력단의 상기 제2 오프셋 전압을 상쇄하는 제2 오프셋 전압 저장부를 포함하는 소스 드라이버.

청구항 9

삭제

발명의 설명

기술 분야

[0001] 본 발명은 디스플레이 패널에 관한 것으로서, 특히 디스플레이 패널을 구동하는 소스 드라이버에 관한 것이다.

배경 기술

[0002] IT(Information Technology) 기술의 발달로 디스플레이 장치의 보급이 급격하게 늘어나고 있다. 디스플레이 장치는 영상을 표시하는 디스플레이 패널과, 상기 디스플레이 패널을 구동하는 복수개의 드라이버들을 구비한다. 상기 복수개의 드라이버들 중 일부는 상기 디스플레이 패널에 구비된 스캔 라인들을 구동하는 게이트 드라이버(Gate Driver)이고, 나머지는 디스플레이 패널에 구비된 데이터 라인들을 구동하는 소스 드라이버(Source Driver)들이다.

[0003] 유기 발광다이오드(OLED)를 이용한 디스플레이 장치의 경우, 상기 소스 드라이버는 상기 디스플레이 패널에 구비된 복수개의 화소들의 화소 정보가 변화되는 것을 검출하는 복수개의 샘플 앤드 홀드 회로(SAMPLE AND HOLD, S/H)를 구비한다.

[0004] 샘플 앤드 홀드회로는 소스 드라이버의 출력 채널마다 하나씩 구비되어서 화소 정보를 검출한다. 그러므로, 소스 드라이버에는 출력 채널의 수만큼 샘플 앤드 홀드 회로가 구성된다. 샘플 앤드 홀드 회로에서 출력되는 신호는 아날로그 디지털 컨버터에 의하여 디지털로 변환된 후 타이밍 컨트롤러로 제공될 수 있다.

[0005] 또한, 아날로그 디지털 컨버터의 고속 동작을 위하여 샘플 앤드 홀드 회로의 신호가 증폭되어 제공될 필요성이 있으며, 이를 위하여 증폭부가 샘플 앤드 홀드 회로의 신호를 증폭하고 증폭된 신호를 아날로그 디지털 컨버터에 제공하도록 구성된다. 증폭부의 입력단에는 오프셋 전압이 형성될 수 있다. 샘플 앤드 홀드 회로들의 수가 증가하면, 증폭부의 신호를 수신하는 전송 라인에 형성되는 기생 캐패시터에 의한 기생 캐패시턴스가 증가한다. 상기한 기생 캐패시턴스의 증가는 증폭부의 입력단에 발생하는 오프셋 전압을 증대시킬 수 있다. 결과적으로, 소스 드라이버들 사이의 오프셋 전압의 차가 유발되고, 나아가 소스 드라이버의 수율이 감소될 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 내장된 샘플 앤드 홀드 회로의 출력 신호를 증폭하는 증폭부의 입력단의 오프셋 전압을 제어하는 소스 드라이버를 제공하기 위한 것이다.

[0007] 본 발명은 샘플 앤드 홀드 회로에 연결된 증폭부가 입력단에 형성되는 기생 캐패시터에 영향을 받아서 오프셋 전압이 증폭되는 것을 제어함으로써 소스 드라이버들 간의 오프셋 전압의 차를 억제하고, 수율을 증가시키기 위한 것이다.

과제의 해결 수단

- [0008] 본 발명에 따른 소스 드라이버는, 유기 발광다이오드 셀의 화소 정보를 저장하는 샘플 앤드 홀드 회로의 출력 신호를 전송하는 전송 라인; 상기 전송 라인의 기생 캐패시터에 의하여 입력단에 제1 오프셋 전압이 형성되는 증폭기; 및 상기 전송 라인을 통한 상기 샘플 앤드 홀드 회로의 출력 신호의 전송이 오프된 동안 상기 증폭기에서 출력되는 상기 제1 오프셋 전압을 제2 오프셋 전압으로 저장하고, 상기 전송 라인을 통하여 신호가 전송되면 상기 증폭기의 상기 입력단에 상기 제2 오프셋 전압을 제공하여 상기 제1 오프셋 전압을 상쇄하는 오프셋 전압 저장부;를 구비하는 것을 특징으로 한다.
- [0009] 또한, 본 발명에 따른 소스 드라이버는, 디스플레이 패널의 유기 발광다이오드 셀로부터 입력되는 화소 정보를 저장하는 샘플링 모드와 저장된 상기 화소 정보를 출력하는 증폭 모드를 수행하는 샘플 앤드 홀드 회로; 입력단에 제1 오프셋 전압이 형성되고, 상기 샘플링 모드에 대응하여 상기 제1 오프셋 전압에 대응한 제2 오프셋 전압을 출력하며, 상기 증폭 모드에 대응하여 전송 라인을 통하여 상기 입력단에 인가되는 상기 샘플 앤드 홀드 회로의 출력 신호를 신호를 증폭하여 출력하는 증폭기; 상기 샘플링 모드에 대응하여 상기 제2 오프셋 전압을 저장하고, 상기 증폭 모드에 대응하여 상기 제2 오프셋 전압을 상기 증폭기의 상기 입력단에 제공하는 오프셋 전압 저장부; 및 상기 증폭 모드에 대응하여 상기 증폭기에 대한 휘드백 경로를 제공하며, 상기 샘플링 모드에 대응하여 증폭을 위한 전압을 저장하는 휘드백 캐패시터;를 구비함을 특징으로 한다.
- [0010] 또한, 본 발명에 따른 소스 드라이버는, 디스플레이 패널의 유기 발광다이오드 셀로부터 입력되는 화소 정보를 샘플링 모드에 대응하여 저장하고 증폭 모드에 대응하여 저장한 화소 정보를 출력하는 제1 샘플 앤드 홀드 회로; 기준 전압을 상기 샘플링 모드에 대응하여 저장하고 상기 증폭 모드에 대응하여 저장한 기준 전압을 출력하는 제2 샘플 앤드 홀드 회로; 및 상기 샘플링 모드에 대응하여 포지티브 입력단과 네가티브 입력단의 제1 및 제2 오프셋 전압을 제3 및 제 4 오프셋 전압으로 각각 저장하며, 상기 증폭 모드에 대응하여 상기 제3 및 제4 오프셋 전압으로 상기 제1 및 제2 오프셋 전압을 상쇄하고 전송 라인을 통하여 제공되는 상기 제1 샘플 앤드 홀드 회로와 상기 제2 샘플 앤드 홀드 회로의 출력 신호들을 차동 증폭하는 증폭부;를 포함함을 특징으로 한다.

발명의 효과

- [0011] 상술한 바와 같이 본 발명에 의하면 샘플 앤드 홀드 회로의 출력 신호를 증폭하는 증폭부에 오프셋 전압 저장부가 구성되며, 오프셋 전압 저장부에 저장된 오프셋 전압에 의하여 증폭부의 오프셋 전압의 증폭이 제어될 수 있다. 그러므로, 복수개의 샘플 앤드 홀드 회로가 증폭부의 입력단에 연결됨에 의하여 증폭부의 입력단의 기생 캐패시터가 증가하더라도 오프셋 전압이 안정적으로 제어될 수 있다.
- [0012] 따라서, 아날로그 디지털 컨버터의 고속 동작을 위한 증폭부의 출력 신호는 안정적으로 제어될 수가 있으며, 소스 드라이버들 사이의 오프셋 전압의 차도 감소되고, 소스 드라이버의 수율이 획기적으로 향상될 수 있다.
- [0013] 또한, 증폭부에 구비되는 단위 트랜지스터의 면적을 작게 하여도 소스 드라이버는 동일한 성능을 발휘할 수 있다. 이와 같이, 단위 트랜지스터의 면적이 작게 설계될 수 있어서, 소스 드라이버의 신호 처리 속도가 개선될 수 있고 증폭부의 높은 오픈 루프 이득(open loop gain)을 얻을 수 있다.
- [0014] 또한, 증폭부에 연결되는 휘드백 캐패시터들과 샘플링 캐패시터들의 크기가 작게 설계되어도 소스 드라이버는 동일한 효과를 얻을 수 있으며, 본 발명에 따른 소스 드라이버의 면적은 효과적으로 감소될 수 있다.

도면의 간단한 설명

- [0015] 도 1은 본 발명에 따른 디스플레이 장치의 소스 드라이버의 바람직한 실시예를 나타내는 블록도.
 도 2는 도 1에 도시된 소스 드라이버의 일부 구성을 설명하는 개략적인 블록도.
 도 3은 도 2에 도시된 샘플 앤드 홀드 회로 및 증폭부의 실시예를 나타내는 회로도.
 도 4는 본 발명에 따른 오프셋 전압 제어 방법을 설명하기 위한 흐름도이다.

도 5는 도 3의 실시예가 샘플링 동작을 수행하는 상태를 설명하는 회로도.

도 6은 도 3의 실시예가 증폭 동작을 수행하는 상태를 설명하는 회로도.

도 7은 본 발명에 따른 오프셋 전압 제어를 적용하지 않을 경우의 오프셋 전압의 히스토그램.

도 8은 본 발명에 따른 오프셋 전압 제어를 적용한 경우의 오프셋 전압의 히스토그램.

발명을 실시하기 위한 구체적인 내용

- [0016] 이하, 첨부한 도면들을 참고하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예에 대하여 상세히 설명하기로 한다. 각 도면에 제시된 참조부호들 중 동일한 참조부호는 동일한 부재를 나타낸다.
- [0017] 도 1은 본 발명에 따른 실시예가 적용되는 디스플레이 장치(101)의 블록도이다. 도 1을 참조하면, 디스플레이 장치(101)는 타이밍 컨트롤러(Timing Controller)(111), 소스 드라이버(121), 게이트 드라이버(131), 및 디스플레이 패널(141)을 구비한다.
- [0018] 타이밍 컨트롤러(111)는 영상 데이터(DA)와 클럭 신호(CLK)를 소스 드라이버(121)로 전송하고 게이트 제어 신호(GC)를 게이트 드라이버(131)로 전송한다.
- [0019] 소스 드라이버(121)는 타이밍 컨트롤러(111)로부터 출력되는 클럭 신호(CLK)와 영상 데이터(DA)를 수신하고, 클럭 신호(CLK)에 동기되어 영상 데이터(DA)를 처리하며, 소스 구동 신호들(S1, S2)을 디스플레이 패널(141)로 출력하여 디스플레이 패널(141)에 구비된 데이터 라인들(SL)을 구동한다. 도 1에는 하나의 소스 드라이버(121)가 도시되어 있으나, 디스플레이 패널(141)의 크기와 해상도를 고려하여 소스 드라이버(121)는 복수 개로 구성될 수 있다.
- [0020] 소스 드라이버(121)는 소스 구동 신호들(S1, S2)을 각각 출력하는 출력 버퍼들(210), 디스플레이 패널(141)에서 전달되는 화소 정보를 감지하는 샘플 앤드 홀드 회로들(S/H, 220), 샘플 앤드 홀드 회로들(220)의 출력 신호를 증폭하는 증폭부(230) 및 증폭부(230)의 출력 신호를 디지털로 변환하는 아날로그 디지털 변환기(240)를 포함하는 것으로 예시된다. 구체적으로 도시되지 않았으나, 소스 드라이버(121)는 영상 데이터(DA)를 클럭 신호(CLK)에 동기하여 처리하기 위한 시프트 레지스터(도시되지 않음), 래치(도시되지 않음) 및 디지털 아날로그 변환기(도시되지 않음)를 포함할 수 있으며, 디지털 아날로그 변환기에서 처리된 신호가 출력 버퍼들(210)을 통하여 소스 구동 신호들(S1, S2)로 출력될 수 있다.
- [0021] 아날로그 디지털 변환기(240)의 출력 신호는 타이밍 컨트롤러(111)에 제공될 수 있으며, 타이밍 컨트롤러(111)는 아날로그 디지털 변환기(240)의 출력을 참조하여 화소 정보를 반영한 제어 동작을 수행할 수 있다.
- [0022] 증폭부(230)는 샘플 앤드 홀드 회로들(220)의 출력 신호를 증폭함으로써 아날로그 디지털 변환기(240)의 고속 동작을 보장하기 위한 것이다.
- [0023] 샘플 앤드 홀드 회로(220)는 디스플레이 패널(141)의 데이터 라인(SL)을 통하여 전달되는 OLED 셀(143)의 화소 정보를 인식하며, 화소 정보는 유기 발광다이오드의 턴온 전압, 박막 트랜지스터(TFT)의 문턱 전압(V_{th}), 박막 트랜지스터의 전류 특성 및 박막 트랜지스터의 모빌리티 특성을 포함할 수 있다. 이 중 박막 트랜지스터의 전류 특성은 전압에 의하여 감지될 수 있다.
- [0024] 게이트 드라이버(131)는 타이밍 컨트롤러(111)로부터 출력되는 게이트 제어 신호(GC)를 수신하고, 게이트 제어 신호(GC)를 이용하여 게이트 구동 신호들(G1, G2)을 생성하며, 게이트 구동 신호들(G1, G2)을 출력하여 디스플레이 패널(141)에 구비된 스캔 라인들(GL)을 구동한다. 도 1에는 하나의 게이트 드라이버(131)가 도시되어 있으나, 디스플레이 패널(141)의 크기와 해상도를 고려하여 게이트 드라이버(131)가 복수 개로 구성될 수 있다.
- [0025] 디스플레이 패널(141)은 소스 드라이버(121)와 게이트 드라이버(131)로부터 제공되는 소스 구동 신호들(S1, S2) 및 게이트 구동 신호들(G1, G2)을 수신하고 영상을 디스플레이한다. 본 발명에 따른 실시예로서 디스플레이 패널(141)은 유기 발광다이오드(Organic Light Emitting Diode, OLDE) 셀(143)을 이용하여 화소가 구현된 것을 예시하고 있으며, OLED 셀(143)은 데이터 라인(SL)의 소스 구동 신호와 스캔 라인(GL)의 게이트 구동 신호를 수신하며 유기 발광다이오드(OLED)를 동작에 대응하여서 영상을 디스플레이하는 동작을 수행한다.
- [0026] 보다 상세하게, OLED 셀(143)의 동작을 설명하면, 스캔 라인(GL)에 공급되는 게이트 신호(G1)에 의해 데이터 라인(SL)의 스위칭 박막트랜지스터(TFT-S)가 턴온된다. 이에 따라 데이터 라인(SL)을 통해 공급되는 소스 구동 신호

호(S1)가 스위칭 박막트랜지스터(TFT-S)를 통해 구동 박막트랜지스터(TFT-O)의 게이트에 공급된다. 구동 박막트랜지스터(TFT-O)는 스위칭 박막트랜지스터(TFT-S)를 통해 전달되는 소스 구동 신호(S1)에 의하여 턴온되며, 구동 박막트랜지스터(TFT-O)의 턴온에 의하여, 유기 발광다이오드(OLED)에 전압들(PVDD, PVSS)이 인가되고, 소스 구동 신호(S1)에 대응하는 밝기로 구동 전류가 공급됨에 따라 유기 발광다이오드(OLED)가 발광한다.

[0027] 그리고, 유기 발광다이오드(OLED)는 시간이 지남에 따라 점차 열화되어서 문턱 전압(V_{th})이 변화될 수 있으며, 문턱 전압(V_{th})의 변화에 의하여 동일한 구동 전류에 대응하여 유기 발광다이오드(OLED)의 밝기가 점차 낮아질 수 있다. 유기 발광다이오드(OLED)의 문턱 전압(V_{th})의 변화는 문턱전압검출용 박막트랜지스터(TFT-V)에 의하여 검출될 수 있으며, 유기 발광다이오드(OLED)의 문턱전압(V_{th})의 변화를 검출하기 위한 문턱전압검출용 제어신호(V_{thC})가 영상이 디스플레이되기 전 또는 스탠바이 상태에서 문턱전압검출용 박막트랜지스터(TFT-V)에 제공될 수 있다. 상기한 문턱전압(V_{th})의 변화는 화소 정보의 일예를 예시한 것이며, 유기 발광다이오드(OLED)의 문턱 전압(V_{th})과 같은 화소 정보는 턴온된 문턱전압검출용 박막트랜지스터(TFT-V) 및 데이터 라인(SL)을 통하여 샘플 앤드 홀드 회로(220)로 제공될 수 있다.

[0028] 도 2는 화소 정보가 소스 드라이버(121) 내에서 전달되는 경로를 예시한 것이며, 도 2에서 화소 정보는 V_{IN} 으로 기재한다. 각 유기 발광다이오드 셀(143)의 화소 정보(V_{IN})는 샘플 앤드 홀드 회로(220)로 제공되며, 샘플 앤드 홀드 회로(220)는 화소 정보(V_{IN})와 기준 전압(V_{REF})을 샘플링 및 홀딩한 신호를 증폭부(230)에 제공하도록 구성된다.

[0029] 샘플 앤드 홀드 회로(220)는 디스플레이 패널(141)의 OLED 셀(143)의 화소 정보(V_{IN})를 수신하여서 디스플레이 패널(141)의 화소 특성이 변화되는 것을 검출한다. 샘플 앤드 홀드 회로(220)는 디스플레이 패널(141)의 데이터 라인에 대응하는 수로 구성될 수 있다. 복수 개의 샘플 앤드 홀드 회로(220)의 출력 신호들은 증폭부(230)에 공통으로 인가된다.

[0030] 증폭부(230)는 샘플 앤드 홀드 회로들(220)의 출력 신호 즉 화소 정보(V_{IN})를 수신하고, 화소 정보(V_{IN})를 차동 증폭하여 차동 신호로 출력한다. 증폭부(230)의 차동 동작은 화소 정보(V_{IN})와 기준 전압(V_{REF})에 대하여 수행될 수 있으며, 기준 전압(V_{REF})과 화소 정보(V_{IN})의 차가 증폭부(230)의 차동 출력(V_o)으로 출력된다.

[0031] 증폭부(230)는 전송 라인(Lt)을 통해서 샘플 앤드 홀드 회로(220)와 연결된다. 전송 라인(Lt)은 대체로 짧기 때문에 샘플 앤드 홀드 회로(220)로부터 증폭부(230)로 전송되는 신호에 영향을 미치는 외부 노이즈가 유입되기 어렵다.

[0032] 그러나, 증폭부(230)에 복수개의 샘플 앤드 홀드 회로(220)가 커플링되는 경우, 전송 라인(Lt)에는 많은 전류가 흐르게 된다. 그러므로, 증폭부(230)의 입력단에 연결된 전송 라인(Lt)과 접지단(GND) 사이의 기생 캐패시터(C_p)의 캐패시턴스가 증가할 수 있다. 즉, 전송 라인(Lt)의 길이가 증가하게 되며, 샘플 앤드 홀드 회로들(220)을 단일 회로인 증폭부(230)에 순차적으로 연결하기 위해 필요한 멀티플렉서(도시되지 않음)를 구성하는 트랜지스터(도시되지 않음)의 소오스(Source)(드레인(Drain))-바디(Body) 정션(junction) 캐패시터로 인하여, 기생 캐패시터(C_p)의 기생 캐패시턴스가 증가하게 된다.

[0033] 이와 같이, 전송 라인(Lt)과 접지단(GND) 사이의 기생 캐패시터(C_p)의 기생 캐패시턴스가 증가하면, 증가된 기생 캐패시턴스로 인하여 증폭부(230)의 입력단의 오프셋(offset) 전압이 증대한다. 즉, 기생 캐패시터(C_p)의 기생 캐패시턴스 증가로 인하여 증폭부(230)의 입력단의 오프셋 전압은 샘플 앤드 홀드 회로(220)의 출력 신호와 함께 증폭부(230)에 의해 증폭되어 출력된다. 이로 인하여 소스 드라이버들 간의 오프셋 전압도 증가한다. 소스 드라이버들 간의 오프셋 전압은 결과적으로 디스플레이 패널(141)에 표시되는 영상의 노이즈로 나타난다.

[0034] 도 3을 참조하면, 샘플 앤드 홀드 회로(220)는 화소 정보(V_{IN})를 샘플 앤드 홀드하는 샘플 앤드 홀드 회로(220p)와 기준 전압(V_{REF})을 샘플 앤드 홀드하는 샘플 앤드 홀드 회로(220n)를 포함한다. 샘플 앤드 홀드 회로(220p)는 샘플링 캐패시터($Cs1$)와 스위치(SW1a)를 구비하는 것으로써 개략적으로 도시되어 있고, 샘플 앤드 홀드 회로(220n)는 샘플링 캐패시터($Cs2$)와 스위치(SW1b)를 구비하는 것으로써 개략적으로 도시되어 있다.

[0035] 그리고, 샘플 앤드 홀드 회로(220p)는 화소 정보(V_{IN})가 입력되는 전송 라인(Lt1)에 연결되고, 샘플 앤드 홀드 회로(220n)는 기준 전압(V_{REF})이 제공되는 전송 라인(Lt2)에 연결된다. 도 3의 전송 라인(Lt1)은 도 2의 전송 라인(Lt)에 포함된다. 그리고, 전송 라인(Lt1)에는 기생 캐패시터($Cp1$)가 형성되고, 전송 라인(Lt2)에는 기생 캐

패시터(Cp2)가 형성된다. 도 3의 기생 캐패시터(Cp1, Cp2)는 도 2의 기생 캐패시터(Cp)에 포함된다.

- [0036] 도 3의 증폭부(230)는 2개의 오프셋 전압 저장부들(Cos1, Cos2), 2개의 휘드백 캐패시터들(Cf1, Cf2), 복수개의 스위치들(SW2aSW5b) 및 증폭기(231)를 구비한다. 여기에서, 증폭부(230)가 2 개의 오프셋 전압 저장부들(Cos1, Cos2), 2개의 휘드백 캐패시터들(Cf1, Cf2)을 포함하도록 구성된 것은 화소 정보(V_{IN})와 기준 전압(V_{REF})이 샘플 앤드 홀드 회로(220p, 220n)을 경유하여 증폭기(231)에 포지티브 입력단(+)과 네가티브 입력단(-)에 각각 차동 신호로서 입력되는 것을 고려한 것이다.
- [0037] 오프셋 전압 저장부들(232, 233)은 증폭기(231)의 포지티브 입력단(+)과 네가티브 입력단(-)에 각각 연결된다. 오프셋 전압 저장부들(232, 233)에는 증폭기(231)의 포지티브 입력단(+)과 네가티브 입력단(-)에 각각 형성되는 오프셋 전압들(V_{os1} , V_{os2})에 대응하는 오프셋 전압들이 저장될 수 있다. 샘플 앤드 홀드 회로들(220p, 220n)의 출력 신호들이 증폭기(231)로 입력될 때, 증폭기(231)의 입력단의 오프셋 전압들(V_{os1} , V_{os2})은 오프셋 전압 저장부들(232, 233)에 저장된 오프셋 전압과 상쇄될 수 있다. 오프셋 전압 저장부들(232, 233)에 저장된 오프셋 전압들과 증폭기(231)의 입력단의 오프셋 전압들(V_{os1} , V_{os2})은 서로 극성이 반대이므로 상쇄된다. 따라서, 증폭기(231)의 입력단의 오프셋 전압들(V_{os1} , V_{os2})이 제거될 수 있다. 오프셋 전압 저장부들(232, 233)은 오프셋 캐패시터들(Cos1, Cos2)로 구성될 수 있다.
- [0038] 상술한 바와 같이, 오프셋 전압 저장부(232, 233)의 오프셋 전압에 의하여 증폭기(231)의 입력단의 오프셋 전압들(V_{os1} , V_{os2})이 제거될 수 있다. 그러므로, 증폭부(230)의 출력 신호들(V_{op} , V_{on})은 오프셋 전압들(V_{os1} , V_{os2})에 영향을 받지 않고 안정적으로 출력될 수가 있다. 이와 같이 증폭부(230)가 오프셋 전압들(V_{os1} , V_{os2})에 영향을 받지 않고 출력을 안정적으로 유지함에 의하여, 소스 드라이버(121)의 수율도 향상될 수 있다.
- [0039] 한편, 샘플 앤드 홀드 회로들(220p, 220n) 및 증폭부(230)에 구성되는 스위치들(SW1aSW5b)은 모스(MOS; metal Oxide semiconductor) 트랜지스터들로 구성될 수 있다.
- [0040] 샘플 앤드 홀드 회로들(220p, 220n)에는 샘플링 모드와 홀드 모드를 구분하기 위한 스위치(SW1a, SW1b)를 각각 구비한다. 상기한 샘플 앤드 홀드 회로들(220p, 220n)의 홀드 모드는 후술하는 증폭 모드에 해당될 수 있다.
- [0041] 증폭부(230)는 전송 라인(Lt1)의 기생 캐패시터들(Cp1, Cp2)과 접지 간의 연결을 스위칭하는 스위치들(SW2a, SW2b), 증폭기(231)의 출력을 오프셋 전압 저장부들(232, 233)과 증폭기(231)의 입력단 사이 노드에 전달하는 것을 스위칭하는 스위치들(SW3a, SW3b), 증폭기(231)의 출력을 휘드백 캐패시터들(Cf1, Cf2)에 전달하는 것을 스위칭하는 스위치들(SW4a, SW4b) 및 전압(V_T , V_B)을 휘드백 캐패시터들(Cf1, Cf2)에 전달하는 스위치들(SW5a, SW5b)을 포함한다. 여기에서, 스위치들(SW4a, SW4b)과 스위치들(SW5a, SW5b)은 휘드백 캐패시터들(Cf1, Cf2)에 대하여 병렬로 연결된다.
- [0042] 도 4는 본 발명에 따른 오프셋 전압 제거 방법을 설명하기 위한 흐름도이고, 도 5는 도 3에 도시된 증폭부(230)와 샘플 앤드 홀드 회로들(220p, 220n)이 샘플링 모드로 동작할 때의 구성도이고, 도 6은 도 3에 도시된 증폭부(230)와 샘플 앤드 홀드 회로들(220p, 220n)이 증폭 모드로 동작할 때의 구성도이다. 도 3, 도 5 및 도 6을 참조하여 도 4에 도시된 오프셋 전압 제거 방법을 설명하기로 한다.
- [0043] 도 4를 참조하면, 오프셋 전압 제거 방법은 제1 및 제2 단계들(S411, S421)을 포함한다.
- [0044] 제1 단계(S411)로서 샘플링 모드가 수행된다. 샘플링 모드에 대응하여, 증폭부(230)는 증폭기(231)의 입력단에 발생하는 오프셋 전압들(V_{os1} , V_{os2})에 대응하는 오프셋 전압을 오프셋 캐패시터들(Cos1, Cos2)에 저장한다. 샘플링 모드로 동작할 때의 증폭부(230)와 샘플 앤드 홀드 회로들(220p, 220n)의 동작에 대해 도 5를 참조하여 설명하기로 한다.
- [0045] 샘플링 모드 상태에서, 스위치들(SW2a, SW2b, SW3a, SW3b, SW5a, SW5b)이 턴온(Turn-on)되고, 스위치들(SW1a, SW1b, SW4a, SW4b)이 턴오프(Turn-off)된다.
- [0046] 먼저, 화소 정보(V_{in})에 대응한 도 5의 샘플링 모드를 설명한다.
- [0047] 스위치(SW1a)가 턴오프됨으로 인해 샘플링 캐패시터(C_{s1})는 전송 라인(Lt1)과 분리된다. 따라서, 샘플 앤드 홀드 회로(220p)로 입력되는 화소 정보(V_{IN})는 전송 라인(Lt1) 및 증폭기(231)로 전송되지 않고 샘플링 캐패시터(C_{s1})에 저장된다. 즉, 화소 정보(V_{IN})는 샘플링 캐패시터(C_{s1})에 샘플링된다.
- [0048] 스위치(SW2a)가 턴온됨으로 인해 기생 캐패시터(C_{p1})를 포함하는 페루프가 형성되며, 기생 캐패시터(C_{p1})는 증

폭기(231)와 전기적으로 분리된다.

- [0049] 스위치(SW3a)가 턴온됨으로 인해 증폭기(231)는 유니티 버퍼(unity buffer)로 작용하며, 증폭기(231)의 포지티브 입력단(+)의 오프셋 전압(Vos1)은 그대로 출력단으로 전달된다. 즉, 증폭기(231)의 포지티브 입력단(+)과 네가티브 출력단(-)이 연결됨에 따라 오프셋 캐패시터(Cos1)에는 증폭기(231)의 네가티브 출력단(-)에서 출력되는 전압이 저장된다. 즉, 증폭기(231)의 포지티브 입력단에 발생하는 오프셋 전압(Vos1)과 크기가 같고 부호가 반대인 오프셋 전압이 오프셋 캐패시터(Cos1)에 저장된다. 이때, 증폭기(231)의 증폭률은 1로 설정됨이 바람직하다.
- [0050] 스위치(SW4a)가 오프되고 스위치(SW5a)가 턴온됨으로 인해, 휘드백 캐패시터(Cf1)는 증폭기(231)의 네가티브 출력단과 분리되며 전압(VT)에 연결된다. 따라서, 휘드백 캐패시터(Cf1)에는 각각 전압(VT)이 저장된다.
- [0051] 즉, 상기한 샘플링 모드에 대응하여, 화소 정보(V_{IN})는 샘플링 캐패시터(Cs1)에 저장되고, 오프셋 캐패시터들(Cos1)에는 증폭기(231)의 포지티브 입력단에 발생하는 오프셋 전압(Vos1)과 크기가 같고 부호가 반대인 오프셋 전압이 저장된다.
- [0052] 또한, 기준 전압(V_{REF})에 대응한 도 5의 샘플링 모드 동작을 설명한다.
- [0053] 스위치(SW1b)가 턴오프됨으로 인해 샘플링 캐패시터(Cs2)는 전송 라인(Lt2)과 분리된다. 따라서, 샘플 앤드 홀드 회로(220n)로 입력되는 기준 전압(V_{REF})은 전송 라인(Lt2) 및 증폭기(231)로 전송되지 않고 샘플링 캐패시터(Cs2)에 저장된다. 즉, 기준 전압(V_{REF})은 샘플링 캐패시터(Cs2)에 샘플링된다.
- [0054] 스위치(SW2b)가 턴온됨으로 인해 기생 캐패시터(Cp2)를 포함하는 페루프가 형성되며, 기생 캐패시터(Cp2)는 증폭기(231)와 전기적으로 분리된다.
- [0055] 스위치(SW3b)가 턴온됨으로 인해 증폭기(231)는 유니티 버퍼(unity buffer)로 작용하며, 증폭기(231)의 네가티브 입력단(-)의 오프셋 전압(Vos2)은 그대로 출력단으로 전달된다. 즉, 증폭기(231)의 네가티브 입력단(-)과 포지티브 출력단(+)이 연결됨에 따라 오프셋 캐패시터(Cos2)에는 증폭기(231)의 포지티브 출력단(+)에서 출력되는 전압이 저장된다. 즉, 증폭기(231)의 네가티브 입력단(-)에 발생하는 오프셋 전압(Vos2)과 크기가 같고 부호가 반대인 오프셋 전압이 오프셋 캐패시터(Cos2)에 저장된다. 이때, 증폭기(231)의 증폭률은 1로 설정됨이 바람직하다.
- [0056] 스위치(SW4b)가 오프되고 스위치(SW5b)가 턴온됨으로 인해, 휘드백 캐패시터(Cf2)는 증폭기(231)의 포지티브 출력단(-)과 분리되며 전압(VB)에 연결된다. 따라서, 휘드백 캐패시터(Cf2)에는 각각 전압(VB)이 저장된다.
- [0057] 즉, 상기한 샘플링 모드에 대응하여, 기준 전압(V_{REF})은 샘플링 캐패시터(Cs2)에 저장되고, 오프셋 캐패시터(Cos2)에는 증폭기(231)의 네가티브 입력단(-)에 발생하는 오프셋 전압(Vos2)과 크기가 같고 부호가 반대인 오프셋 전압이 저장된다.
- [0058] 상기한 샘플링 모드에서, 전압들 VT 및 VB는 회로의 구성에 따라 다르게 적용될 수 있다. 차동 증폭 회로로 구성 시에는 전압 VT와 VB는 동일한 전압을 사용하며(통상 전원 전압의 반), 싱글 전압을 차동 전압으로 변환 시 서로 다른 전압을 사용할 수 있다(통상 $VT > VB$, VT는 데이터 변환기의 입력 최대 전압값, VB는 데이터 변환기의 입력 최소 전압값). 이는 전원 전압이 낮음으로 인해 발생할 수 있는 신호 포화(saturation)로 인한 왜곡을 막기 위한 것이다.
- [0059] 제2 단계(S421)로서 증폭 모드가 수행된다. 증폭 모드에 대응하여, 증폭부(230)는 증폭기(231)의 입력단에 발생하는 오프셋 전압들(Vos1, Vos2)을 오프셋 캐패시터들(Cos1, Cos2)에 저장된 오프셋 전압들과 상쇄시켜서 제거하는 증폭 모드를 진행한다. 증폭 모드로 동작할 때의 증폭부(230)와 샘플 앤드 홀드 회로들(221p, 221n)의 동작에 대해 설명하기로 한다.
- [0060] 증폭 모드 상태에서, 스위치들(SW1a, SW1b, SW4a, SW4b)이 턴온되고, 스위치들(SW2a, SW2b, SW3a, SW3b, SW5a, SW5b)이 턴오프된다.
- [0061] 먼저, 화소 정보(V_{IN})에 대응한 도 6의 증폭 모드를 설명한다.
- [0062] 스위치(SW1a)가 턴온되고 스위치(SW2a)가 턴오프됨으로 인해, 화소 정보(V_{IN})가 저장된 샘플링 캐패시터(Cs1)의 전압과 기생 캐패시터(Cp1)의 전압이 합쳐져서 오프셋 캐패시터들(Cos1)에 인가된다.

- [0063] 스위치(SW3a)가 턴오프됨으로 인해 증폭기(231)의 포지티브 입력단과 네가티브 출력단이 분리되며, 증폭기(231)는 유니티 버퍼(unity buffer)의 작용이 해제된다. 즉, 증폭기(231)는 포지티브 입력단(+)에 인가되는 신호들을 소정의 증폭률만큼 증폭하여 출력한다.
- [0064] 스위치(SW5a)가 턴오프되고 스위치(SW4a)가 턴온됨으로 인해, 휘드백 캐패시터(Cf1)는 증폭기(231)의 네가티브 출력단에 연결되고 전압(VT)과 분리된다. 또한, 휘드백 캐패시터(Cf1)는 샘플링 캐패시터(Cs1)와 연결되어 휘드백 루프를 구성한다.
- [0065] 오프셋 캐패시터(Cos1)에 저장된 오프셋 전압은 증폭기(231)의 포지티브 입력단(+)의 오프셋 전압(Vos1)과 반대 극성과 동일한 양을 가지며, 오프셋 캐패시터(Cos1)에 저장된 오프셋 전압과 증폭기(231)의 포지티브 입력단(+)의 오프셋 전압(Vos1)은 상쇄 된다. 즉, 증폭기(231)는 포지티브 입력단(+)에 발생하는 오프셋 전압(Vos1)의 영향을 받지 않고 신호를 증폭 및 출력할 수 있다. 또한, 샘플링 캐패시터(Cs1)에 충전되어있던 전압은 휘드백 캐패시터(Cf1)로 전달되며, 그에 따라, 화소 정보(V_{IN})는 샘플링 캐패시터(Cs1)과 기생 캐패시터(Cp1) 및 휘드백 캐패시터들(Cf1)의 비율에 따라 증폭되어 증폭기(231)로부터 출력된다.
- [0066] 즉, 증폭기(231)에 입력된 신호는 ($Cs1/Cf1$)의 증폭률로 증폭되며, 오프셋 전압의 영향을 받지 않게 된다.
- [0067] 그리고, 기준 전압(V_{REF})에 대응한 도 6의 증폭 모드를 설명한다.
- [0068] 스위치(SW1b)가 턴온되고 스위치(SW2b)가 턴오프됨으로 인해, 기준 전압이 저장된 샘플링 캐패시터(Cs2)의 전압과 기생 캐패시터(Cp2)의 전압이 합쳐져서 오프셋 캐패시터들(Cos2)에 인가된다.
- [0069] 스위치(SW3b)가 턴오프됨으로 인해 증폭기(231)의 네가티브 입력단(-)과 포지티브 출력단(+)이 분리되며, 증폭기(231)는 유니티 버퍼(unity buffer)의 작용이 해제된다. 즉, 증폭기(231)는 네가티브 입력단(-)에 인가되는 신호들을 소정의 증폭률만큼 증폭하여 출력한다.
- [0070] 스위치(SW5b)가 턴오프되고 스위치(SW4b)가 턴온됨으로 인해, 휘드백 캐패시터(Cf2)는 증폭기(231)의 포지티브 출력단(+)에 연결되고 전압(VB)과 분리된다. 또한, 휘드백 캐패시터(Cf2)는 샘플링 캐패시터(Cs2)와 연결되어 휘드백 루프를 구성한다.
- [0071] 오프셋 캐패시터(Cos2)에 저장된 오프셋 전압은 증폭기(231)의 네가티브 입력단(-)의 오프셋 전압(Vos2)과 반대 극성과 동일한 양을 가지며, 오프셋 캐패시터(Cos2)에 저장된 오프셋 전압과 증폭기(231)의 네가티브 입력단(-)의 오프셋 전압(Vos2)은 상쇄 된다. 즉, 증폭기(231)는 네가티브 입력단에 발생하는 오프셋 전압(Vos2)의 영향을 받지 않고 신호를 증폭 및 출력할 수 있다. 또한, 샘플링 캐패시터(Cs2)에 충전되어있던 전압은 휘드백 캐패시터(Cf2)로 전달되며, 그에 따라, 기준 전압(V_{REF})은 샘플링 캐패시터(Cs2)과 기생 캐패시터(Cp2) 및 휘드백 캐패시터(Cf2)의 비율에 따라 증폭되어 증폭기(231)로부터 출력된다.
- [0072] 상술한 바와 같이 증폭기(231)에 입력된 신호는 ($Cs2/Cf2$)의 증폭률로 증폭되며, 오프셋 전압의 영향을 받지 않게 된다.
- [0073] 한편, 오프셋 전압들(Vos1, Vos2)은 증폭기(231), 예컨대 연산 증폭기를 구성하는 단위 트랜지스터(transistor)의 차동쌍(differential pair)의 부정합(mismatch)에 의해서 형성된다.
- [0074] 오프셋 전압들(Vos1, Vos2)의 크기를 작게 하기 위해서는 상기 단위 트랜지스터의 면적을 키워야 한다.
- [0075] 그러나, 본 발명과 같이, 오프셋 전압 제거 방법을 적용할 경우 기존보다 더 작은 면적의 단위 트랜지스터를 이용하여도 동일한 성능을 발휘할 수 있다. 이와 같이, 단위 트랜지스터의 면적이 작아짐에 따라 속도 및 증폭기(231)의 높은 오픈 루프 이득(open loop gain)을 얻을 수 있다.
- [0076] 오프셋 전압들(Vos1, Vos2)은 각각 보통 $(1+C_s/C_f+C_p/C_f)$ 배 만큼 증폭되어 증폭기(231)의 출력단에 영향을 미치게 되는데 이 때문에 휘드백 캐패시터들(Cf1, Cf2)을 크게 사용해야 하는 제약이 있다.
- [0077] 샘플링 캐패시터들(Cs1, Cs2)과 휘드백 캐패시터들(Cf1, Cf2)의 비율(C_s/C_f)은 설계 단계에서 정해진 비율이기 때문에 휘드백 캐패시터들(Cf1, Cf2)의 용량 증가시 샘플링 캐패시터들(Cs1, Cs2)의 용량도 비례하여 증가하게 된다.
- [0078] 소스 드라이버의 샘플링 캐패시터들(Cs1, Cs2)의 수의 증가는 소스 드라이버의 면적 증가에 영향을 줄 수 있다.

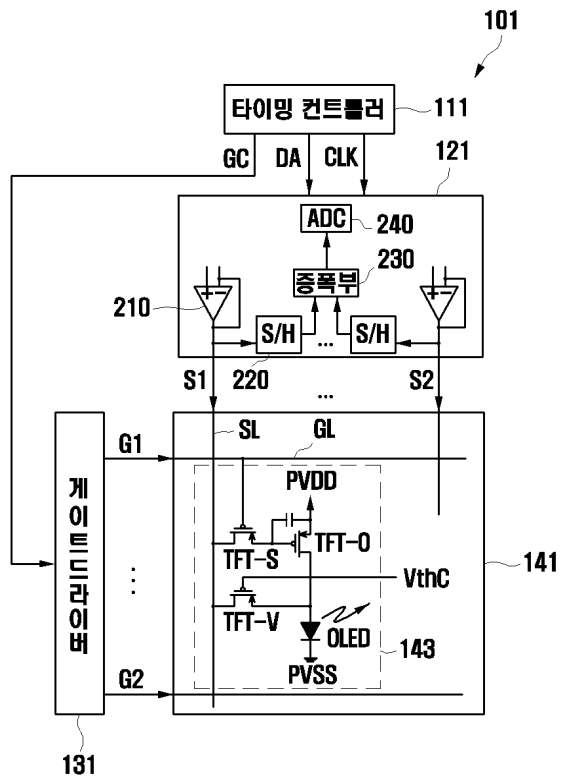
- [0079] 그러나, 본 발명에 따른 오프셋 전압 제거 방법을 적용할 경우, 휘드백 캐패시터들(Cf1, Cf2)과 샘플링 캐패시터들(Cs1, Cs2)의 크기를 작게 설계하여도 오프셋 전압 제거에 동일한 효과를 얻을 수 있어서 소스 드라이버의 면적을 효과적으로 감소시킬 수 있다.
- [0080] 도 7은 본 발명에 따른 오프셋 전압 제어 방법을 적용하지 않을 경우의 증폭된 오프셋 전압의 히스토그램이고, 도 8은 본 발명에 따른 오프셋 전압 제어 방법을 적용할 경우의 오프셋 전압의 히스토그램이다.
- [0081] 도 7과 도 8은 몬테카를로 시뮬레이션(Monte Carlo Simulation) 방법을 이용하여 측정한 히스토그램이다. 몬테카를로 시뮬레이션이란, 집적회로 장치의 제조 공정에서 발생할 수 있는 부정합(mismatch)과 성능 변화에 대한 확률로써 집적회로 장치의 성능을 예측하는 방법이다.
- [0082] 시뮬레이션 과정에서 증폭기(도 3의 231)의 출력 범위가 $-1[V] \sim 1[V]$ 이라고 가정하였다. 오프셋 전압 제거 방법을 적용하지 않을 경우에 증폭기(도 3의 231)의 출력은 개략적으로 $-0.8[V] \sim 0.6[V]$ 의 출력 오프셋 전압을 가지게 된다. $-0.1[V] \sim 0.1[V]$ 가 패스(pass)라 할 경우 소스 드라이버의 수율(yield)은 14[%] 수준이다.
- [0083] 오프셋 전압 제거 방법 적용시 증폭기(도 3의 231)의 출력은 $-0.02[V] \sim 0.02[V]$ 안에 모두 분포하게 되어 소스 드라이버의 수율은 100[%]가 된다.
- [0084] 정규분포의 값은 오프셋 전압 제거 방법의 (비적용:적용 = $287.5[mV]:2.9[mV]$)로 약 99배의 차이가 난다.
- [0085] 오프셋 전압 제거 방법의 비적용시 전체 범위의 약 86[%]에 해당하는 오프셋 전압이 발생한다. 오프셋 전압은 약 10[mV] 정도가 기생 캐패시터들(Cp1, Cp2)의 영향으로 증폭되어 증폭기(도 3의 231)의 출력단에 나타난다.
- [0086] 오프셋 전압 제거 방법 적용시 전체 범위의 약 0.9%에 해당하는 오프셋 전압이 발생한다.
- [0087] 본 발명은 도면들에 도시된 실시예들을 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

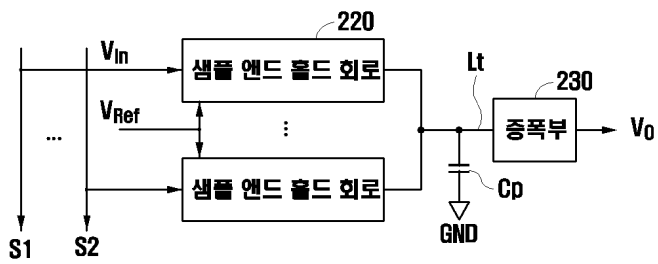
- [0088]
- | | |
|--------------------|----------------|
| 101 : 디스플레이 장치 | 111 : 타이밍 컨트롤러 |
| 121 : 소스 드라이버 | 131 : 게이트 드라이버 |
| 141 : 디스플레이 패널 | 143 : OLED 셀 |
| 220 : 샘플 앤드 홀드 회로 | 230 : 증폭부 |
| 240 : 아날로그 디지털 변환기 | |

도면

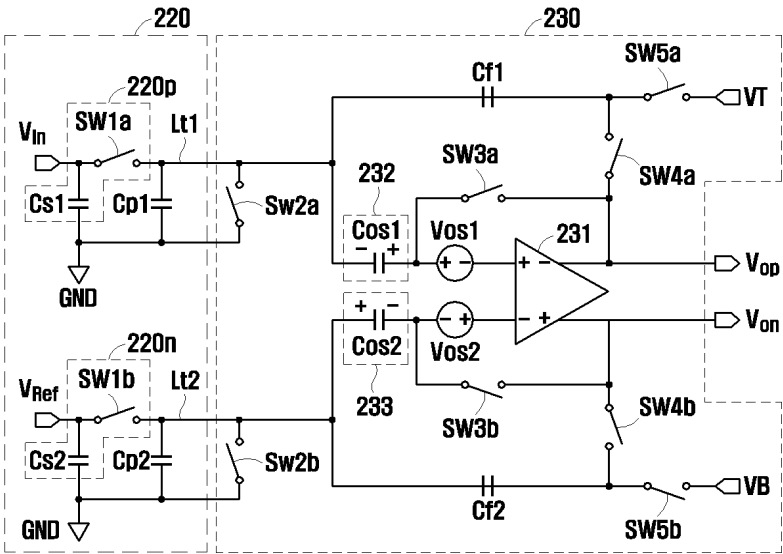
도면1



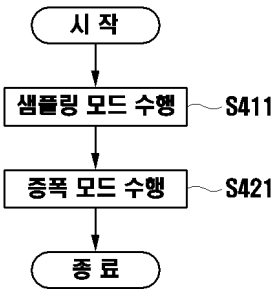
도면2



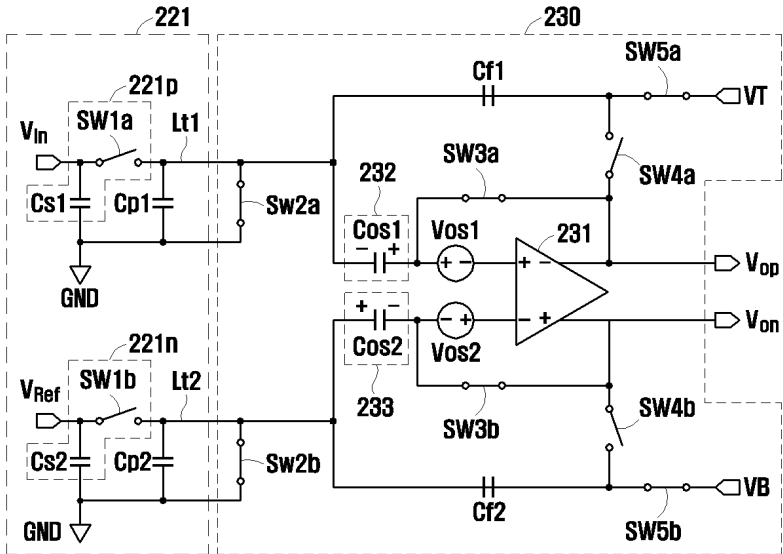
도면3



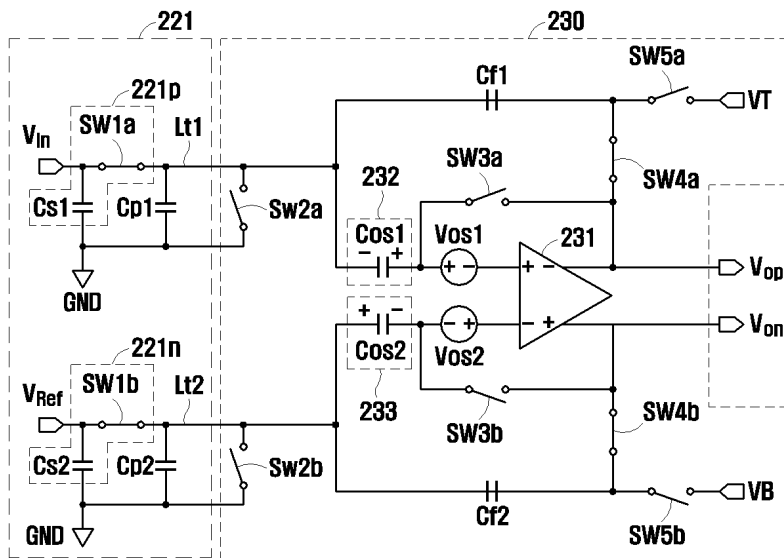
도면4



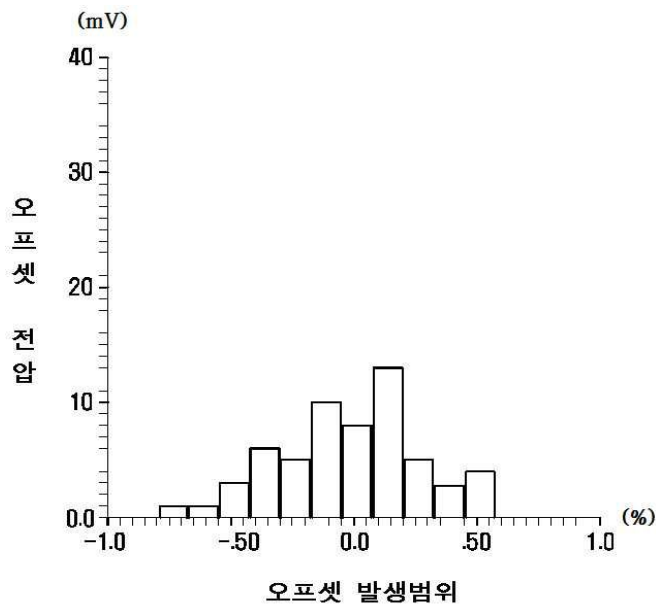
도면5



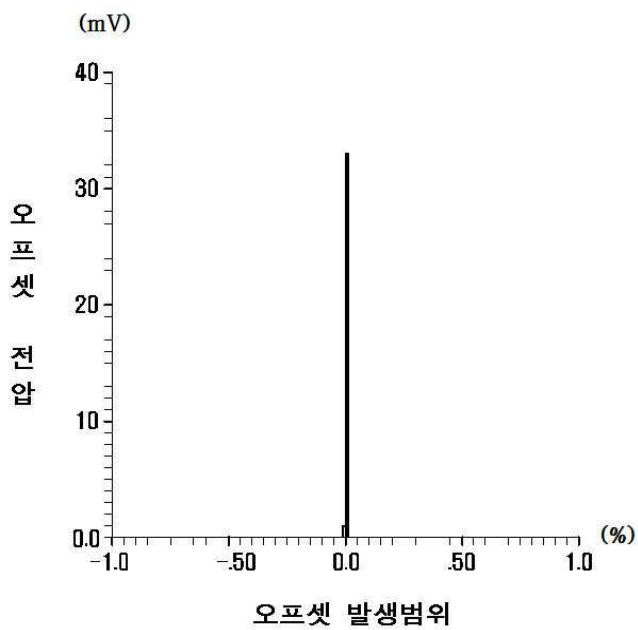
도면6



도면7



도면8



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 7의 13번째 줄

【변경전】

때

【변경후】

때

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 2의 2번째 줄

【변경전】

반대 극성을 갖도록 구성되는 반대인

【변경후】

반대 극성을 갖도록 구성되는

源极驱动器可以包括：传输线，被配置为传输采样和保持电路的输出信号，该采样和保持电路存储有机发光二极管（OLED）单元的像素信息；以及放大器通过传输线的寄生电容器在输入端形成第一偏置电压。偏置电压存储单元，其被配置为在关闭采样和保持电路的输出信号通过传输线的传输的同时，将从放大器输出的第一偏置电压存储为第二偏置电压，并且将第一偏置电压偏置当采样和保持电路的输出信号通过传输线传输时，将第二偏移电压提供给放大器的输入端。

