(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0009910
(43) 공개일자 2020년01월30일

(51) 국제특허분류(Int. Cl.)
*G09G 3/3225* (2016.01) *G09G 3/3275* (2016.01)
(52) CPC특허분류
*G09G 3/3225* (2013.01)
*G09G 3/3275* (2013.01)
(21) 출원번호 10-2018-0084956
(22) 출원일자 2018년07월20일
심사청구일자 없음

(71) 출원인
**엘지디스플레이 주식회사**
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
**이정현**
경기도 파주시 월롱면 엘지로 245
**홍예원**
경기도 파주시 월롱면 엘지로 245
**문태웅**
경기도 파주시 월롱면 엘지로 245
(74) 대리인
**특허법인천문**

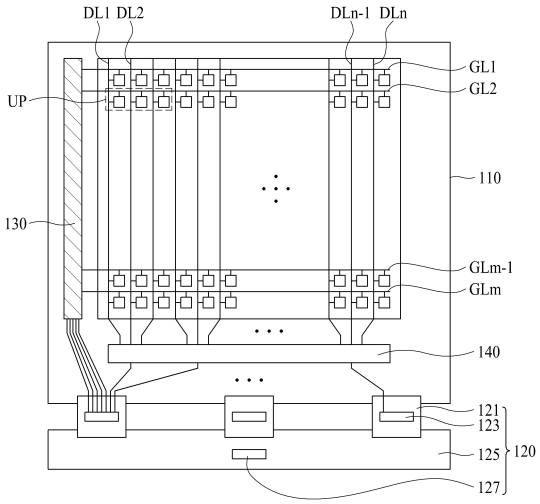
전체 청구항 수 : 총 35 항

(54) 발명의 명칭 **표시 장치**

## (57) 요 약

본 출원의 예에 따른 표시 장치는 데이터 구동 회로로부터 공급되는 데이터 신호를 적어도 2개의 데이터 라인에 순차적으로 공급하는 역다중화 회로부를 포함하며, 역다중화 회로부는 제어 라인의 전압을 기초로 데이터 신호를 적어도 2개의 데이터 라인에 순차적으로 공급하는 스위칭부, 시분할 제어 신호 및 시분할 제어 신호와 적어도 일부 중첩되는 보조 신호에 응답하여 제어 라인의 전압을 제어하는 전압 제어부, 및 시분할 제어 신호에 응답하여 제어 라인의 전압을 방전시키는 전압 방전부를 포함함으로써, 유기 발광 소자에 전달될 수 있는 누설 전류의 발생을 방지하고 베젤 영역을 최소화하며 디스플레이 패널의 고해상도 화상을 구현할 수 있다.

*대 표 도* - 도1



(52) CPC특허분류
*G09G 2230/00* (2013.01)
*G09G 2310/0297* (2013.01)
*G09G 2320/0214* (2013.01)
*G09G 2330/028* (2013.01)

# 명 세 서

## 청구범위

### 청구항 1

데이터 구동 회로로부터 공급되는 데이터 신호를 적어도 2개의 데이터 라인에 순차적으로 공급하는 역다중화 회로부를 포함하며,

상기 역다중화 회로부는,

제어 라인의 전압을 기초로 상기 데이터 신호를 적어도 2개의 데이터 라인에 순차적으로 공급하는 스위칭부;

시분할 제어 신호 및 상기 시분할 제어 신호와 적어도 일부 중첩되는 보조 신호에 응답하여 상기 제어 라인의 전압을 제어하는 전압 제어부; 및

상기 시분할 제어 신호에 응답하여 상기 제어 라인의 전압을 방전시키는 전압 방전부를 포함하는, 표시 장치.

### 청구항 2

제 1 항에 있어서,

상기 전압 제어부는 제1 시분할 제어 신호, 상기 제1 시분할 제어 신호와 적어도 일부 중첩되는 제1 보조 신호, 상기 제1 시분할 제어 신호와 이격된 제2 시분할 제어 신호, 및 상기 제2 시분할 제어 신호와 적어도 일부 중첩되는 제2 보조 신호에 응답하여 상기 제어 라인의 전압을 제어하는, 표시 장치.

### 청구항 3

제 2 항에 있어서,

상기 전압 제어부는 상기 제1 보조 신호 및 상기 제2 보조 신호에 의해 제어되는 충전 노드의 전압을 기초로 턴-온되어, 상기 제1 시분할 제어 신호를 상기 제어 라인에 제공하는 제1 트랜지스터를 포함하는, 표시 장치.

### 청구항 4

제 3 항에 있어서,

상기 제1 시분할 제어 신호가 상기 제어 라인에 인가되면, 상기 충전 노드의 전압은 상기 제1 트랜지스터의 게이트-소스 커패시턴스에 의해 추가적으로 증가하는, 표시 장치.

### 청구항 5

제 3 항에 있어서,

상기 전압 제어부는 상기 제2 보조 신호를 기초로 턴-온되어, 상기 제2 보조 신호를 상기 충전 노드에 제공하는 충전 트랜지스터를 더 포함하는, 표시 장치.

### 청구항 6

제 3 항에 있어서,

상기 전압 제어부는 상기 제1 보조 신호를 기초로 턴-온되어, 상기 충전 노드의 전압을 방전시키는 제1 방전 트랜지스터를 더 포함하는, 표시 장치.

### 청구항 7

제 3 항에 있어서,

상기 전압 제어부는 상기 제1 보조 신호를 기초로 상기 제어 라인의 전압을 더 증가시키는 커패시터를 더 포함하는, 표시 장치.

**청구항 8**

제 2 항에 있어서,

상기 전압 방전부는 상기 제2 시분할 제어 신호를 기초로 턴-온되어, 상기 제어 라인을 방전시키는 제2 트랜지스터를 포함하는, 표시 장치.

**청구항 9**

제 2 항에 있어서,

상기 스위칭부는 상기 제1 시분할 제어 신호의 제1 천이 시점으로부터 상기 제2 시분할 제어 신호의 제1 천이 시점까지 턴-온되어, 상기 데이터 신호를 적어도 2개의 데이터 라인에 순차적으로 공급하는 제3 트랜지스터를 포함하는, 표시 장치.

**청구항 10**

제 2 항에 있어서,

상기 제1 보조 신호의 제1 천이 시점은 상기 제1 시분할 제어 신호의 제1 천이 시점과 제2 천이 시점의 사이에 해당하고, 상기 제2 보조 신호의 제1 천이 시점은 상기 제2 시분할 제어 신호의 제1 천이 시점과 제2 천이 시점의 사이에 해당하는, 표시 장치.

**청구항 11**

제 8 항에 있어서,

상기 전압 방전부는 상기 제2 보조 신호를 기초로 상기 제어 라인의 전압을 추가적으로 방전시키는 제2 방전 트랜지스터를 더 포함하는, 표시 장치.

**청구항 12**

제 3 항에 있어서,

상기 전압 방전부는 상기 제1 시분할 제어 신호에 의해 제어되는 방전 노드의 전압을 기초로 턴-온되어, 상기 제어 라인을 방전시키는 제2 트랜지스터를 포함하는, 표시 장치.

**청구항 13**

제 12 항에 있어서,

상기 전압 방전부는,

전원 전압을 기초로 턴-온되어, 상기 전원 전압을 상기 방전 노드에 제공하는 제4 트랜지스터; 및

상기 제1 시분할 제어 신호를 기초로 턴-온되어, 상기 방전 노드를 방전시키는 제5 트랜지스터를 더 포함하는, 표시 장치.

**청구항 14**

제 12 항에 있어서,

상기 방전 노드는 상기 제1 시분할 제어 신호와 반전된 전압을 갖는, 표시 장치.

**청구항 15**

제 12 항에 있어서,

상기 스위칭부는 상기 제1 시분할 제어 신호의 제1 천이 시점으로부터 제2 천이 시점까지 턴-온되어, 상기 데이터 신호를 적어도 2개의 데이터 라인에 순차적으로 공급하는 제3 트랜지스터를 포함하는, 표시 장치.

**청구항 16**

제 1 항에 있어서,

상기 스위칭부는 상기 제어 라인의 전압을 기초로 턴-온되는 제3 트랜지스터를 포함하고,

상기 제3 트랜지스터는,

기판 상에 배치되고, 상기 제어 라인과 전기적으로 연결된 게이트 전극;

상기 게이트 전극 상의 게이트 절연막;

상기 게이트 전극과 적어도 일부 중첩되도록 상기 게이트 절연막 상에 배치된 산화물 반도체층;

상기 산화물 반도체층 상에 배치된 소스 전극; 및

상기 산화물 반도체층 상에서 상기 소스 전극과 이격되게 배치된 드레인 전극을 포함하는, 표시 장치.

**청구항 17**

제 16 항에 있어서,

상기 산화물 반도체층은,

상기 게이트 절연막 상에 배치된 제1 산화물 반도체층; 및

상기 제1 산화물 반도체층 상에 배치되어 상기 제1 산화물 반도체층을 보호하는 제2 산화물 반도체층을, 표시 장치.

**청구항 18**

제 17 항에 있어서,

상기 제2 산화물 산화물 반도체층은 상기 제1 산화물 반도체층 보다 높은 질소 농도를 가지며, 상기 제1 산화물 반도체층보다 우수한 막 안정성을 갖는, 표시 장치.

**청구항 19**

제 16 항 및 제 17 항 중 어느 한 항에 있어서,

상기 전압 제어부는 상기 보조 신호를 기초로 상기 제어 라인의 전압을 더 증가시키는 커패시터를 포함하고,

상기 커패시터는,

상기 제3 트랜지스터의 게이트 전극과 동일 층에 마련된 제1 전극; 및

상기 제3 트랜지스터의 소스 전극 및 드레인 전극과 동일 층에서, 상기 소스 전극 및 드레인 전극과 이격되게 마련된 제2 전극을 포함하는, 표시 장치.

**청구항 20**

n개의 데이터 라인;

제1 내지 제i(i는 2 이상의 자연수) 제어 라인과 연결되고, 상기 n개의 데이터 라인에 연결된 역다중화 회로부; 및

상기 역다중화 회로부에 연결된 제1 내지 제n/i 출력 채널을 갖는 데이터 구동 회로를 포함하며,

상기 역다중화 회로부는,

제1 내지 제i 시분할 제어 신호 및 상기 제1 내지 제i 시분할 제어 신호 각각과 적어도 일부 중첩되는 보조 신호에 응답하여 상기 제1 내지 제i 제어 라인의 전압을 제어하는 전압 제어부;

상기 제1 내지 제i 제어 라인 각각의 전압을 기초로 상기 제1 내지 제n/i 출력 채널로부터 공급되는 데이터 신호를 상기 n개의 데이터 라인에 순차적으로 공급하는 스위칭부; 및

상기 제1 내지 제i 시분할 제어 신호에 응답하여 상기 제1 내지 제i 제어 라인의 전압을 방전시키는 전압 방전부를 포함하는, 표시 장치.

**청구항 21**

제 20 항에 있어서,

상기 전압 제어부는 제k(k는 1 내지 i-1의 자연수) 시분할 제어 신호, 상기 제k 시분할 제어 신호와 적어도 일부 중첩되는 제k 보조 신호, 상기 제k 시분할 제어 신호와 이격된 제k+1 시분할 제어 신호, 및 상기 제k+1 시분할 제어 신호와 적어도 일부 중첩되는 제2 보조 신호에 응답하여 제k 제어 라인의 전압을 제어하는, 표시 장치.

**청구항 22**

제 21 항에 있어서,

상기 전압 제어부는 상기 제k 제어 라인의 양단 각각과 연결되고, 상기 제k 보조 신호 및 상기 제k+1 보조 신호에 의해 제어되는 충전 노드의 전압을 기초로 턴-온되어, 상기 제k 시분할 제어 신호를 상기 제k 제어 라인에 제공하는 2개의 제1 트랜지스터를 포함하고,

상기 전압 방전부는 상기 제k 제어 라인의 양단 각각과 연결되고, 상기 제k+1 시분할 제어 신호를 기초로 턴-온되어, 상기 제k 제어 라인을 방전시키는 2개의 제2 트랜지스터를 포함하는, 표시 장치.

**청구항 23**

제 22 항에 있어서,

상기 전압 제어부는,

상기 제k+1 보조 신호를 기초로 턴-온되어, 상기 제k+1 보조 신호를 상기 2개의 제1 트랜지스터 각각의 게이트 전극과 연결된 충전 노드에 제공하는 2개의 충전 트랜지스터; 및

상기 제k 보조 신호를 기초로 턴-온되어, 상기 2개의 제1 트랜지스터 각각의 게이트 전극과 연결된 충전 노드의 전압을 방전시키는 2개의 제1 방전 트랜지스터를 더 포함하는, 표시 장치.

**청구항 24**

제 23 항에 있어서,

상기 전압 제어부는 상기 제k+1 보조 신호에 의해 제어되는 충전 노드의 전압을 기초로 턴-온되어, 상기 제k 시분할 제어 신호를 상기 제k 제어 라인에 제공하는 p개(p는 1 내지 (n/i-2)의 자연수)의 제1 트랜지스터;

상기 제k+1 보조 신호를 기초로 턴-온되어, 상기 제k+1 보조 신호를 상기 p개의 제1 트랜지스터 각각의 게이트 전극과 연결된 충전 노드에 제공하는 p개의 충전 트랜지스터; 및

상기 제k 보조 신호를 기초로 턴-온되어, 상기 p개의 제1 트랜지스터 각각의 게이트 전극과 연결된 충전 노드의 전압을 방전시키는 p개의 제1 방전 트랜지스터를 더 포함하는, 표시 장치.

**청구항 25**

제 23 항에 있어서,

상기 전압 방전부는 상기 제k+1 시분할 제어 신호를 기초로 턴-온되어, 상기 제k 제어 라인을 방전시키는 p개(p는 1 내지 (n/i-2)의 자연수)의 제2 트랜지스터를 더 포함하는, 표시 장치.

**청구항 26**

제 23 항에 있어서,

상기 전압 제어부는 상기 제k+1 보조 신호에 의해 제어되는 충전 노드의 전압을 기초로 턴-온되어, 상기 제k 시분할 제어 신호를 상기 제k 제어 라인에 제공하는 p개(p는 1 내지 (n/i-2)의 자연수)의 제1 트랜지스터;

상기 제k+1 보조 신호를 기초로 턴-온되어, 상기 제k+1 보조 신호를 상기 p개의 제1 트랜지스터 각각의 게이트 전극과 연결된 충전 노드에 제공하는 p개의 충전 트랜지스터; 및

상기 제k 보조 신호를 기초로 턴-온되어, 상기 p개의 제1 트랜지스터 각각의 게이트 전극과 연결된 충전 노드의 전압을 방전시키는 p개의 제1 방전 트랜지스터를 더 포함하고,

상기 전압 방전부는 상기 제k+1 시분할 제어 신호를 기초로 턴-온되어, 상기 제k 제어 라인을 방전시키는 p개(p는 1 내지 (n/i-2)의 자연수)의 제2 트랜지스터를 더 포함하는, 표시 장치.

**청구항 27**

제 26 항에 있어서,

상기 제1 트랜지스터의 개수와 상기 제2 트랜지스터의 개수가 같은 경우, 상기 제k 제어 라인을 상기 제1 및 제2 트랜지스터의 개수만큼 분할하여, 분할된 상기 제k 제어 라인의 전압을 한 쌍의 제1 및 제2 트랜지스터를 통해 충전 및 방전시키는, 표시 장치.

**청구항 28**

제 23 항 내지 제 27 항 중 어느 한 항에 있어서,

상기 전압 방전부는 상기 제k+1 보조 신호를 기초로 상기 제k 제어 라인의 전압을 추가적으로 방전시키는 q개(q는 1 내지 n/i의 자연수)의 방전 트랜지스터를 더 포함하는, 표시 장치.

**청구항 29**

제 21 항에 있어서,

상기 전압 제어부는 상기 제k 제어 라인의 양단 각각과 연결되고, 상기 제k 보조 신호 및 상기 제k+1 보조 신호에 의해 제어되는 충전 노드의 전압을 기초로 턴-온되어, 상기 제k 시분할 제어 신호를 상기 제k 제어 라인에 제공하는 2개의 제1 트랜지스터를 포함하고,

상기 전압 방전부는 제k 제어 라인의 양단 각각과 연결되고, 상기 제k 시분할 제어 신호에 의해 제어되는 방전 노드의 전압을 기초로 턴-온되어, 상기 제k 제어 라인을 방전시키는 2개의 제2 트랜지스터를 포함하는, 표시 장치.

**청구항 30**

제 29 항에 있어서,

상기 전압 제어부는,

상기 제k+1 보조 신호를 기초로 턴-온되어, 상기 제k+1 보조 신호를 상기 2개의 제1 트랜지스터 각각의 게이트 전극과 연결된 충전 노드에 제공하는 2개의 충전 트랜지스터; 및

상기 제k 보조 신호를 기초로 턴-온되어, 상기 2개의 제1 트랜지스터 각각의 게이트 전극과 연결된 충전 노드의 전압을 방전시키는 2개의 제1 방전 트랜지스터를 더 포함하는, 표시 장치.

**청구항 31**

제 30 항에 있어서,

상기 전압 제어부는 상기 제k+1 보조 신호에 의해 제어되는 충전 노드의 전압을 기초로 턴-온되어, 상기 제k 시분할 제어 신호를 상기 제k 제어 라인에 제공하는 p개(p는 1 내지 (n/i-2)의 자연수)의 제1 트랜지스터;

상기 제k+1 보조 신호를 기초로 턴-온되어, 상기 제k+1 보조 신호를 상기 p개의 제1 트랜지스터 각각의 게이트 전극과 연결된 충전 노드에 제공하는 p개의 충전 트랜지스터; 및

상기 제k 보조 신호를 기초로 턴-온되어, 상기 p개의 제1 트랜지스터 각각의 게이트 전극과 연결된 충전 노드의 전압을 방전시키는 p개의 제1 방전 트랜지스터를 더 포함하는, 표시 장치.

**청구항 32**

제 30 항에 있어서,

상기 전압 방전부는 상기 제k 시분할 제어 신호에 의해 제어되는 방전 노드의 전압을 기초로 턴-온되어, 상기 제k 제어 라인을 방전시키는 p개(p는 1 내지 (n/i-2)의 자연수)의 제2 트랜지스터를 더 포함하는, 표시 장치

**청구항 33**

제 30 항에 있어서,

상기 전압 제어부는 상기 제k+1 보조 신호에 의해 제어되는 충전 노드의 전압을 기초로 턴-온되어, 상기 제k 시분할 제어 신호를 상기 제k 제어 라인에 제공하는 p개(p는 1 내지 (n/i-2)의 자연수)의 제1 트랜지스터;

상기 제k+1 보조 신호를 기초로 턴-온되어, 상기 제k+1 보조 신호를 상기 p개의 제1 트랜지스터 각각의 게이트 전극과 연결된 충전 노드에 제공하는 p개의 충전 트랜지스터; 및

상기 제k 보조 신호를 기초로 턴-온되어, 상기 p개의 제1 트랜지스터 각각의 게이트 전극과 연결된 충전 노드의 전압을 방전시키는 p개의 제1 방전 트랜지스터를 더 포함하고,

상기 전압 방전부는 상기 제k 시분할 제어 신호에 의해 제어되는 방전 노드의 전압을 기초로 턴-온되어, 상기 제k 제어 라인을 방전시키는 p개(p는 1 내지 (n/i-2)의 자연수)의 제2 트랜지스터를 더 포함하는, 표시 장치.

**청구항 34**

제 33 항에 있어서,

상기 제1 트랜지스터의 개수와 상기 제2 트랜지스터의 개수가 같은 경우, 상기 제k 제어 라인을 상기 제1 및 제2 트랜지스터의 개수만큼 분할하여, 분할된 상기 제k 제어 라인의 전압을 한 쌍의 제1 및 제2 트랜지스터를 통해 충전 및 방전시키는, 표시 장치.

**청구항 35**

제 29 항 내지 제 34 항 중 어느 한 항에 있어서,

상기 전압 방전부는,

전원 전압을 기초로 턴-온되어, 상기 전원 전압을 상기 방전 노드에 제공하는 복수의 제4 트랜지스터; 및

상기 제k 시분할 제어 신호를 기초로 턴-온되어, 상기 방전 노드를 방전시키는 복수의 제5 트랜지스터를 더 포함하고,

상기 복수의 제4 및 제5 트랜지스터 각각의 개수는 상기 제2 트랜지스터의 개수와 동일한, 표시 장치.

## *발명의 설명*

### *기 술 분 야*

[0001] 본 출원은 표시 장치에 관한 것이다.

### *배 경 기 술*

[0002] 디스플레이 장치는 텔레비전 또는 모니터의 표시 장치 이외에도 노트북 컴퓨터, 태블릿 컴퓨터, 스마트 폰, 휴대용 표시 기기, 휴대용 정보 기기 등의 표시 화면으로 널리 사용되고 있다.

[0003] 이러한 디스플레이 장치는 디스플레이 패널과 디스플레이 패널을 구동하기 위한 구동 집적 회로와 스캔 구동 회로를 포함한다. 디스플레이 패널은 복수의 데이터 라인과 복수의 게이트 라인에 의해 정의되는 픽셀 영역마다 마련되면서 박막 트랜지스터를 갖는 복수의 서브 픽셀을 포함한다. 이때, 인접한 적어도 3개의 서브 픽셀은 하나의 영상을 표시하는 단위 픽셀을 구성한다.

[0004] 구동 집적 회로는 복수의 데이터 링크 라인을 통해서 복수의 데이터 라인 각각과 일대일로 연결된다. 이러한 구동 집적 회로는 복수의 데이터 라인 각각에 데이터 전압을 공급한다. 스캔 구동 회로는 복수의 게이트 링크 라인을 통해서 복수의 게이트 라인 각각과 일대일로 연결된다. 이러한 스캔 구동 회로는 복수의 게이트 라인 각각에 스캔 신호를 공급한다.

[0005] 일반적으로, 표시 장치는 LTPS(Low-Temperature Polycrystalline Silicon) 기반의 박막 트랜지스터와 산화물 기반의 박막 트랜지스터를 사용할 수 있다. 종래의 표시 장치는 하단의 베젤 영역을 감소시키기 위하여, 구동 집적 회로를 연성 회로 필름에 실장시키고, 역다중화 회로들을 이용한 데이터 시분할 구동을 통해 구동 집적 회

로의 채널 수를 감소시킨다.

[0006] 이 때, 표시 장치는 구동 집적 회로의 채널 수를 감소시키면서도 고해상도의 화상을 구현하기 위하여, 산화물 기반의 박막 트랜지스터를 이용한 역다중화 회로를 필요로 한다. 하지만, 산화물 기반의 박막 트랜지스터는 LTPS 기반의 박막 트랜지스터 보다 전자 이동도가 낮고, 장기간 사용시 열화가 발생할 수 있는 문제점을 가진다. 그리고, 역다중화 회로의 박막 트랜지스터의 전자 이동도가 저하되면 고해상도 화상을 구현하기 어렵고, 역다중화 회로의 박막 트랜지스터가 열화되면 유기 발광 소자에 전달되는 누설 전류가 발생하기 때문에 디스플레이 패널의 휘도가 저하되는 문제점이 발생한다.

[0007] 따라서, 상기와 같은 문제점을 해결함으로써, 산화물 기반의 박막 트랜지스터를 이용한 역다중화 회로의 출력을 안정적으로 유지할 수 있는 기술이 필요한 실정이다.

## *발명의 내용*

### *해결하려는 과제*

[0008] 본 출원은 산화물 기반의 박막 트랜지스터를 이용한 역다중화 회로부를 포함하고, 역다중화 회로부는 시분할 제어 신호에 응답하여 제어 라인의 충전 기능을 보강함으로써, LTPS 기반의 박막 트랜지스터 대비 낮은 이동도와 열화로 인한 한계를 극복하여 안정적인 출력을 유지할 수 있는 것을 기술적 과제로 한다.

[0009] 그리고, 본 출원은 산화물 기반의 박막 트랜지스터를 이용한 역다중화 회로부를 포함함으로써, 제어 라인의 충전을 강화하여 픽셀 충전율을 보강하고, 이에 따라 제어 라인의 방전 특성까지 향상시킬 수 있는 것을 기술적 과제로 한다.

[0010] 그리고, 본 출원은 산화물 기반의 박막 트랜지스터를 이용한 역다중화 회로부를 포함하면서도, 유기 발광 소자에 전달될 수 있는 누설 전류의 발생을 방지하고 베젤 영역을 최소화하며 디스플레이 패널의 고해상도 화상을 구현하는 것을 기술적 과제로 한다.

[0011] 그리고, 본 출원은 BCE(Back Channel Etch) 공정을 통해 산화물 기반의 박막 트랜지스터를 이용한 역다중회 회로부를 구현함으로써, 마스크 공정을 최소화하고 리소그래피 공정 마진을 향상시키며 우수한 신뢰성을 제공하는 것을 기술적 과제로 한다.

### *과제의 해결 수단*

[0012] 본 출원에 따른 표시 장치는 데이터 구동 회로로부터 공급되는 데이터 신호를 적어도 2개의 데이터 라인에 순차적으로 공급하는 역다중화 회로부를 포함하며, 역다중화 회로부는 제어 라인의 전압을 기초로 데이터 신호를 적어도 2개의 데이터 라인에 순차적으로 공급하는 스위칭부, 시분할 제어 신호 및 시분할 제어 신호와 적어도 일부 중첩되는 보조 신호에 응답하여 제어 라인의 전압을 제어하는 전압 제어부, 및 시분할 제어 신호에 응답하여 제어 라인의 전압을 방전시키는 전압 방전부를 포함한다.

[0013] 본 출원에 따른 표시 장치는 n개의 데이터 라인, 제1 내지 제i(i는 2 이상의 자연수) 제어 라인과 연결되고 n개의 데이터 라인에 연결된 역다중화 회로부, 및 역다중화 회로부에 연결된 제1 내지 제n/i 출력 채널을 갖는 데이터 구동 회로를 포함하며, 역다중화 회로부는 제1 내지 제i 시분할 제어 신호 및 제1 내지 제i 시분할 제어 신호 각각과 적어도 일부 중첩되는 보조 신호에 응답하여 제1 내지 제i 제어 라인의 전압을 제어하는 전압 제어부, 제1 내지 제i 제어 라인 각각의 전압을 기초로 제1 내지 제n/i 출력 채널로부터 공급되는 데이터 신호를 n개의 데이터 라인에 순차적으로 공급하는 스위칭부, 및 제1 내지 제i 시분할 제어 신호에 응답하여 제1 내지 제i 제어 라인의 전압을 방전시키는 전압 방전부를 포함한다.

[0014] 기타 예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

### *발명의 효과*

[0015] 본 출원에 따른 표시 장치는 산화물 기반의 박막 트랜지스터를 이용한 역다중화 회로부를 포함하고, 역다중화 회로부는 시분할 제어 신호에 응답하여 제어 라인의 충전 기능을 보강함으로써, LTPS 기반의 박막 트랜지스터 대비 낮은 이동도와 열화로 인한 한계를 극복하여 안정적인 출력을 유지할 수 있다.

[0016] 본 출원에 따른 표시 장치는 산화물 기반의 박막 트랜지스터를 이용한 역다중화 회로부를 포함함으로써, 제어 라인의 충전을 강화하여 픽셀 충전율을 보강하고, 이에 따라 제어 라인의 방전 특성까지 향상시킬 수 있다.

[0017] 본 출원에 따른 표시 장치는 산화물 기반의 박막 트랜지스터를 이용한 역다중화 회로부를 포함하면서도, 유기 발광 소자에 전달될 수 있는 누설 전류의 발생을 방지하고 베젤 영역을 최소화하며 디스플레이 패널의 고해상도 화상을 구현할 수 있다.

[0018] 본 출원에 따른 표시 장치는 BCE(Back Channel Etch) 공정을 통해 산화물 기반의 박막 트랜지스터를 이용한 역다중회 회로부를 구현함으로써, 마스크 공정을 최소화하고 리소그래피 공정 마진을 향상시키며 우수한 신뢰성을 제공할 수 있다.

[0019] 위에서 언급된 본 출원의 효과 외에도, 본 출원의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 출원이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

## *도면의 간단한 설명*

[0020] 도 1은 본 발명의 일 예에 따른 표시 장치를 나타내는 평면도이다.

도 2는 도 1에 도시된 역다중화 회로부의 일 예를 개략적으로 나타내는 회로도이다.

도 3은 도 2에 도시된 역다중화 회로부가 하나의 출력 채널로부터 2개의 데이터 라인을 구동하는 실시예를 나타내는 회로도이다.

도 4는 도 3에 도시된 역다중화 회로부에 제공되는 신호들의 파형도이다.

도 5는 도 2에 도시된 역다중화 회로부가 하나의 출력 채널로부터 3개의 데이터 라인을 구동하는 실시예를 나타내는 회로도이다.

도 6은 도 5에 도시된 역다중화 회로부에 제공되는 신호들의 파형도이다.

도 7은 도 2에 도시된 역다중화 회로부의 충전 특성을 나타내는 그래프이다.

도 8은 도 2에 도시된 역다중화 회로부의 방전 특성을 나타내는 그래프이다.

도 9는 도 2에 도시된 역다중화 회로부의 다른 실시예를 나타내는 회로도이다.

도 10은 도 2에 도시된 역다중화 회로부의 또 다른 실시예를 나타내는 회로도이다.

도 11은 도 2에 도시된 역다중화 회로부의 또 다른 실시예를 나타내는 회로도이다.

도 12는 도 1에 도시된 역다중화 회로부의 다른 예를 개략적으로 나타내는 회로도이다.

도 13은 도 12에 도시된 역다중화 회로부의 다른 실시예를 나타내는 회로도이다.

도 14는 도 1에 도시된 역다중화 회로부의 또 다른 예를 개략적으로 나타내는 회로도이다.

도 15는 도 14에 도시된 역다중화 회로부가 하나의 출력 채널로부터 2개의 데이터 라인을 구동하는 실시예를 나타내는 회로도이다.

도 16은 도 15에 도시된 역다중화 회로부에 제공되는 신호들의 파형도이다.

도 17은 도 14에 도시된 역다중화 회로부가 하나의 출력 채널로부터 3개의 데이터 라인을 구동하는 실시예를 나타내는 회로도이다.

도 18은 도 17에 도시된 역다중화 회로부에 제공되는 신호들의 파형도이다.

도 19는 도 14에 도시된 역다중화 회로부의 또 다른 실시예를 나타내는 회로도이다.

도 20은 도 14에 도시된 역다중화 회로부의 또 다른 실시예를 나타내는 회로도이다.

도 21은 도 14에 도시된 역다중화 회로부의 또 다른 실시예를 나타내는 회로도이다.

도 22는 도 1에 도시된 역다중화 회로부의 레이아웃을 개략적으로 나타내는 평면도이다.

도 23은 도 22에 도시된 역다중화 회로부의 일 예의 일부를 나타내는 도면이다.

도 24는 도 22에 도시된 역다중화 회로부의 다른 예의 일부를 나타내는 도면이다.

도 25는 도 24에 도시된 선 I-I'의 단면도의 일 예이다.

도 26은 도 24에 도시된 선 I-I'의 단면도의 다른 예이다.

## *발명을 실시하기 위한 구체적인 내용*

[0021] 본 출원의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0022] 본 출원의 예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 출원을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 출원의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 출원 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0023] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0024] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0025] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0026] 본 출원의 구성 요소를 설명하는 데 있어서, 제1, 제2 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

[0027] 따라서, 본 출원에서의 표시 장치는 LCM, OLED 모듈 등과 같은 협의의 디스플레이 장치 자체, 및 LCM, OLED 모듈 등을 포함하는 응용제품 또는 최종소비자용 장치인 세트 장치까지 포함할 수 있다.

[0028] 예를 들어, 디스플레이 패널이 유기전계발광(OLED) 디스플레이 패널인 경우에는, 다수의 게이트 라인과 데이터 라인, 및 게이트 라인과 데이터 라인의 교차 영역에 형성되는 픽셀(Pixel)을 포함할 수 있다. 그리고, 각 픽셀에 선택적으로 전압을 인가하기 위한 소자인 박막 트랜지스터를 포함하는 어레이 기판과, 어레이 기판 상의 유기 발광 소자(OLED)층, 및 유기 발광 소자층을 덮도록 어레이 기판 상에 배치되는 봉지 기판 또는 인캡슐레이션(Encapsulation) 기판 등을 포함하여 구성될 수 있다. 봉지 기판은 외부의 충격으로부터 박막 트랜지스터 및 유기 발광 소자층 등을 보호하고, 유기 발광 소자층으로 수분이나 산소가 침투하는 것을 방지할 수 있다. 그리고, 어레이 기판 상에 형성되는 층은 무기발광층(inorganic light emitting layer), 예를 들어 나노사이즈의 물질층(nano-sized material layer) 또는 양자점(quantum dot) 등을 포함할 수 있다.

[0029] 본 출원의 여러 예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.

[0030] 이하, 첨부된 도면 및 예를 통해 본 출원의 예를 살펴보면 다음과 같다.

[0031] 도 1은 본 발명의 일 예에 따른 표시 장치를 나타내는 평면도이다.

[0032] 도 1을 참조하면, 표시 장치는 기판(110), 데이터 구동 회로부(120), 스캔 구동 회로부(130), 및 역다중화 회로부(140)를 포함한다.

[0033] 기판(110)은 유리 또는 플라스틱으로 이루어질 수 있다. 일 예에 따르면, 기판(110)은 플렉서블 특성을 갖는 투

명 플라스틱, 예를 들어, 폴리이미드로 이루어질 수 있다.

[0034] 기판(110)은 n개의 데이터 라인(DL1 내지 DLn)과 m개의 게이트 라인(GL1 내지 GLm)의 교차에 의해 마련되는 복수의 픽셀을 포함한다. 하나의 픽셀은 적색의 서브 픽셀, 녹색의 서브 픽셀, 및 청색의 서브 픽셀을 구성하고, 인접한 적색의 서브 픽셀, 녹색의 서브 픽셀, 및 청색의 서브 픽셀은 하나의 단위 픽셀(UP)을 구성할 수 있다.

[0035] 데이터 구동 회로부(120)는 복수의 회로 필름(121), 복수의 구동 집적 회로(123), 인쇄 회로 기판(125), 및 타이밍 제어부(127)를 포함할 수 있다.

[0036] 복수의 회로 필름(121) 각각은 기판(110)의 패드부 및 인쇄 회로 기판(125)에 부착될 수 있다. 예를 들어, 복수의 회로 필름(121) 각각의 일측에 마련된 입력 단자는 필름 부착 공정에 의해 인쇄 회로 기판(125)에 부착되고, 복수의 회로 필름(121)의 타측에 마련된 출력 단자는 필름 부착 공정에 의해 기판(110)의 패드부에 부착될 수 있다.

[0037] 복수의 구동 집적 회로(123) 각각은 복수의 회로 필름(121) 각각에 개별적으로 실장될 수 있다. 이러한 복수의 구동 집적 회로(123) 각각은 타이밍 제어부(127)로부터 제공되는 픽셀 데이터와 데이터 제어 신호를 수신하고, 데이터 제어 신호에 따라 픽셀 데이터를 아날로그 형태의 픽셀별 데이터 신호로 변환하여 해당하는 데이터 라인에 공급할 수 있다.

[0038] 인쇄 회로 기판(125)은 타이밍 제어부(127)를 지지하고, 데이터 구동 회로부(120)의 구성들 간의 신호 및 전원을 전달할 수 있다.

[0039] 타이밍 제어부(127)는 인쇄 회로 기판(125)에 실장되고, 인쇄 회로 기판(125)에 마련된 유저 커넥터를 통해 디스플레이 구동 시스템으로부터 제공되는 영상 데이터와 타이밍 동기 신호를 수신할 수 있다. 그리고, 타이밍 제어부(127)는 타이밍 동기 신호에 기초해 데이터 제어 신호와 스캔 제어 신호 각각을 생성하고, 데이터 제어 신호를 통해 구동 집적 회로(123) 각각의 구동 타이밍을 제어하며, 스캔 제어 신호를 통해 스캔 구동 회로부의 구동 타이밍을 제어할 수 있다.

[0040] 스캔 구동 회로부(130)는 m개의 게이트 라인(GL1 내지 GLm) 각각에 접속되도록 기판(110)의 일측 가장자리에 배치될 수 있다. 이 때, 스캔 구동 회로부(130)는 각 픽셀의 박막 트랜지스터의 제조 공정과 함께 형성될 수 있다. 이러한 스캔 구동 회로부(130)는 구동 집적 회로(123)로부터 제공되는 게이트 제어 신호에 따라 스캔 펄스를 생성하여 m개의 게이트 라인(GL1 내지 GLm) 각각에 순차적으로 공급할 수 있다. 일 예에 따르면, 스캔 구동 회로부(130)는 m개의 게이트 라인(GL1 내지 GLm) 각각에 접속된 m개의 스테이지(미도시)를 포함할 수 있다.

[0041] 역다중화 회로부(140)는 데이터 구동 회로부(120)로부터 공급되는 데이터 신호를 적어도 2개의 데이터 라인(DL)에 순차적으로 공급할 수 있다. 구체적으로, 역다중화 회로부(140)는 구동 집적 회로(123)의 각 출력 채널(CH) 각각에 접속되고, 기판(110)에 마련된 n개의 데이터 라인(DL1 내지 DLn) 각각에 전기적으로 접속되도록 기판(110)의 일측에 배치될 수 있다. 이러한 역다중화 회로부(140)는 구동 집적 회로(123)로부터 1 수평 구간의 복수의 서브 수평 구간마다 입력되는 데이터 신호를 n개의 데이터 라인(DL1 내지 DLn)에 순차적으로 분배할 수 있다.

[0042] 일 예에 따르면, 역다중화 회로부(140)가 i개(i는 2이상의 자연수)의 제어 라인과 연결되고, n개의 데이터 라인(DL)과 연결되면, 데이터 구동 회로부(120)의 복수의 구동 집적 회로(123)는 n/i개의 출력 채널을 가질 수 있다. 따라서, 표시 장치는 i개의 제어 라인과 연결된 역다중화 회로부(140)를 포함함으로써, 복수의 구동 집적 회로(123)의 채널 수를 감소시키면서도 고해상도의 화상을 구현할 수 있다.

[0043] 도 2는 도 1에 도시된 역다중화 회로부의 일 예를 개략적으로 나타내는 회로도이다.

[0044] 도 2를 참조하면, 역다중화 회로부(140)는 전압 제어부(141), 스위칭부(143), 및 전압 방전부(145)를 포함할 수 있다.

[0045] 전압 제어부(141)는 시분할 제어 신호(ASW1, BSW1) 및 시분할 제어 신호(ASW1, BSW1)와 적어도 일부 중첩되는 보조 신호(ASW2, BSW2)에 응답하여 제어 라인(CL)의 전압(VA)을 제어할 수 있다. 그리고, 전압 제어부(141)는 보조 신호(ASW2, BSW2)를 기초로 제어 라인(CL)의 전압(VA)을 더 증가시킬 수 있다. 예를 들어, 전압 제어부(141)는 보조 신호(ASW2, BSW2)를 기초로 제어 라인(CL)의 전압(VA)을 부트스트래핑(Bootstrapping) 시켜, 제어 라인(CL)의 전압을 시분할 제어 신호(ASW1, BSW1) 보다 고전압으로 구동함으로써, 역다중화 회로부(140)의 출력을 안정적으로 유지할 수 있다.

[0046] 전압 제어부(141)는 제1 트랜지스터(M1), 충전 트랜지스터(M11), 제1 방전 트랜지스터(M12) 및 커패시터(Cbst)를 포함할 수 있다.

[0047] 제1 트랜지스터(M1)는 제1 보조 신호(ASW2) 및 제2 보조 신호(BSW2)에 의해 제어되는 충전 노드(CN)의 전압(VB)을 기초로 턴-온되어, 제1 시분할 제어 신호(ASW1)를 제어 라인(CL)에 제공할 수 있다. 구체적으로, 제1 트랜지스터(M1)의 게이트 전극은 충전 노드(CN)와 연결될 수 있고, 제1 트랜지스터(M1)의 드레인 전극은 제1 시분할 제어 신호(ASW1)를 수신할 수 있으며, 제1 트랜지스터(M1)의 소스 전극은 제어 라인(CL)과 연결될 수 있다. 따라서, 충전 노드(CN)의 전압(VB)과 제1 시분할 제어 신호(ASW1)가 고전위 전압에 해당하는 경우, 제어 라인(CL)의 전압(VA) 역시 고전위 전압을 유지할 수 있다.

[0048] 충전 노드(CN)의 전압(VB)은 충전 트랜지스터(M11)에 의해 충전되고, 제1 방전 트랜지스터(M12)에 의해 방전될 수 있다. 또한, 충전 노드(CN)의 전압(VB)이 이미 고전위 전압에 해당하고, 고전위 전압의 제1 시분할 제어 신호(ASW1)가 제어 라인(CL)에 인가되면, 충전 노드(CN)의 전압(VB)은 제1 트랜지스터(M1)의 게이트-소스 커패시턴스에 의해 추가적으로 증가할 수 있다. 즉, 충전 노드(CN)의 전압(VB)은 제1 트랜지스터(M1)의 게이트-소스 커패시턴스에 의해 제어 라인(CL)의 전압이 증가하는 만큼 부트스트래핑 될 수 있다. 이 때, 충전 노드(CN)의 전압(VB)이 부트스트래핑 되면, 제어 라인(CL)은 초기 충전(Pre-Charging)됨으로써, 제어 라인(CL)의 충전이 강화되어 역다중화 회로부(140)의 출력을 안정적으로 유지될 수 있다. 따라서, 역다중화 회로부(140)는 충전 트랜지스터(M11) 및 제1 방전 트랜지스터(M12)를 통해 충전 노드(CN)의 전압(VB)을 제어함으로써, 제1 내지 제3 트랜지스터(M1, M2, M3)가 열화되는 경우에도 제어 라인(CL)의 충전 특성을 향상시킬 수 있고, 유기 발광 소자에 전달되는 누설 전류의 발생을 방지할 수 있다. 결과적으로, 역다중화 회로부(140)는 제어 라인(CL)의 전압(VA)을 기초로 턴-온되는 제3 트랜지스터(M3)의 출력을 안정적으로 유지함으로써, 디스플레이 패널의 휘도가 저하되는 것을 방지하고 디스플레이 패널의 고해상도 화상을 구현할 수 있다.

[0049] 충전 트랜지스터(M11)는 제2 시분할 제어 신호(BSW2)와 일부 중첩되는 제2 보조 신호(BSW2)를 기초로 턴-온되어, 제2 보조 신호(BSW2)를 충전 노드(CN)에 제공할 수 있다. 구체적으로, 충전 트랜지스터(M11)의 드레인 전극 및 게이트 전극은 제2 보조 신호(BSW2)를 수신할 수 있고, 충전 트랜지스터(M11)의 소스 전극은 충전 노드(CN)와 연결될 수 있다. 따라서, 충전 트랜지스터(M11)는 고전위 전압의 제2 보조 신호(BSW2)가 인가되는 경우, 충전 노드(CN)의 전압(VB)을 충전할 수 있다. 이와 같이, 충전 트랜지스터(M11)는 고전위 전압의 제1 시분할 제어 신호(ASW1)가 제1 트랜지스터(M1)의 드레인 전극에 인가되기 전부터, 충전 노드(CN)의 전압을 충전시킴으로써, 제어 라인(CL)의 충전을 강화하여 역다중화 회로부(140)의 출력을 안정적으로 유지하고, 픽셀 충전율을 보강할 수 있다.

[0050] 제1 방전 트랜지스터(M12)는 제1 시분할 제어 신호(ASW1)와 일부 중첩되는 제1 보조 신호(ASW2)를 기초로 턴-온되어, 충전 노드(CN)의 전압(VB)을 방전시킬 수 있다. 구체적으로, 제1 방전 트랜지스터(M12)의 게이트 전극은 제1 보조 신호(ASW1)를 수신할 수 있고, 제1 방전 트랜지스터(M12)의 드레인 전극은 충전 노드(CN)와 연결되며, 제1 방전 트랜지스터(M12)의 소스 전극은 제2 시분할 제어 신호(BSW1)를 수신할 수 있다. 이 때, 제1 보조 신호(ASW2)와 제2 보조 신호(BSW2)는 서로 상이한 시점에 인가되기 때문에, 제1 보조 신호(ASW2)가 고전위 전압에 해당하면 제2 보조 신호(BSW2)는 저전위 전압에 해당할 수 있다. 예를 들어, 고전위 전압의 제1 보조 신호(ASW2)가 제1 방전 트랜지스터(M12)의 게이트 전극에 인가되면 제1 방전 트랜지스터(M12)는 턴-온될 수 있고, 저전위 전압의 제2 시분할 제어 신호(BSW1)가 제1 방전 트랜지스터(M12)의 소스 전극에 인가되기 때문에, 충전 노드(CN)의 전압(VB)이 방전될 수 있다.

[0051] 커패시터(Cbst)는 제1 시분할 제어 신호(ASW1)와 일부 중첩되는 제1 보조 신호(ASW2)를 기초로 제어 라인(CL)의 전압(VA)을 더 증가시킬 수 있다. 구체적으로, 커패시터(Cbst)의 일단은 제1 보조 신호(ASW2)를 수신할 수 있고, 커패시터(Cbst)의 타단은 제어 라인(CL)과 연결될 수 있다. 여기에서, 제1 보조 신호(ASW2)의 제1 천이 시점은 제1 시분할 제어 신호(ASW1)의 제1 천이 시점과 제2 천이 시점의 사이에 해당할 수 있다. 즉, 제1 트랜지스터(M1)가 충전 노드(CN)의 전압(VB)을 기초로 턴-온되어, 제1 시분할 제어 신호(ASW1)가 제어 라인(CL)에 제공된 후, 제1 보조 신호(ASW2)는 커패시터(Cbst)의 일단에 인가될 수 있다. 이와 같이, 고전위 전압의 제1 시분할 제어 신호(ASW1)가 제어 라인(CL)에 제공된 후, 커패시터(Cbst)는 고전위 전압의 제1 보조 신호(ASW2)를 기초로 제어 라인(CL)의 전압(VA)을 부트스트래핑 시킴으로써, 전압 제어부(141)는 역다중화 회로부(140)의 출력을 안정적으로 유지할 수 있다. 한편, 커패시터(Cbst)의 일단에 제공되는 제1 보조 신호(ASW2)의 공급이 중단되면, 제어 라인(CL)의 전압(VA)은 부트스트래핑 전의 전압으로 되돌아올 수 있다.

[0052] 스위칭부(143)는 제어 라인(CL)의 전압(VA)을 기초로 데이터 구동 회로부(120)로부터 공급되는 데이터 신호를

적어도 2개의 데이터 라인(DL)에 순차적으로 공급할 수 있다. 스위칭부(143)는 제3 트랜지스터(M3)를 포함할 수 있다.

[0053] 제3 트랜지스터(M3)는 제어 라인(CL)의 전압(VA)을 기초로 턴-온되어, 구동 집적 회로(123)의 출력 채널(CH)로부터 수신한 데이터 신호를 적어도 2개의 데이터 라인(DL)에 순차적으로 공급할 수 있다. 구체적으로, 제3 트랜지스터(M3)의 게이트 전극은 제어 라인(CL)과 연결되고, 제3 트랜지스터(M3)의 드레인 전극은 구동 집적 회로(123)의 출력 채널(CH)과 연결되며, 제3 트랜지스터(M3)의 소스 전극은 데이터 라인(DL)과 연결될 수 있다. 따라서, 제3 트랜지스터(M3)는 제어 라인(CL)이 제1 시분할 제어 신호(ASW1)에 의해 고전위 전압을 갖고, 제1 보조 신호(ASW2)에 의해 부트스트래핑 되는 동안 턴-온됨으로써, 데이터 신호를 적어도 2개의 데이터 라인(DL)에 순차적으로 제공할 수 있다.

[0054] 일 예에 따르면, 제3 트랜지스터(M3)는 제1 시분할 제어 신호(ASW1)의 제1 천이 시점으로부터 제1 시분할 제어 신호(ASW1)와 이격된 제2 시분할 제어 신호(BSW1)의 제1 천이 시점까지 턴-온되어, 데이터 신호를 적어도 2개의 데이터 라인에 순차적으로 공급할 수 있다. 구체적으로, 제어 라인(CL)은 제1 시분할 제어 신호(ASW1)의 인가 시점부터 제1 트랜지스터(M1)에 의해 충전되고, 제2 시분할 제어 신호(BSW1)의 인가 시점부터 제2 트랜지스터(M2)에 의해 방전되기 때문에, 제1 시분할 제어 신호(ASW1)의 제1 천이 시점으로부터 제2 시분할 제어 신호(BSW1)의 제1 천이 시점까지 턴-온될 수 있다.

[0055] 전압 방전부(145)는 시분할 제어 신호(ASW1, BSW1)에 응답하여 제어 라인(CL)의 전압(VA)을 방전시킬 수 있다. 구체적으로, 전압 방전부(145)는 제2 트랜지스터(M2)를 포함할 수 있다.

[0056] 제2 트랜지스터(M2)는 제1 시분할 제어 신호(ASW1)와 이격된 제2 시분할 제어 신호(BSW1)를 기초로 턴-온되어, 제어 라인(CL)의 전압(VA)을 방전시킬 수 있다. 구체적으로, 제2 트랜지스터(M2)의 게이트 전극은 제2 시분할 제어 신호(BSW1)를 수신할 수 있고, 제2 트랜지스터(M2)의 드레인 전극은 제어 라인(CL)과 연결되며, 제2 트랜지스터(M2)의 소스 전극은 제1 시분할 제어 신호(ASW1)를 수신할 수 있다. 이 때, 제1 시분할 제어 신호(ASW1)와 제2 시분할 제어 신호(BSW1)는 서로 상이한 시점에 인가되기 때문에, 제2 시분할 제어 신호(BSW1)가 고전위 전압에 해당하면 제1 시분할 제어 신호(ASW1)는 저전위 전압에 해당할 수 있다. 따라서, 고전위 전압의 제2 시분할 제어 신호(BSW1)가 제2 트랜지스터(M2)의 게이트 전극에 인가되면 제2 트랜지스터(M2)는 턴-온될 수 있고, 저전위 전압의 제1 시분할 제어 신호(ASW1)가 제2 트랜지스터(M2)의 소스 전극에 인가되기 때문에, 제어 라인(CL)의 전압이 방전될 수 있다.

[0057] 도 3은 도 2에 도시된 역다중화 회로부가 하나의 출력 채널로부터 2개의 데이터 라인을 구동하는 실시예를 나타내는 회로도이고, 도 4는 도 3에 도시된 역다중화 회로부에 제공되는 신호들의 파형도이다.

[0058] 도 3 및 도 4를 참조하면, 역다중화 회로부(140)가 2개의 제어 라인(CL_A, CL_B)과 연결되고, n개의 데이터 라인(DL)과 연결되면, 데이터 구동 회로부(120)의 복수의 구동 집적 회로(123)는 n/2개의 출력 채널(CH)을 가질 수 있다. 따라서, 표시 장치는 2개의 제어 라인(CL_A, CL_B)과 연결된 역다중화 회로부(140)를 포함함으로써, 역다중화 회로부(140)를 포함하지 않는 경우 보다 복수의 구동 집적 회로(123)의 출력 채널(CH) 수를 1/2로 감소시키면서도 고해상도의 화상을 구현할 수 있다.

[0059] 역다중화 회로부(140)는 제1 제어 라인(CL_A)과 연결되는 제1 전압 제어부(141A), 제1 스위칭부(143A), 및 제1 전압 방전부(145A)를 포함하고, 제2 제어 라인(CL_B)과 연결되는 제2 전압 제어부(141B), 제2 스위칭부(143B), 및 제2 전압 방전부(145B)를 포함할 수 있다.

[0060] 제1 전압 제어부(141A)의 제1 트랜지스터(M1)는 제1 보조 신호(ASW2) 및 제2 보조 신호(BSW2)에 의해 제어되는 제1 충전 노드(CN_A)의 전압(VB_A)을 기초로 턴-온되어, 제1 시분할 제어 신호(ASW1)를 제1 제어 라인(CL_A)에 제공할 수 있다. 여기에서, 제1 충전 노드(CN_A)의 전압(VB_A)은 충전 트랜지스터(M11)에 의해 충전되고, 제1 방전 트랜지스터(M12)에 의해 방전될 수 있다. 구체적으로, 제1 전압 제어부(141A)의 충전 트랜지스터(M11)는 제2 보조 신호(BSW2)를 기초로 턴-온되어, 제2 보조 신호(BSW2)를 제1 충전 노드(CN_A)에 제공할 수 있고, 제1 전압 제어부(141A)의 제1 방전 트랜지스터(M12)는 제1 보조 신호(ASW2)를 기초로 턴-온되어, 제1 충전 노드(CN_A)의 전압(VB_A)을 방전시킬 수 있다. 그리고, 제1 전압 제어부(141A)의 커패시터(Cbst)는 제1 보조 신호(ASW2)를 기초로 제1 제어 라인(CL_A)의 전압(VA_A)을 부트스트래핑 시킬 수 있다.

[0061] 그리고, 제2 전압 제어부(141B)의 제1 트랜지스터(M1)는 제1 보조 신호(ASW2) 및 제2 보조 신호(BSW2)에 의해 제어되는 제2 충전 노드(CN_B)의 전압(VB_B)을 기초로 턴-온되어, 제2 시분할 제어 신호(BSW1)를 제2 제어 라인(CL_B)에 제공할 수 있다. 여기에서, 제2 충전 노드(CN_B)의 전압(VB_B)은 충전 트랜지스터(M11)에 의해 충전되

고, 제1 방전 트랜지스터(M12)에 의해 방전될 수 있다. 구체적으로, 제2 전압 제어부(141B)의 충전 트랜지스터(M11)는 제1 보조 신호(ASW2)를 기초로 턴-온되어, 제1 보조 신호(ASW2)를 제2 충전 노드(CN_B)에 제공할 수 있고, 제2 전압 제어부(141B)의 제1 방전 트랜지스터(M12)는 제2 보조 신호(BSW2)를 기초로 턴-온되어, 제2 충전 노드(CN_B)의 전압(VB_B)을 방전시킬 수 있다. 그리고, 제2 전압 제어부(141B)의 커패시터(Cbst)는 제2 보조 신호(BSW2)를 기초로 제2 제어 라인(CL_B)의 전압(VA_B)을 부트스트래핑 시킬 수 있다.

[0062] 이와 같이, 제1 전압 제어부(141A)는 1 수평 구간(1H)의 제1 서브 수평 구간(SH1) 동안 제1 제어 라인(CL_A)의 전압(VA_A)을 고전위 전압으로 유지할 수 있고, 제2 전압 제어부(141B)는 1 수평 구간(1H)의 제2 서브 수평 구간(SH2) 동안 제2 제어 라인(CL_B)의 전압(VA_B)을 고전위 전압으로 유지할 수 있다.

[0063] 일 예에 따르면, 제1 보조 신호(ASW2)의 제1 천이 시점(t2)은 제1 시분할 제어 신호(ASW1)의 제1 천이 시점(t1)과 제2 천이 시점(t3)의 사이에 해당하고, 제2 보조 신호(BSW2)의 제1 천이 시점(t6)은 제2 시분할 제어 신호(BSW1)의 제1 천이 시점(t5)과 제2 천이 시점(t7)의 사이에 해당할 수 있다. 여기에서, 복수의 신호들 각각의 제1 천이 시점은 라이징 에지(Rising Edge)에 해당하고, 제2 천이 시점은 폴링 에지(Falling Edge)에 해당할 수 있으나, 반드시 이에 한정되는 것은 아니다. 이에 따라, 제1 제어 라인(CL_A)의 전압(VA_A)은 제1 시분할 제어 신호(ASW1)가 인가되는 시점(t1)에 1차적으로 증가할 수 있고, 제1 보조 신호(ASW2)가 인가되는 시점(t2)에 부트스트래핑 되어 2차적으로 증가할 수 있다. 또한, 제2 제어 라인(CL_B)의 전압(VA_B)은 제2 시분할 제어 신호(BSW1)가 인가되는 시점(t5)에 1차적으로 증가할 수 있고, 제2 보조 신호(BSW2)가 인가되는 시점(t6)에 부트스트래핑 되어 2차적으로 증가할 수 있다. 한편, 제1 및 제2 보조 신호(ASW2, BSW2) 각각의 제2 천이 시점(t4, t7)에서 제1 및 제2 제어 라인(CL_A, CL_B) 각각의 전압(VA_A, VA_B)은 부트스트래핑 전의 전압으로 되돌아올 수 있다.

[0064] 일 예에 따르면, 제1 충전 노드(CN_A)의 전압(VB_A)은 제2 보조 신호(BSW2)의 인가 시점(t6)부터 충전되고, 제1 시분할 제어 신호(ASW1)의 인가 시점(t1)에서 부트스트래핑 될 수 있다. 또한, 제1 충전 노드(CN_A)의 전압(VB_A)은 제1 보조 신호(ASW2)의 인가 시점(t2)부터 방전될 수 있다. 예를 들어, 제1 충전 노드(CN_A)가 제2 보조 신호(BSW2)에 의해 충전된 후, 제1 시분할 제어 신호(ASW1)가 제1 제어 라인(CL_A)에 인가되면, 제1 충전 노드(CN_A)의 전압(VB_A)은 제1 트랜지스터(M1)의 게이트-소스 커패시턴스에 의해 부트스트래핑 될 수 있다. 이때, 제1 충전 노드(CN_A)의 전압(VB_A)이 부트스트래핑 되면, 제1 제어 라인(CL_A)은 초기 충전(Pre-Charging)됨으로써, 제1 제어 라인(CL_A)의 충전이 강화되어 역다중화 회로부(140)의 출력을 안정적으로 유지될 수 있다.

[0065] 제1 스위칭부(143A)의 제3 트랜지스터(M3)는 제1 제어 라인(CL_A)의 전압(VA_A)을 기초로 턴-온되어, 구동 집적 회로(123)의 복수의 출력 채널(CH)로부터 공급되는 데이터 신호(DS1)를 복수의 출력 채널(CH) 각각에 대응되는 2개의 데이터 라인(DL) 중 첫번째 데이터 라인(DL1, DL3, ... , DLn-1)에 제공할 수 있다.

[0066] 일 예에 따르면, 제1 스위칭부(143A)의 제3 트랜지스터(M3)는 제1 시분할 제어 신호(ASW1)의 제1 천이 시점(t1)으로부터 제2 시분할 제어 신호(BSW1)의 제1 천이 시점(t5)까지 턴-온되어, 데이터 신호(DS1)를 2개의 데이터 라인(DL) 중 첫번째 데이터 라인(DL1, DL3, ... , DLn-1)에 제공할 수 있다. 구체적으로, 제1 제어 라인(CL_A)은 제1 시분할 제어 신호(ASW1)의 인가 시점(t1)부터 제1 트랜지스터(M1)에 의해 충전되고, 제2 시분할 제어 신호(BSW1)의 인가 시점(t5)부터 제2 트랜지스터(M2)에 의해 방전되기 때문에, 제1 시분할 제어 신호(ASW1)의 제1 천이 시점(t1)으로부터 제2 시분할 제어 신호(BSW1)의 제1 천이 시점(t5)까지 턴-온될 수 있다.

[0067] 그리고, 제2 스위칭부(143B)의 제3 트랜지스터(M3)는 제2 제어 라인(CL_B)의 전압(VA_B)을 기초로 턴-온되어, 구동 집적 회로(123)의 복수의 출력 채널(CH)로부터 공급되는 데이터 신호(DS2)를 복수의 출력 채널(CH) 각각에 대응되는 2개의 데이터 라인(DL) 중 두번째 데이터 라인(DL2, DL4, ... , DLn)에 제공할 수 있다.

[0068] 이와 같이, 제1 스위칭부(143A)는 1 수평 구간(1H)의 제1 서브 수평 구간(SH1) 동안 턴-온되어, 데이터 신호(DS1)를 복수의 출력 채널(CH) 각각에 대응되는 2개의 데이터 라인(DL) 중 첫번째 데이터 라인(DL1, DL3, ... , DLn-1)에 제공할 수 있고, 제2 스위칭부(143B)는 1 수평 구간(1H)의 제2 서브 수평 구간(SH2) 동안 턴-온되어, 데이터 신호(DS2)를 복수의 출력 채널(CH) 각각에 대응되는 2개의 데이터 라인(DL) 중 두번째 데이터 라인(DL2, DL4, ... , DLn)에 제공할 수 있다. 따라서, 표시 장치는 2개의 제어 라인(CL_A, CL_B)과 연결된 역다중화 회로부(140)를 포함함으로써, 역다중화 회로부(140)를 포함하지 않는 경우 보다 복수의 구동 집적 회로(123)의 출력 채널(CH) 수를 1/2로 감소시키면서도 고해상도의 화상을 구현할 수 있다.

[0069] 제1 전압 방전부(145A)의 제2 트랜지스터(M2)는 제2 시분할 제어 신호(BSW1)를 기초로 턴-온되어, 제1 제어 라

인(CL_A)의 전압(VA_A)을 방전시킬 수 있다.

[0070] 그리고, 제2 전압 방전부(145B)의 제2 트랜지스터(M2)는 제1 시분할 제어 신호(ASW1)를 기초로 턴-온되어, 제2 제어 라인(CL_B)의 전압(VA_B)을 방전시킬 수 있다.

[0071] 이와 같이, 제1 전압 방전부(145A)의 제2 트랜지스터(M2)는 1 수평 구간(1H)의 제1 서브 수평 구간(SH1)이 끝나는 시점(t5) 또는 제2 서브 수평 구간(SH2)이 시작하는 시점(t5)에 턴-온되어, 제1 제어 라인(CL_A)의 전압(VA_A)을 방전시킬 수 있다.

[0072] 일 예에 따르면, 전압 제어부(141)의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)와 전압 방전부(145)의 제2 트랜지스터(M2)는 제어 라인(CL)의 양단 각각에 배치되고, 하나의 제어 라인(CL)은 복수의 커패시터(Cbst) 및 복수의 스위칭부(143)와 연결될 수 있다. 이 때, 전압 제어부(141)는 충전 트랜지스터(M11) 및 제1 방전 트랜지스터(M12)를 통해 충전 노드(CN)의 전압(VB)을 제어함으로써, 제어 라인(CL)의 충전 특성을 향상시킬 수 있다. 이와 같이, 제어 라인(CL)의 양단 각각에 배치된 제1 트랜지스터(M1), 충전 트랜지스터(M11), 제1 방전 트랜지스터(M12), 및 제2 트랜지스터(M2)는 제어 라인(CL)의 전압(VA)을 충전 또는 방전시킴으로써, 제어 라인(CL)과 연결된 복수의 스위칭부(143)를 턴-온 또는 턴-오프시킬 수 있다.

[0073] 도 5는 도 2에 도시된 역다중화 회로부가 하나의 출력 채널로부터 3개의 데이터 라인을 구동하는 실시예를 나타내는 회로도이고, 도 6은 도 5에 도시된 역다중화 회로부에 제공되는 신호들의 파형도이다.

[0074] 도 5 및 도 6을 참조하면, 역다중화 회로부(140)가 3개의 제어 라인(CL_A, CL_B, CL_C)과 연결되고, n개의 데이터 라인(DL)과 연결되면, 데이터 구동 회로부(120)의 복수의 구동 집적 회로(123)는 n/3개의 출력 채널(CH)을 가질 수 있다. 따라서, 표시 장치는 3개의 제어 라인(CL_A, CL_B, CL_C)과 연결된 역다중화 회로부(140)를 포함함으로써, 역다중화 회로부(140)를 포함하지 않는 경우 보다 복수의 구동 집적 회로(123)의 출력 채널(CH) 수를 1/3로 감소시키면서도 고해상도의 화상을 구현할 수 있다.

[0075] 역다중화 회로부(140)는 제1 제어 라인(CL_A)과 연결되는 제1 전압 제어부(141A), 제1 스위칭부(143A), 및 제1 전압 방전부(145A)를 포함하고, 제2 제어 라인(CL_B)과 연결되는 제2 전압 제어부(141B), 제2 스위칭부(143B), 및 제2 전압 방전부(145B)를 포함하며, 제3 제어 라인(CL_C)과 연결되는 제3 전압 제어부(141C), 제3 스위칭부(143C), 및 제3 전압 방전부(145C)를 포함할 수 있다.

[0076] 제1 전압 제어부(141A)의 제1 트랜지스터(M1)는 제1 보조 신호(ASW2) 및 제2 보조 신호(BSW2)에 의해 제어되는 제1 충전 노드(CN_A)의 전압(VB_A)을 기초로 턴-온되어, 제1 시분할 제어 신호(ASW1)를 제1 제어 라인(CL_A)에 제공할 수 있다. 그리고, 제1 전압 제어부(141A)의 충전 트랜지스터(M11)는 제2 보조 신호(BSW2)를 기초로 턴-온되어, 제2 보조 신호(BSW2)를 제1 충전 노드(CN_A)에 제공할 수 있고, 제1 전압 제어부(141A)의 제1 방전 트랜지스터(M12)는 제1 보조 신호(ASW2)를 기초로 턴-온되어, 제1 충전 노드(CN_A)의 전압(VB_A)을 방전시킬 수 있다. 또한, 제1 전압 제어부(141A)의 커패시터(Cbst)는 제1 보조 신호(ASW2)를 기초로 제1 제어 라인(CL_A)의 전압(VA_A)을 부트스트래핑 시킬 수 있다.

[0077] 제2 전압 제어부(141B)의 제1 트랜지스터(M1)는 제2 보조 신호(BSW2) 및 제3 보조 신호(CSW2)에 의해 제어되는 제2 충전 노드(CN_B)의 전압(VB_B)을 기초로 턴-온되어, 제2 시분할 제어 신호(BSW1)를 제2 제어 라인(CL_B)에 제공할 수 있다. 그리고, 제2 전압 제어부(141B)의 충전 트랜지스터(M11)는 제3 보조 신호(CSW2)를 기초로 턴-온되어, 제3 보조 신호(CSW2)를 제2 충전 노드(CN_B)에 제공할 수 있고, 제2 전압 제어부(141B)의 제1 방전 트랜지스터(M12)는 제2 보조 신호(BSW2)를 기초로 턴-온되어, 제2 충전 노드(CN_B)의 전압(VB_B)을 방전시킬 수 있다. 또한, 제2 전압 제어부(141B)의 커패시터(Cbst)는 제2 보조 신호(BSW2)를 기초로 제2 제어 라인(CL_B)의 전압(VA_B)을 부트스트래핑 시킬 수 있다.

[0078] 제3 전압 제어부(141C)의 제1 트랜지스터(M1)는 제1 보조 신호(ASW2) 및 제3 보조 신호(CSW2)에 의해 제어되는 제3 충전 노드(CN_C)의 전압(VB_C)을 기초로 턴-온되어, 제3 시분할 제어 신호(CSW1)를 제3 제어 라인(CL_C)에 제공할 수 있다. 그리고, 제3 전압 제어부(141C)의 충전 트랜지스터(M11)는 제1 보조 신호(ASW2)를 기초로 턴-온되어, 제1 보조 신호(ASW2)를 제3 충전 노드(CN_C)에 제공할 수 있고, 제3 전압 제어부(141C)의 제1 방전 트랜지스터(M12)는 제3 보조 신호(CSW2)를 기초로 턴-온되어, 제3 충전 노드(CN_C)의 전압(VB_C)을 방전시킬 수 있다. 또한, 제3 전압 제어부(141C)의 커패시터(Cbst)는 제3 보조 신호(CSW2)를 기초로 제3 제어 라인(CL_C)의 전압(VA_C)을 부트스트래핑 시킬 수 있다.

[0079] 이와 같이, 제1 전압 제어부(141A)는 1 수평 구간(1H)의 제1 서브 수평 구간(SH1) 동안 제1 제어 라인(CL_A)의 전압(VA_A)을 고전위 전압으로 유지할 수 있고, 제2 전압 제어부(141B)는 1 수평 구간(1H)의 제2 서브 수평 구

간(SH2) 동안 제2 제어 라인(CL_B)의 전압(VA_B)을 고전위 전압으로 유지할 수 있으며, 제3 전압 제어부(141C)는 1 수평 구간(1H)의 제3 서브 수평 구간(SH3) 동안 제3 제어 라인(CL_C)의 전압(VA_C)을 고전위 전압으로 유지할 수 있다.

[0080] 따라서, 역다중화 회로부(140)는 충전 트랜지스터(M11) 및 제1 방전 트랜지스터(M12)를 통해 충전 노드(CN)의 전압(VB)을 제어함으로써, 제1 내지 제3 트랜지스터(M1, M2, M3)가 열화되는 경우에도 제어 라인(CL)의 충전 특성을 향상시킬 수 있고, 유기 발광 소자에 전달되는 누설 전류의 발생을 방지할 수 있다. 결과적으로, 역다중화 회로부(140)는 제어 라인(CL)의 전압(VA)을 기초로 턴-온되는 제3 트랜지스터(M3)의 출력을 안정적으로 유지함으로써, 디스플레이 패널의 휘도가 저하되는 것을 방지하고 디스플레이 패널의 고해상도 화상을 구현할 수 있다.

[0081] 제1 스위칭부(143A)의 제3 트랜지스터(M3)는 제1 제어 라인(CL_A)의 전압(VA_A)을 기초로 턴-온되어, 구동 집적 회로(123)의 복수의 출력 채널(CH)로부터 공급되는 데이터 신호(DS1)를 복수의 출력 채널(CH) 각각에 대응되는 3개의 데이터 라인(DL) 중 첫번째 데이터 라인(DL1, DL4, ... , DLn-2)에 제공할 수 있다.

[0082] 제2 스위칭부(143B)의 제3 트랜지스터(M3)는 제2 제어 라인(CL_B)의 전압(VA_B)을 기초로 턴-온되어, 구동 집적 회로(123)의 복수의 출력 채널(CH)로부터 공급되는 데이터 신호(DS2)를 복수의 출력 채널(CH) 각각에 대응되는 3개의 데이터 라인(DL) 중 두번째 데이터 라인(DL2, DL5, ... , DLn-1)에 제공할 수 있다.

[0083] 제3 스위칭부(143C)의 제3 트랜지스터(M3)는 제3 제어 라인(CL_C)의 전압(VA_C)을 기초로 턴-온되어, 구동 집적 회로(123)의 복수의 출력 채널(CH)로부터 공급되는 데이터 신호(DS3)를 복수의 출력 채널(CH) 각각에 대응되는 3개의 데이터 라인(DL) 중 세번째 데이터 라인(DL3, DL6, ... , DLn)에 제공할 수 있다.

[0084] 이와 같이, 제1 스위칭부(143A)는 1 수평 구간(1H)의 제1 서브 수평 구간(SH1) 동안 턴-온되어, 데이터 신호(DS1)를 복수의 출력 채널(CH) 각각에 대응되는 3개의 데이터 라인(DL) 중 첫번째 데이터 라인(DL1, DL4, ... , DLn-2)에 제공할 수 있고, 제2 스위칭부(143B)는 1 수평 구간(1H)의 제2 서브 수평 구간(SH2) 동안 턴-온되어, 데이터 신호(DS2)를 복수의 출력 채널(CH) 각각에 대응되는 3개의 데이터 라인(DL) 중 두번째 데이터 라인(DL2, DL5, ... , DLn-1)에 제공할 수 있으며, 제3 스위칭부(143C)는 1 수평 구간(1H)의 제3 서브 수평 구간(SH3) 동안 턴-온되어, 데이터 신호(DS3)를 복수의 출력 채널(CH) 각각에 대응되는 3개의 데이터 라인(DL) 중 세번째 데이터 라인(DL3, DL6, ... , DLn)에 제공할 수 있다. 따라서, 표시 장치는 3개의 제어 라인(CL_A, CL_B, CL_C)과 연결된 역다중화 회로부(140)를 포함함으로써, 역다중화 회로부(140)를 포함하지 않는 경우 보다 복수의 구동 집적 회로(123)의 출력 채널(CH) 수를 1/3로 감소시키면서도 고해상도의 화상을 구현할 수 있다.

[0085] 제1 전압 방전부(145A)의 제2 트랜지스터(M2)는 제2 시분할 제어 신호(BSW1)를 기초로 턴-온되어, 제1 제어 라인(CL_A)의 전압(VA_A)을 방전시킬 수 있다.

[0086] 제2 전압 방전부(145B)의 제2 트랜지스터(M2)는 제3 시분할 제어 신호(CSW1)를 기초로 턴-온되어, 제2 제어 라인(CL_B)의 전압(VA_B)을 방전시킬 수 있다.

[0087] 제3 전압 방전부(145C)의 제2 트랜지스터(M2)는 제1 시분할 제어 신호(ASW1)를 기초로 턴-온되어, 제3 제어 라인(CL_C)의 전압(VA_C)을 방전시킬 수 있다.

[0088] 도 7은 도 2에 도시된 역다중화 회로부의 충전 특성을 나타내는 그래프이다. 구체적으로, 도 7은 제1 트랜지스터(M1)의 크기에 대한 픽셀 충전율을 나타내는 그래프이다. 여기에서, Structure 1은 충전 트랜지스터(M11) 및 제1 방전 트랜지스터(M12)를 구비하지 않은 역다중화 회로부(140)에 해당하고, Structure 2는 본 출원의 일 예에 따른 역다중화 회로부(140)에 해당한다.

[0089] 도 7을 참조하면, Structure 1의 역다중화 회로부(140)는 제1 트랜지스터(M1)의 크기가 500㎛ 일 때 약 96.5%의 픽셀 충전율을 갖고, 제1 트랜지스터(M1)의 크기가 1000㎛ 일 때 약 97.5%의 픽셀 충전율을 가지며, 제1 트랜지스터(M1)의 크기가 1500㎛ 일 때 약 97.6%의 픽셀 충전율을 갖는다.

[0090] 그리고, Structure 2의 역다중화 회로부(140)는 제1 트랜지스터(M1)의 크기가 500㎛ 일 때 약 97.5%의 픽셀 충전율을 갖고, 제1 트랜지스터(M1)의 크기가 1000㎛ 일 때 약 99%의 픽셀 충전율을 가지며, 제1 트랜지스터(M1)의 크기가 1500㎛ 일 때 약 99.8%의 픽셀 충전율을 갖는다.

[0091] 예를 들어, 500㎛의 크기를 갖는 제1 트랜지스터(M1)를 구비한 Structure 2의 픽셀 충전율(P2)은 1000㎛의 크기를 갖는 제1 트랜지스터(M1)를 구비한 Structure 1의 픽셀 충전율(P1)과 유사함을 알 수 있다. 따라서, Structure 2의 역다중화 회로부(140)는 충전 트랜지스터(M11) 및 제1 방전 트랜지스터(M12)를 구비함으로써,

Structure 1 보다 작은 크기의 제1 트랜지스터(M1)를 구비하더라도, Structure 1 과 유사한 픽셀 충전율을 가질 수 있다.

[0092] 또한, 1000㎛의 크기를 갖는 제1 트랜지스터(M1)를 구비한 Structure 2의 픽셀 충전율(P2)은 1000㎛의 크기를 갖는 제1 트랜지스터(M1)를 구비한 Structure 1의 픽셀 충전율(P1) 보다 크게 향상됨을 알 수 있다. 따라서, Structure 2의 역다중화 회로부(140)는 충전 트랜지스터(M11) 및 제1 방전 트랜지스터(M12)를 구비함으로써, Structure 1 보다 픽셀 충전율을 향상시킬 수 있다.

[0093] 따라서, 본 출원에 따른 역다중화 회로부(Struture 2)(140)는 충전 트랜지스터(M11) 및 제1 방전 트랜지스터(M12)를 통해 충전 노드(CN)의 전압(VB)을 제어함으로써, 제1 내지 제3 트랜지스터(M1, M2, M3)가 열화되는 경우에도 제어 라인(CL)의 충전 특성을 향상시킬 수 있고, 유기 발광 소자에 전달되는 누설 전류의 발생을 방지하여 고해상도의 화상을 구현할 수 있다.

[0094] 도 8은 도 2에 도시된 역다중화 회로부의 방전 특성을 나타내는 그래프이다. 구체적으로, 도 8은 제2 트랜지스터(M2)의 크기에 대한 방전된 제어 라인(CL)의 전압(VA)을 나타내는 그래프이다. 여기에서, 방전된 제어 라인(CL)의 게이트 로우 전압(VGL)은 -10V에 해당한다. 그리고, Structure 1은 충전 트랜지스터(M11) 및 제1 방전 트랜지스터(M12)를 구비하지 않은 역다중화 회로부(140)에 해당하고, Structure 2는 본 출원의 일 예에 따라 충전 트랜지스터(M11) 및 제1 방전 트랜지스터(M12)를 구비한 역다중화 회로부(140)에 해당하며, Structure 3은 본 출원의 다른 예에 따라 충전 트랜지스터(M11) 및 제1 방전 트랜지스터(M12)를 구비하고, Structure 2 보다 크기가 작은 제1 트랜지스터(M1)를 구비한 역다중화 회로부(140)에 해당한다. 예를 들어, Structure 1 및 Structure 2의 제1 트랜지스터(M1)의 크기가 1000㎛에 해당하면, Structure 3의 제1 트랜지스터(M1)의 크기는 500㎛에 해당한다.

[0095] 도 8을 참조하면, Structure 1의 제2 트랜지스터(M2)의 크기가 150㎛ 이면, 방전된 제어 라인(CL)의 전압(VA)은 약 -2V에 해당하고, Structure 2의 제2 트랜지스터(M2)의 크기가 150㎛ 이면, 방전된 제어 라인(CL)의 전압(VA)은 약 -8.2V에 해당하며, Structure 3의 제2 트랜지스터(M2)의 크기가 150㎛ 이면, 방전된 제어 라인(CL)의 전압(VA)은 약 -10V에 해당한다.

[0096] 또한, Structure 1의 제2 트랜지스터(M2)의 크기가 300㎛ 이면, 방전된 제어 라인(CL)의 전압(VA)은 약 -4V에 해당하고, Structure 2의 제2 트랜지스터(M2)의 크기가 300㎛ 이면, 방전된 제어 라인(CL)의 전압(VA)은 약 -7.8V에 해당하며, Structure 3의 제2 트랜지스터(M2)의 크기가 300㎛ 이면, 방전된 제어 라인(CL)의 전압(VA)은 약 -9.9V에 해당한다.

[0097] 즉, Structure 2 및 Structure 3은 충전 트랜지스터(M11) 및 제1 방전 트랜지스터(M12)를 포함함으로써 Structure 1 보다 제어 라인(CL)의 방전 특성이 향상됨을 알 수 있다. 또한, Structure 3은 Structure 2 의 제1 트랜지스터(M1) 보다 크기가 작은 제1 트랜지스터(M1)를 포함함으로써, Structure 2 보다 제어 라인(CL)의 방전 특성이 향상됨을 알 수 있다.

[0098] 이와 같이, 본 출원의 일 예에 따른 역다중화 회로부(Structure 2)(140)는 충전 트랜지스터(M11) 및 제1 방전 트랜지스터(M12)를 통해 충전 노드(CN)의 전압(VB)을 제어함으로써, 제1 내지 제3 트랜지스터(M1, M2, M3)가 열화되는 경우에도 제어 라인(CL)의 충전 특성을 향상시켜 픽셀 충전율을 보강하고, 이에 따라 제어 라인(CL)의 방전 특성까지 향상시켜 유기 발광 소자에 전달되는 누설 전류의 발생을 방지할 수 있다.

[0099] 또한, 본 출원의 다른 예에 따른 역다중화 회로부(Structure 3)(140)는 충전 트랜지스터(M11) 및 제1 방전 트랜지스터(M12)를 통해 충전 노드(CN)의 전압(VB)을 제어하고, Structure 2 의 제1 트랜지스터(M1) 보다 크기가 작은 제1 트랜지스터(M1)를 포함함으로써, 제어 라인(CL)의 방전 특성을 Structure 2의 역다중화 회로부(140) 보다 더 향상시킬 수 있다.

[0100] 도 9는 도 2에 도시된 역다중화 회로부의 다른 실시예를 나타내는 회로도이다.

[0101] 도 9를 참조하면, 역다중화 회로부(140)는 하나의 제어 라인(CL)의 양단 각각에 배치된 2개의 제1 트랜지스터(M1), 2개의 충전 트랜지스터(M11), 2개의 제1 방전 트랜지스터(M12), 및 2개의 제2 트랜지스터(M2)를 포함하고, 하나의 제어 라인(CL)은 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)와 연결될 수 있다. 이때, 하나의 제어 라인(CL)의 양단 각각에 배치된 2개의 제1 트랜지스터(M1), 2개의 충전 트랜지스터(M11), 및 2개의 제1 방전 트랜지스터(M12)는 제어 라인(CL)의 전압(VA)을 충전할 수 있고, 하나의 제어 라인(CL)의 양단 각각에 배치된 2개의 제2 트랜지스터(M2)는 제어 라인(CL)의 전압(VA)을 방전할 수 있다. 그리고, 복수의 커패시터(Cbst) 각각은 복수의 제3 트랜지스터(M3) 각각과 대응되게 배치됨으로써, 제어 라인(CL)의 전압(VA)을 부

트스트래핑 시킬 수 있다.

[0102] 역다중화 회로부(140)의 전압 제어부(141)는 제k 보조 신호 및 제k+1 보조 신호에 의해 제어되는 충전 노드(CN)의 전압(VB)을 기초로 턴-온되어, 제k 시분할 제어 신호를 제k 제어 라인에 제공하는 p개(p는 1 내지 (n/i-2)의 자연수)의 제1 트랜지스터(M1)를 더 포함할 수 있다.

[0103] 그리고, 전압 제어부(141)는 제k+1 보조 신호를 기초로 턴-온되어, 제k+1 보조 신호를 p개의 제1 트랜지스터(M1) 각각의 게이트 전극과 연결된 충전 노드(CN)에 제공하는 p개의 충전 트랜지스터(M11)를 더 포함할 수 있고, 제k 보조 신호를 기초로 턴-온되어, p개의 제1 트랜지스터(M1) 각각의 게이트 전극과 연결된 충전 노드(CN)의 전압(VB)을 방전시키는 p개의 제1 방전 트랜지스터(M12)를 더 포함할 수 있다. 예를 들어, 충전 트랜지스터(M11) 및 제1 방전 트랜지스터(M12)는 제1 트랜지스터(M1)의 게이트 전극과 연결된 충전 노드(CN)의 전압(VB)을 제어하기 위하여, 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)는 한 세트로 구성될 수 있다.

[0104] 이와 같이, 전압 제어부(141)는 하나의 제어 라인(CL)의 양단 각각에 배치된 2개의 제1 트랜지스터(M1), 2개의 충전 트랜지스터(M11), 및 2개의 제1 방전 트랜지스터(M12)와는 별도로 추가적인 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)를 포함함으로써, 제어 라인(CL)의 충전 특성을 보강하여 제어 라인(CL)의 전압(VA)을 안정적으로 유지할 수 있다.

[0105] 일 예에 따르면, 역다중화 회로부(140)의 전압 제어부(141)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)를 소정의 단위로 그룹화하여, 복수의 그룹 마다 대응되는 한 세트의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)를 더 포함할 수 있다. 예를 들어, 표시 장치가 n개의 데이터 라인(DL1 내지 DLn)을 포함하고, 역다중화 회로부(140)가 3개의 제어 라인(CL_A, CL_B, CL_C)과 연결되는 경우, 하나의 제어 라인(CL) 마다 n/3 개의 데이터 라인(DL)과 연결되므로, 역다중화 회로부(140)는 하나의 제어 라인(CL)과 연결된 n/3 개의 제3 트랜지스터(M3)를 포함할 수 있다. 이 때, 역다중화 회로부(140)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)를 10개의 커패시터(Cbst) 및 10개의 제3 트랜지스터(M3)의 단위로 그룹화하여, n/30 개의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)를 더 포함할 수 있다. 이와 같이, 역다중화 회로부(140)의 전압 제어부(141)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)의 복수의 그룹 마다 대응되는 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)를 더 포함함으로써, 제어 라인(CL)의 모든 영역에서 충전 특성을 향상시켜 제어 라인(CL)의 전압(VA)을 안정적으로 유지할 수 있다.

[0106] 다른 예에 따르면, 역다중화 회로부(140)의 전압 제어부(141)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3) 각각에 대응되는 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)를 포함할 수 있다. 예를 들어, 표시 장치가 n개의 데이터 라인(DL1 내지 DLn)을 포함하고, 역다중화 회로부(140)가 3개의 제어 라인(CL_A, CL_B, CL_C)과 연결되는 경우, 하나의 제어 라인(CL) 마다 n/3 개의 데이터 라인(DL)과 연결되므로, 역다중화 회로부(140)의 전압 제어부(141)는 제어 라인(CL)의 양단 각각에 배치된 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)를 포함하여 n/3 개의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)를 포함할 수 있다.

[0107] 상기 일 예와 다른 예에 따른 역다중화 회로부(140)의 설명은 예시에 불과하며, 상기 트랜지스터의 개수에 한정되지 않는다. 따라서, 역다중화 회로부(140)의 전압 제어부(141)는 제어 라인(CL)의 모든 영역에서 충전 특성을 향상시키며, 과다한 비용이 필요로 하지 않는 범위 내에서 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)의 개수를 조절할 수 있다.

[0108] 도 10은 도 2에 도시된 역다중화 회로부의 또 다른 실시예를 나타내는 회로도이다.

[0109] 도 10을 참조하면, 역다중화 회로부(140)는 하나의 제어 라인(CL)의 양단 각각에 배치된 2개의 제1 트랜지스터(M1), 2개의 충전 트랜지스터(M11), 2개의 제1 방전 트랜지스터(M12), 및 2개의 제2 트랜지스터(M2)를 포함하고, 하나의 제어 라인(CL)은 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)와 연결될 수 있다. 이 때, 하나의 제어 라인(CL)의 양단 각각에 배치된 2개의 제1 트랜지스터(M1), 2개의 충전 트랜지스터(M11), 및 2개의 제1 방전 트랜지스터(M12)는 제어 라인(CL)의 전압(VA)을 충전할 수 있고, 하나의 제어 라인(CL)의 양단 각각에 배치된 2개의 제2 트랜지스터(M2)는 제어 라인(CL)의 전압(VA)을 방전할 수 있다. 그리고, 복수의 커패시터(Cbst) 각각은 복수의 제3 트랜지스터(M3) 각각과 대응되게 배치됨으로써, 제어 라인(CL)의 전압(VA)을 부트스트래핑 시킬 수 있다.

[0110] 역다중화 회로부(140)의 전압 방전부(145)는 제k+1 시분할 제어 신호를 기초로 턴-온되어, 제k 제어 라인(CL)을 방전시키는 p개(p는 1 내지 (n/i-2)의 자연수)의 제2 트랜지스터(M2)를 더 포함할 수 있다. 구체적으로, 전압 방전부(145)는 하나의 제어 라인(CL)의 양단 각각에 배치된 2개의 제2 트랜지스터(M2)와는 별도로 추가적인 제2 트랜지스터(M2)를 포함함으로써, 제어 라인(CL)의 방전 특성을 향상시켜 유기 발광 소자에 전달되는 누설 전류의 발생을 방지할 수 있다.

[0111] 일 예에 따르면, 역다중화 회로부(140)의 전압 방전부(145)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)를 소정의 단위로 그룹화하여, 복수의 그룹 마다 대응되는 제2 트랜지스터(M2)를 더 포함할 수 있다. 예를 들어, 표시 장치가 n개의 데이터 라인(DL1 내지 DLn)을 포함하고, 역다중화 회로부(140)가 3개의 제어 라인(CL_A, CL_B, CL_C)과 연결되는 경우, 하나의 제어 라인(CL) 마다 n/3 개의 데이터 라인(DL)과 연결되므로, 역다중화 회로부(140)는 하나의 제어 라인(CL)과 연결된 n/3 개의 제3 트랜지스터(M3)를 포함할 수 있다. 이 때, 역다중화 회로부(140)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)를 10개의 커패시터(Cbst) 및 10개의 제3 트랜지스터(M3)의 단위로 그룹화하여, n/30 개의 제2 트랜지스터(M2)를 더 포함할 수 있다. 이와 같이, 역다중화 회로부(140)의 전압 방전부(145)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)의 복수의 그룹 마다 대응되는 제2 트랜지스터(M2)를 더 포함함으로써, 제어 라인(CL)의 모든 영역에서 방전 특성을 향상시켜 제2 트랜지스터(M2)의 열화로 인한 한계를 극복하고 유기 발광 소자에 전달될 수 있는 누설 전류의 발생을 방지할 수 있다.

[0112] 다른 예에 따르면, 역다중화 회로부(140)의 전압 방전부(145)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3) 각각에 대응되는 제2 트랜지스터(M2)를 포함할 수 있다. 예를 들어, 표시 장치가 n개의 데이터 라인(DL1 내지 DLn)을 포함하고, 역다중화 회로부(140)가 3개의 제어 라인(CL_A, CL_B, CL_C)과 연결되는 경우, 하나의 제어 라인(CL) 마다 n/3 개의 데이터 라인(DL)과 연결되므로, 역다중화 회로부(140)의 전압 방전부(145)는 제어 라인(CL)의 양단 각각에 배치된 제2 트랜지스터(M2)를 포함하여 n/3 개의 제2 트랜지스터(M2)를 포함할 수 있다.

[0113] 상기 일 예와 다른 예에 따른 역다중화 회로부(140)의 설명은 예시에 불과하며, 상기 트랜지스터의 개수에 한정되지 않는다. 따라서, 역다중화 회로부(140)의 전압 방전부(145)는 제어 라인(CL)의 모든 영역에서 방전 특성을 향상시키며, 과다한 비용이 필요로 하지 않는 범위 내에서 제2 트랜지스터(M2)의 개수를 조절할 수 있다.

[0114] 도 11은 도 2에 도시된 역다중화 회로부의 또 다른 실시예를 나타내는 회로도이다.

[0115] 도 11을 참조하면, 역다중화 회로부(140)는 하나의 제어 라인(CL)의 양단 각각에 배치된 2개의 제1 트랜지스터(M1), 2개의 충전 트랜지스터(M11), 2개의 제1 방전 트랜지스터(M12), 및 2개의 제2 트랜지스터(M2)를 포함하고, 하나의 제어 라인(CL)은 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)와 연결될 수 있다.

[0116] 전압 제어부(141)는 제k 보조 신호 및 제k+1 보조 신호에 의해 제어되는 충전 노드(CN)의 전압(VB)을 기초로 턴-온되어, 제k 시분할 제어 신호를 제k 제어 라인에 제공하는 p개(p는 1 내지 (n/i-2)의 자연수)의 제1 트랜지스터(M1)를 더 포함할 수 있다. 그리고, 전압 제어부(141)는 제k+1 보조 신호를 기초로 턴-온되어, 제k+1 보조 신호를 p개의 제1 트랜지스터(M1) 각각의 게이트 전극과 연결된 충전 노드(CN)에 제공하는 p개의 충전 트랜지스터(M11)를 더 포함할 수 있고, 제k 보조 신호를 기초로 턴-온되어, p개의 제1 트랜지스터(M1) 각각의 게이트 전극과 연결된 충전 노드(CN)의 전압(VB)을 방전시키는 p개의 제1 방전 트랜지스터(M12)를 더 포함할 수 있다. 또한, 전압 방전부(145)는 제k+1 시분할 제어 신호를 기초로 턴-온되어, 제k 제어 라인(CL)을 방전시키는 p개의 제2 트랜지스터(M2)를 더 포함할 수 있다. 이와 같이, 역다중화 회로부(140)는 제어 라인(CL)의 충전 특성과 방전 특성을 모두 향상시킬 수 있다.

[0117] 일 예에 따르면, 역다중화 회로부(140)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)를 소정의 단위로 그룹화하여, 복수의 그룹 마다 대응되는 한 세트의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 제1 방전 트랜지스터(M12), 및 제2 트랜지스터(M2)를 더 포함할 수 있다. 예를 들어, 표시 장치가 n개의 데이터 라인(DL1 내지 DLn)을 포함하고, 역다중화 회로부(140)가 3개의 제어 라인(CL_A, CL_B, CL_C)과 연결되는 경우, 하나의 제어 라인(CL) 마다 n/3 개의 데이터 라인(DL)과 연결되므로, 역다중화 회로부(140)는 하나의 제어 라인(CL)과 연결된 n/3 개의 제3 트랜지스터(M3)를 포함할 수 있다. 이 때, 역다중화 회로부(140)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)를 10개의 커패시터(Cbst) 및 10개의 제3 트랜지스터(M3)의 단위로 그룹화하여, n/30 개의 한 세트의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 제1 방전 트랜지스터(M12), 및 제2 트랜지스터(M2)를 더 포함할 수 있다. 이와 같이, 역다중화 회로부(140)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)의 복수의 그룹 마다 대응되는 한 세트의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 제1 방전 트랜지

스터(M12), 및 제2 트랜지스터(M2)를 더 포함함으로써, 제어 라인(CL)의 모든 영역에서 충전 특성과 방전 특성을 동시에 향상시켜, 제어 라인(CL)의 전압(VA)을 안정적으로 유지하고, 제2 트랜지스터(M2)의 열화로 인한 한계를 극복하여 유기 발광 소자에 전달될 수 있는 누설 전류의 발생을 방지할 수 있다.

[0118] 다른 예에 따르면, 역다중화 회로부(140)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3) 각각에 대응되는 한 세트의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 제1 방전 트랜지스터(M12), 및 제2 트랜지스터(M2)를 포함할 수 있다. 예를 들어, 표시 장치가 n개의 데이터 라인(DL1 내지 DLn)을 포함하고, 역다중화 회로부(140)가 3개의 제어 라인(CL_A, CL_B, CL_C)과 연결되는 경우, 하나의 제어 라인(CL) 마다 n/3 개의 데이터 라인(DL)과 연결되므로, 역다중화 회로부(140)의 전압 방전부(145)는 제어 라인(CL)의 양단 각각에 배치된 한 세트의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 제1 방전 트랜지스터(M12), 및 제2 트랜지스터(M2)를 포함하여 n/3 개의 한 세트의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 제1 방전 트랜지스터(M12), 및 제2 트랜지스터(M2)를 포함할 수 있다.

[0119] 일 예에 따르면, 역다중화 회로부(140)가 복수의 세트로 구성된 제1 트랜지스터(M1), 충전 트랜지스터(M11), 제1 방전 트랜지스터(M12), 및 제2 트랜지스터(M2)를 포함하는 경우, 역다중화 회로부(140)는 제k 제어 라인(CL)을 트랜지스터들의 세트의 개수만큼 분할하여, 분할된 제k 제어 라인(CL)의 전압(VA)을 한 세트의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 제1 방전 트랜지스터(M12), 및 제2 트랜지스터(M2)를 통해 충전 및 방전시킬 수 있다. 이 때, 역다중화 회로부(140)는 제어 라인(CL)을 분할함으로써 제어 라인(CL)과 연결된 저항과 커패시터에 따른 시정수(t=RC)를 최소화할 수 있다. 따라서, 역다중화 회로부(140)는 제어 라인(CL)을 분할함으로써 고속 구동이 가능하고, 출력 채널(CH) 수를 감소시키면서도 고해상도의 화상을 구현할 수 있다.

[0120] 상기 일 예와 다른 예에 따른 역다중화 회로부(140)의 설명은 예시에 불과하며, 상기 트랜지스터의 개수에 한정되지 않는다. 따라서, 역다중화 회로부(140)는 제어 라인(CL)의 모든 영역에서 충전 특성과 방전 특성을 향상시키며, 과다한 비용이 필요로 하지 않는 범위 내에서 한 세트의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 제1 방전 트랜지스터(M12), 및 제2 트랜지스터(M2)의 개수를 조절할 수 있다.

[0121] 도 12는 도 1에 도시된 역다중화 회로부의 다른 예를 개략적으로 나타내는 회로도이다. 도 12의 역다중화 회로부는 도 2의 역다중화 회로부에서 제2 방전 트랜지스터(M21)를 더 포함하는 것으로서, 전술한 구성과 동일한 구성은 간략히 설명하거나 생략하기로 한다.

[0122] 도 12를 참조하면, 역다중화 회로부(140)는 전압 제어부(141), 스위칭부(143), 및 전압 방전부(145)를 포함할 수 있다.

[0123] 전압 제어부(141)는 제1 트랜지스터(M1), 충전 트랜지스터(M11), 제1 방전 트랜지스터(M12) 및 커패시터(Cbst)를 포함할 수 있다.

[0124] 제1 트랜지스터(M1)는 제1 보조 신호(ASW2) 및 제2 보조 신호(BSW2)에 의해 제어되는 충전 노드(CN)의 전압(VB)을 기초로 턴-온되어, 제1 시분할 제어 신호(ASW1)를 제어 라인(CL)에 제공할 수 있다.

[0125] 충전 트랜지스터(M11)는 제2 시분할 제어 신호(BSW2)와 일부 중첩되는 제2 보조 신호(BSW2)를 기초로 턴-온되어, 제2 보조 신호(BSW2)를 충전 노드(CN)에 제공할 수 있다.

[0126] 제1 방전 트랜지스터(M12)는 제1 시분할 제어 신호(ASW1)와 일부 중첩되는 제1 보조 신호(ASW2)를 기초로 턴-온되어, 충전 노드(CN)의 전압(VB)을 방전시킬 수 있다.

[0127] 커패시터(Cbst)는 제1 시분할 제어 신호(ASW1)와 일부 중첩되는 제1 보조 신호(ASW2)를 기초로 제어 라인(CL)의 전압(VA)을 더 증가시킬 수 있다.

[0128] 스위칭부(143)는 제어 라인(CL)의 전압(VA)을 기초로 데이터 구동 회로부(120)로부터 공급되는 데이터 신호를 적어도 2개의 데이터 라인(DL)에 순차적으로 공급할 수 있다. 스위칭부(143)는 제3 트랜지스터(M3)를 포함할 수 있다.

[0129] 전압 방전부(145)는 제2 트랜지스터(M2) 및 제2 방전 트랜지스터(M21)를 포함할 수 있다.

[0130] 제2 트랜지스터(M2)는 제1 시분할 제어 신호(ASW1)와 이격된 제2 시분할 제어 신호(BSW1)를 기초로 턴-온되어, 제어 라인(CL)의 전압(VA)을 방전시킬 수 있다.

[0131] 제2 방전 트랜지스터(M21)는 제2 시분할 제어 신호(BSW1)와 일부 중첩되는 제2 보조 신호(BSW2)를 기초로 턴-온되어, 제어 라인(CL)의 전압(VA)을 추가적으로 방전시킬 수 있다. 구체적으로, 제2 방전 트랜지스터(M21)의 게

이트 전극은 제2 보조 신호(BSW2)를 수신할 수 있고, 제2 방전 트랜지스터(M21)의 드레인 전극은 제어 라인(CL)과 연결되며, 제2 방전 트랜지스터(M21)의 소스 전극은 제1 시분할 제어 신호(ASW1)를 수신할 수 있다. 여기에서, 제2 보조 신호(BSW2)의 제1 천이 시점은 제2 시분할 제어 신호(BSW1)의 제1 천이 시점과 제2 천이 시점의 사이에 해당할 수 있다. 즉, 제2 시분할 제어 신호(BSW1)가 제2 트랜지스터(M2)의 게이트 전극에 인가된 후, 제2 보조 신호(BSW2)는 제2 방전 트랜지스터(M21)의 게이트 전극에 인가될 수 있다. 이와 같이, 제2 트랜지스터(M2)가 제2 시분할 제어 신호(BSW1)를 기초로 제어 라인(CL)의 전압(VA)을 1차적으로 방전시킨 후, 제2 방전 트랜지스터(M21)가 제2 보조 신호(BSW2)를 기초로 제어 라인(CL)의 전압(VA)을 2차적으로 방전시킴으로써, 전압 방전부(145)는 역다중화 회로부(140)의 방전 특성을 향상시켜 유기 발광 소자에 전달되는 누설 전류의 발생을 방지할 수 있다.

[0132] 도 13은 도 12에 도시된 역다중화 회로부의 다른 실시예를 나타내는 회로도이다.

[0133] 도 13을 참조하면, 역다중화 회로부(140)는 하나의 제어 라인(CL)의 양단 각각에 배치된 한 세트의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 제1 방전 트랜지스터(M12), 및 제2 트랜지스터(M2)를 포함하고, 하나의 제어 라인(CL)은 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)와 연결될 수 있다.

[0134] 전압 제어부(141)는 제k 보조 신호 및 제k+1 보조 신호에 의해 제어되는 충전 노드(CN)의 전압(VB)을 기초로 턴-온되어, 제k 시분할 제어 신호를 제k 제어 라인에 제공하는 p개(p는 1 내지 (n/i-2)의 자연수)의 제1 트랜지스터(M1)를 더 포함할 수 있다. 그리고, 전압 제어부(141)는 제k+1 보조 신호를 기초로 턴-온되어, 제k+1 보조 신호를 p개의 제1 트랜지스터(M1) 각각의 게이트 전극과 연결된 충전 노드(CN)에 제공하는 p개의 충전 트랜지스터(M11)를 더 포함할 수 있고, 제k 보조 신호를 기초로 턴-온되어, p개의 제1 트랜지스터(M1) 각각의 게이트 전극과 연결된 충전 노드(CN)의 전압(VB)을 방전시키는 p개의 제1 방전 트랜지스터(M12)를 더 포함할 수 있다.

[0135] 그리고, 전압 방전부(145)는 제k+1 시분할 제어 신호를 기초로 턴-온되어, 제k 제어 라인(CL)을 방전시키는 p개의 제2 트랜지스터(M2)를 더 포함하고, 전압 방전부(145)는 제k+1 시분할 제어 신호와 일부 중첩되는 제k+1 보조 신호를 기초로 제k 제어 라인(CL)의 전압을 추가적으로 방전시키는 q개(q는 1 내지 n/i의 자연수)의 제2 방전 트랜지스터(M21)를 더 포함함으로써, 제2 방전 트랜지스터(M21)를 구비하지 않는 경우 보다 방전 특성을 더 향상시킬 수 있다.

[0136] 일 예에 따르면, 역다중화 회로부(140)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)를 소정의 단위로 그룹화하여, 복수의 그룹 마다 대응되는 제2 방전 트랜지스터(M21)를 더 포함할 수 있다. 예를 들어, 표시 장치가 n개의 데이터 라인(DL1 내지 DLn)을 포함하고, 역다중화 회로부(140)가 3개의 제어 라인(CL_A, CL_B, CL_C)과 연결되는 경우, 하나의 제어 라인(CL) 마다 n/3 개의 데이터 라인(DL)과 연결되므로, 역다중화 회로부(140)는 하나의 제어 라인(CL)과 연결된 n/3 개의 제3 트랜지스터(M3)를 포함할 수 있다. 이 때, 역다중화 회로부(140)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)를 10개의 커패시터(Cbst) 및 10개의 제3 트랜지스터(M3)의 단위로 그룹화하여, n/30 개의 제2 방전 트랜지스터(M21)를 더 포함할 수 있다. 이와 같이, 역다중화 회로부(140)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)의 복수의 그룹 마다 대응되는 제2 방전 트랜지스터(M21)를 더 포함함으로써, 제2 방전 트랜지스터(M21)를 구비하지 않는 경우 보다 제어 라인(CL)의 방전 특성을 더 향상시켜, 제2 트랜지스터(M2)의 열화로 인한 한계를 극복하여 유기 발광 소자에 전달될 수 있는 누설 전류의 발생을 방지할 수 있다.

[0137] 다른 예에 따르면, 역다중화 회로부(140)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3) 각각에 대응되는 제2 방전 트랜지스터(M21)를 포함할 수 있다. 예를 들어, 표시 장치가 n개의 데이터 라인(DL1 내지 DLn)을 포함하고, 역다중화 회로부(140)가 3개의 제어 라인(CL_A, CL_B, CL_C)과 연결되는 경우, 하나의 제어 라인(CL) 마다 n/3 개의 데이터 라인(DL)과 연결되므로, 역다중화 회로부(140)의 전압 방전부(145)는 n/3 개의 제2 방전 트랜지스터(M21)를 포함할 수 있다.

[0138] 상기 일 예와 다른 예에 따른 역다중화 회로부(140)의 설명은 예시에 불과하며, 상기 트랜지스터의 개수에 한정되지 않는다. 따라서, 역다중화 회로부(140)는 제어 라인(CL)의 방전 특성을 더 향상시키며, 과다한 비용이 필요로 하지 않는 범위 내에서 제2 방전 트랜지스터(M21)의 개수를 조절할 수 있다.

[0139] 도 14는 도 1에 도시된 역다중화 회로부의 또 다른 예를 개략적으로 나타내는 회로도이다. 도 14의 역다중화 회로부는 도 2의 역다중화 회로부에서 제2 트랜지스터(M2)의 구성을 달리하고, 제4 및 제5 트랜지스터(M4, M5)를 더 포함하는 것으로서, 전술한 구성과 동일한 구성은 간략히 설명하거나 생략하기로 한다.

[0140] 도 14를 참조하면, 역다중화 회로부(140)는 전압 제어부(141), 스위칭부(143), 및 전압 방전부(145)를 포함할

수 있다.

[0141] 역다중화 회로부(140)는 전압 제어부(141), 스위칭부(143), 및 전압 방전부(145)를 포함할 수 있다.

[0142] 전압 제어부(141)는 제1 트랜지스터(M1), 충전 트랜지스터(M11), 제1 방전 트랜지스터(M12) 및 커패시터(Cbst)를 포함할 수 있다.

[0143] 제1 트랜지스터(M1)는 제1 보조 신호(ASW2) 및 제2 보조 신호(BSW2)에 의해 제어되는 충전 노드(CN)의 전압(VB)을 기초로 턴-온되어, 제1 시분할 제어 신호(ASW1)를 제어 라인(CL)에 제공할 수 있다.

[0144] 충전 트랜지스터(M11)는 제2 시분할 제어 신호(BSW2)와 일부 중첩되는 제2 보조 신호(BSW2)를 기초로 턴-온되어, 제2 보조 신호(BSW2)를 충전 노드(CN)에 제공할 수 있다.

[0145] 제1 방전 트랜지스터(M12)는 제1 시분할 제어 신호(ASW1)와 일부 중첩되는 제1 보조 신호(ASW2)를 기초로 턴-온되어, 충전 노드(CN)의 전압(VB)을 방전시킬 수 있다.

[0146] 커패시터(Cbst)는 제1 시분할 제어 신호(ASW1)와 일부 중첩되는 제1 보조 신호(ASW2)를 기초로 제어 라인(CL)의 전압(VA)을 더 증가시킬 수 있다.

[0147] 스위칭부(143)는 제어 라인(CL)의 전압(VA)을 기초로 데이터 구동 회로부(120)로부터 공급되는 데이터 신호를 적어도 2개의 데이터 라인(DL)에 순차적으로 공급할 수 있다. 스위칭부(143)는 제3 트랜지스터(M3)를 포함할 수 있다.

[0148] 전압 방전부(145)는 시분할 제어 신호(ASW1, BSW1)에 응답하여 제어 라인(CL)의 전압(VA)을 방전시킬 수 있다. 구체적으로, 전압 방전부(145)는 시분할 제어 신호(ASW1, BSW1)에 의해 제어되는 방전 노드(DN)의 전압(VC)을 기초로 턴-온되어, 제어 라인(CL)을 방전시킬 수 있다. 예를 들어, 전압 방전부(145)는 시분할 제어 신호(ASW1, BSW1)와 반전된 전압을 갖는 방전 노드(DN)의 전압(VC)을 기초로 제어 라인(CL)의 전압(VA)을 방전시킬 수 있다. 여기에서, 방전 노드(DN)의 전압(VC)은 하나의 제어 라인(CL)에 대응하는 하나의 시분할 제어 신호(ASW1)와 반전된 전압을 가지므로, 전압 방전부(145)는 하나의 제어 라인(CL)에 대응되는 하나의 시분할 제어 신호(ASW1) 만을 이용하여 역다중화 회로부(140)의 방전 특성을 향상시킬 수 있고, 유기 발광 소자에 전달되는 누설 전류의 발생을 방지할 수 있다.

[0149] 전압 방전부(145)는 제2 트랜지스터(M2), 제4 트랜지스터(M4), 및 제5 트랜지스터(M5)를 포함할 수 있다.

[0150] 제2 트랜지스터(M2)는 제1 시분할 제어 신호(ASW1)에 의해 제어되는 방전 노드(DN)의 전압(VC)을 기초로 턴-온되어, 제어 라인(CL)의 전압(VA)을 방전시킬 수 있다. 구체적으로, 제2 트랜지스터(M2)의 게이트 전극은 방전 노드(DN)와 연결되고, 제2 트랜지스터(M2)의 드레인 전극은 제어 라인(CL)과 연결되며, 제2 트랜지스터(M2)의 소스 전극은 제1 시분할 제어 신호(ASW1)를 수신할 수 있다. 또한, 제2 트랜지스터(M2)의 게이트 전극은 제4 트랜지스터(M4)의 소스 전극 및 제5 트랜지스터(M5)의 드레인 전극 각각과 연결될 수 있다. 이 때, 방전 노드(DN)는 시분할 제어 신호(ASW1)와 반전된 전압을 가질 수 있다. 따라서, 저전위 전압의 제1 시분할 제어 신호(ASW1)가 제2 트랜지스터(M2)의 소스 전극에 인가되면, 제2 트랜지스터(M2)는 고전위 전압을 갖는 방전 노드(DN)에 의해 턴-온될 수 있고, 제어 라인(CL)의 전압이 방전될 수 있다.

[0151] 제4 트랜지스터(M4)는 전원 전압(VDD)을 기초로 턴-온되어, 전원 전압(VDD)을 방전 노드(DN)에 제공할 수 있다. 구체적으로, 제4 트랜지스터(M4)의 드레인 전극 및 게이트 전극은 전원 전압(VDD)을 수신할 수 있고, 제4 트랜지스터(M4)의 소스 전극은 방전 노드(DN)와 연결될 수 있다.

[0152] 제5 트랜지스터(M5)는 제1 시분할 제어 신호(ASW1)를 기초로 턴-온되어, 방전 노드(DN)를 방전시킬 수 있다. 구체적으로, 제5 트랜지스터(M5)의 게이트 전극은 제1 시분할 제어 신호(ASW1)를 수신할 수 있고, 제5 트랜지스터(M5)의 드레인 전극은 방전 노드(DN)와 연결되며, 제5 트랜지스터(M5)의 소스 전극은 접지 전압(VSS)과 연결될 수 있다. 따라서, 방전 노드(DN)는 제5 트랜지스터(M5)가 턴-온되면 접지 전압(VSS)에 의해 저전위 전압을 가질 수 있고, 제5 트랜지스터(M5)가 턴-오프되면 전원 전압(VDD)에 의해 고전위 전압을 가질 수 있다. 즉, 방전 노드(DN)의 전압(VC)은 제5 트랜지스터(M5)의 턴-온 및 턴-오프를 결정하는 제1 시분할 제어 신호(ASW1)에 종속하여 결정될 수 있다.

[0153] 예를 들어, 제4 및 제5 트랜지스터(M4, M5)는 제2 트랜지스터(M2)의 게이트 전극과 연결된 방전 노드(DN)의 전압(VC)을 제어하기 위하여, 제2 트랜지스터(M2), 제4 트랜지스터(M4), 및 제5 트랜지스터(M5)는 한 세트로 구성될 수 있다.

[0154] 이와 같이, 방전 노드(DN)의 전압(VC)은 제어 라인(CL)에 대응하는 제1 시분할 제어 신호(ASW1)와 반전된 전압을 가지므로, 전압 방전부(145)는 하나의 제어 라인(CL)에 대응되는 제1 시분할 제어 신호(ASW1) 만을 이용하여 역다중화 회로부(140)의 방전 특성을 향상시킬 수 있고, 유기 발광 소자에 전달되는 누설 전류의 발생을 방지할 수 있다.

[0155] 도 15는 도 14에 도시된 역다중화 회로부가 하나의 출력 채널로부터 2개의 데이터 라인을 구동하는 실시예를 나타내는 회로도이고, 도 16은 도 15에 도시된 역다중화 회로부에 제공되는 신호들의 파형도이다.

[0156] 도 15 및 도 16을 참조하면, 역다중화 회로부(140)가 2개의 제어 라인(CL_A, CL_B)과 연결되고, n개의 데이터 라인(DL)과 연결되면, 데이터 구동 회로부(120)의 복수의 구동 집적 회로(123)는 n/2개의 출력 채널(CH)을 가질 수 있다. 따라서, 표시 장치는 2개의 제어 라인(CL_A, CL_B)과 연결된 역다중화 회로부(140)를 포함함으로써, 역다중화 회로부(140)를 포함하지 않는 경우 보다 복수의 구동 집적 회로(123)의 출력 채널(CH) 수를 1/2로 감소시키면서도 고해상도의 화상을 구현할 수 있다.

[0157] 역다중화 회로부(140)는 제1 제어 라인(CL_A)과 연결되는 제1 전압 제어부(141A), 제1 스위칭부(143A), 및 제1 전압 방전부(145A)를 포함하고, 제2 제어 라인(CL_B)과 연결되는 제2 전압 제어부(141B), 제2 스위칭부(143B), 및 제2 전압 방전부(145B)를 포함할 수 있다.

[0158] 제1 전압 제어부(141A)의 제1 트랜지스터(M1)는 제1 보조 신호(ASW2) 및 제2 보조 신호(BSW2)에 의해 제어되는 제1 충전 노드(CN_A)의 전압(VB_A)을 기초로 턴-온되어, 제1 시분할 제어 신호(ASW1)를 제1 제어 라인(CL_A)에 제공할 수 있다. 그리고, 제1 전압 제어부(141A)의 충전 트랜지스터(M11)는 제2 보조 신호(BSW2)를 기초로 턴-온되어, 제2 보조 신호(BSW2)를 제1 충전 노드(CN_A)에 제공할 수 있고, 제1 전압 제어부(141A)의 제1 방전 트랜지스터(M12)는 제1 보조 신호(ASW2)를 기초로 턴-온되어, 제1 충전 노드(CN_A)의 전압(VB_A)을 방전시킬 수 있다. 또한, 제1 전압 제어부(141A)의 커패시터(Cbst)는 제1 보조 신호(ASW2)를 기초로 제1 제어 라인(CL_A)의 전압(VA_A)을 부트스트래핑 시킬 수 있다.

[0159] 제2 전압 제어부(141B)의 제1 트랜지스터(M1)는 제1 보조 신호(ASW2) 및 제2 보조 신호(BSW2)에 의해 제어되는 제2 충전 노드(CN_B)의 전압(VB_B)을 기초로 턴-온되어, 제2 시분할 제어 신호(BSW1)를 제2 제어 라인(CL_B)에 제공할 수 있다. 그리고, 제2 전압 제어부(141B)의 충전 트랜지스터(M11)는 제1 보조 신호(ASW2)를 기초로 턴-온되어, 제1 보조 신호(ASW2)를 제2 충전 노드(CN_B)에 제공할 수 있고, 제2 전압 제어부(141B)의 제1 방전 트랜지스터(M12)는 제2 보조 신호(BSW2)를 기초로 턴-온되어, 제2 충전 노드(CN_B)의 전압(VB_B)을 방전시킬 수 있다. 또한, 제2 전압 제어부(141B)의 커패시터(Cbst)는 제2 보조 신호(BSW2)를 기초로 제2 제어 라인(CL_B)의 전압(VA_B)을 부트스트래핑 시킬 수 있다.

[0160] 이와 같이, 제1 전압 제어부(141A)는 1 수평 구간(1H)의 제1 서브 수평 구간(SH1) 동안 제1 제어 라인(CL_A)의 전압(VA_A)을 고전위 전압으로 유지할 수 있고, 제2 전압 제어부(141B)는 1 수평 구간(1H)의 제2 서브 수평 구간(SH2) 동안 제2 제어 라인(CL_B)의 전압(VA_B)을 고전위 전압으로 유지할 수 있다.

[0161] 일 예에 따르면, 제1 보조 신호(ASW2)의 제1 천이 시점(t2) 및 제2 천이 시점(t3)은 제1 시분할 제어 신호(ASW1)의 제1 천이 시점(t1)과 제2 천이 시점(t4)의 사이에 해당하고, 제2 보조 신호(BSW2)의 제1 천이 시점(t5) 및 제2 천이 시점(t6)은 제2 시분할 제어 신호(BSW1)의 제1 천이 시점(t4)과 제2 천이 시점(t7)의 사이에 해당할 수 있다. 여기에서, 복수의 신호들 각각의 제1 천이 시점은 라이징 에지(Rising Edge)에 해당하고, 제2 천이 시점은 폴링 에지(Falling Edge)에 해당할 수 있으나, 반드시 이에 한정되는 것은 아니다. 이에 따라, 제1 제어 라인(CL_A)의 전압(VA_A)은 제1 시분할 제어 신호(ASW1)가 인가되는 시점(t1)에 1차적으로 증가할 수 있고, 제1 보조 신호(ASW2)가 인가되는 시점(t2)에 부트스트래핑 되어 2차적으로 증가할 수 있다. 또한, 제2 제어 라인(CL_B)의 전압(VA_B)은 제2 시분할 제어 신호(BSW1)가 인가되는 시점(t4)에 1차적으로 증가할 수 있고, 제2 보조 신호(BSW2)가 인가되는 시점(t5)에 부트스트래핑 되어 2차적으로 증가할 수 있다. 한편, 제1 및 제2 보조 신호(ASW2, BSW2) 각각의 제2 천이 시점(t3, t6)에서 제1 및 제2 제어 라인(CL_A, CL_B) 각각의 전압(VA_A, VA_B)은 부트스트래핑 전의 전압으로 되돌아올 수 있다.

[0162] 일 예에 따르면, 제1 충전 노드(CN_A)의 전압(VB_A)은 제2 보조 신호(BSW2)의 인가 시점(t5)부터 충전되고, 제1 시분할 제어 신호(ASW1)의 인가 시점(t7 또는 t1)에서 부트스트래핑 될 수 있다. 또한, 제1 충전 노드(CN_A)의 전압(VB_A)은 제1 보조 신호(ASW2)의 인가 시점(t2)부터 방전될 수 있다. 예를 들어, 제1 충전 노드(CN_A)가 제2 보조 신호(BSW2)에 의해 충전된 후, 제1 시분할 제어 신호(ASW1)가 제1 제어 라인(CL_A)에 인가되면, 제1 충전 노드(CN_A)의 전압(VB_A)은 제1 트랜지스터(M1)의 게이트-소스 커패시턴스에 의해 부트스트래핑 될 수 있다.

이 때, 제1 충전 노드(CN_A)의 전압(VB_A)이 부트스트래핑 되면, 제1 제어 라인(CL_A)은 초기 충전(Pre-Charging)됨으로써, 제1 제어 라인(CL_A)의 충전이 강화되어 역다중화 회로부(140)의 출력을 안정적으로 유지될 수 있다.

[0163] 제1 스위칭부(143A)의 제3 트랜지스터(M3)는 제1 제어 라인(CL_A)의 전압(VA_A)을 기초로 턴-온되어, 구동 집적 회로(123)의 복수의 출력 채널(CH)로부터 공급되는 데이터 신호(DS1)를 복수의 출력 채널(CH) 각각에 대응되는 2개의 데이터 라인(DL) 중 첫번째 데이터 라인(DL1, DL3, ... , DLn-1)에 제공할 수 있다.

[0164] 일 예에 따르면, 제1 스위칭부(143A)의 제3 트랜지스터(M3)는 제1 시분할 제어 신호(ASW1)의 제1 천이 시점(t1)으로부터 제2 천이 시점(t4)까지 턴-온되어, 데이터 신호(DS1)를 2개의 데이터 라인(DL) 중 첫번째 데이터 라인(DL1, DL3, ... , DLn-1)에 제공할 수 있다. 구체적으로, 제어 라인(CL)은 제1 시분할 제어 신호(ASW1)가 고전위 전압을 갖는 시점(t1)부터 제1 트랜지스터(M1)에 의해 충전되고, 제1 시분할 제어 신호(ASW1)가 저전위 전압을 갖는 시점(t4)부터 제2 트랜지스터(M2)에 의해 방전되기 때문에, 제1 시분할 제어 신호(ASW1)의 제1 천이 시점(t1)으로부터 제2 천이 시점(t4)까지 턴-온될 수 있다.

[0165] 그리고, 제2 스위칭부(143B)의 제3 트랜지스터(M3)는 제2 제어 라인(CL_B)의 전압(VA_B)을 기초로 턴-온되어, 구동 집적 회로(123)의 복수의 출력 채널(CH)로부터 공급되는 데이터 신호(DS2)를 복수의 출력 채널(CH) 각각에 대응되는 2개의 데이터 라인(DL) 중 두번째 데이터 라인(DL2, DL4, ... , DLn)에 제공할 수 있다.

[0166] 이와 같이, 제1 스위칭부(143A)는 1 수평 구간(1H)의 제1 서브 수평 구간(SH1) 동안 턴-온되어, 데이터 신호(DS1)를 복수의 출력 채널(CH) 각각에 대응되는 2개의 데이터 라인(DL) 중 첫번째 데이터 라인(DL1, DL3, ... , DLn-1)에 제공할 수 있고, 제2 스위칭부(143B)는 1 수평 구간(1H)의 제2 서브 수평 구간(SH2) 동안 턴-온되어, 데이터 신호(DS2)를 복수의 출력 채널(CH) 각각에 대응되는 2개의 데이터 라인(DL) 중 두번째 데이터 라인(DL2, DL4, ... , DLn)에 제공할 수 있다. 따라서, 표시 장치는 2개의 제어 라인(CL_A, CL_B)과 연결된 역다중화 회로부(140)를 포함함으로써, 역다중화 회로부(140)를 포함하지 않는 경우 보다 복수의 구동 집적 회로(123)의 출력 채널(CH) 수를 1/2로 감소시키면서도 고해상도의 화상을 구현할 수 있다.

[0167] 제1 전압 방전부(145A)의 제2 트랜지스터(M2)는 제1 시분할 제어 신호(ASW1)와 반전된 방전 노드(DN_A)의 전압(VC_A)을 기초로 턴-온되어 제1 제어 라인(CL_A)의 전압(VA_A)을 방전시킬 수 있고, 제1 전압 방전부(145A)의 제4 트랜지스터(M4)는 전원 전압(VDD)을 기초로 턴-온되어 전원 전압(VDD)을 방전 노드(DN_A)에 제공할 수 있으며, 제1 전압 방전부(145A)의 제5 트랜지스터(M5)는 제1 시분할 제어 신호(ASW1)를 기초로 턴-온되어 방전 노드(DN_A)를 방전시킬 수 있다.

[0168] 제2 전압 방전부(145B)의 제2 트랜지스터(M2)는 제2 시분할 제어 신호(BSW1)와 반전된 방전 노드(DN_B)의 전압(VC_B)을 기초로 턴-온되어 제2 제어 라인(CL_B)의 전압(VA_B)을 방전시킬 수 있고, 제2 전압 방전부(145B)의 제4 트랜지스터(M4)는 전원 전압(VDD)을 기초로 턴-온되어 전원 전압(VDD)을 방전 노드(DN_B)에 제공할 수 있으며, 제2 전압 방전부(145B)의 제5 트랜지스터(M5)는 제2 시분할 제어 신호(BSW1)를 기초로 턴-온되어 방전 노드(DN_B)를 방전시킬 수 있다.

[0169] 이와 같이, 제1 전압 방전부(145A)의 제2 트랜지스터(M2)는 1 수평 구간(1H)의 제1 서브 수평 구간(SH1)이 끝나는 시점(t4) 또는 제2 서브 수평 구간(SH2)이 시작하는 시점(t4)에 턴-온되어, 제1 제어 라인(CL_A)의 전압(VA_A)을 방전시킬 수 있다. 이 때, 전압 방전부(145)의 제2 트랜지스터(M2)를 턴-온시키는 방전 노드(DN)의 전압(VC)은 제4 및 제5 트랜지스터(M4, M5)에 의해 안정적으로 유지될 수 있다. 따라서, 역다중화 회로부(140)의 전압 방전부(145)는 제4 및 제5 트랜지스터(M4, M5)를 포함함으로써, 제2 트랜지스터(M2)가 열화되는 경우에도 제어 라인(CL)의 전압(VA)의 방전 특성을 향상시킬 수 있고, 유기 발광 소자에 전달되는 누설 전류의 발생을 방지할 수 있다. 결과적으로, 역다중화 회로부(140)는 제어 라인(CL)의 전압(VA)을 기초로 턴-온되는 제3 트랜지스터(M3)의 출력을 안정적으로 유지함으로써, 디스플레이 패널의 휘도가 저하되는 것을 방지하고 디스플레이 패널의 고해상도 화상을 구현할 수 있다.

[0170] 일 예에 따르면, 전압 제어부(141)의 한 세트의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)와 전압 방전부(145)의 한 세트의 제2 트랜지스터(M2), 제4 트랜지스터(M4), 및 제5 트랜지스터(M5) 각각은 하나의 제어 라인(CL)의 양단 각각에 배치되고, 하나의 제어 라인(CL)은 복수의 커패시터(Cbst) 및 복수의 스위칭부(143)와 연결될 수 있다. 이와 같이, 제어 라인(CL)의 양단 각각에 배치된 한 세트의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)와 한 세트의 제2 트랜지스터(M2), 제4 트랜지스터(M4), 및 제5 트랜지스터(M5)는 제어 라인(CL)의 전압(VA)을 충전 또는 방전시킴으로써, 제어 라인(CL)과 연결

된 복수의 스위칭부(143)를 턴-온 또는 턴-오프시킬 수 있다. 이 때, 전압 방전부(145)는 방전 노드(DN)의 전압(VC)을 안정적으로 유지하는 제4 및 제5 트랜지스터(M4, M5) 포함함으로써, 제어 라인(CL)의 전압(VA)의 방전 특성을 향상시킬 수 있다.

[0171] 도 17은 도 14에 도시된 역다중화 회로부가 하나의 출력 채널로부터 3개의 데이터 라인을 구동하는 실시예를 나타내는 회로도이고, 도 18은 도 17에 도시된 역다중화 회로부에 제공되는 신호들의 파형도이다.

[0172] 도 17 및 도 18을 참조하면, 역다중화 회로부(140)가 3개의 제어 라인(CL_A, CL_B, CL_C)과 연결되고, n개의 데이터 라인(DL)과 연결되면, 데이터 구동 회로부(120)의 복수의 구동 집적 회로(123)는 n/3개의 출력 채널(CH)을 가질 수 있다. 따라서, 표시 장치는 3개의 제어 라인(CL_A, CL_B, CL_C)과 연결된 역다중화 회로부(140)를 포함함으로써, 역다중화 회로부(140)를 포함하지 않는 경우 보다 복수의 구동 집적 회로(123)의 출력 채널(CH) 수를 1/3로 감소시키면서도 고해상도의 화상을 구현할 수 있다.

[0173] 역다중화 회로부(140)는 제1 제어 라인(CL_A)과 연결되는 제1 전압 제어부(141A), 제1 스위칭부(143A), 및 제1 전압 방전부(145A)를 포함하고, 제2 제어 라인(CL_B)과 연결되는 제2 전압 제어부(141B), 제2 스위칭부(143B), 및 제2 전압 방전부(145B)를 포함하며, 제3 제어 라인(CL_C)과 연결되는 제3 전압 제어부(141C), 제3 스위칭부(143C), 및 제3 전압 방전부(145C)를 포함할 수 있다.

[0174] 제1 전압 제어부(141A)의 제1 트랜지스터(M1)는 제1 보조 신호(ASW2) 및 제2 보조 신호(BSW2)에 의해 제어되는 제1 충전 노드(CN_A)의 전압(VB_A)을 기초로 턴-온되어, 제1 시분할 제어 신호(ASW1)를 제1 제어 라인(CL_A)에 제공할 수 있다. 그리고, 제1 전압 제어부(141A)의 충전 트랜지스터(M11)는 제2 보조 신호(BSW2)를 기초로 턴-온되어, 제2 보조 신호(BSW2)를 제1 충전 노드(CN_A)에 제공할 수 있고, 제1 전압 제어부(141A)의 제1 방전 트랜지스터(M12)는 제1 보조 신호(ASW2)를 기초로 턴-온되어, 제1 충전 노드(CN_A)의 전압(VB_A)을 방전시킬 수 있다. 또한, 제1 전압 제어부(141A)의 커패시터(Cbst)는 제1 보조 신호(ASW2)를 기초로 제1 제어 라인(CL_A)의 전압(VA_A)을 부트스트래핑 시킬 수 있다.

[0175] 제2 전압 제어부(141B)의 제1 트랜지스터(M1)는 제2 보조 신호(BSW2) 및 제3 보조 신호(CSW2)에 의해 제어되는 제2 충전 노드(CN_B)의 전압(VB_B)을 기초로 턴-온되어, 제2 시분할 제어 신호(BSW1)를 제2 제어 라인(CL_B)에 제공할 수 있다. 그리고, 제2 전압 제어부(141B)의 충전 트랜지스터(M11)는 제3 보조 신호(CSW2)를 기초로 턴-온되어, 제3 보조 신호(CSW2)를 제2 충전 노드(CN_B)에 제공할 수 있고, 제2 전압 제어부(141B)의 제1 방전 트랜지스터(M12)는 제2 보조 신호(BSW2)를 기초로 턴-온되어, 제2 충전 노드(CN_B)의 전압(VB_B)을 방전시킬 수 있다. 또한, 제2 전압 제어부(141B)의 커패시터(Cbst)는 제2 보조 신호(BSW2)를 기초로 제2 제어 라인(CL_B)의 전압(VA_B)을 부트스트래핑 시킬 수 있다.

[0176] 제3 전압 제어부(141C)의 제1 트랜지스터(M1)는 제1 보조 신호(ASW2) 및 제3 보조 신호(CSW2)에 의해 제어되는 제3 충전 노드(CN_C)의 전압(VB_C)을 기초로 턴-온되어, 제3 시분할 제어 신호(CSW1)를 제3 제어 라인(CL_C)에 제공할 수 있다. 그리고, 제3 전압 제어부(141C)의 충전 트랜지스터(M11)는 제1 보조 신호(ASW2)를 기초로 턴-온되어, 제1 보조 신호(ASW2)를 제3 충전 노드(CN_C)에 제공할 수 있고, 제3 전압 제어부(141C)의 제1 방전 트랜지스터(M12)는 제3 보조 신호(CSW2)를 기초로 턴-온되어, 제3 충전 노드(CN_C)의 전압(VB_C)을 방전시킬 수 있다. 또한, 제3 전압 제어부(141C)의 커패시터(Cbst)는 제3 보조 신호(CSW2)를 기초로 제3 제어 라인(CL_C)의 전압(VA_C)을 부트스트래핑 시킬 수 있다.

[0177] 이와 같이, 제1 전압 제어부(141A)는 1 수평 구간(1H)의 제1 서브 수평 구간(SH1) 동안 제1 제어 라인(CL_A)의 전압(VA_A)을 고전위 전압으로 유지할 수 있고, 제2 전압 제어부(141B)는 1 수평 구간(1H)의 제2 서브 수평 구간(SH2) 동안 제2 제어 라인(CL_B)의 전압(VA_B)을 고전위 전압으로 유지할 수 있으며, 제3 전압 제어부(141C)는 1 수평 구간(1H)의 제3 서브 수평 구간(SH3) 동안 제3 제어 라인(CL_C)의 전압(VA_C)을 고전위 전압으로 유지할 수 있다.

[0178] 따라서, 역다중화 회로부(140)는 충전 트랜지스터(M11) 및 제1 방전 트랜지스터(M12)를 통해 충전 노드(CN)의 전압(VB)을 제어함으로써, 제1 내지 제3 트랜지스터(M1, M2, M3)가 열화되는 경우에도 제어 라인(CL)의 충전 특성을 향상시킬 수 있고, 유기 발광 소자에 전달되는 누설 전류의 발생을 방지할 수 있다. 결과적으로, 역다중화 회로부(140)는 제어 라인(CL)의 전압(VA)을 기초로 턴-온되는 제3 트랜지스터(M3)의 출력을 안정적으로 유지함으로써, 디스플레이 패널의 휘도가 저하되는 것을 방지하고 디스플레이 패널의 고해상도 화상을 구현할 수 있다.

[0179] 제1 스위칭부(143A)의 제3 트랜지스터(M3)는 제1 제어 라인(CL_A)의 전압(VA_A)을 기초로 턴-온되어, 구동 집적

회로(123)의 복수의 출력 채널(CH)로부터 공급되는 데이터 신호(DS1)를 복수의 출력 채널(CH) 각각에 대응되는 3개의 데이터 라인(DL) 중 첫번째 데이터 라인(DL1, DL4, ... , DLn-2)에 제공할 수 있다.

[0180] 제2 스위칭부(143B)의 제3 트랜지스터(M3)는 제2 제어 라인(CL_B)의 전압(VA_B)을 기초로 턴-온되어, 구동 집적 회로(123)의 복수의 출력 채널(CH)로부터 공급되는 데이터 신호(DS2)를 복수의 출력 채널(CH) 각각에 대응되는 3개의 데이터 라인(DL) 중 두번째 데이터 라인(DL2, DL5, ... , DLn-1)에 제공할 수 있다.

[0181] 제3 스위칭부(143C)의 제3 트랜지스터(M3)는 제3 제어 라인(CL_C)의 전압(VA_C)을 기초로 턴-온되어, 구동 집적 회로(123)의 복수의 출력 채널(CH)로부터 공급되는 데이터 신호(DS3)를 복수의 출력 채널(CH) 각각에 대응되는 3개의 데이터 라인(DL) 중 세번째 데이터 라인(DL3, DL6, ... , DLn)에 제공할 수 있다.

[0182] 이와 같이, 제1 스위칭부(143A)는 1 수평 구간(1H)의 제1 서브 수평 구간(SH1) 동안 턴-온되어, 데이터 신호(DS1)를 복수의 출력 채널(CH) 각각에 대응되는 3개의 데이터 라인(DL) 중 첫번째 데이터 라인(DL1, DL4, ... , DLn-2)에 제공할 수 있고, 제2 스위칭부(143B)는 1 수평 구간(1H)의 제2 서브 수평 구간(SH2) 동안 턴-온되어, 데이터 신호(DS2)를 복수의 출력 채널(CH) 각각에 대응되는 3개의 데이터 라인(DL) 중 두번째 데이터 라인(DL2, DL5, ... , DLn-1)에 제공할 수 있으며, 제3 스위칭부(143C)는 1 수평 구간(1H)의 제3 서브 수평 구간(SH3) 동안 턴-온되어, 데이터 신호(DS3)를 복수의 출력 채널(CH) 각각에 대응되는 3개의 데이터 라인(DL) 중 세번째 데이터 라인(DL3, DL6, ... , DLn)에 제공할 수 있다. 따라서, 표시 장치는 3개의 제어 라인(CL_A, CL_B, CL_C)과 연결된 역다중화 회로부(140)를 포함함으로써, 역다중화 회로부(140)를 포함하지 않는 경우 보다 복수의 구동 집적 회로(123)의 출력 채널(CH) 수를 1/3로 감소시키면서도 고해상도의 화상을 구현할 수 있다.

[0183] 제1 전압 방전부(145A)의 제2 트랜지스터(M2)는 제1 시분할 제어 신호(ASW1)와 반전된 방전 노드(DN_A)의 전압(VC_A)을 기초로 턴-온되어 제1 제어 라인(CL_A)의 전압(VA_A)을 방전시킬 수 있고, 제1 전압 방전부(145A)의 제4 트랜지스터(M4)는 전원 전압(VDD)을 기초로 턴-온되어 전원 전압(VDD)을 방전 노드(DN_A)에 제공할 수 있으며, 제1 전압 방전부(145A)의 제5 트랜지스터(M5)는 제1 시분할 제어 신호(ASW1)를 기초로 턴-온되어 방전 노드(DN_A)를 방전시킬 수 있다.

[0184] 제2 전압 방전부(145B)의 제2 트랜지스터(M2)는 제2 시분할 제어 신호(BSW1)와 반전된 방전 노드(DN_B)의 전압(VC_B)을 기초로 턴-온되어 제2 제어 라인(CL_B)의 전압(VA_B)을 방전시킬 수 있고, 제2 전압 방전부(145B)의 제4 트랜지스터(M4)는 전원 전압(VDD)을 기초로 턴-온되어 전원 전압(VDD)을 방전 노드(DN_B)에 제공할 수 있으며, 제2 전압 방전부(145B)의 제5 트랜지스터(M5)는 제2 시분할 제어 신호(BSW1)를 기초로 턴-온되어 방전 노드(DN_B)를 방전시킬 수 있다.

[0185] 제3 전압 방전부(145C)의 제2 트랜지스터(M2)는 제3 시분할 제어 신호(CSW1)와 반전된 방전 노드(DN_C)의 전압(VC_C)을 기초로 턴-온되어 제3 제어 라인(CL_C)의 전압(VA_C)을 방전시킬 수 있고, 제3 전압 방전부(145C)의 제4 트랜지스터(M4)는 전원 전압(VDD)을 기초로 턴-온되어 전원 전압(VDD)을 방전 노드(DN_C)에 제공할 수 있으며, 제3 전압 방전부(145C)의 제5 트랜지스터(M5)는 제3 시분할 제어 신호(CSW1)를 기초로 턴-온되어 방전 노드(DN_C)를 방전시킬 수 있다.

[0186] 따라서, 역다중화 회로부(140)의 전압 방전부(145)는 제4 및 제5 트랜지스터(M4, M5)를 포함함으로써, 제2 트랜지스터(M2)가 열화되는 경우에도 제어 라인(CL)의 전압(VA)의 방전 특성을 향상시킬 수 있고, 유기 발광 소자에 전달되는 누설 전류의 발생을 방지할 수 있다. 결과적으로, 역다중화 회로부(140)는 제어 라인(CL)의 전압(VA)을 기초로 턴-온되는 제3 트랜지스터(M3)의 출력을 안정적으로 유지함으로써, 디스플레이 패널의 휘도가 저하되는 것을 방지하고 디스플레이 패널의 고해상도 화상을 구현할 수 있다.

[0187] 도 19는 도 14에 도시된 역다중화 회로부의 또 다른 실시예를 나타내는 회로도이다.

[0188] 도 19를 참조하면, 역다중화 회로부(140)는 하나의 제어 라인(CL)의 양단 각각에 배치된 한 세트의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)와 한 세트의 제2, 제4 및 제5 트랜지스터(M2, M4, M5)를 포함하고, 하나의 제어 라인(CL)은 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)와 연결될 수 있다. 이 때, 하나의 제어 라인(CL)의 양단 각각에 배치된 한 세트의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)는 제어 라인(CL)의 전압(VA)을 충전할 수 있고, 하나의 제어 라인(CL)의 양단 각각에 배치된 한 세트의 제2, 제4 및 제5 트랜지스터(M2, M4, M5)는 제어 라인(CL)의 전압(VA)을 방전할 수 있다. 그리고, 복수의 커패시터(Cbst) 각각은 복수의 제3 트랜지스터(M3) 각각과 대응되게 배치됨으로써, 제어 라인(CL)의 전압(VA)을 부트스트래핑 시킬 수 있다.

[0189] 역다중화 회로부(140)의 전압 제어부(141)는 제k 보조 신호 및 제k+1 보조 신호에 의해 제어되는 충전 노드(C

N)의 전압(VB)을 기초로 턴-온되어, 제k 시분할 제어 신호를 제k 제어 라인에 제공하는 p개(p는 1 내지 (n/i-2)의 자연수)의 제1 트랜지스터(M1)를 더 포함할 수 있다.

[0190] 그리고, 전압 제어부(141)는 제k+1 보조 신호를 기초로 턴-온되어, 제k+1 보조 신호를 p개의 제1 트랜지스터(M1) 각각의 게이트 전극과 연결된 충전 노드(CN)에 제공하는 p개의 충전 트랜지스터(M11)를 더 포함할 수 있고, 제k 보조 신호를 기초로 턴-온되어, p개의 제1 트랜지스터(M1) 각각의 게이트 전극과 연결된 충전 노드(CN)의 전압(VB)을 방전시키는 p개의 제1 방전 트랜지스터(M12)를 더 포함할 수 있다. 예를 들어, 충전 트랜지스터(M11) 및 제1 방전 트랜지스터(M12)는 제1 트랜지스터(M1)의 게이트 전극과 연결된 충전 노드(CN)의 전압(VB)을 제어하기 위하여, 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)는 한 세트로 구성될 수 있다.

[0191] 이와 같이, 전압 제어부(141)는 하나의 제어 라인(CL)의 양단 각각에 배치된 2개의 제1 트랜지스터(M1), 2개의 충전 트랜지스터(M11), 및 2개의 제1 방전 트랜지스터(M12)와는 별도로 추가적인 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)를 포함함으로써, 제어 라인(CL)의 충전 특성을 보강하여 제어 라인(CL)의 전압(VA)을 안정적으로 유지할 수 있다.

[0192] 일 예에 따르면, 역다중화 회로부(140)의 전압 제어부(141)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)를 소정의 단위로 그룹화하여, 복수의 그룹 마다 대응되는 한 세트의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)를 더 포함할 수 있다. 예를 들어, 표시 장치가 n개의 데이터 라인(DL1 내지 DLn)을 포함하고, 역다중화 회로부(140)가 3개의 제어 라인(CL_A, CL_B, CL_C)과 연결되는 경우, 하나의 제어 라인(CL) 마다 n/3 개의 데이터 라인(DL)과 연결되므로, 역다중화 회로부(140)는 하나의 제어 라인(CL)과 연결된 n/3 개의 제3 트랜지스터(M3)를 포함할 수 있다. 이 때, 역다중화 회로부(140)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)를 10개의 커패시터(Cbst) 및 10개의 제3 트랜지스터(M3)의 단위로 그룹화하여, n/30 개의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)를 더 포함할 수 있다. 이와 같이, 역다중화 회로부(140)의 전압 제어부(141)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)의 복수의 그룹 마다 대응되는 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)를 더 포함함으로써, 제어 라인(CL)의 모든 영역에서 충전 특성을 향상시켜 제어 라인(CL)의 전압(VA)을 안정적으로 유지할 수 있다.

[0193] 다른 예에 따르면, 역다중화 회로부(140)의 전압 제어부(141)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3) 각각에 대응되는 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)를 포함할 수 있다. 예를 들어, 표시 장치가 n개의 데이터 라인(DL1 내지 DLn)을 포함하고, 역다중화 회로부(140)가 3개의 제어 라인(CL_A, CL_B, CL_C)과 연결되는 경우, 하나의 제어 라인(CL) 마다 n/3 개의 데이터 라인(DL)과 연결되므로, 역다중화 회로부(140)의 전압 제어부(141)는 제어 라인(CL)의 양단 각각에 배치된 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)를 포함하여 n/3 개의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)를 포함할 수 있다.

[0194] 상기 일 예와 다른 예에 따른 역다중화 회로부(140)의 설명은 예시에 불과하며, 상기 트랜지스터의 개수에 한정되지 않는다. 따라서, 역다중화 회로부(140)의 전압 제어부(141)는 제어 라인(CL)의 모든 영역에서 충전 특성을 향상시키며, 과다한 비용이 필요로 하지 않는 범위 내에서 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)의 개수를 조절할 수 있다.

[0195] 도 20은 도 14에 도시된 역다중화 회로부의 또 다른 실시예를 나타내는 회로도이다.

[0196] 도 20을 참조하면, 역다중화 회로부(140)는 하나의 제어 라인(CL)의 양단 각각에 배치된 한 세트의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)와 한 세트의 제2, 제4 및 제5 트랜지스터(M2, M4, M5)를 포함하고, 하나의 제어 라인(CL)은 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)와 연결될 수 있다. 이 때, 하나의 제어 라인(CL)의 양단 각각에 배치된 한 세트의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)는 제어 라인(CL)의 전압(VA)을 충전할 수 있고, 하나의 제어 라인(CL)의 양단 각각에 배치된 한 세트의 제2, 제4 및 제5 트랜지스터(M2, M4, M5)는 제어 라인(CL)의 전압(VA)을 방전할 수 있다. 그리고, 복수의 커패시터(Cbst) 각각은 복수의 제3 트랜지스터(M3) 각각과 대응되게 배치됨으로써, 제어 라인(CL)의 전압(VA)을 부트스트래핑 시킬 수 있다.

[0197] 역다중화 회로부(140)의 전압 방전부(145)는 제k 시분할 제어 신호에 의해 제어되는 방전 노드(DN)의 전압(VC)을 기초로 턴-온되어, 제k 제어 라인(CL)을 방전시키는 p개(p는 1 내지 (n/i-2)의 자연수)의 제2 트랜지스터

(M2)를 더 포함할 수 있다. 구체적으로, 전압 방전부(145)는 하나의 제어 라인(CL)의 양단 각각에 배치된 2개의 제2 트랜지스터(M2)와는 별도로 추가적인 제2 트랜지스터(M2)를 포함함으로써, 제어 라인(CL)의 방전 특성을 향상시켜 유기 발광 소자에 전달되는 누설 전류의 발생을 방지할 수 있다.

[0198] 일 예에 따르면, 역다중화 회로부(140)의 전압 방전부(145)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)를 소정의 단위로 그룹화하여, 복수의 그룹 마다 대응되는 제2 트랜지스터(M2)를 더 포함할 수 있다. 예를 들어, 표시 장치가 n개의 데이터 라인(DL1 내지 DLn)을 포함하고, 역다중화 회로부(140)가 3개의 제어 라인(CL_A, CL_B, CL_C)과 연결되는 경우, 하나의 제어 라인(CL) 마다 n/3 개의 데이터 라인(DL)과 연결되므로, 역다중화 회로부(140)는 하나의 제어 라인(CL)과 연결된 n/3 개의 제3 트랜지스터(M3)를 포함할 수 있다. 이 때, 역다중화 회로부(140)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)를 10개의 커패시터(Cbst) 및 10개의 제3 트랜지스터(M3)의 단위로 그룹화하여, n/30 개의 제2 트랜지스터(M2)를 더 포함할 수 있다. 이와 같이, 역다중화 회로부(140)의 전압 방전부(145)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)의 복수의 그룹 마다 대응되는 제2 트랜지스터(M2)를 더 포함함으로써, 제어 라인(CL)의 모든 영역에서 방전 특성을 향상시켜 제2 트랜지스터(M2)의 열화로 인한 한계를 극복하고 유기 발광 소자에 전달될 수 있는 누설 전류의 발생을 방지할 수 있다.

[0199] 다른 예에 따르면, 역다중화 회로부(140)의 전압 방전부(145)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3) 각각에 대응되는 제2 트랜지스터(M2)를 포함할 수 있다. 예를 들어, 표시 장치가 n개의 데이터 라인(DL1 내지 DLn)을 포함하고, 역다중화 회로부(140)가 3개의 제어 라인(CL_A, CL_B, CL_C)과 연결되는 경우, 하나의 제어 라인(CL) 마다 n/3 개의 데이터 라인(DL)과 연결되므로, 역다중화 회로부(140)의 전압 방전부(145)는 제어 라인(CL)의 양단 각각에 배치된 제2 트랜지스터(M2)를 포함하여 n/3 개의 제2 트랜지스터(M2)를 포함할 수 있다.

[0200] 그리고, 역다중화 회로부(140)의 전압 방전부(145)는 전원 전압(VDD)을 기초로 턴-온되어, 전원 전압(VDD)을 방전 노드(DN)에 제공하는 복수의 제4 트랜지스터(M4), 및 제k 시분할 제어 신호를 기초로 턴-온되어 방전 노드(DN)를 방전시키는 복수의 제5 트랜지스터(M5)를 더 포함할 수 있고, 복수의 제4 및 제5 트랜지스터(M4, M5) 각각의 개수는 제2 트랜지스터(M2)의 개수와 동일할 수 있다. 따라서, 제4 및 제5 트랜지스터(M4, M5)는 제2 트랜지스터(M2)의 게이트 전극과 연결된 방전 노드(CN)의 전압(VB)을 제어하기 위하여, 제2, 제4 및 제5 트랜지스터(M2, M4, M5)는 한 세트로 구성될 수 있다.

[0201] 상기 일 예와 다른 예에 따른 역다중화 회로부(140)의 설명은 예시에 불과하며, 상기 트랜지스터의 개수에 한정되지 않는다. 따라서, 역다중화 회로부(140)의 전압 방전부(145)는 제어 라인(CL)의 모든 영역에서 방전 특성을 향상시키며, 과다한 비용이 필요로 하지 않는 범위 내에서 제2, 제4 및 제5 트랜지스터(M2, M4, M5)의 개수를 조절할 수 있다.

[0202] 도 21은 도 14에 도시된 역다중화 회로부의 또 다른 실시예를 나타내는 회로도이다.

[0203] 도 21을 참조하면, 역다중화 회로부(140)는 하나의 제어 라인(CL)의 양단 각각에 배치된 한 세트의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)와 한 세트의 제2, 제4 및 제5 트랜지스터(M2, M4, M5)를 포함하고, 하나의 제어 라인(CL)은 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)와 연결될 수 있다.

[0204] 역다중화 회로부(140)의 전압 제어부(141)는 제k 보조 신호 및 제k+1 보조 신호에 의해 제어되는 충전 노드(CN)의 전압(VB)을 기초로 턴-온되어, 제k 시분할 제어 신호를 제k 제어 라인에 제공하는 p개(p는 1 내지 (n/i-2)의 자연수)의 제1 트랜지스터(M1)를 더 포함할 수 있다.

[0205] 그리고, 전압 제어부(141)는 제k+1 보조 신호를 기초로 턴-온되어, 제k+1 보조 신호를 p개의 제1 트랜지스터(M1) 각각의 게이트 전극과 연결된 충전 노드(CN)에 제공하는 p개의 충전 트랜지스터(M11)를 더 포함할 수 있고, 제k 보조 신호를 기초로 턴-온되어, p개의 제1 트랜지스터(M1) 각각의 게이트 전극과 연결된 충전 노드(CN)의 전압(VB)을 방전시키는 p개의 제1 방전 트랜지스터(M12)를 더 포함할 수 있다.

[0206] 역다중화 회로부(140)의 전압 방전부(145)는 제k 시분할 제어 신호에 의해 제어되는 방전 노드(DN)의 전압(VC)을 기초로 턴-온되어, 제k 제어 라인(CL)을 방전시키는 p개(p는 1 내지 (n/i-2)의 자연수)의 제2 트랜지스터(M2)를 더 포함할 수 있다.

[0207] 그리고, 전압 방전부(145)는 전원 전압(VDD)을 기초로 턴-온되어, 전원 전압(VDD)을 방전 노드(DN)에 제공하는 복수의 제4 트랜지스터(M4), 및 제k 시분할 제어 신호를 기초로 턴-온되어 방전 노드(DN)를 방전시키는 복수의

제5 트랜지스터(M5)를 더 포함할 수 있고, 복수의 제4 및 제5 트랜지스터(M4, M5) 각각의 개수는 제2 트랜지스터(M2)의 개수와 동일할 수 있다.

[0208] 일 예에 따르면, 역다중화 회로부(140)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)를 소정의 단위로 그룹화하여, 복수의 그룹 마다 대응되는 한 세트의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)와 한 세트의 제2, 제4 및 제5 트랜지스터(M2, M4, M5)를 더 포함할 수 있다. 예를 들어, 표시 장치가 n개의 데이터 라인(DL1 내지 DLn)을 포함하고, 역다중화 회로부(140)가 3개의 제어 라인(CL_A, CL_B, CL_C)과 연결되는 경우, 하나의 제어 라인(CL) 마다 n/3 개의 데이터 라인(DL)과 연결되므로, 역다중화 회로부(140)는 하나의 제어 라인(CL)과 연결된 n/3 개의 제3 트랜지스터(M3)를 포함할 수 있다. 이 때, 역다중화 회로부(140)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)를 10개의 커패시터(Cbst) 및 10개의 제3 트랜지스터(M3)의 단위로 그룹화하여, n/30 개의 한 세트의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)와 한 세트의 제2, 제4 및 제5 트랜지스터(M2, M4, M5)를 더 포함할 수 있다. 이와 같이, 역다중화 회로부(140)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3)의 복수의 그룹 마다 대응되는 한 세트의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)와 한 세트의 제2, 제4 및 제5 트랜지스터(M2, M4, M5)를 더 포함함으로써, 제어 라인(CL)의 모든 영역에서 충전 특성과 방전 특성을 동시에 향상시켜, 제어 라인(CL)의 전압(VA)을 안정적으로 유지하고, 제2 트랜지스터(M2)의 열화로 인한 한계를 극복하여 유기 발광 소자에 전달될 수 있는 누설 전류의 발생을 방지할 수 있다.

[0209] 다른 예에 따르면, 역다중화 회로부(140)는 복수의 커패시터(Cbst) 및 복수의 제3 트랜지스터(M3) 각각에 대응되는 한 세트의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)와 한 세트의 제2, 제4 및 제5 트랜지스터(M2, M4, M5)를 포함할 수 있다. 예를 들어, 표시 장치가 n개의 데이터 라인(DL1 내지 DLn)을 포함하고, 역다중화 회로부(140)가 3개의 제어 라인(CL_A, CL_B, CL_C)과 연결되는 경우, 하나의 제어 라인(CL) 마다 n/3 개의 데이터 라인(DL)과 연결되므로, 역다중화 회로부(140)는 제어 라인(CL)의 양단 각각에 배치된 한 세트의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)와 한 세트의 제2, 제4 및 제5 트랜지스터(M2, M4, M5)를 포함하여 n/3 개의 한 세트의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 및 제1 방전 트랜지스터(M12)와 한 세트의 제2, 제4 및 제5 트랜지스터(M2, M4, M5)를 포함할 수 있다.

[0210] 일 예에 따르면, 역다중화 회로부(140)가 복수의 세트로 구성된 제1 트랜지스터(M1), 충전 트랜지스터(M11), 제1 방전 트랜지스터(M12), 제2 트랜지스터(M2), 제4 트랜지스터(M4), 및 제5 트랜지스터(M5)를 포함하는 경우, 역다중화 회로부(140)는 제k 제어 라인(CL)을 트랜지스터들의 세트의 개수만큼 분할하여, 분할된 제k 제어 라인(CL)의 전압(VA)을 한 세트의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 제1 방전 트랜지스터(M12), 제2 트랜지스터(M2), 제4 트랜지스터(M4), 및 제5 트랜지스터(M5)를 통해 충전 및 방전시킬 수 있다. 이 때, 역다중화 회로부(140)는 제어 라인(CL)을 분할함으로써 제어 라인(CL)과 연결된 저항과 커패시터에 따른 시정수(t=RC)를 최소화할 수 있다. 따라서, 역다중화 회로부(140)는 제어 라인(CL)을 분할함으로써 고속 구동이 가능하고, 출력 채널(CH) 수를 감소시키면서도 고해상도의 화상을 구현할 수 있다.

[0211] 상기 일 예와 다른 예에 따른 역다중화 회로부(140)의 설명은 예시에 불과하며, 상기 트랜지스터의 개수에 한정되지 않는다. 따라서, 역다중화 회로부(140)는 제어 라인(CL)의 모든 영역에서 충전 특성과 방전 특성을 향상시키며, 과다한 비용이 필요로 하지 않는 범위 내에서 한 세트의 제1 트랜지스터(M1), 충전 트랜지스터(M11), 제1 방전 트랜지스터(M12), 제2 트랜지스터(M2), 제4 트랜지스터(M4), 및 제5 트랜지스터(M5)의 개수를 조절할 수 있다.

[0212] 도 22는 도 1에 도시된 역다중화 회로부의 레이아웃을 개략적으로 나타내는 평면도이고, 도 23은 도 22에 도시된 역다중화 회로부의 일 예의 일부를 나타내는 도면이다.

[0213] 도 23 및 도 24를 참조하면, 역다중화 회로부(140)가 2개의 제어 라인(CL_A, CL_B)과 연결되고, n개의 데이터 라인(DL)과 연결되면, 데이터 구동 회로부(120)의 복수의 구동 집적 회로(123)는 n/2개의 출력 채널(CH)을 가질 수 있다. 따라서, 표시 장치는 2개의 제어 라인(CL_A, CL_B)과 연결된 역다중화 회로부(140)를 포함함으로써, 역다중화 회로부(140)를 포함하지 않는 경우 보다 복수의 구동 집적 회로(123)의 출력 채널(CH) 수를 1/2로 감소시키면서도 고해상도의 화상을 구현할 수 있다.

[0214] 복수의 구동 집적 회로(123) 각각은 데이터 링크(Data Link)와 연결된 복수의 출력 채널(CH)을 통해 역다중화 회로부(140)에 데이터 신호를 제공할 수 있다. 그리고, 제1 및 제2 제어 라인(CL_A, CL_B) 각각은 제1 방향으로 연장되고, 제2 방향으로 서로 이격되게 배치될 수 있다. 여기에서, 역다중화 회로부(140)는 제1 제어 라인(CL_A)과 연결된 제3 트랜지스터(M3)를 턴-온시켜 통해 복수의 출력 채널(CH) 각각에 대응되는 2개의 데이터 라

인(DL) 중 첫번째 데이터 라인(DL1, DL3, ... , DLn-1)에 데이터 신호(DS1)를 제공할 수 있고, 제2 제어 라인(CL_B)과 연결된 제3 트랜지스터(M3)를 턴-온시켜 통해 복수의 출력 채널(CH) 각각에 대응되는 2개의 데이터 라인(DL) 중 두번째 데이터 라인(DL2, DL4, ... , DLn)에 데이터 신호(DS2)를 제공할 수 있다. 여기에서, 제1 보조 신호(ASW2)의 입력 라인은 제1 제어 라인(CL_A)과 표시 영역(A/A)의 사이에 배치되고, 제2 보조 신호(BSW2)의 입력 라인은 제2 제어 라인(CL_B)과 데이터 링크(Data Link)이 사이에 배치될 수 있으나, 반드시 이에 한정되는 것은 아니다. 그리고, 제1 및 제2 시분할 제어 신호(ASW1, BSW1) 역시 제1 및 제2 제어 라인(CL_A, CL_B)의 일측 또는 타측에 자유롭게 배치될 수 있다.

[0215] 커패시터(Cbst)는 제3 트랜지스터(M3)의 게이트 전극과 동일 층에 마련된 제1 전극, 및 제3 트랜지스터(M3)의 소스 전극 및 드레인 전극과 동일 층에서 소스 전극 및 드레인 전극과 이격되게 마련된 제2 전극을 포함할 수 있다.

[0216] 일 예에 따르면, 커패시터(Cbst)는 제1 제어 라인(CL_A)과 제1 보조 신호(ASW2)의 입력 라인의 사이에 배치되거나, 제2 제어 라인(CL_B)과 제2 보조 신호(BSW2)의 입력 라인의 사이에 배치될 수 있다. 예를 들어, 커패시터(Cbst)는 스위칭부(143)의 제3 트랜지스터(M3) 각각에 대응하여 배치될 수 있다. 다른 예를 들어, 커패시터(Cbst)는 복수의 제3 트랜지스터(M3)를 소정의 단위로 그룹화하여, 복수의 그룹 마다 대응되게 배치될 수 있다.

[0217] 일 예에 따르면, 제3 트랜지스터(M3)의 드레인 전극은 구동 집적 회로(123)의 출력 채널(CH)과 연결되고, 2개의 분지를 가질 수 있다. 그리고, 제3 트랜지스터(M3)의 소스 전극은 데이터 라인(DL)과 연결되고, 2개의 분지를 가질 수 있다. 제3 트랜지스터(M3)의 드레인 전극의 2개의 분지와 소스 전극의 2개의 분지는 제3 트랜지스터(M3)의 게이트 전극과 중첩되는 영역에서 교번적으로 배치될 수 있다. 예를 들어, 제3 트랜지스터(M3)의 드레인 전극의 하나의 분지는 소스 전극의 2개의 분지 사이에 배치될 수 있고, 제3 트랜지스터(M3)의 소스 전극의 하나의 분지는 드레인 전극의 2개의 분지 사이에 배치될 수 있다. 이와 같이, 제3 트랜지스터(M3)의 드레인 전극 및 소스 전극 각각이 2개의 분지를 포함함으로써, 역다중화 회로부(140)는 하나의 제3 트랜지스터(M3)가 배치되는 레이아웃의 영역을 최소화할 수 있다.

[0218] 도 24는 도 22에 도시된 역다중화 회로부의 다른 예의 일부를 나타내는 도면이다.

[0219] 도 24를 참조하면, 제어 라인(CL)은 제1 방향으로 연장되면서 제3 트랜지스터(M3)의 게이트 전극과 연결될 수 있고, 제1 보조 신호(ASW2)의 입력 라인은 제어 라인(CL)과 이격되게 제1 방향으로 연장되면서, 커패시터(Cbst)의 제2 전극과 연결될 수 있다. 그리고, 제3 트랜지스터(M3)의 게이트 전극은 제어 라인(CL)과 제1 보조 신호(ASW2)의 입력 라인의 사이에 배치될 수 있다. 제3 트랜지스터(M3)의 드레인 전극은 구동 집적 회로(123)의 출력 채널(CH)과 연결되면서 제3 트랜지스터(M3)의 게이트 전극과 중첩되고, 제3 트랜지스터(M3)의 소스 전극은 데이터 라인(DL)과 연결되면서 제3 트랜지스터(M3)의 게이트 전극과 중첩될 수 있다. 즉, 제3 트랜지스터(M3)의 드레인 전극 및 소스 전극은 동일 층에서 서로 이격되게 배치될 수 있다.

[0220] 커패시터(Cbst)는 제어 라인(CL)과 제1 보조 신호(ASW2)의 입력 라인의 사이에 배치되면서, 제3 트랜지스터(M3)의 게이트 전극의 일 측에 배치될 수 있다. 이 때, 커패시터(Cbst)는 제3 트랜지스터(M3)의 드레인 전극 및 소스 전극이 게이트 전극과 중첩되는 길이에 대응되는 크기를 가질 수 있다. 예를 들어, 제3 트랜지스터(M3)의 드레인 전극 및 소스 전극 각각이 복수의 분지를 갖지 않는 경우, 복수의 분지를 갖는 경우 보다 게이트 전극과 중첩되는 길이가 길 수 있다. 이 때, 제3 트랜지스터(M3)의 드레인 전극 및 소스 전극 각각이 게이트 전극과 중첩되는 길이가 길수록, 커패시터(Cbst)의 길이도 증가할 수 있다.

[0221] 전술한 제어 라인(CL), 제1 보조 신호(ASW2)의 입력 라인, 제3 트랜지스터(M3), 및 커패시터(Cbst)의 레이아웃은 상기 기재 및 도면의 구성에 한정되지 않고, 기타 제반 사항에 따라 다양하게 설계 변경될 수 있다.

[0222] 도 25는 도 24에 도시된 선 I-I'의 단면도의 일 예이다.

[0223] 도 25를 참조하면, 제3 트랜지스터(M3)는 게이트 전극(GE), 게이트 절연막(GI), 산화물 반도체층(ACT), 소스 전극(SE), 및 드레인 전극(DE)을 포함할 수 있다.

[0224] 게이트 전극(GE)은 기판(110) 상에 배치되고 제어 라인(CL)과 전기적으로 연결될 수 있다. 일 예에 따르면, 게이트 전극(GE)은 알루미늄(Al)이나 알루미늄 합금과 같은 알루미늄 계열의 금속, 은(Ag)이나 은 합금과 같은 은 계열의 금속, 구리(Cu)나 구리 합금과 같은 구리 계열의 금속, 몰리브덴(Mo)이나 몰리브덴 합금과 같은 몰리브덴 계열의 금속, 크롬(Cr), 탄탈륨(Ta), 네오듐(Nd) 및 티타늄(Ti) 중 적어도 하나를 포함할 수 있다. 또한, 게이트 전극(140)은 물리적 성질이 다른 적어도 두 개의 도전막을 포함하는 다층막 구조를 가질 수도 있다.

[0225] 게이트 절연막(GI)은 게이트 전극(GE) 상에 배치될 수 있다. 일 예에 따르면, 게이트 절연막(GI)은 실리콘 산화물 및 실리콘 질화물 중 적어도 하나를 포함할 수 있고, 산화 알루미늄($Al_2O_3$)을 포함할 수도 있다. 게이트 절연막(GI)은 단일막 구조를 가질 수도 있고, 다층막 구조를 가질 수도 있다.

[0226] 산화물 반도체층(ACT)은 게이트 전극(GE)과 적어도 일부 중첩되도록 게이트 절연막(GI) 상에 배치될 수 있다. 산화물 반도체층(ACT)은 채널층 또는 활성층에 해당할 수 있다. 일 예에 따르면, 산화물 반도체층(ACT)은 산화물 반도체 물질을 포함할 수 있다. 예를 들어, 산화물 반도체층(ACT)은 IZO(InZnO)계, IGO(InGaO)계, ITO(InSnO)계, IGZO(InGaZnO)계, IGZTO(InGaZnSnO)계, GZTO(GaZnSnO)계, GZO(GaZnO)계, ITZO (InSnZnO)계, 등의 산화물 반도체 물질에 의해 만들어질 수 있다. 그러나, 산화물 반도체층(ACT)의 실시예가 상기 기재에 한정되는 것은 아니며, 당업계에 알려진 다른 산화물 반도체 물질에 의하여 이루어질 수도 있다.

[0227] 소스 전극(SE)은 산화물 반도체층(ACT) 상에 배치되어 데이터 라인(DL)과 전기적으로 연결될 수 있다. 드레인 전극(DE)은 산화물 반도체층(ACT) 상에서 소스 전극(SE)과 이격되게 배치되어 구동 집적 회로(123)의 출력 채널(CH)과 전기적으로 연결될 수 있다.

[0228] 소스 전극(150) 및 드레인 전극(160)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오듐(Nd), 구리(Cu), 및 이들의 합금 중 적어도 하나를 포함할 수 있다. 소스 전극(150) 및 드레인 전극(160)은 각각 금속 또는 금속의 합금으로 만들어진 단일층으로 이루어질 수도 있고, 2층 이상의 다중층으로 이루어질 수도 있다.

[0229] 이와 같이, 역다중화 회로부(140)는 산화물 기반의 박막 트랜지스터로 이루어질 수 있다. 구체적으로, 역다중화 회로부(140)의 트랜지스터들은 소스 전극(SE) 및 드레인 전극(DE)을 형성하는 과정에서 채널 영역이 노출되는 BCE(Back Channel Etch) 구조를 가질 수 있다. 본 출원에 따른 표시 장치는 BCE 공정을 통해 산화물 기반의 박막 트랜지스터를 이용한 역다중회 회로부를 구현함으로써, 마스크 공정을 최소화하고 리소그래피 공정 마진을 향상시키며 우수한 신뢰성을 제공할 수 있다.

[0230] 도 26은 도 24에 도시된 선 I-I'의 단면도의 다른 예이다.

[0231] 도 26을 참조하면, 제3 트랜지스터(M3)는 게이트 전극(GE), 게이트 절연막(GI), 산화물 반도체층(ACT), 소스 전극(SE), 및 드레인 전극(DE)을 포함할 수 있고, 산화물 반도체층(ACT)은 제1 및 제2 산화물 반도체층(ACT1, ACT2)을 포함할 수 있다.

[0232] 제1 산화물 반도체층(ACT1)은 게이트 전극(GE)과 적어도 일부 중첩되도록 게이트 절연막(GI) 상에 배치될 수 있다. 제1 산화물 반도체층(ACT1)은 채널층 또는 활성층에 해당할 수 있다. 일 예에 따르면, 제1 산화물 반도체층(ACT1)은 산화물 반도체 물질을 포함할 수 있다. 예를 들어, 제1 산화물 반도체층(ACT1)은 IZO(InZnO)계, IGO(InGaO)계, ITO(InSnO)계, IGZO(InGaZnO)계, IGZTO(InGaZnSnO)계, GZTO(GaZnSnO)계, GZO(GaZnO)계, ITZO (InSnZnO)계, 등의 산화물 반도체 물질에 의해 만들어질 수 있다. 이러한 제1 산화물 반도체층(ACT1)의 실시예는 상기 기재에 한정되는 것은 아니며, 당업계에 알려진 다른 산화물 반도체 물질에 의하여 이루어질 수도 있다.

[0233] 제2 산화물 반도체층(ACT2)은 제1 산화물 반도체층(ACT1) 상에 배치되어, 제1 산화물 반도체층(ACT1)을 보호할 수 있다. 구체적으로, 제2 산화물 반도체층(ACT2)은 제1 산화물 반도체층(ACT1)보다 높은 농도의 질소를 포함하고, 제1 산화물 반도체층(ACT1) 보다 우수한 막 안정성을 가질 수 있다. 예를 들어, 제2 산화물 반도체층(ACT2)에 포함된 질소는 산소와 안정적인 결합을 형성하며, 금속 원소들 사이에 안정적으로 배치될 수 있다. 이와 같이, 질소를 포함하는 제2 산화물 반도체층(ACT2)은 우수한 막 안정성을 가질 수 있다. 제2 산화물 반도체층(ACT2)은 박막 트랜지스터 제조를 위한, 노광, 식각, 패터닝, 열처리 등의 공정에 대해 우수한 내성을 가져, 하부의 제1 산화물 반도체층(ACT1)을 보호할 수 있다.

[0234] 이와 같이, 역다중화 회로부(140)는 산화물 기반의 박막 트랜지스터로 이루어질 수 있다. 구체적으로, 역다중화 회로부(140)의 트랜지스터들은 소스 전극(SE) 및 드레인 전극(DE)을 형성하는 과정에서 채널 영역이 노출되는 BCE(Back Channel Etch) 구조를 가질 수 있다. 예를 들어, 역다중화 회로부(140)는 BCE 구조의 박막 트랜지스터를 제조하는 과정에서, 소스 전극(SE) 및 드레인 전극(DE)의 형성을 위한 식각 및 패터닝에 의하여 채널부가 소스 전극(SE) 및 드레인 전극(DE)으로부터 노출될 수 있다. 이 때, 산화물 반도체층(ACT)이 식각 기체 또는 식각액에 노출될 수 있다. 본 출원에 따른 역다중화 회로부(140)는 제2 산화물 반도체층(ACT2)이 식각 기체 또는 식각 액에 노출되지만, 질소를 포함하여 우수한 막 안정성을 가지기 때문에, 식각 기체 또는 식각 액에 의해 손상되지 않는다. 따라서, 제2 산화물 반도체층(ACT2)은 전 영역에 걸쳐 우수한 막 안정성을 가져, 제1 산화물 반도

체층(ACT1)을 효율적으로 보호할 수 있다.

[0235] 본 출원에 따른 표시 장치는 BCE 공정을 통해 산화물 기반의 박막 트랜지스터를 이용한 역다중회 회로부를 구현함으로써, 마스크 공정을 최소화하고 리소그래피 공정 마진을 향상시키며 우수한 신뢰성을 제공할 수 있다.

[0236] 결과적으로, 본 출원에 따른 표시 장치는 산화물 기반의 박막 트랜지스터를 이용한 역다중화 회로부를 포함하고, 역다중화 회로부는 시분할 제어 신호에 응답하여 제어 라인의 충전 기능을 보강함으로써, LTPS 기반의 박막 트랜지스터 대비 낮은 이동도와 열화로 인한 한계를 극복하여 안정적인 출력을 유지할 수 있다. 그리고, 표시 장치는 산화물 기반의 박막 트랜지스터를 이용한 역다중화 회로부를 포함함으로써, 제어 라인의 충전을 강화하여 픽셀 충전율을 보강하고, 이에 따라 제어 라인의 방전 특성까지 향상시킬 수 있다. 그리고, 표시 장치는 산화물 기반의 박막 트랜지스터를 이용한 역다중화 회로부를 포함하면서도, 유기 발광 소자에 전달될 수 있는 누설 전류의 발생을 방지하고 베젤 영역을 최소화하며 디스플레이 패널의 고해상도 화상을 구현할 수 있다. 또한, 표시 장치는 BCE 공정을 통해 산화물 기반의 박막 트랜지스터를 이용한 역다중회 회로부를 구현함으로써, 마스크 공정을 최소화하고 리소그래피 공정 마진을 향상시키며 우수한 신뢰성을 제공할 수 있다.

[0237] 이상에서 설명한 본 출원은 전술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 출원의 기술적 사항을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 출원이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다. 그러므로, 본 출원의 범위는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 출원의 범위에 포함되는 것으로 해석되어야 한다.

## *부호의 설명*

[0238] 110: 기판 120: 데이터 구동 회로부

121: 회로 필름 123: 구동 집적 회로

125: 인쇄 회로 기판 127: 타이밍 제어부

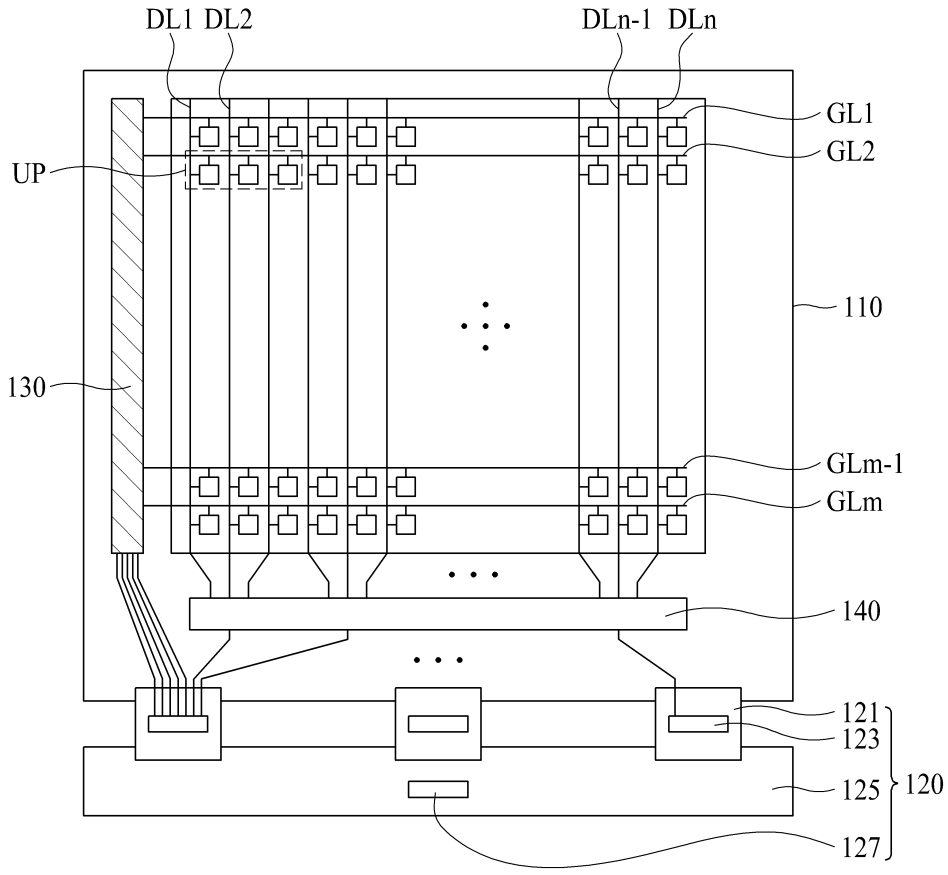
130: 스캔 구동 회로부 140: 역다중화 회로부

141: 전압 제어부 143: 스위칭부

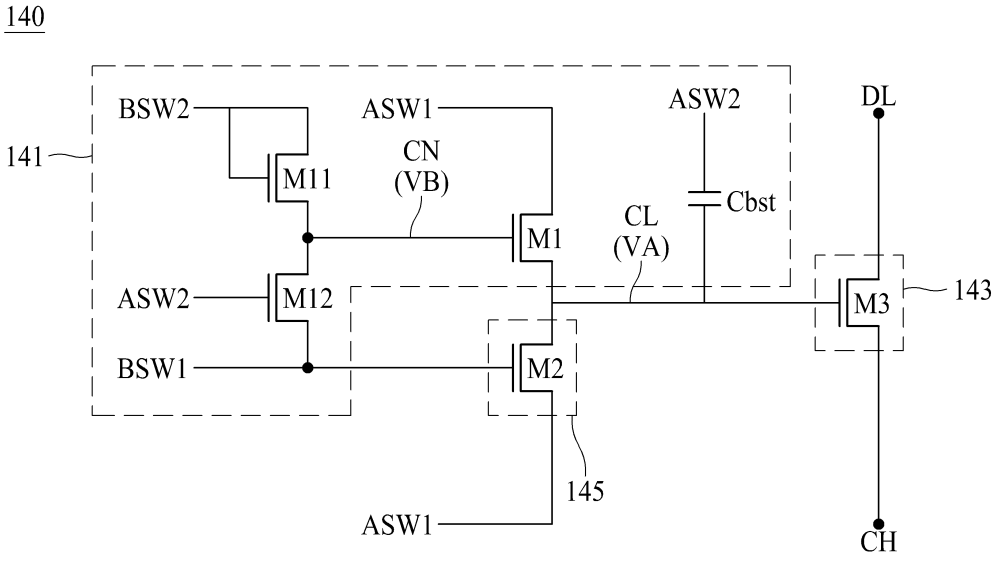
145: 전압 방전부

도면

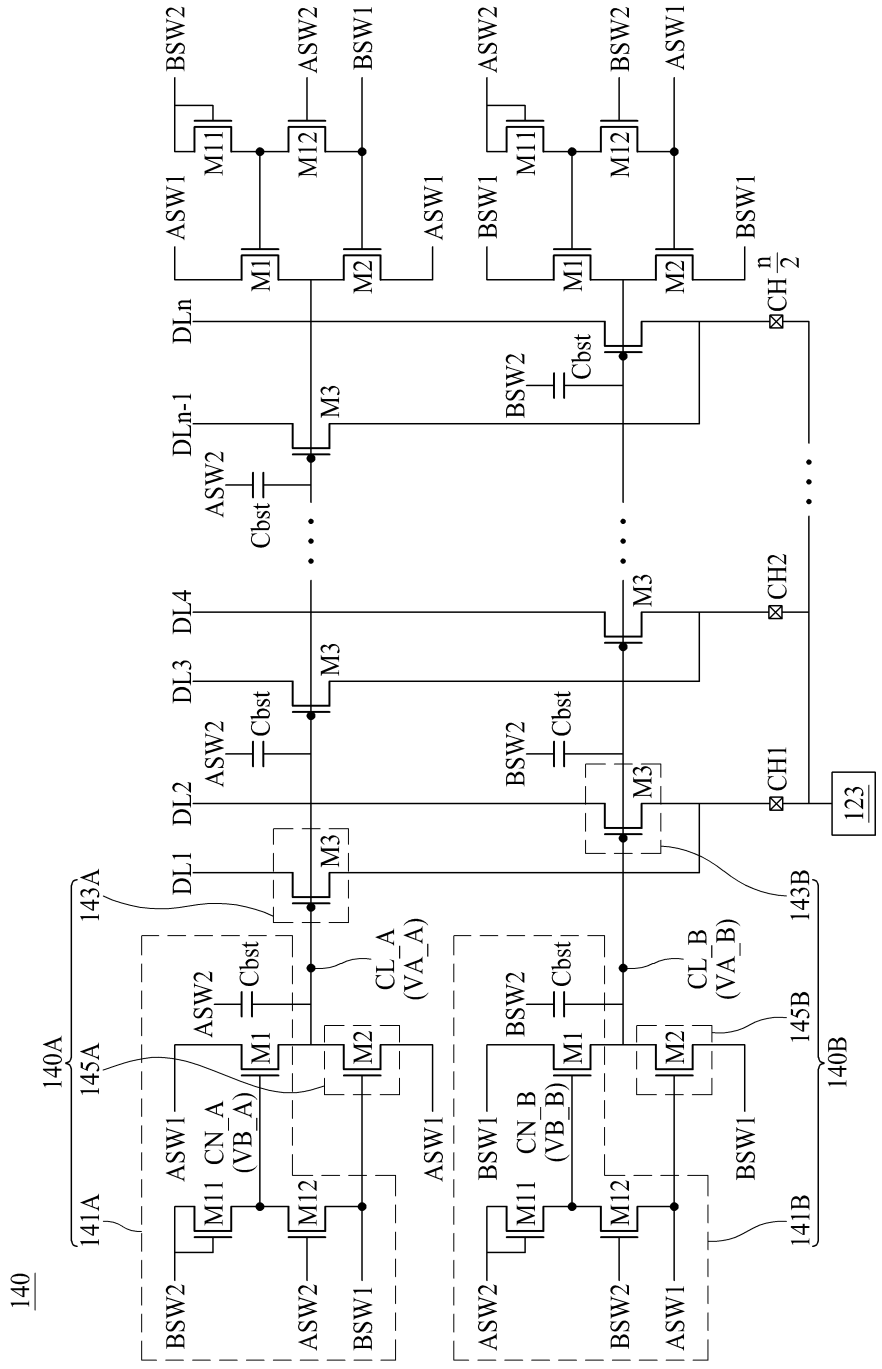
도면1


DL1 DL2
DLn-1 DLn
GL1
GL2
UP
110
130
GLm-1
GLm
140
121
123
125
120
127

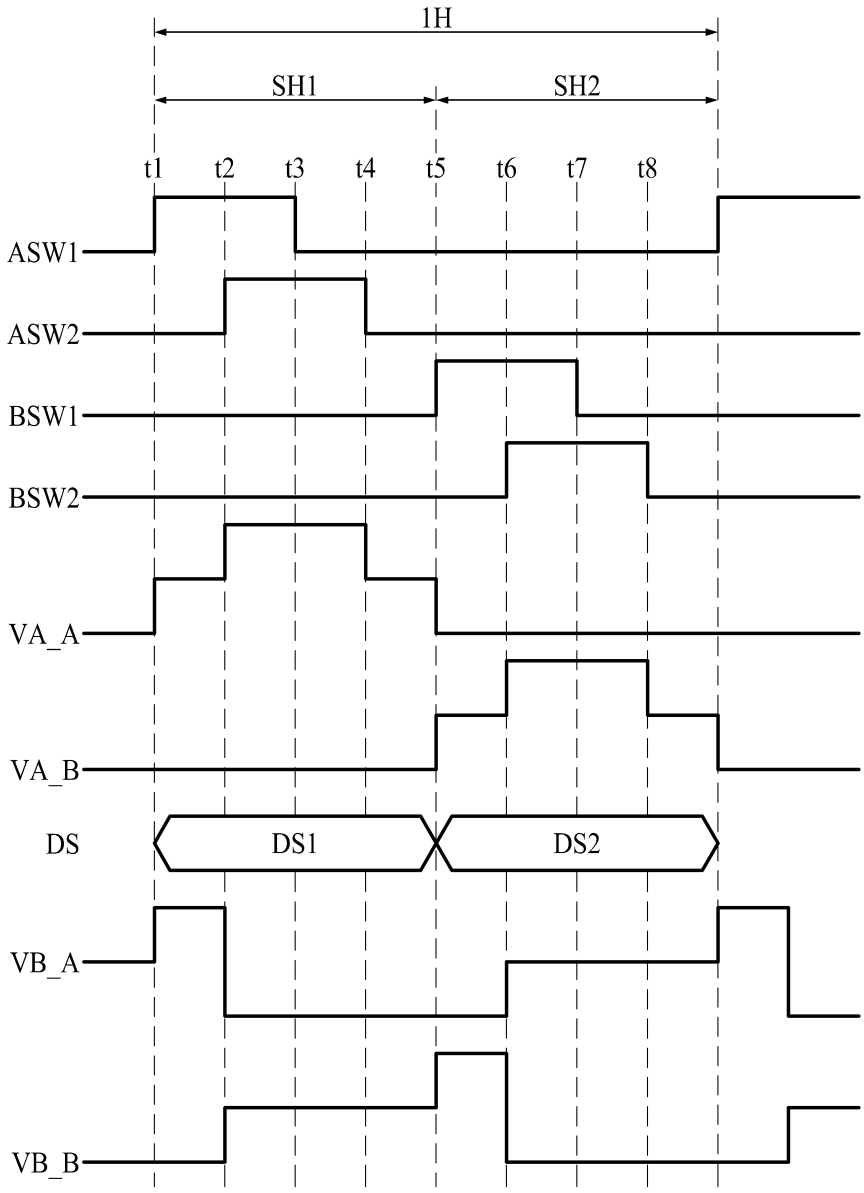
도면2


140
141
BSW2
ASW1
ASW2
DL
M11
CN
(VB)
M1
CL
(VA)
Cbst
ASW2
M12
M3
143
BSW1
M2
145
ASW1
CH

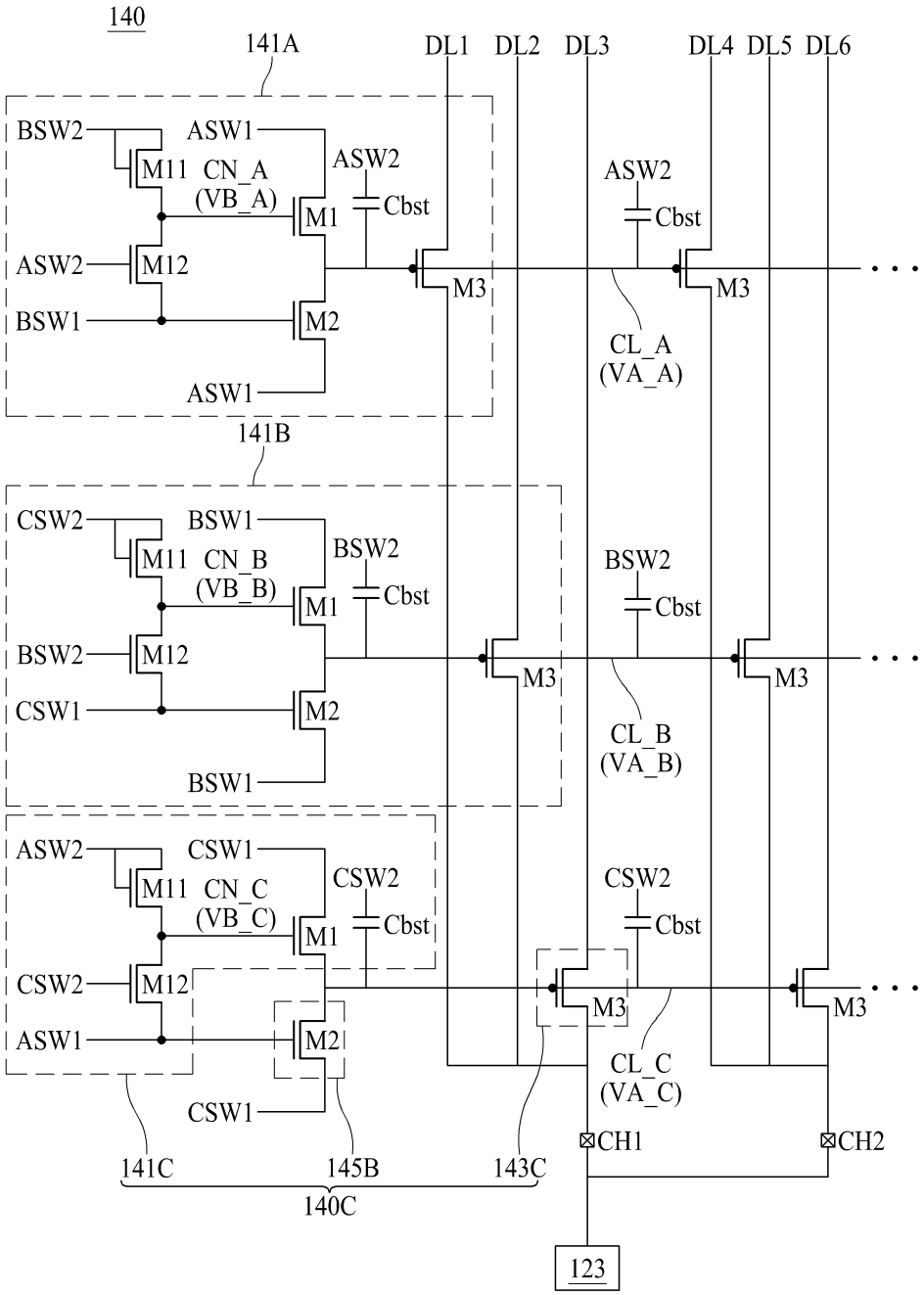
도면3


140
140A
141A
143A
145A
ASW1
ASW2
BSW1
BSW2
M1
M2
M3
M11
M12
Cbst
CN_A (VB_A)
CL_A (VA_A)
DL1
DL2
DL3
DL4
DLn-1
DLn
CH1
CH2
CH n/2
123
140B
141B
143B
145B
CN_B (VB_B)
CL_B (VA_B)

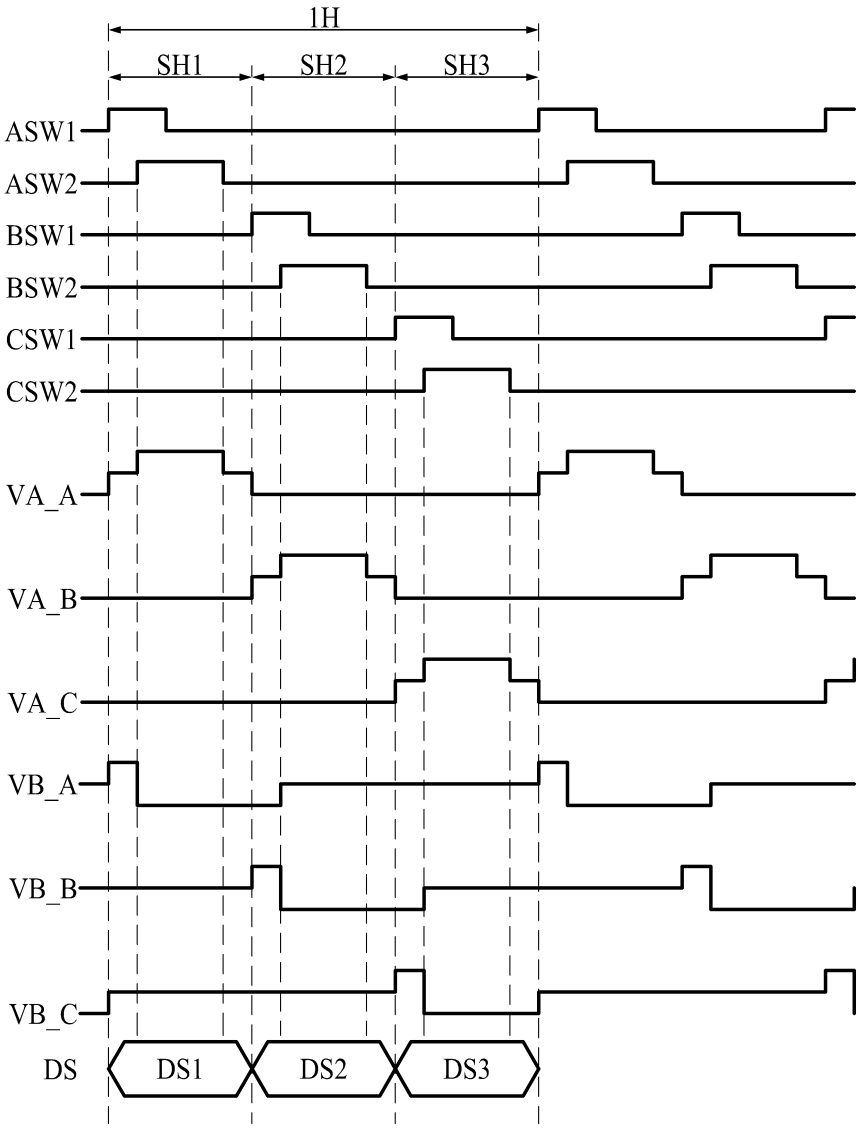
도면4


1H
SH1
SH2
t1
t2
t3
t4
t5
t6
t7
t8
ASW1
ASW2
BSW1
BSW2
VA_A
VA_B
DS
DS1
DS2
VB_A
VB_B

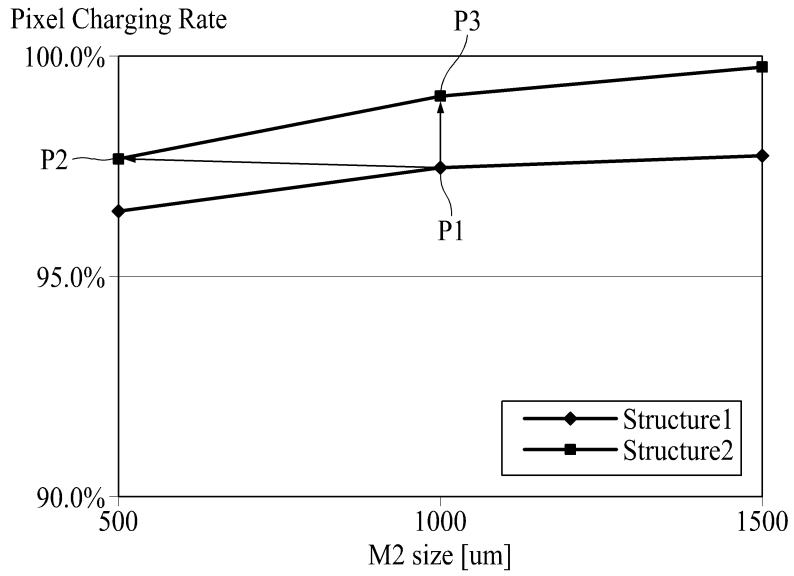
도면5


140
141A
DL1
DL2
DL3
DL4
DL5
DL6
BSW2
ASW1
M11
CN_A
(VB_A)
M1
ASW2
Cbst
M12
BSW1
M2
M3
CL_A
(VA_A)
141B
CSW2
BSW1
CN_B
(VB_B)
BSW2
CSW1
CL_B
(VA_B)
ASW2
CSW1
CN_C
(VB_C)
CSW2
CL_C
(VA_C)
CH1
CH2
141C
145B
143C
140C
123

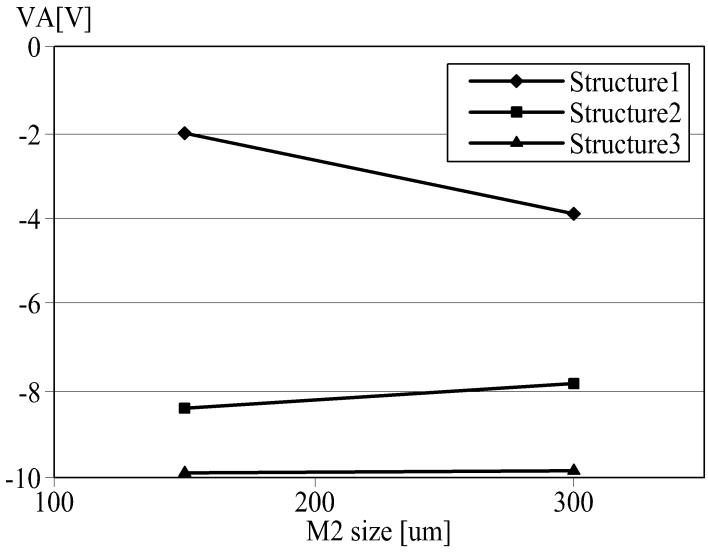
도면6


1H
SH1
SH2
SH3
ASW1
ASW2
BSW1
BSW2
CSW1
CSW2
VA_A
VA_B
VA_C
VB_A
VB_B
VB_C
DS
DS1
DS2
DS3

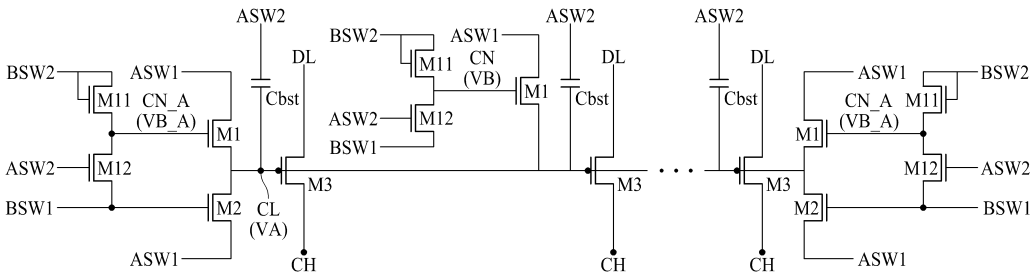
도면7


Pixel Charging Rate
P3
100.0%
P2
P1
95.0%
90.0%
500
1000
1500
M2 size [um]
Structure1
Structure2

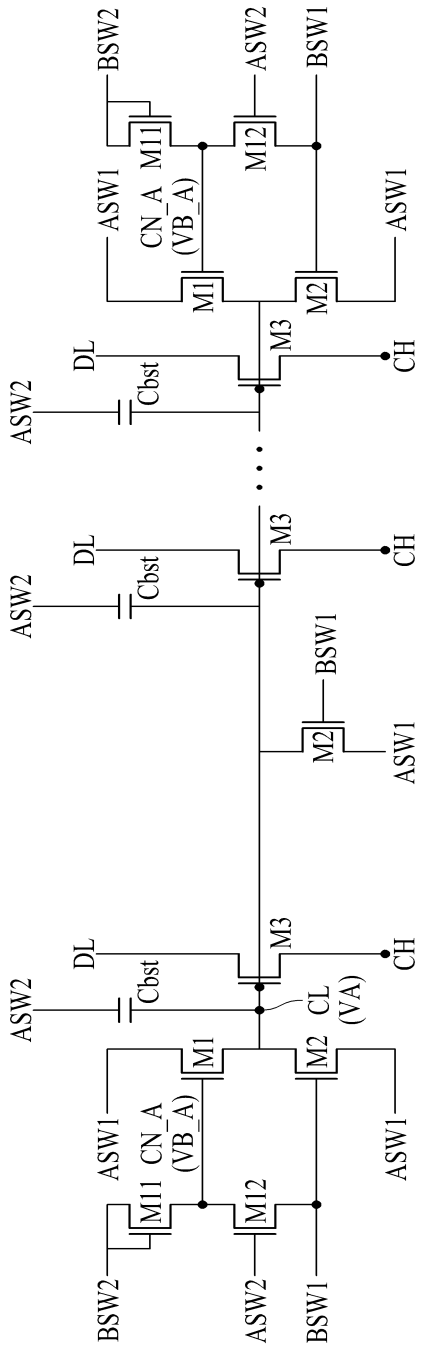
도면8


VA[V]
0
-2
-4
-6
-8
-10
100
200
300
M2 size [um]
Structure1
Structure2
Structure3

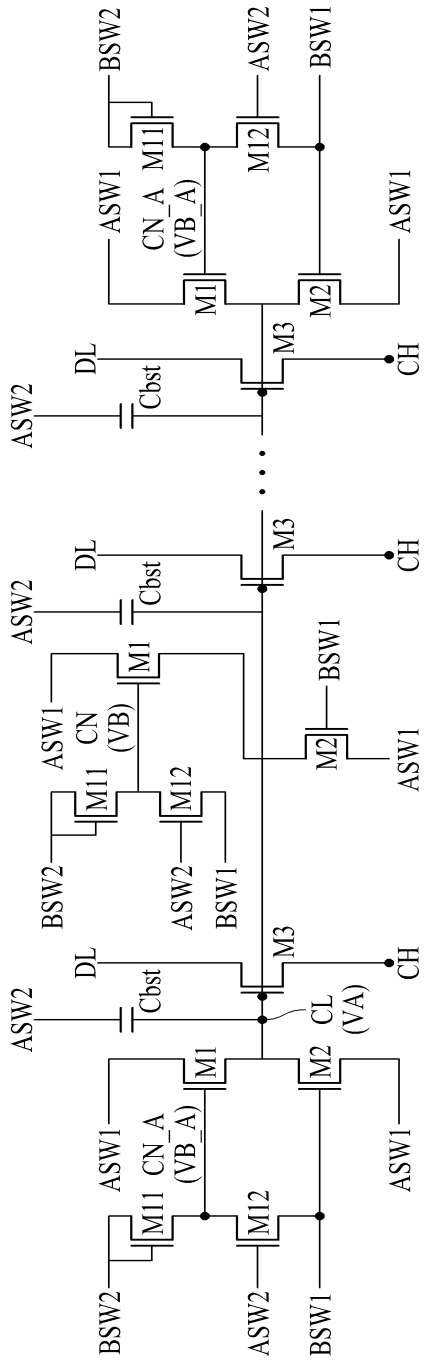
도면9


ASW2
BSW2
ASW1
M11
CN_A
(VB_A)
M1
DL
Cbst
M12
BSW1
M2
CL
(VA)
M3
CH
CN
(VB)

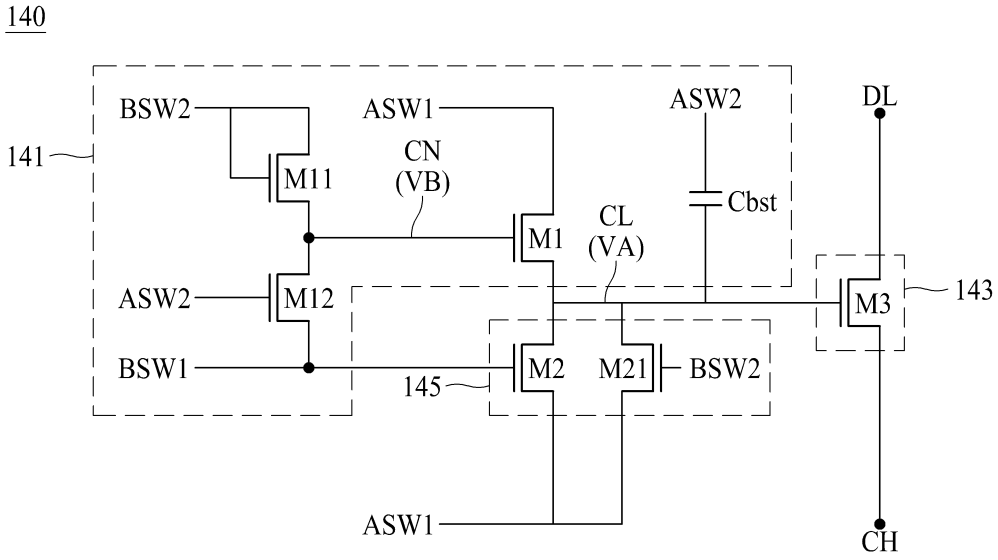
도면10



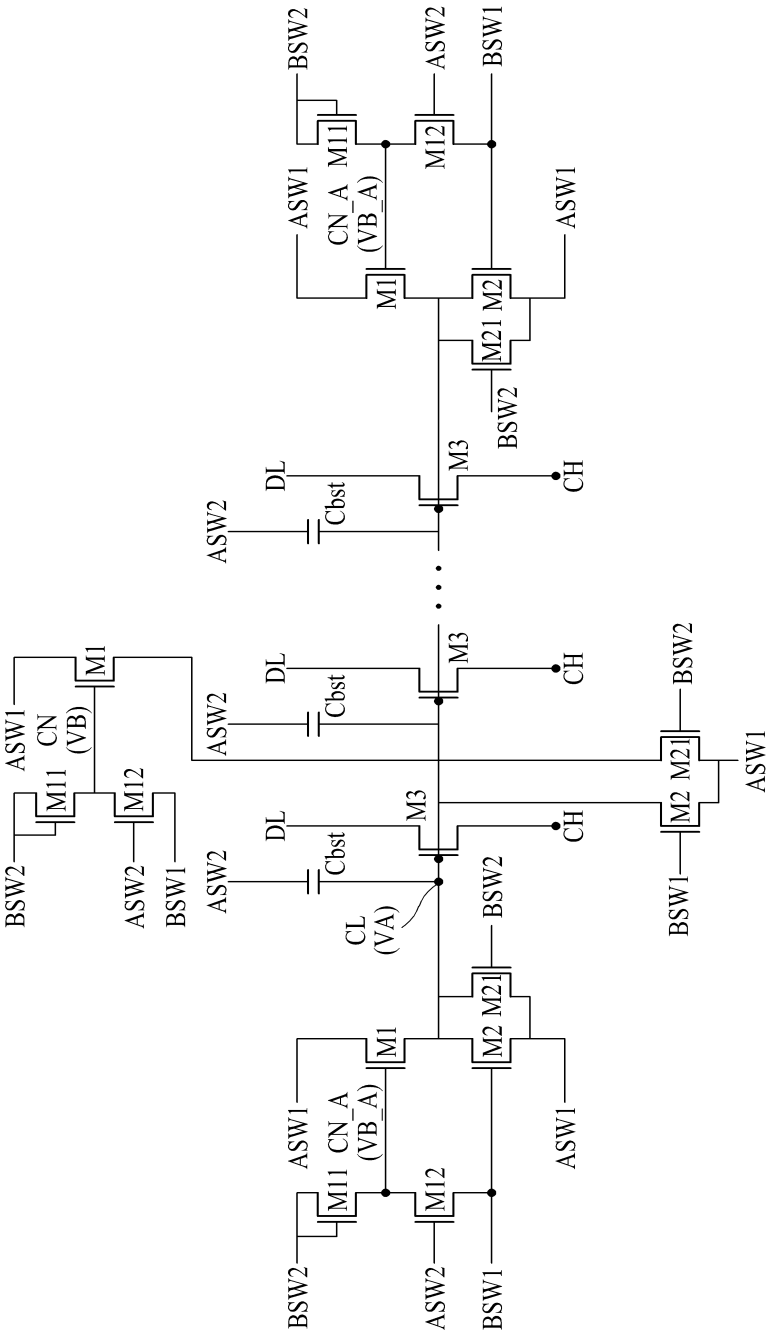
도면11


BSW2
ASW2
BSW1
ASW1
CN_A (VB_A)
M11
M12
M1
M2
M3
DL
Cbst
CH
CN (VB)
CL (VA)

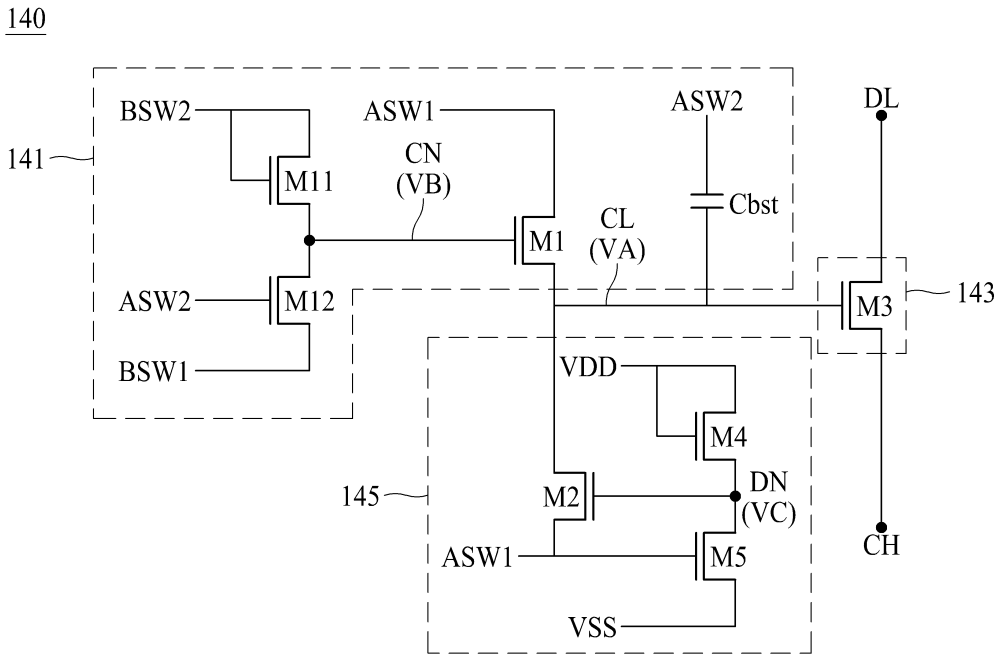
도면12


140
141
BSW2
ASW1
ASW2
DL
CN
(VB)
M11
Cbst
M1
CL
(VA)
ASW2
M12
M3
143
BSW1
145
M2
M21
BSW2
ASW1
CH

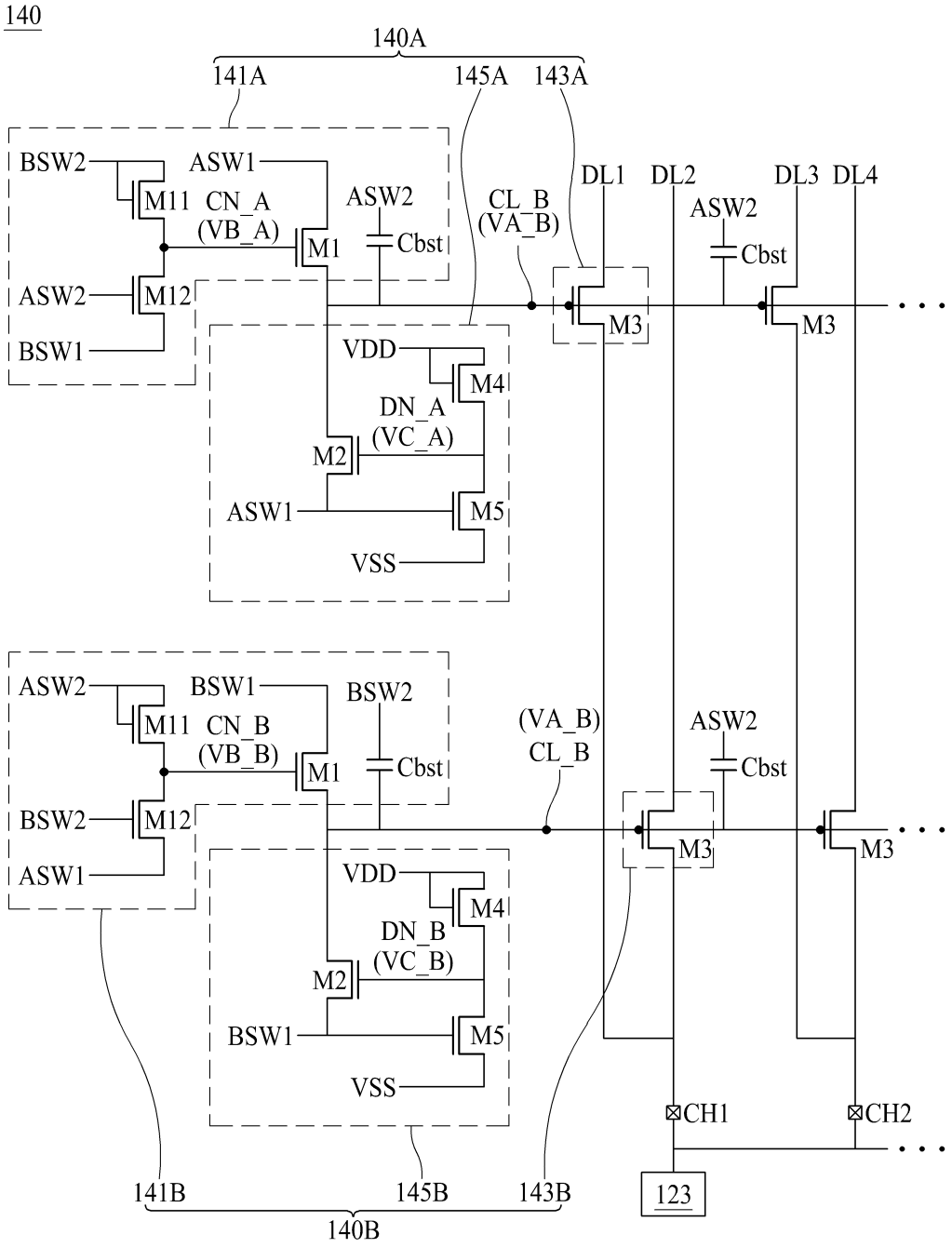
도면13


BSW2
ASW2
BSW1
ASW1
M11
M12
M1
M2
M21
CN_A
(VB_A)
CN
(VB)
DL
Cbst
M3
CH
CL
(VA)

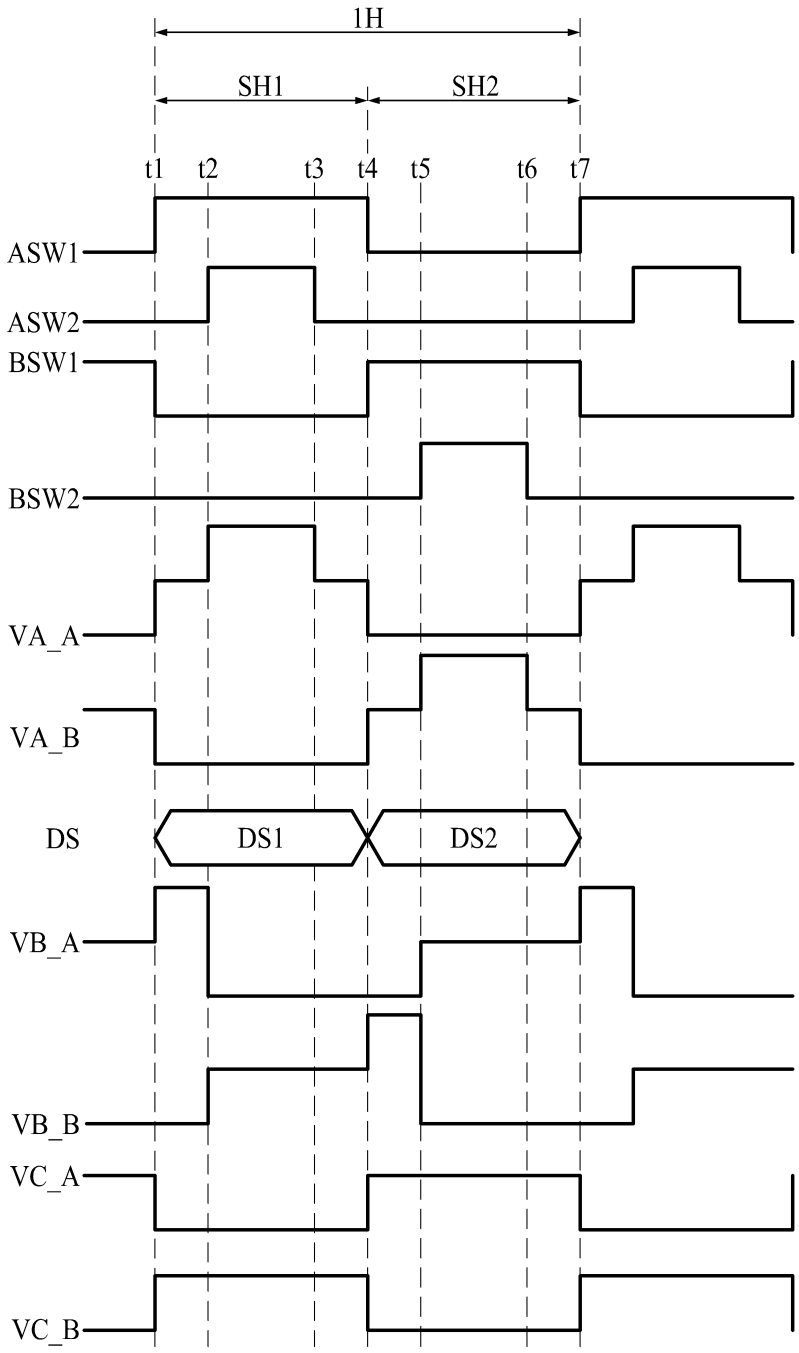
도면14


140
141
BSW2
M11
ASW1
CN
(VB)
M1
ASW2
Cbst
DL
CL
(VA)
ASW2
M12
M3
143
BSW1
VDD
M4
145
M2
DN
(VC)
ASW1
M5
CH
VSS

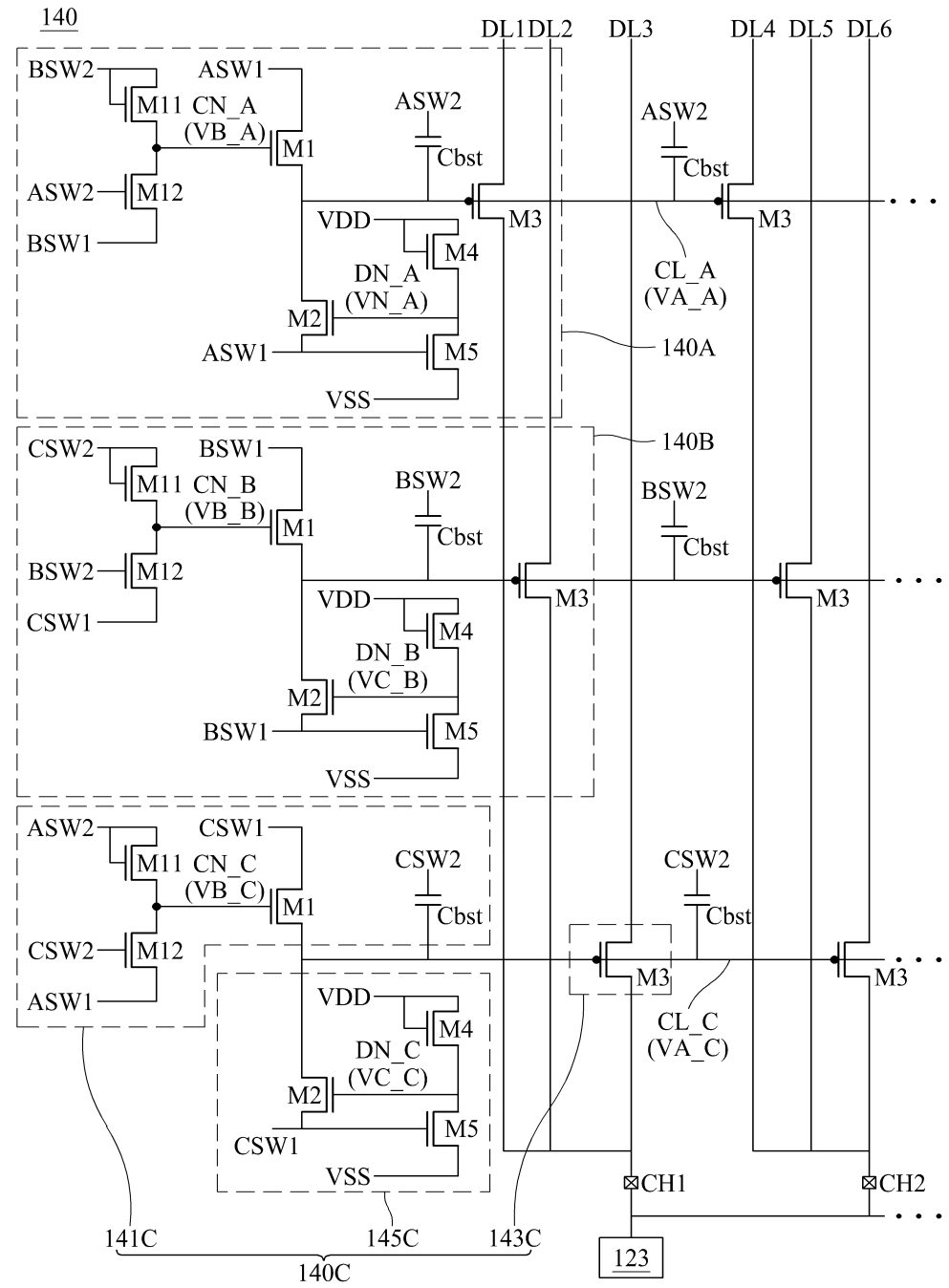
도면15


140
140A
141A
145A
143A
BSW2
ASW1
M11
CN_A
(VB_A)
M1
ASW2
Cbst
CL_B
(VA_B)
DL1
DL2
DL3
DL4
ASW2
Cbst
ASW2
M12
M3
M3
BSW1
VDD
M4
DN_A
(VC_A)
M2
ASW1
M5
VSS
ASW2
BSW1
BSW2
M11
CN_B
(VB_B)
M1
Cbst
(VA_B)
CL_B
ASW2
Cbst
BSW2
M12
M3
M3
ASW1
VDD
M4
DN_B
(VC_B)
M2
BSW1
M5
VSS
CH1
CH2
141B
145B
143B
123
140B

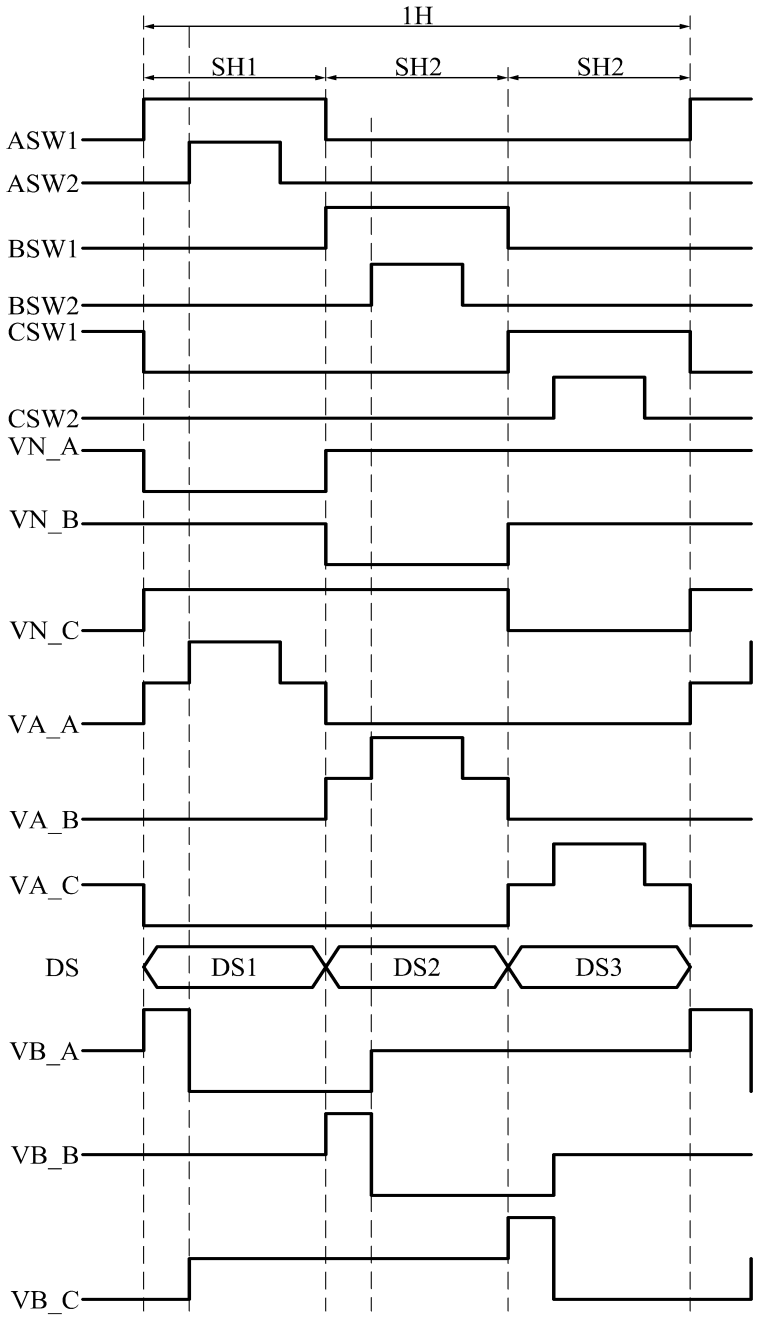
도면16


1H
SH1
SH2
t1
t2
t3
t4
t5
t6
t7
ASW1
ASW2
BSW1
BSW2
VA_A
VA_B
DS
DS1
DS2
VB_A
VB_B
VC_A
VC_B

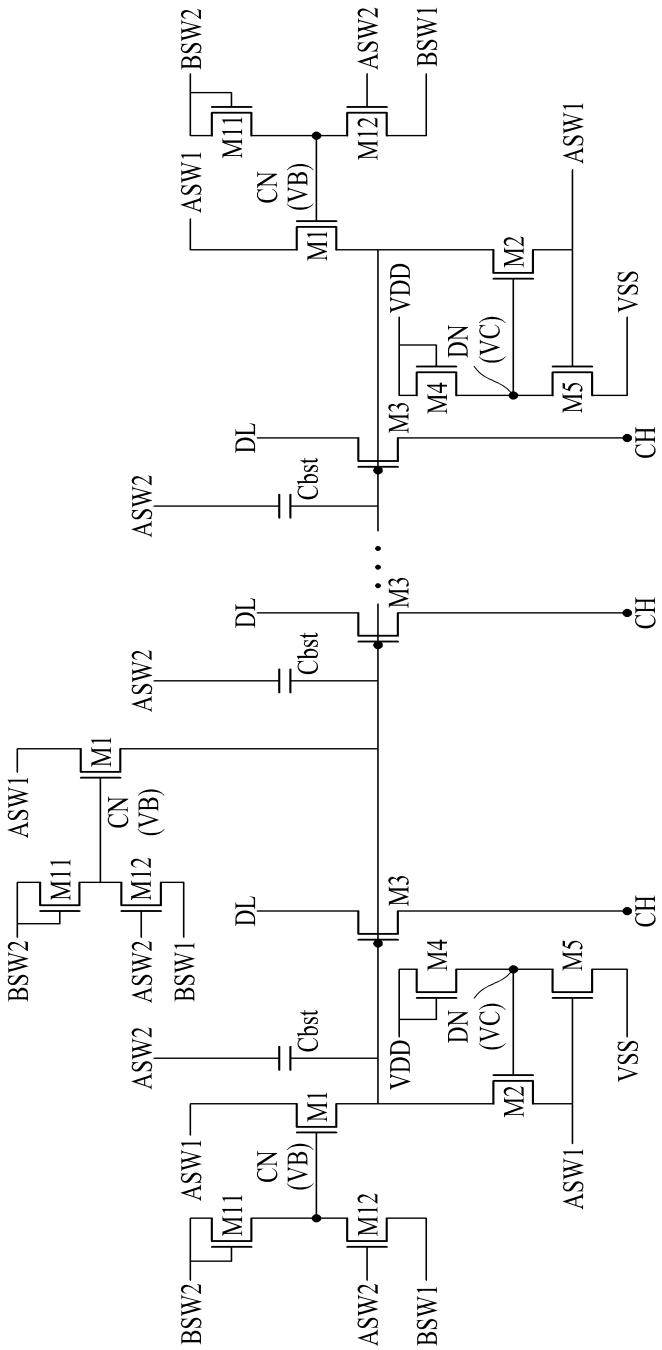
도면17


140
DL1
DL2
DL3
DL4
DL5
DL6
BSW2
ASW1
M11
CN_A
(VB_A)
M1
ASW2
Cbst
M12
BSW1
VDD
M3
M4
DN_A
(VN_A)
M2
CL_A
(VA_A)
ASW1
M5
140A
VSS
140B
CSW2
BSW1
CN_B
(VB_B)
BSW2
CSW1
DN_B
(VC_B)
ASW2
CSW1
CN_C
(VB_C)
CSW2
DN_C
(VC_C)
CL_C
(VA_C)
CH1
CH2
123
141C
145C
143C
140C

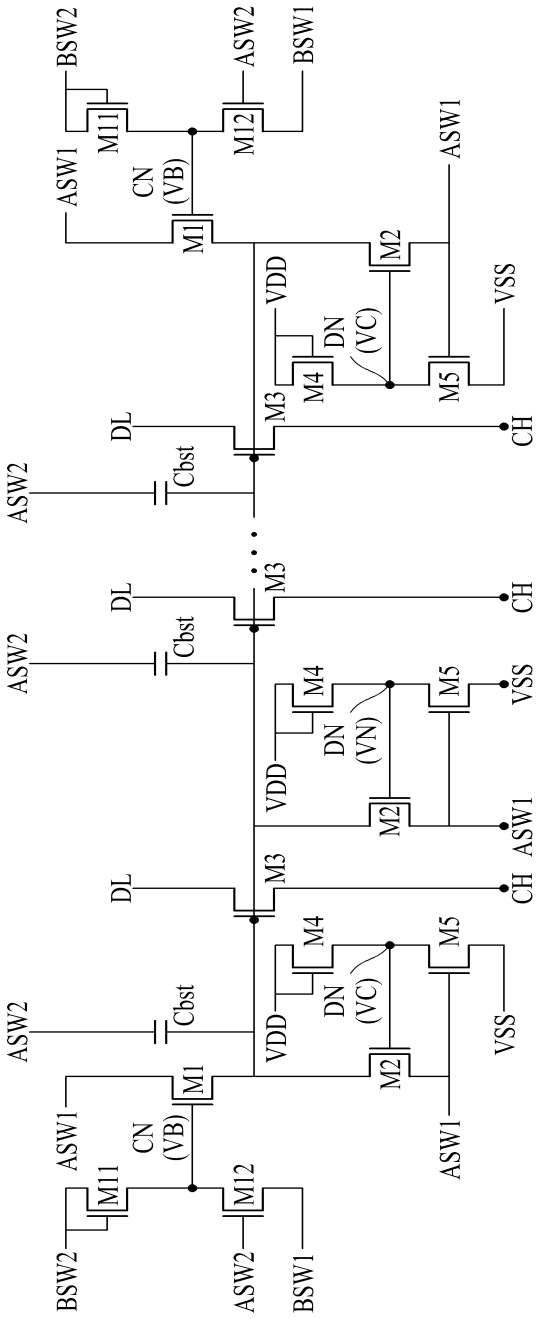
도면18


1H
SH1
SH2
SH2
ASW1
ASW2
BSW1
BSW2
CSW1
CSW2
VN_A
VN_B
VN_C
VA_A
VA_B
VA_C
DS
DS1
DS2
DS3
VB_A
VB_B
VB_C

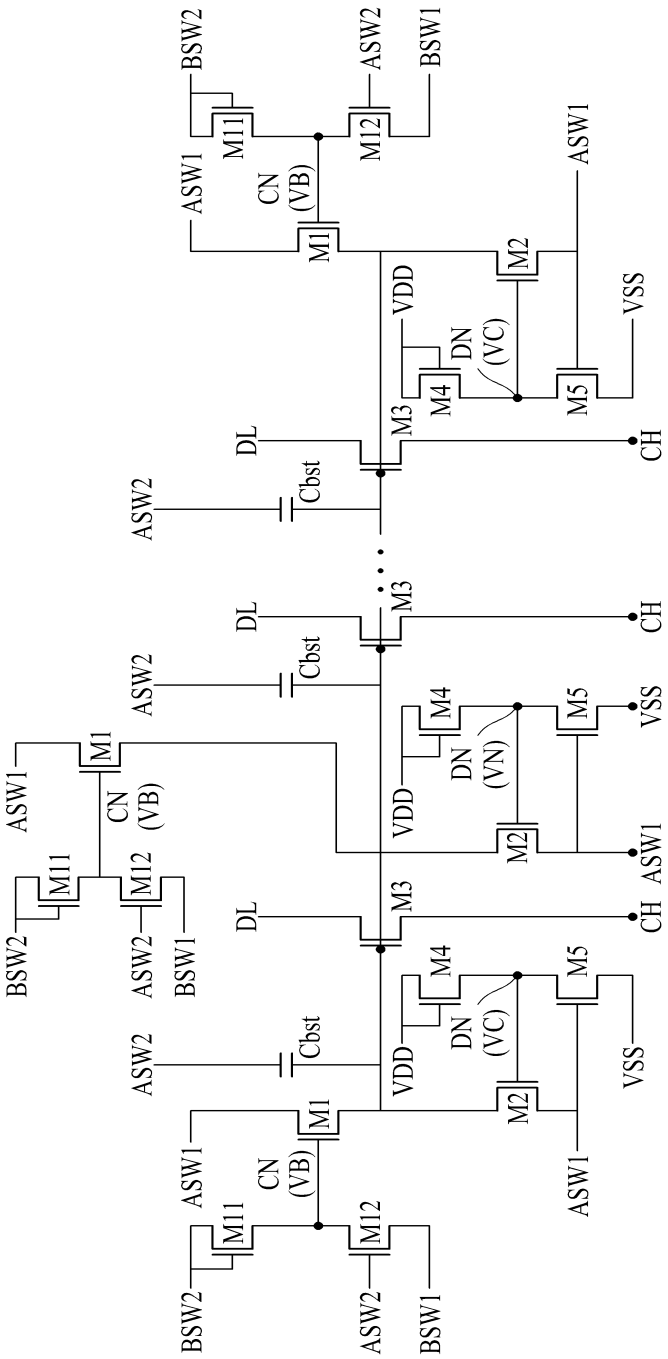
도면19


BSW2
ASW2
BSW1
ASW1
M11
M12
CN
(VB)
M1
M2
VDD
DN
(VC)
M4
M5
VSS
M3
DL
CH
Cbst

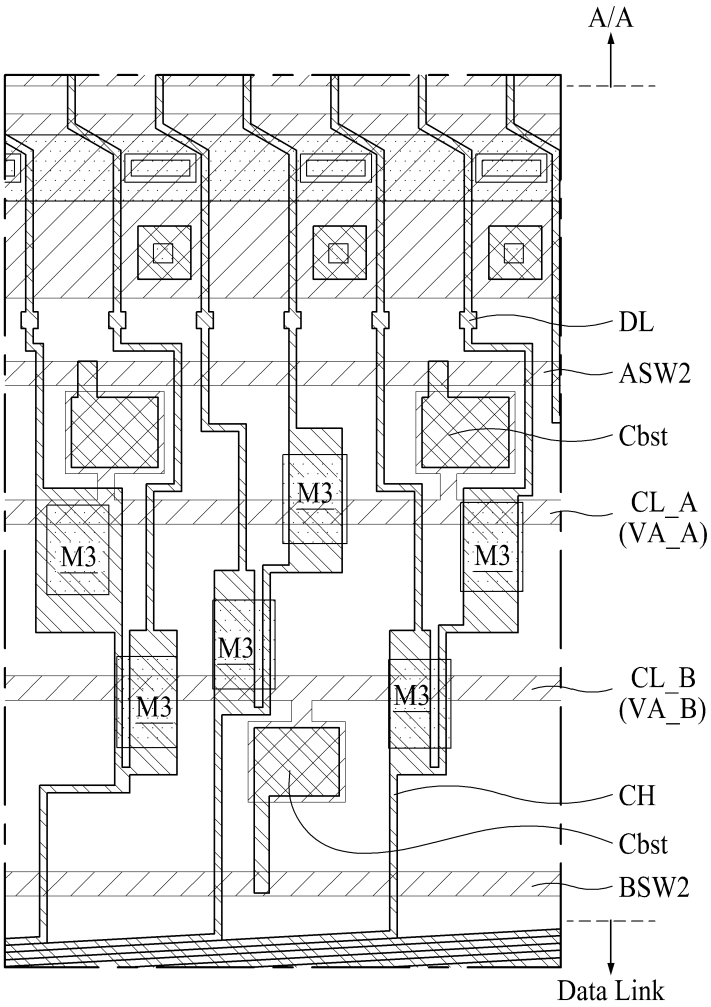
도면20


BSW2
ASW2
BSW1
ASW1
M11
M12
CN
(VB)
M1
M2
VDD
DN
(VC)
M4
M5
VSS
M3
DL
CH
Cbst
ASW2
(VN)

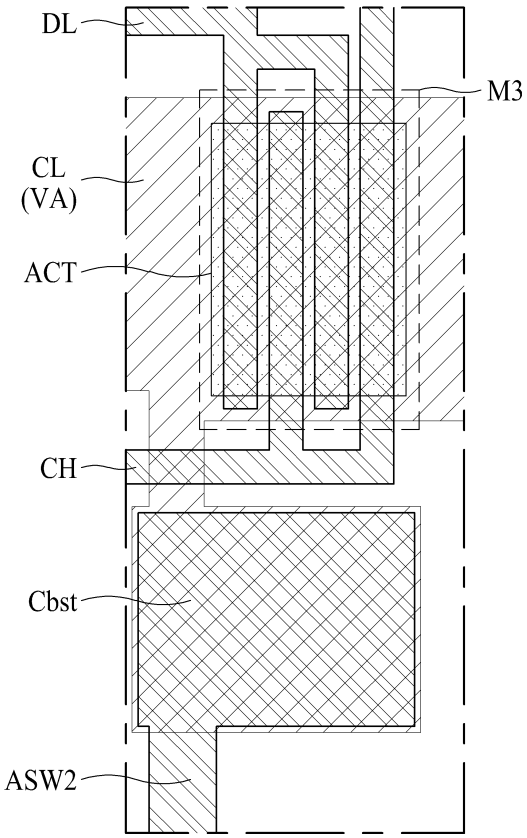
도면21


BSW2
ASW2
BSW1
ASW1
M11
M12
CN
(VB)
M1
M2
VDD
DN
(VC)
M4
M5
VSS
DL
M3
CH
Cbst
ASW2
DN
(VN)

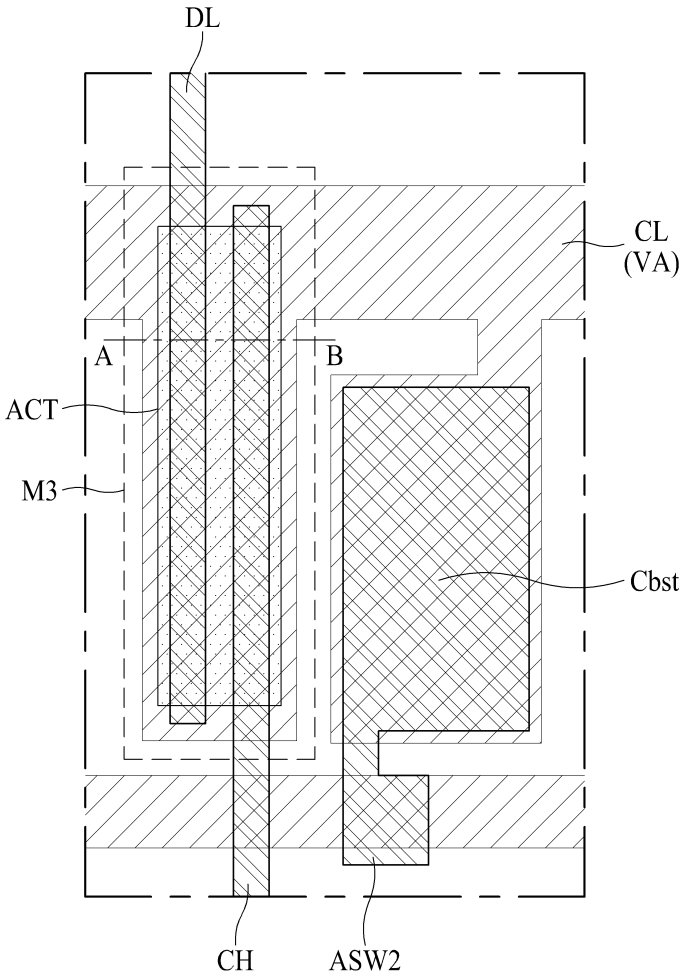
도면22


A/A
DL
ASW2
Cbst
CL_A
(VA_A)
CL_B
(VA_B)
CH
Cbst
BSW2
Data Link
M3
M3
M3
M3
M3
M3

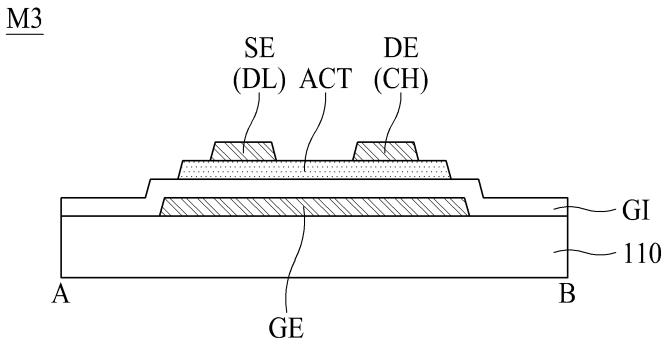
도면23



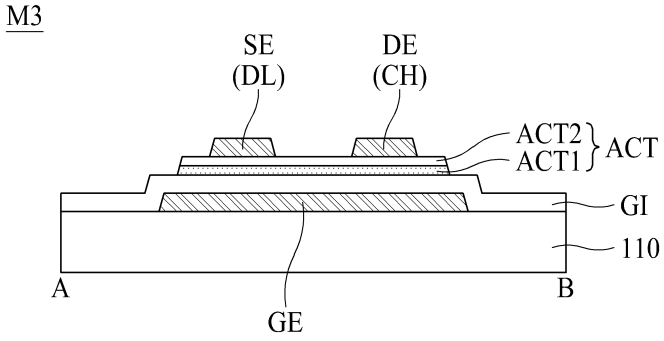
도면24



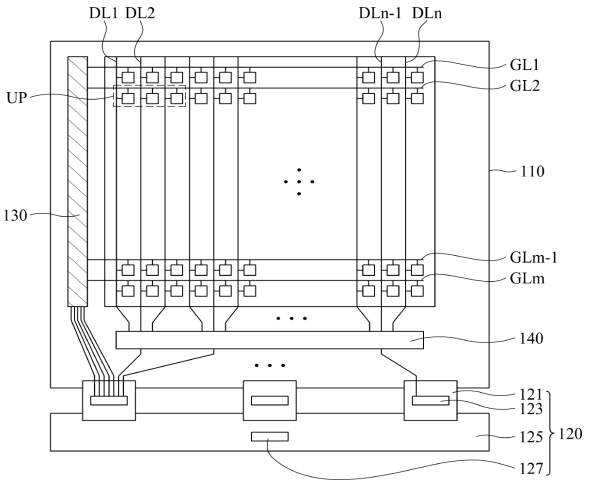

도면25



도면26



| | | | |
|---|---|---|---|
| 专利名称(译) | 显示装置 | | |
| 公开(公告)号 | KR1020200009910A | 公开(公告)日 | 2020-01-30 |
| 申请号 | KR1020180084956 | 申请日 | 2018-07-20 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | 이정현<br>홍예원<br>문태웅 | | |
| 发明人 | 이정현<br>홍예원<br>문태웅 | | |
| IPC分类号 | G09G3/3225 G09G3/3275 | | |
| CPC分类号 | G09G3/3225 G09G3/3275 G09G2230/00 G09G2310/0297 G09G2320/0214 G09G2330/028 G09G3/3208 G09G3/3266 G09G3/3283 G09G3/3291 G09G3/3688 G09G2300/0417 G09G2300/0426 H01L27/1225 H01L27/3244 | | |
| 外部链接 | Espacenet | | |


摘要(译)

根据本申请的实施例的显示装置包括解复用电路单元，该解复用电路单元将从数据驱动电路提供的数据信号顺序地提供给至少两条数据线。 由于解复用电路单元包括开关单元，该开关单元基于控制线的电压将数据信号顺序地提供给至少两条数据线，因此电压控制单元响应于分时控制信号和控制单元而控制控制线的电压。 辅助信号至少部分地与分时控制信号重叠，并且电压放电单元响应于分时控制信号而释放控制线的电压，发生泄漏电流，该泄漏电流可以传输到有机 可以防止发光元件，可以使边框区域最小化，并且可以实现显示面板的高分辨率图像。