



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0032959
(43) 공개일자 2019년03월28일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0121450
(22) 출원일자 2017년09월20일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
김인섭
경기도 파주시 월롱면 엘지로 245
김상진
경기도 파주시 월롱면 엘지로 245
김지은
경기도 파주시 월롱면 엘지로 245

(74) 대리인
특허법인로얄

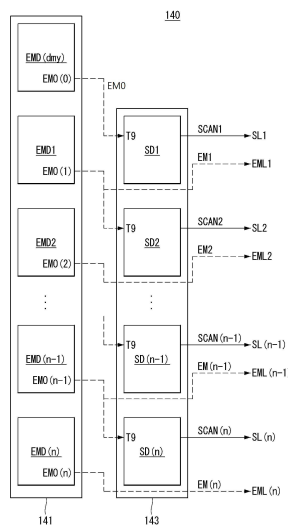
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 시프트레지스터 및 이를 포함하는 유기발광 표시장치

(57) 요약

본 발명에 의한 유기발광 표시장치는 픽셀들, 에미션 드라이버들 및 스캔 드라이버들을 포함한다. 픽셀들은 에미션신호 및 스캔신호를 바탕으로 구동된다. 에미션 드라이버들 각각은 에미션신호를 순차적으로 생성한다. 스캔 드라이버들 각각은 스캔신호를 순차적으로 생성한다. 제n 스캔 드라이버는 QB 노드의 전압에 응답하여, 출력단에 턴-오프전압을 인가하는 풀다운 트랜지스터 및 출력단이 턴-오프 전압인 구간에서, 홀딩 제어신호에 응답하여 QB 노드에 턴-온 전압을 공급하는 QB 노드 홀딩부를 포함한다. 홀딩 제어신호는 에미션신호를 이용한다.

대표도 - 도2



(52) CPC특허분류
G09G 2310/0286 (2013.01)

명세서

청구범위

청구항 1

에미션신호 및 스캔신호를 바탕으로 구동되는 픽셀들;

각각이 상기 에미션신호를 순차적으로 생성하는 에미션 드라이버들; 및

각각이 상기 스캔신호를 순차적으로 생성하는 스캔 드라이버들을 포함하고,

상기 스캔 드라이버들 중에서, 출력단을 통해서 제 n (n 은 자연수) 스캔신호를 출력하는 제 n 스캔 드라이버는

QB 노드의 전압에 응답하여, 상기 출력단에 턴-오프전압을 인가하는 풀다운 트랜지스터; 및

상기 출력단이 턴-오프 전압인 구간에서, 홀딩 제어신호에 응답하여 상기 QB 노드에 턴-온 전압을 공급하는 QB 노드 홀딩부를 포함하되, 상기 홀딩 제어신호는 상기 에미션신호를 이용하는 유기발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 홀딩 제어신호는

상기 제 n 스캔신호가 턴-온 전압인 구간에서 턴-오프 전압을 유지하는 유기발광 표시장치.

청구항 3

제 2 항에 있어서,

상기 스캔 드라이버는 Q 노드에 연결되는 게이트전극, 클럭신호 입력단에 연결되는 소스전극 및 상기 출력단에 연결되는 드레인전극으로 이루어지는 풀업 트랜지스터를 더 포함하고,

상기 홀딩 제어신호는 상기 Q 노드의 전압이 턴-온 전압인 동안 턴-오프 전압을 유지하는 유기발광 표시장치.

청구항 4

제 3 항에 있어서,

상기 홀딩 제어신호는 제 $(n-1)$ 에미션신호인 유기발광 표시장치.

청구항 5

제 4 항에 있어서,

상기 제 n 스캔신호는 n 번째 수평기간에 턴-온 전압을 유지하고,

상기 홀딩 제어신호는 $(n-1)$ 번째 수평기간부터 $(n+1)$ 번째 수평기간까지 턴-오프 전압을 유지하는 유기발광 표시장치.

청구항 6

픽셀들에 스캔신호를 순차적으로 인가하며, 서로 종속적으로 연결되는 제1 내지 제 n 스캔 드라이버를 포함하는 시프트레지스터에 있어서,

상기 제 n 스캔 드라이버는

Q 노드 전압에 응답하여, 상기 출력단에 턴-온 전압을 인가하는 풀업 트랜지스터;

QB 노드 전압에 응답하여, 상기 출력단에 턴-오프 전압을 인가하는 풀다운 트랜지스터; 및

홀딩 제어신호에 응답하여, 상기 QB 노드에 턴-온 전압을 인가하는 QB 노드 홀딩부를 포함하고,

상기 홀딩 제어신호는 상기 픽셀들에 발광기간을 정의하는 에미션신호들 중에서 어느 하나인 시프트레지스터.

청구항 7

제 6 항에 있어서,

상기 에미션신호들 각각을 순차적으로 출력하는 제1 내지 제n 에미션 드라이버를 더 포함하고,

상기 QB 노드 홀딩부는

턴-온 전압 입력단 및 상기 QB 노드 사이에 접속되며, 게이트전극이 상기 제1 내지 제n 에미션 드라이버들 중에서 어느 하나의 출력단과 연결되는 트랜지스터로 이루어지는 시프트레지스터.

청구항 8

제 7 항에 있어서,

상기 QB 노드 홀딩부의 게이트전극은

상기 제(n-1) 에미션 드라이버의 출력단과 연결되는 시프트레지스터.

청구항 9

제 8 항에 있어서,

상기 제n 스캔신호는 n 번째 수평기간에 턴-온 전압을 유지하고,

상기 홀딩 제어신호는 (n-1) 번째 수평기간부터 (n+1) 번째 수평기간까지 턴-오프 전압을 유지하는 시프트레지스터.

청구항 10

제 6 항에 있어서,

상기 제n 스캔 드라이버는

상기 QB 노드 전압에 응답하여, 상기 Q 노드에 턴-오프 전압을 인가하는 제1 인버터 트랜지스터; 및

상기 Q 노드 및 상기 제1 인버터 트랜지스터 사이에 접속되고, 게이트전극이 턴-온 전압의 입력단에 연결되는 제1 안정화 트랜지스터를 더 포함하는 시프트레지스터.

청구항 11

제 6 항에 있어서,

상기 제n 스캔 드라이버는

상기 Q 노드의 전압이 턴-온 전압일 때, 상기 QB 노드에 턴-오프 전압을 인가하는 제2 인버터 트랜지스터; 및

상기 Q 노드 및 상기 제2 인버터 트랜지스터의 게이트전극 사이에 접속되고, 게이트전극이 턴-온 전압의 입력단에 연결되는 제2 안정화 트랜지스터를 더 포함하는 시프트레지스터.

청구항 12

제 6 항에 있어서,

상기 제n 스캔 드라이버는

스타트신호에 응답하여, 상기 Q 노드에 턴-온 전압을 인가하는 스타트 제어부; 및

상기 스타트 제어부와 상기 Q 노드 사이에 접속되고, 게이트전극이 턴-온 전압의 입력단에 연결되는 제3 안정화 트랜지스터를 더 포함하는 시프트레지스터.

청구항 13

제 6 항에 있어서,

상기 제 n 스캔 드라이버는

리셋신호에 응답하여 상기 Q 노드에 턴-오프 전압을 인가하는 리셋 제어부; 및

상기 Q 노드 및 상기 리셋 제어부 사이에 접속되고, 게이트전극이 턴-온 전압의 입력단에 연결되는 제4 안정화 트랜지스터를 더 포함하는 시프트레지스터.

발명의 설명

기술 분야

[0001] 본 발명은 시프트레지스터 및 이를 포함하는 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 평판 표시장치(FPD; Flat Panel Display)는 소형화 및 경량화에 유리한 장점으로 인해서 데스크탑 컴퓨터의 모니터뿐만 아니라, 노트북컴퓨터, 태블릿 등의 휴대용 컴퓨터나 휴대 전화 단말기 등에 폭넓게 이용되고 있다. 이러한 평판 표시장치는 액정표시장치(Liquid Crystal Display; LCD), 플라즈마 표시장치(Plasma Display Panel; PDP), 전계 방출표시장치(Field Emission Display; FED) 및 유기발광다이오드 표시장치(Organic Light Emitting diode Display; 이하, OLED) 등이 있다.

[0003] 이 중에서 유기발광다이오드 표시장치는 응답속도가 빠르고, 발광효율이 높은 휘도를 표현할 수 있으며 시야각이 큰 장점이 있다.

[0004] 유기발광 표시장치는 스캔신호 및 에미션신호를 이용하여 구동된다. 스캔신호 및 에미션신호를 생성하는 게이트 구동부는 표시패널의 베젤 영역에 게이트-인-패널(Gate In Panel, 이하 GIP) 형태로 구현되기도 한다. GIP 형태의 게이트 구동부는 하나의 게이트신호를 생성하기 위해서 서로 종속적으로 연결되는 스캔 드라이버들로 이루어지는 시프트레지스터를 구비한다.

[0005] 스캔 드라이버들 각각은 순차적으로 스캔신호를 순차적으로 출력하여 픽셀들을 구동하기 때문에, 순차 구동 방식에서 하나의 스캔 드라이버는 한 프레임 기간 내에서 스캔신호를 1회 출력하여야 한다. 하지만, 스캔 드라이버를 구성하는 트랜지스터들의 신뢰성이 저하되면 원치않는 타이밍에 스캔신호를 출력하여, 시프트레지스터가 동시에 두 개 이상의 스캔신호를 출력하는 문제점이 나타나기도 한다.

[0006] 또한, 시프트레지스터에 포함되는 다수의 트랜지스터들 중에서 클럭신호가 인가될 때 부트스트래핑되는 노드와 연결되는 트랜지스터들은 순간적으로 드레인-소스 간의 전압 차이가 커지게 되어서 신뢰성에 영향을 주는 문제점이 나타나기도 한다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 신뢰성을 높여서 멀티 출력을 방지할 수 있는 시프트레지스터 및 이를 포함한 유기발광 표시장치를 제공하기 위한 것이다.

과제의 해결 수단

[0008] 본 발명에 의한 유기발광 표시장치는 픽셀들, 에미션 드라이버들 및 스캔 드라이버들을 포함한다. 픽셀들은 에미션신호 및 스캔신호를 바탕으로 구동된다. 에미션 드라이버들 각각은 에미션신호를 순차적으로 생성한다. 스캔 드라이버들 각각은 스캔신호를 순차적으로 생성한다. 제 n 스캔 드라이버는 QB 노드의 전압에 응답하여, 출력단에 턴-오프전압을 인가하는 풀다운 트랜지스터 및 출력단이 턴-오프 전압인 구간에서, 홀딩 제어신호에 응답하여 QB 노드에 턴-온 전압을 공급하는 QB 노드 홀딩부를 포함한다. 홀딩 제어신호는 에미션신호들 중에서 어느 하나를 이용한다.

발명의 효과

[0009] 본 발명에 의한 시프트레지스터는 스캔신호가 출력되지 않는 동안에 QB 노드 홀딩부를 이용하여 풀다운 트랜지스터의 동작을 제어하는 QB 노드의 전압을 안정적으로 턴-온 전압 상태로 유지할 수 있다. 따라서, 시프트레지스터를 구성하는 트랜지스터들의 문턱전압이 시프트되어서 QB 노드의 전압이 불안정해지는 것을 방지할 수

있다. 즉, 본 발명의 시프트레지스터는 트랜지스터들의 문턱전압 변화에 강건한 구조를 갖기 때문에, 스캔 드라이버의 출력단에 턴-오프 전압을 인가하는 풀다운 트랜지스터의 동작을 안정적으로 유지할 수 있다. 그 결과 스캔신호가 출력되지 않아야 할 구간에서 풀업 트랜지스터가 동작되는 불량을 방지하여, 시프트레지스터가 동시에 두 개 이상의 스캔신호를 출력하는 것을 방지할 수 있다.

[0010] 특히, 본 발명은 새로운 클럭신호를 이용하지 않으면서 QB 노드에 안정적으로 턴-온 전압을 인가할 수 있다. 따라서, 새로운 클럭신호를 생성하기 위한 타이밍 컨트롤러의 재설계를 요구하지 않는다.

도면의 간단한 설명

[0011] 도 1은 본 발명에 의한 유기발광다이오드 표시장치의 구성을 나타내는 도면이다.

도 2는 본 발명에 의한 시프트레지스터의 구성을 나타내는 도면이다.

도 3은 본 발명에 의한 픽셀의 구조를 나타내는 모식도이다.

도 4는 도 3에 도시된 픽셀의 구동을 위한 게이트신호들의 타이밍을 나타내는 도면이다.

도 5는 본 발명에 의한 스캔 드라이버의 구성을 나타내는 블록도이다.

도 6는 본 발명에 의한 스캔 드라이버의 실시 예를 나타내는 도면이다.

도 7은 도 6에 도시된 스캔 드라이버를 구동하기 위한 클럭신호들의 타이밍 및 주요 노드의 전압변화를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0013] 본 발명의 게이트 구동부에서 스위치 소자들은 n 타입 또는 p 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 트랜지스터로 구현될 수 있다. 이하의 실시예에서 p 타입 트랜지스터를 예시하였지만, 본 발명은 이에 한정되지 않는다는 것에 주의하여야 한다. 트랜지스터는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. 트랜지스터 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 트랜지스터에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 MOSFET(NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 MOSFET에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 타입 MOSFET(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 MOSFET에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 이하의 실시예에서 트랜지스터의 소스와 드레인으로 인하여 발명이 제한되어서는 안된다.

[0014] 도 1은 본 발명에 의한 표시장치의 구성을 나타내는 도면이다.

[0015] 도 1을 참조하면, 본 발명에 의한 유기발광다이오드 표시장치는 픽셀들(P)이 매트릭스 형태로 배열되는 표시패널(100), 데이터 구동부(120), 게이트 구동부(130,140) 및 타이밍 컨트롤러(110)를 구비한다.

[0016] 표시패널(100)은 픽셀들(P1...Pn)이 배치되어 영상을 표시하는 표시부(100A) 및 시프트레지스터(140)가 배치되고 영상을 표시하지 않는 비표시부(100B)를 포함한다.

[0017] 표시부(100A)는 복수 개의 픽셀들(P1...Pn)을 포함하고, 각각의 픽셀(P)들이 표시하는 계조를 기반으로 영상을 표시한다. 픽셀들(P1...Pn)은 제1 내지 제n 픽셀라인(HL1 내지 HL[n])들을 따라 배열된다. 각각의 픽셀들(P1...Pn)은 컬럼라인(Column Line)을 따라 배열되는 데이터라인(DL)과 연결되고, 픽셀라인(HL)을 따라 배열되는 게이트라인(GL)에 연결된다. 즉, 동일한 픽셀라인에 배치된 픽셀들은 동일한 게이트라인(GL)을 공유하여 동시에 구동된다. 그리고 제1 픽셀라인(HL1)에 배치된 픽셀들을 제1 픽셀(P1)들이라 정의하고, 제n 픽셀라인

(HL_n)에 배치된 픽셀들을 제_n 픽셀(P_n)들이라고 정의할 때, 제1 픽셀(P₁)들부터 제_n 픽셀(P_n)들은 순차적으로 구동된다. 그리고, 하나의 스캔라인에 데이터를 기입하는 샘플링 기간을 1수평기간(1H)이라고 정의할 수 있다.

- [0018] 타이밍 콘트롤러(110)는 데이터 구동부(120) 및 게이트 구동부(130,140)의 구동 타이밍을 제어하기 위한 것이다. 이를 위해서 타이밍 콘트롤러(110)는 외부로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(100)의 해상도에 맞게 재정렬하여 데이터 구동부(120)에 공급한다. 또한, 타이밍 콘트롤러(110)는 수직 동기 신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동부(120)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동부(130,140)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 발생한다.
- [0019] 데이터 구동부(120)는 데이터라인부(DL)를 구동하기 위한 것이다. 이를 위해서 데이터 구동부(120)는 데이터 제어신호(DDC)를 기반으로 타이밍 콘트롤러(110)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 데이터 전압으로 변환하여 데이터라인(DL)들에 공급한다.
- [0020] 게이트 구동부(130,140)는 레벨 시프터(130) 및 시프트레지스터(140)를 포함한다. 레벨 시프터(130)는 IC 형태로 표시패널(100)에 접속되는 인쇄회로기판(미도시)에 형성되고, 시프트레지스터(140)는 표시패널(100)의 비표시영역(100B)에 형성되는 게이트-인-패널(Gate In Panel; 이하 GIP) 방식으로 형성된다.
- [0021] 레벨 시프터(130)는 타이밍 콘트롤러(110)의 제어하에 클럭들 및 스타트신호(VST) 등의 게이트 제어신호(GDC)를 레벨 쉬프팅한 후 시프트레지스터(140)에 공급한다. 시프트레지스터(140)는 레벨 시프터(130)로부터 게이트 제어신호(GDC)를 공급받아, 에미션신호 및 스캔신호 등의 게이트신호를 순차적으로 출력한다.
- [0022] 도 2는 본 발명에 의한 시프트레지스터를 나타내는 도면이다.
- [0023] 도 2를 참조하면, 본 발명에 의한 시프트레지스터는 에미션신호 생성부(141) 및 스캔신호 생성부(143)를 포함한다.
- [0024] 에미션신호 생성부(141)는 더미 에미션 드라이버(EMD(dmy)), 제1 내지 제_n 에미션 드라이버(EMD1~EMD(n))를 포함한다. 더미 에미션 드라이버(EMD(dmy))는 더미 에미션신호(EM(0))를 생성하여, 제1 스캔 드라이버(SD1)에 인가한다. 제1 에미션 드라이버(EMD1)는 에미션신호(EM1)를 생성하여, 제1 픽셀라인(HL1)의 에미션 라인(EML1) 및 제2 스캔 드라이버(SD2)에 인가한다. 제2 에미션 드라이버(EMD2)는 에미션신호(EM2)를 생성하여, 제2 픽셀라인(HL2)의 에미션 라인(EML2) 및 제3 스캔 드라이버(SD3)에 인가한다. 마찬가지로, 제(n-1) 에미션 드라이버(EMD(n-1))는 에미션신호(EM(n-1))를 생성하여, 에미션 라인(EML(n-1)) 및 제_n 스캔 드라이버(SD(n))에 인가한다. 제_n 에미션 드라이버(EMD_n)는 에미션신호(EM(n))를 생성하고, 제_n 픽셀라인(HL_n)의 에미션 라인(EML(n))에 인가한다.
- [0025] 스캔신호 생성부(143)는 제1 내지 제_n 스캔 드라이버(SD1~SD(n))를 포함한다. 제1 스캔 드라이버(SD1)는 제1 스캔신호(SCAN1)를 생성하여 제1 픽셀라인(HL1)의 스캔라인(SL1)에 인가하고, 제2 스캔 드라이버(SD2)는 제2 스캔신호(SCAN2)를 생성하여 제2 픽셀라인(HL2)의 스캔라인(SL2)에 인가한다. 제(n-1) 스캔 드라이버(SD(n-1))는 제(n-1) 스캔신호(SCAN(n-1))를 생성하여 제(n-1) 스캔라인(SL(n-1))에 인가하고, 제_n 스캔 드라이버(SD(n))는 제_n 스캔신호(SCAN(n))를 생성하여 제_n 스캔라인(SL(n))에 인가한다.
- [0026] 스캔 드라이버들(SD1~SD(n))은 이전단의 에미션신호를 인가받아서, 스캔신호들(SCAN1~SCAN(n))이 출력되지 않는 구간에서 스캔 출력단(SRO1~SRO(n))에 안정적으로 턴-오프 전압을 인가한다. 이에 대한 구체적인 동작은 후술하기로 한다.
- [0027] 도 3은 본 발명의 실시 예에 의한 픽셀 구조를 나타내는 모식도이고, 도 4는 스캔신호의 타이밍을 나타내는 도면이다. 도 4에서 스캔신호들 및 에미션신호는 n번째 픽셀라인의 구동 타이밍을 중심으로 도시되었다. (n-1)번째 수평기간((n-1)th H)은 n번째 픽셀라인의 이니셜 기간이고, n 번째 수평기간((n)th H)은 n번째 픽셀라인의 센싱 기간이다. (n+1)번째 수평기간((n+1)th H)은 n 번째 픽셀라인의 발광기간 이전의 과도기 기간이다. (n+2)번째 수평기간((n+2)th H) 이후에 제_n 에미션신호(EM(n))는 턴-온 전압이 되고, 제_n 에미션신호(EM(n))가 턴-온 전압이 되는 구간을 발광기간으로 정의될 수 있다.
- [0028] 도 3 및 도 4를 참조하면, 실시 예에 의한 픽셀은 제1 및 제2 스위칭 트랜지스터들(SW1,SW2), 구동 트랜지스터(DT), 보상회로(C_{com}) 및 유기발광다이오드(OLED)를 포함한다. 유기발광다이오드(OLED)는 구동 트랜지스터(DT)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다. 제1 스위칭 트랜지스터(SW1)는 제(n-1)(n은 자연수) 스캔라인(SL(n-1))을 통해서 인가되는 제(n-1) 스캔신호(SCAN(n-1))에 응답하여, 구동 트랜지스터(DT)의

게이트전압에 초기화 전압(Vini)을 인가한다. 제2 스위칭 트랜지스터(SW2)는 제n 스캔라인(SL(n))을 통해 인가되는 제n 스캔신호(SCAN(N))에 응답하여, 구동 트랜지스터(DT)의 소스전극에 데이터전압(Vdata)을 인가한다. 따라서, 제n 스캔신호(SCAN(N))는 제n 픽셀(P(n))의 데이터기입을 제어하는 스캔신호로 정의할 수 있다. 보상회로(C_com)는 픽셀(P)의 주요 노드들(N1,N2,N3,N4)의 전압을 제어한다. 제n 에미션신호(EM(n))는 보상회로(C_com)를 제어하여 제2 노드(N2) 및 제4 노드(N4)를 스위칭시킬 수 있다.

- [0029] 도 3 및 도 4에 도시된 픽셀 구조는 다양한 실시 예로 변형될 수 있다. 예컨대, 픽셀회로는 제(n-1) 스캔신호(SCAN(n-1))가 보상회로(C_com)를 제어하여 유기발광 다이오드(OLED)의 애노드전극인 제4 노드(N4)에 초기화 전압(Vini)을 인가하도록 구현될 수 있다. 또한 제2 스위치(SW2)는 데이터라인(DL)과 제1 노드(N1) 사이에 연결될 수도 있다.
- [0030] 도 5는 도 2에 도시된 제n 스캔 드라이버의 구성을 나타내는 블록도이고, 도 6은 도 5에 도시된 제n 스캔 드라이버의 구체적인 실시 예를 나타내는 도면이다.
- [0031] 도 5 및 도 6을 참조하면, 제n 스캔 드라이버(SD(n))는 스타트 제어부(10), 노드 제어부(20), QB 노드 홀딩부(30), 풀업부(40) 및 풀다운부(50)를 포함한다.
- [0032] 스타트 제어부(10)는 제1 및 제2 트랜지스터(T1,T2)를 포함한다. 노드 제어부(20)는 제3 내지 제7 트랜지스터들(T3,T4,T5,T6,T7), 안정화 트랜지스터들(Tbv1, Tbv2, Tbv3, Tbv4), 제1 및 제2 커패시터(CQ,CQB)를 포함한다. QB 노드 홀딩부(30)는 제9 트랜지스터(T9)로 구현될 수 있고, 이하 QB 노드 홀딩부(30)는 제9 트랜지스터(T9)로 지칭하기로 한다. 풀업부(40)는 풀업 트랜지스터(Tpu)로 구현될 수 있고, 이하 풀업부(40)는 풀업 트랜지스터(Tpu)로 지칭하기로 한다. 풀다운부(50)는 풀다운 트랜지스터(Tpd)로 구현될 수 있고, 이하 풀다운부(50)는 풀다운 트랜지스터(Tpd)로 지칭하기로 한다.
- [0033] 스타트 제어부(T1,T2) 및 제3 안정화 트랜지스터(Tbv3)는 저전위전압(VGL)의 입력단과 Q 노드 사이에서 서로 직렬로 연결된다. 본 명세서에서는 PMOS 트랜지스터를 실시 예로 설명하고 있기 때문에, 저전위전압(VGL)은 턴-온 전압에 해당하고, 저전위전압(VGL)의 입력단은 턴-온 전압의 입력단으로 지칭될 수 있다. 제1 트랜지스터(T1)의 게이트전극은 스타트신호(VST) 또는 캐리신호(CARRY)를 입력받는 스타트신호 입력단(VP)에 연결되고, 제2 트랜지스터(T2)의 게이트전극은 제4 클럭신호(CLK4)의 입력단에 연결되며, 제3 안정화 트랜지스터(Tbv3)의 게이트전극은 저전위전압(VGL)의 입력단에 연결된다. 제3 안정화 트랜지스터(Tbv3)는 항상 턴-온 상태를 유지한다. 그 결과, 스타트신호 입력단(VP)에 인가되는 스타트 신호와 제4 클럭신호(CLK4)가 동기되는 구간에서 Q 노드는 저전위전압(VGL)으로 프리차지된다.
- [0034] 제3 트랜지스터(T3)는 QB 노드에 연결되는 게이트전극, 제1 안정화 트랜지스터(Tbv1)의 드레인 전극에 연결되는 소스전극 및 고전위전압(VGH)의 입력단에 연결되는 드레인전극을 포함한다. 제3 트랜지스터(T3)는 QB 노드가 턴-온 전압일 때, Q 노드를 턴-오프 전압인 고전위전압(VGH)으로 충전시킨다. 제3 트랜지스터(T3)는 제1 인버터 트랜지스터로 지칭될 수 있다.
- [0035] 제4 트랜지스터(T4)는 제3 클럭신호(CLK3)의 입력단에 연결되는 게이트전극, 저전위전압(VGL)의 입력단에 연결되는 소스전극 및 QB 노드에 연결되는 드레인전극을 포함한다. 제4 트랜지스터(T4)는 제3 클럭신호(CLK3)에 응답하여, QB 노드를 턴-온 전압인 저전위전압(VGL)으로 충전한다.
- [0036] 제5 트랜지스터(T5)는 스타트신호 입력단(VP)에 연결되는 게이트전극, QB 노드에 연결되는 소스전극 및 고전위전압(VGH)의 입력단에 연결되는 드레인전극을 포함한다. 제5 트랜지스터(T5)는 스타트신호 입력단(VP)에 인가되는 스타트신호(VST) 또는 캐리신호(CARRY)에 응답하여, QB 노드를 턴-오프 전압인 고전위전압으로 충전시킨다.
- [0037] 제6 트랜지스터(T6)는 제2 안정화 트랜지스터(Tbv2)의 드레인전극에 연결되는 게이트전극, QB 노드에 연결되는 소스전극 및 고전위전압(VGH)의 입력단에 연결되는 드레인전극을 포함한다. 제6 트랜지스터(T6)는 Q 노드가 턴-온 전압일 때, QB 노드의 전압을 턴-오프 전압인 고전위전압(VGH)으로 충전시킨다. 제6 트랜지스터(T6)는 제2 인버터 트랜지스터로 지칭될 수 있다.
- [0038] 제7 트랜지스터(T7)는 리셋신호(QRST)의 입력단에 연결되는 게이트전극, 제4 안정화 트랜지스터(Tbv4)의 드레인 전극에 연결되는 소스전극 및 고전위전압(VGH)의 입력단에 연결되는 드레인전극을 포함한다. 제7 트랜지스터(T7)는 리셋신호(QRST)에 응답하여, Q 노드를 턴-오프 전압인 고전위전압(VGH)으로 충전시킨다. 제7 트랜지스터(T7)는 리셋 제어부로 지칭될 수 있다.

- [0039] 제1 커패시터(CQ)는 스캔신호(SCAN(n))가 출력되는 동안, Q 노드가 부트스트래핑 된 전압을 안정적으로 유지하도록 한다. 제2 커패시터(CQB)는 풀다운 트랜지스터(Tpd)가 턴-온 되는 동안에 QB 노드의 전압이 턴-온 전압을 유지하도록 한다.
- [0040] 풀업 트랜지스터(Tpu)는 Q 노드에 연결되는 게이트전극, 출력단(SRO)에 연결되는 드레인전극 및 클럭신호 입력단(CP)에 연결되는 소스전극으로 이루어진다. 풀업 트랜지스터(Tpu)는 Q 노드 전압에 응답하여, 클럭신호 입력단(CP)에 인가되는 게이트클럭에 따라 제n 스캔신호(SCAN(n))를 출력한다.
- [0041] 풀다운 트랜지스터(Tpd)는 QB 노드에 연결되는 게이트전극, 고전위전압(VGH)의 입력단에 연결되는 드레인전극, 출력단(SRO)에 연결되는 소스전극으로 이루어진다. 풀다운 트랜지스터(Tpd)는 QB 노드 전압에 응답하여, 출력단(SRO)을 턴-오프 전압인 고전위전압(VGH)으로 충전한다.
- [0042] 제9 트랜지스터(T9)는 홀딩 제어신호(EM(n-1))에 응답하여, QB 노드에 턴-온 전압인 저전위전압(VGL)을 인가한다. 홀딩 제어신호(EM(n-1))는 출력단(SRO)이 턴-오프 전압인 구간에서 턴-온 전압을 유지한다. 그 결과, 출력단(SRO)이 턴-오프 전압인 구간에서 풀다운 트랜지스터(Tpd)를 안정적으로 턴-온 시킨다. 특히, 홀딩 제어신호(EM(n-1))는 에미션신호이기 때문에, 별도의 클럭신호를 요구하지 않는다. 이하, 본 명세서에서 홀딩 제어신호(EM(n-1))는 이전단 픽셀라인을 구동하는 에미션신호를 바탕으로 설명하고, 홀딩 제어신호(EM(n-1))를 제(n-1) 에미션신호(EM(n-1))로 지칭하기로 한다.
- [0043] 제3 내지 제7 트랜지스터들(T3~T7) 및 제9 트랜지스터(T9)는 듀얼 게이트 구조로 구현하여 채널 길이를 증가시킴으로써, 누설전류 특성을 강화시킬 수 있다. 트랜지스터들의 게이트-소스 간의 전압 또는 드레인-소스 간의 전압이 장시간 크게 편차를 갖는 경우에 누설전류로 인하여 스캔 드라이버 구동에 신뢰성이 저하될 수 있다. 제3 내지 제7 트랜지스터들(T3~T7)이 듀얼 게이트 구조로 구현되는 것은 이처럼 신뢰성을 높이기 위한 것이며, 스캔 드라이버에서 듀얼 게이트 구조로 구현되는 트랜지스터들은 도 5에 도시된 실시 예에 한정되지 않는다.
- [0044] 제1 내지 제4 안정화 트랜지스터들(Tbv1, Tbv2, Tbv3, Tbv4)의 게이트전극은 저전위전압(VGL)의 입력단에 연결되고, 소스전극 또는 드레인전극이 Q 노드와 연결된다. 구체적으로, 제1 안정화 트랜지스터(Tbv1)는 저전위전압(VGL)의 입력단에 연결되는 게이트전극, 제3 트랜지스터(T3)의 소스전극에 연결되는 드레인전극 및 Q 노드에 연결되는 소스전극을 포함한다. 제2 안정화 트랜지스터(Tbv2)는 저전위전압(VGL)의 입력단에 연결되는 게이트전극, 제6 트랜지스터(T6)의 게이트전극에 연결되는 드레인전극 및 Q 노드에 연결되는 소스전극을 포함한다. 제3 안정화 트랜지스터(Tbv3)는 저전위전압(VGL)의 입력단에 연결되는 게이트전극, 제2 트랜지스터(T2)의 드레인전극에 연결되는 소스전극 및 Q 노드에 연결되는 드레인전극을 포함한다. 제4 안정화 트랜지스터(Tbv4)는 저전위전압(VGL)의 입력단에 연결되는 게이트전극, 제7 트랜지스터(T7)의 소스전극에 연결되는 드레인전극 및 Q 노드에 연결되는 소스전극을 포함한다.
- [0045] 제1 내지 제4 안정화 트랜지스터들(Tbv1, Tbv2, Tbv3, Tbv4)은 Q 노드가 부트스트래핑되는 순간에 Q 노드와 연결되는 트랜지스터들에 인가되는 전압레벨을 낮춘다. Q 노드가 부트스트래핑될 때 Q 노드는 저전위전압(VGL)의 전압레벨 보다 낮은 부트스트래핑 전압레벨(Vboot)로 하강하기 때문에 Q 노드와 접속하는 제1 내지 제4 안정화 트랜지스터들(Tbv1, Tbv2, Tbv3, Tbv4)의 전극은 드레인전극에 해당한다. 제1 내지 제4 안정화 트랜지스터들(Tbv1, Tbv2, Tbv3, Tbv4)이 동작하는 상태에서 게이트전극과 소스전극 간의 전압 차이(Vgs)와 문턱전압(Vth)의 크기는 " $Vgs < Vth < 0$ "인 조건을 만족한다. 따라서, 제1 내지 제4 안정화 트랜지스터들(Tbv1, Tbv2, Tbv3, Tbv4)의 게이트전압(Vg)과 문턱전압(Vth) 간의 전압 차이는 소스전압(Vs) 보다 작고, 이를 수식으로 표현하면 " $Vg - Vth < Vs$ "가 된다. 문턱전압(Vth)은 0V 보다 작은 전압이기 때문에, $Vg - Vth$ 는 저전위전압(VGL) 보다 큰 값이 된다. 즉, 제1 내지 제4 안정화 트랜지스터들(Tbv1, Tbv2, Tbv3, Tbv4)이 동작하는 상태에서, 제1 내지 제4 안정화 트랜지스터들(Tbv1, Tbv2, Tbv3, Tbv4)의 소스전압(Vs)은 저전위전압(VGL) 보다 큰 전압이 된다. 예컨대, 저전위전압(VGL)이 -10V이고, 문턱전압(Vth)이 -3V일 때, 소스전압(Vs)은 -7V 보다 큰 전압이 된다. 따라서, 제1 내지 제4 안정화 트랜지스터들(Tbv1, Tbv2, Tbv3, Tbv4)과 접속되는 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제6 트랜지스터(T6) 및 제7 트랜지스터(T7)는 Q 노드가 부트스트래핑 되는 과정에서 제1 전압레벨(VL1) 보다 큰 전압레벨을 인가받는다. 만약, 제1 내지 제4 안정화 트랜지스터들(Tbv1, Tbv2, Tbv3, Tbv4)이 없다면, 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제6 트랜지스터(T6) 및 제7 트랜지스터(T7)는 Q 노드가 부트스트래핑 되는 과정에서 저전위전압(VGL) 보다 낮은 전압인 제1 전압레벨(VL1)의 전압을 인가받는다. 따라서, 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제6 트랜지스터(T6) 및 제7 트랜지스터(T7)들의 Vds 또는 Vgs 값은 매우 커지기 때문에 신뢰성에 영향을 줄 수 있다. 이에 반해서 본 발명은 제1 내지 제4 안정화 트랜지스터들(Tbv1, Tbv2, Tbv3, Tbv4)을 이용하여 Q 노드가 부트스트래핑 될 때에도, Q 노드와 접속되는 트랜지스터들에 저전위전

압(VGL) 보다 낮은 전압이 인가되는 것을 방지하여 트랜지스터들의 신뢰성을 높일 수 있다.

- [0046] 도 7은 도 6에 도시된 스캔 드라이버에 인가되는 게이트클럭들의 타이밍과 이에 따른 제 n 스캔신호의 출력 타이밍을 나타내는 도면이다. 도 7에서 스타트 입력단(VP)에 인가되는 신호를 스타트신호(VST)로 표시하였지만, 이 전단 스캔신호인 제 $(n-1)$ 스캔신호(SCAN $(n-1)$)가 제 n 스캔 드라이버(SD (n)) 스타트 입력단(VP)에 인가되는 스타트신호로 이용될 수 있다. 도 6 및 도 7을 참조하여, 스캔 드라이버의 동작을 살펴보면 다음과 같다. 도 7은 n 번째 픽셀라인의 구동 타이밍을 중심으로 도시되었고, $(n-1)$ 번째 수평기간 $((n-1)$ th H)은 n 번째 픽셀라인의 이니셜 기간이고, n 번째 수평기간 $((n)$ th H)은 n 번째 픽셀라인의 센싱 기간이다. $(n+1)$ 번째 수평기간 $((n+1)$ th H)은 n 번째 픽셀라인의 발광기간 이전의 과도기 기간이다.
- [0047] 스타트신호(VST)가 인가되기 이전에, 제7 트랜지스터(T7)는 리셋신호(QRST)에 응답하여, Q 노드에 턴-오프 전압인 고전위전압(VGH)을 인가한다. 그 결과, Q 노드는 턴-오프 전압으로 리셋된다.
- [0048] 제1 타이밍(t_1)에서, 스타트신호(VST) 및 제4 클럭신호(CLK4)는 턴-온 전압이 된다. 스타트신호(VST)와 제4 클럭신호(CLK4)이 동기되는 구간에서 스타트 제어부(T1, T2)는 Q 노드를 턴-온전압인 저전위전압(VGL)으로 프리차지한다. 제5 트랜지스터(T5)는 스타트신호(VST)에 응답하여 QB 노드에 고전위전압(VGH)을 공급함으로써, 풀다운 트랜지스터(T_{pd})는 안정적으로 턴-오프 상태를 유지한다.
- [0049] 스타트신호(VST) 및 제4 클럭신호(CLK4)에 의해서 Q 노드가 저전위전압(VGL)으로 프리차지될 때, 클럭 입력단(CP)의 전압은 고전위전압(VGH)이다. 즉, 풀업 트랜지스터(T_{pu})의 V_{gs} 는 턴-온 조건을 만족하는 전압이 된다. 다만, 풀업 트랜지스터(T_{pu})의 드레인전극과 접속되는 출력단(SRO)의 전압이 소스전극의 전압과 동일한 수준의 고전위전압(VGH)이기 때문에, 출력단(SRO)의 전압의 변화는 없다.
- [0050] 제 $(n-1)$ 에미션신호(EM $(n-1)$)는 턴-오프 전압이 되고, 제9 트랜지스터(T9)는 턴-오프 상태가 된다.
- [0051] 제2 타이밍(t_2)에서, 제1 클럭신호(CLK1)는 턴-온 전압이 된다.
- [0052] 클럭 입력단(CP)은 저전위전압(VGL)의 제1 클럭신호(CLK1)을 인가받고, 풀업 트랜지스터(T_{pu})의 소스전극은 고전위전압(VGH)에서 저전위전압(VGL)으로 전압레벨이 낮아진다. 풀업 트랜지스터(T_{pu})의 소스전극의 전압 변화에 따라 Q 노드의 전압은 저전위전압(VGL)보다 더 낮은 전압으로 부트스트래핑(Bootstrapping) 된다. 부트스트래핑이 된 상태에서, Q 노드의 전압은 제1 커패시터(CQ)에 의해서 부트스트래핑 전압(V_{boot})으로 유지된다. 풀업 트랜지스터(T_{pu})의 소스전극의 전압 변화에 따라 출력단(SRO)은 턴-온 전압레벨의 제 n 스캔신호(SCAN (n))를 출력한다.
- [0053] 제3 타이밍(t_3)에서 제3 클럭신호(CLK3) 및 제 $(n-1)$ 에미션신호(EM $(n-1)$)는 턴-온 전압이 된다.
- [0054] 제4 트랜지스터(T4)는 제3 클럭신호(CLK3)에 응답하여, QB 노드에 턴-온 전압인 저전위전압(VGL)을 인가한다. 그 결과 풀업 트랜지스터(T_{pu})는 턴-온 되고, 출력단(SRO)에는 턴-오프 전압인 고전위전압(VGH)이 인가된다.
- [0055] 제9 트랜지스터(T9)는 제 $(n-1)$ 에미션신호(EM $(n-1)$)에 응답하여, QB 노드에 턴-온 전압인 저전위전압(VGL)을 인가한다. 그 결과, 풀업 트랜지스터(T_{pu})는 턴-온 되고, 출력단(SRO)에는 턴-오프 전압인 고전위전압(VGH)이 인가된다.
- [0056] 제9 트랜지스터(T9)는 제 n 스캔신호(SCAN (n))가 턴-온 전압인 구간에서 턴-오프 전압을 유지하는 제 $(n-1)$ 에미션신호(EM $(n-1)$)에 응답하여 동작한다. 제 $(n-1)$ 에미션신호(EM $(n-1)$)는 제 n 픽셀(P (n))의 발광기간 동안 턴-온 전압을 유지한다. 제 n 픽셀(P (n))의 발광기간은 제 n 픽셀(P (n))에 데이터를 기입하는 센싱기간을 제외한 기간이다. 발광기간은 픽셀에 따라서 센싱기간 이전의 이니셜기간부터 센싱기간 이후의 과도기 기간을 제외한 기간으로 설정될 수 있다. 본 발명의 실시 예는 턴-오프 기간이 3H인 발광제어신호를 도시하고 있다. 제 $(n-1)$ 에미션신호(EM $(n-1)$)는 1프레임에서 턴-온 기간은 3H를 제외하고는 턴-온 전압을 유지하기 때문에, 제3 타이밍(t_3)부터 다음 프레임의 제1 타이밍(t_1)까지 턴-온 전압을 유지한다. 따라서, 제9 트랜지스터(T9)는 제1 타이밍(t_1)에서 제3 타이밍(t_3)까지를 제외하고는 안정적으로 턴-오프 전압을 유지한다. 즉, 제9 트랜지스터(T9)는 주기적으로 턴-온과 턴-오프 동작을 반복하면서 QB 노드에 턴-온 전압을 인가하는 제4 트랜지스터(T4)의 동작을 보완할 수 있다.
- [0057] 제3 타이밍(t_3)에서, 제4 트랜지스터(T4)는 제3 클럭신호(CLK3)를 이용하여 QB 노드에 턴-온 전압을 인가하고, 이러한 제4 트랜지스터(T4)의 동작은 제9 트랜지스터(T9)와 동일하다. 하지만, 제4 트랜지스터(T4)는 제3 클럭신호(CLK3)를 바탕으로 동작하기 때문에, 주기적으로 턴-온과 턴-오프를 반복한다. 비록 QB 노드가 턴-온전압이 될 경우에, 제2 커패시터(CQB)가 QB 노드의 전압을 턴-온 전압으로 유지하는 동작을 수행하지만, 여전히 신

퇴성에 문제가 발생하는 경우가 있다.

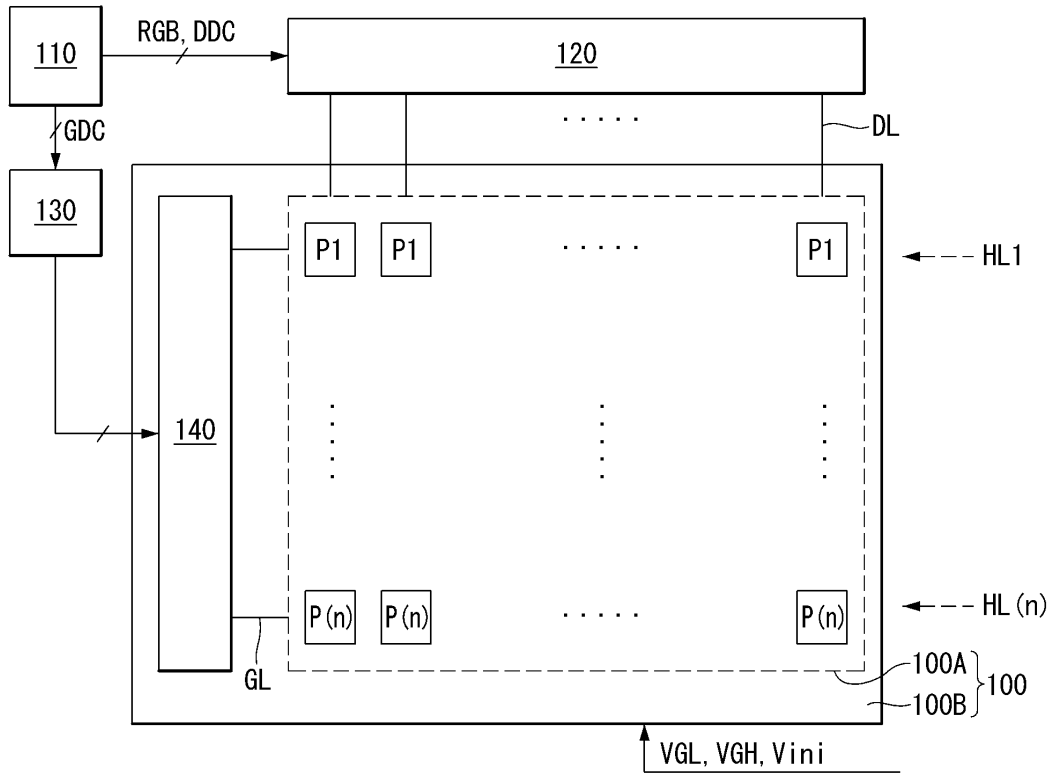
- [0058] 본 발명의 제 n 스캔 드라이버(SD n)의 제9 트랜지스터(T9)는 제 $(n-1)$ 에미션신호(EM $(n-1)$)에 응답하여 QB 노드에 턴-온 전압을 인가한다. 앞서 설명한 바와 같이, 제 $(n-1)$ 에미션신호(EM $(n-1)$)는 제3 타이밍(t_3) 이후에 지속적으로 턴-온 기간을 유지하는 제 $(n-1)$ 에미션신호(EM $(n-1)$)이기 때문에, QB 노드의 전압은 안정적으로 턴-온 상태를 유지할 수 있다.
- [0059] 본 명세서는 제 $(n-1)$ 에미션신호(EM $(n-1)$)를 이용하여 제9 트랜지스터(T9)를 제어하는 실시 예를 중심으로 설명되었다. 제9 트랜지스터(T9)를 제어하는 신호는 제 $(n-1)$ 에미션신호(EM $(n-1)$)에 한정되지 않는다. 제9 트랜지스터(T9)의 동작을 제어하는 신호는 에미션신호의 펄스 폭에 따라 달라질 수 있다.
- [0060] 예컨대, 제 n 에미션신호(EM (n))는 제 n 스캔신호(SCAN (n))가 출력되는 n 번째 수평기간((n) th H)에 턴-오프전압을 유지하기 때문에, 제9 트랜지스터(T9)는 제 n 에미션신호(EM (n))를 이용하여 동작될 수 있다. 다만, 제1 타이밍(t_1)부터 제2 타이밍(t_2) 사이에서 제9 트랜지스터(T9)가 턴-온상태이면, 제3 트랜지스터(T3)를 통해서 Q 노드에 고전위전압(VGH)이 인가되기 때문에, Q 노드의 전압이 불안정해진다. 그 결과 제 n 스캔신호(SCAN (n))의 출력이 불안정해질 수 있다. 따라서, 제9 트랜지스터(T9)를 제어하는 신호는 Q 노드가 프리차징 된 상태에서 턴-오프 전압을 유지하는 제 $(n-1)$ 에미션신호(EM $(n-1)$)를 이용하는 것이 바람직하다.
- [0061] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

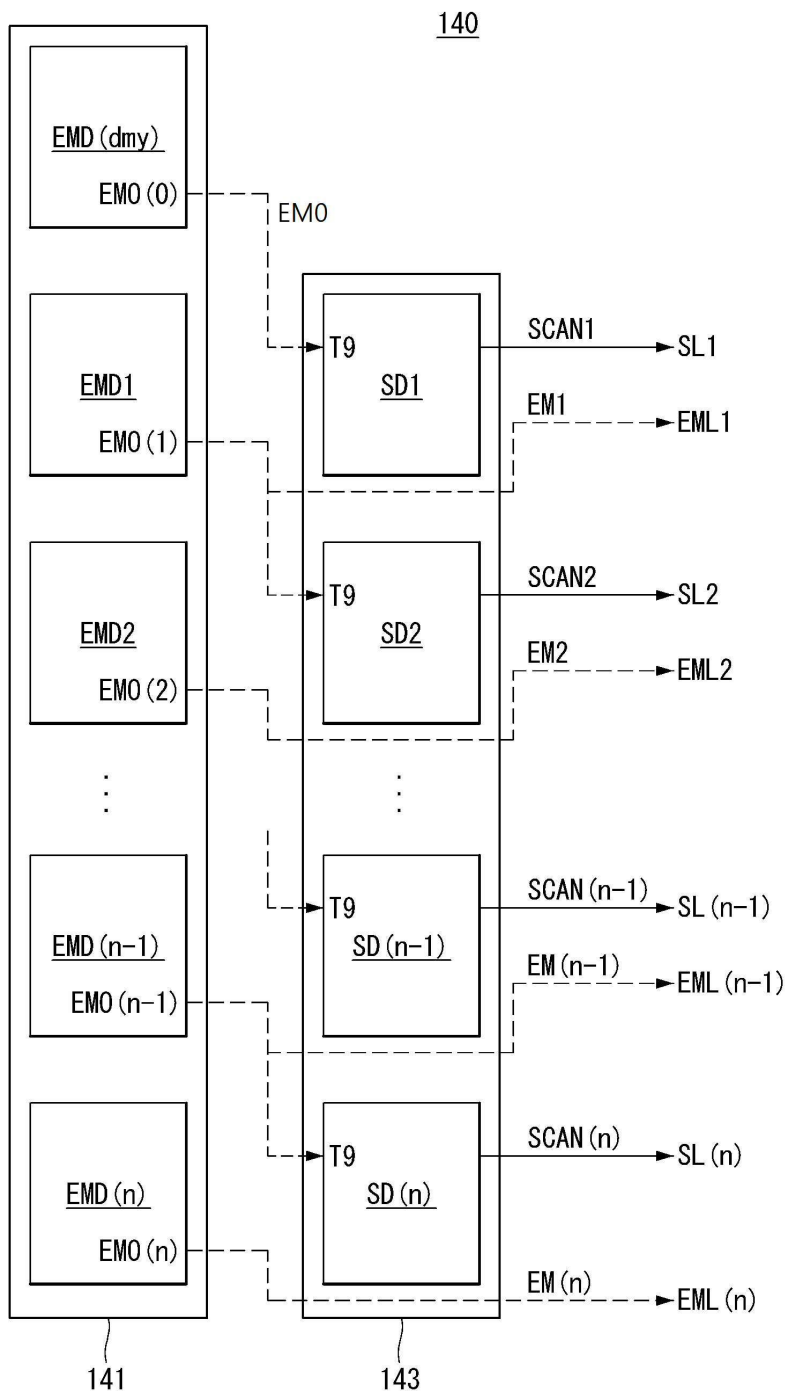
- [0062] 100: 표시패널 110: 타이밍 콘트롤러
- 120: 데이터 구동회로 130,140: 게이트 구동회로
- EMD1~EMD n : 에미션 드라이버 SD1~SD n : 스캔 드라이버
- 10: 스타트 제어부 20: 노드 제어부
- 30: QB 노드 홀딩부 40: 풀업부
- 50: 풀다운부

도면

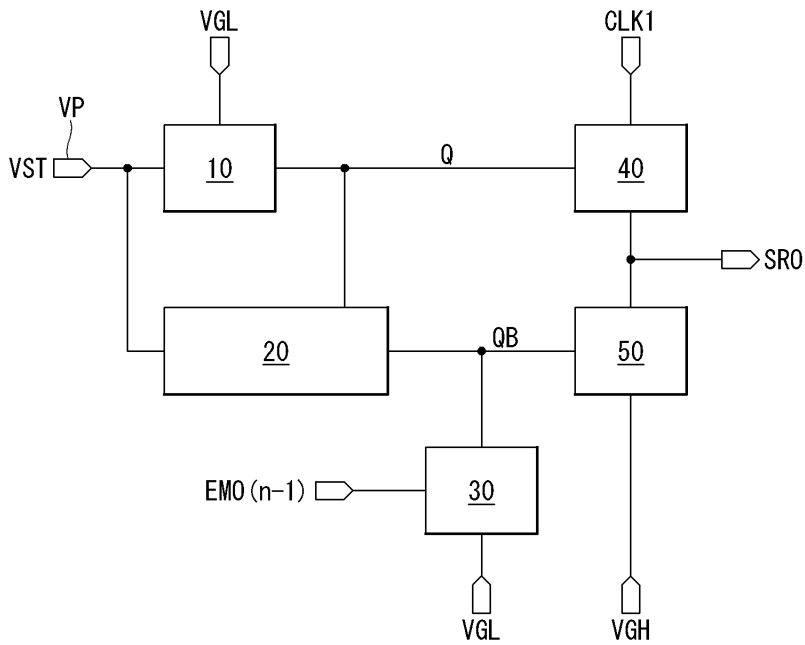
도면1



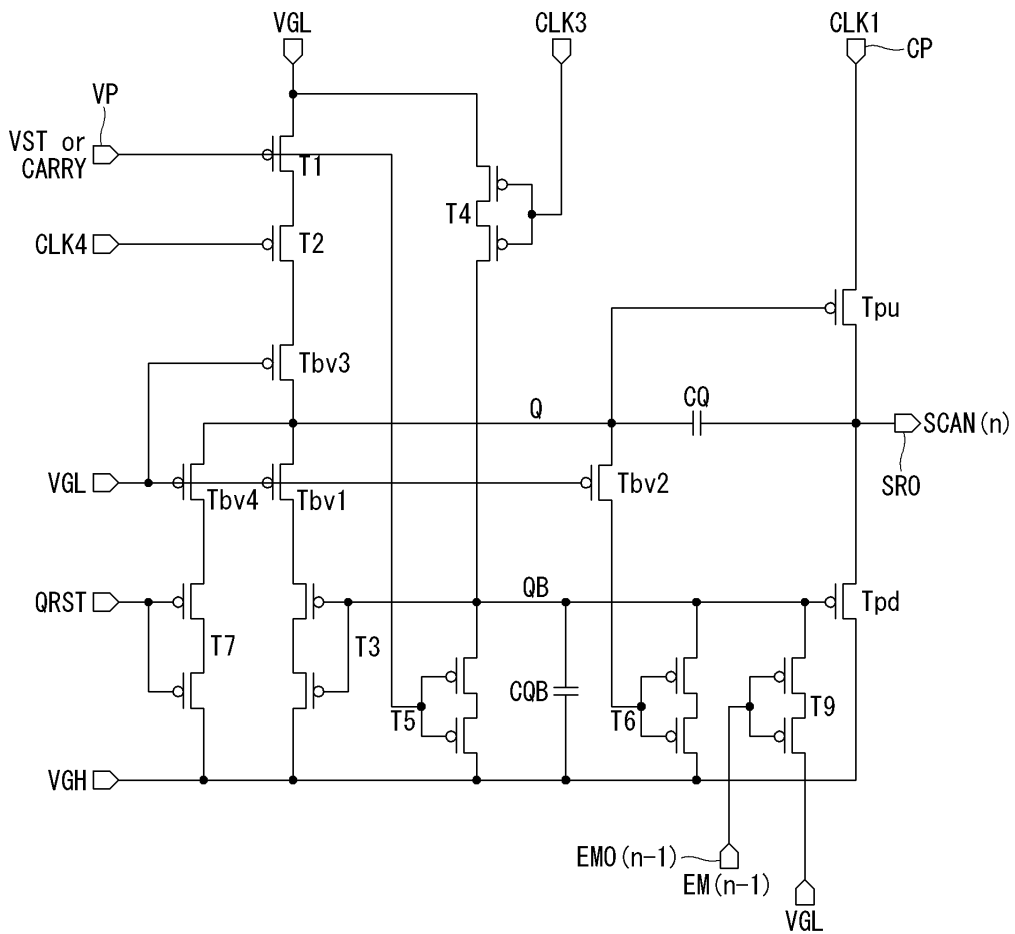
도면2



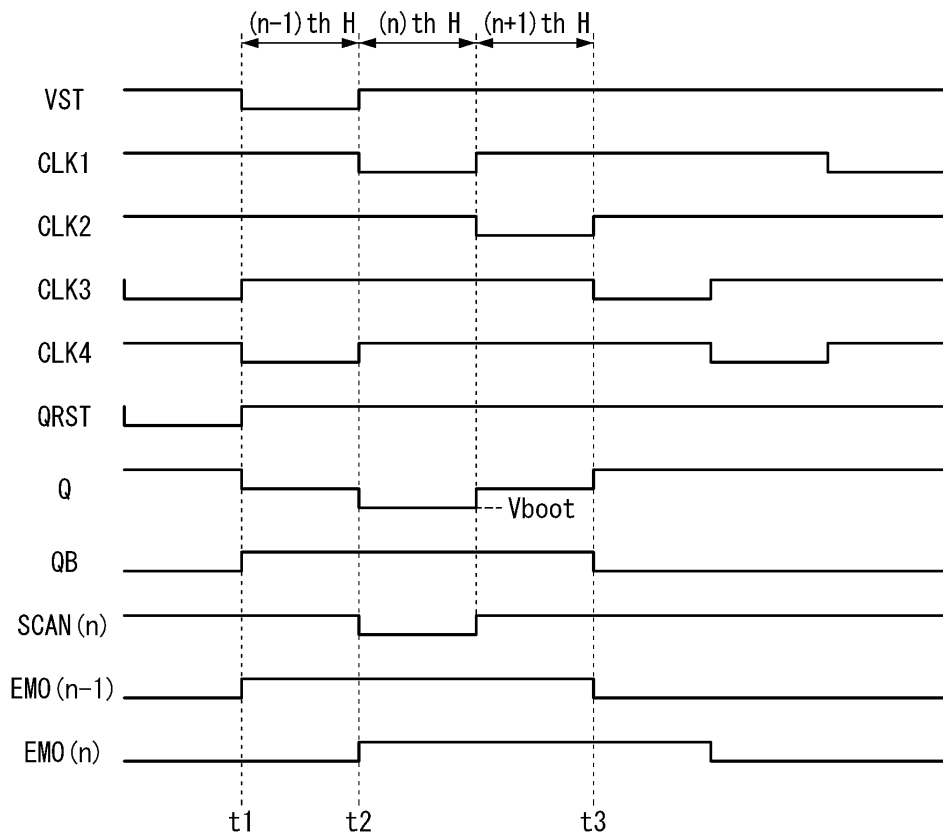
도면5



도면6



도면7



专利名称(译)	移位寄存器和包括其的有机发光显示器		
公开(公告)号	KR1020190032959A	公开(公告)日	2019-03-28
申请号	KR1020170121450	申请日	2017-09-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김인섭 김상진 김지은		
发明人	김인섭 김상진 김지은		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2230/00 G09G2310/0286		
外部链接	Espacenet		

摘要(译)

根据本发明的有机发光显示装置包括像素，发射驱动器和扫描驱动器。基于发射信号和扫描信号来驱动像素。每个发射驱动器顺序地产生发射信号。每个扫描驱动器顺序地产生扫描信号。第n扫描驱动器响应于以下部分中的保持控制信号将接通电压提供给QB节点：在该部分中，将下拉电压施加到输出端子和输出端子的下拉晶体管是响应于QB节点电压的断开电压。它包括一个QB节点保存单元。保持控制信号使用发射信号。

