



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0010052
(43) 공개일자 2019년01월30일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/50 (2006.01)
H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 29/786 (2013.01)
(21) 출원번호 10-2017-0092214
(22) 출원일자 2017년07월20일
심사청구일자 없음

(71) 출원인
엘지전자 주식회사
서울특별시 영등포구 여의대로 128 (여의도동)
(72) 발명자
김원태
서울특별시 서초구 양재대로11길 19 LG전자 특허센터
백흠석
서울특별시 서초구 양재대로11길 19 LG전자 특허센터
(뒷면에 계속)
(74) 대리인
특허법인로알

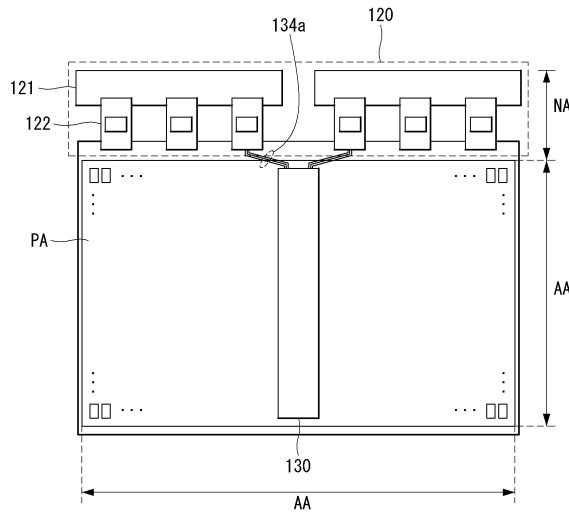
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 디스플레이 디바이스

(57) 요약

본 발명의 일 실시예에 따르면, 표시 영역과 표시 영역 주위에 위치되는 비 표시 영역을 포함하는 기관, 표시 영역 내에 배치된 애노드 전극, 애노드 전극 위에 적층되며, 표시 영역에 배치된 유기발광 층, 유기발광 층 위에 적층되는 캐소드 전극 그리고, 표시 영역에 배치되는 게이트 구동부를 포함한다.

대표도 - 도2



(52) CPC특허분류

H01L 51/5012 (2013.01)

H01L 51/5203 (2013.01)

(72) 발명자

이종업

서울특별시 서초구 양재대로11길 19 LG전자 특허센터

정인석

서울특별시 서초구 양재대로11길 19 LG전자 특허센터

황정환

서울특별시 서초구 양재대로11길 19 LG전자 특허센터

명세서

청구범위

청구항 1

표시 영역, 그리고 상기 표시영역과 구획되고 상기 표시 영역 주위에 위치하는 비 표시 영역을 포함하는 기판;
 상기 표시 영역 내에 배치된 애노드 전극;
 상기 애노드 전극 위에 적층되며, 상기 표시 영역에 배치된 유기발광 층;
 상기 유기발광 층 위에 적층되는 캐소드 전극; 그리고,
 상기 표시 영역에 배치되는 게이트 구동부를 포함하는 디스플레이 디바이스.

청구항 2

제1 항에 있어서,
 상기 표시 영역에 배치되며, 상기 애노드 전극과 연결되는 D드레인 전극, D소스 전극, D게이트 전극 및 D반도체 층을 구비하는 구동 박막 트랜지스터 소자;를 포함하고,
 상기 게이트 구동부는 상기 기판 위에 적층되고,
 상기 구동 박막 트랜지스터 소자는 상기 게이트 구동부 위에 적층되는 디스플레이 디바이스.

청구항 3

제2 항에 있어서,
 상기 게이트 구동부는
 G반도체층, G게이트 전극, G소스 전극 및 G드레인 전극을 구비하는 게이트 박막 트랜지스터 소자를 복수 개로 포함하고,
 상기 G드레인 전극은 상기 D게이트 전극과 연결되는 디스플레이 디바이스.

청구항 4

제3 항에 있어서,
 상기 게이트 구동부 위를 덮으면서 상기 기판에 도포되는 보호막; 그리고,
 상기 보호막 위에 도포되는 평탄화막;을 포함하고,
 상기 구동 박막 트랜지스터 소자는 상기 평탄화막 위에 형성되고,
 상기 보호막과 상기 평탄화막의 일부를 관통하여
 상기 G드레인 전극은 상기 D게이트 전극과 연결되는 디스플레이 디바이스.

청구항 5

제4 항에 있어서,
 상기 게이트 구동부는 상기 표시 영역의 중앙 영역에 배치되고,
 상하방향으로 길게 형성되는 디스플레이 디바이스.

청구항 6

제4 항에 있어서,

상기 게이트 구동부는

제1 게이트 구동부와 제2 게이트 구동부를 포함하고,

상기 제1 게이트 구동부는 상기 표시 영역의 일측 영역에 배치되고,

상기 제2 게이트 구동부는

상기 표시 영역의 일측 영역에 대향되는 상기 표시 영역의 타측 영역에 배치되는 디스플레이 디바이스.

청구항 7

제3 항에 있어서,

상기 기관 위에 형성되는 상기 G반도체층;

상기 G반도체층을 덮으면서 상기 기관 위에 도포되는 게이트 절연막;

상기 게이트 절연막 위에 형성되는 상기 G게이트 전극;

상기 G게이트 전극을 덮으면서 상기 게이트 절연막 위에 도포되는 절연막;

상기 절연막 위에 형성되고, 상기 절연막과 상기 게이트 절연막을 관통하여 상기 G반도체층의 일측 상면에 연결되는 상기 G소스 전극;

상기 G소스 전극과 이격되어 상기 절연막 위에 형성되고, 상기 절연막과 상기 게이트 절연막을 관통하여 상기 G반도체층의 타측 상면에 연결되는 상기 G드레인 전극;

상기 G소스 전극과 상기 G드레인 전극을 덮으면서 상기 절연막 위에 도포되는 보호막; 그리고,

상기 보호막 위에 도포되는 평탄화막;을 포함하는 디스플레이 디바이스.

청구항 8

제7 항에 있어서,

상기 평탄화막 위에 형성되는 상기 D반도체층;

상기 D반도체층을 덮으면서 상기 평탄화막 위에 도포되는 게이트 절연막;

상기 게이트 절연막 위에 형성되는 상기 D게이트 전극;

상기 D게이트 전극을 덮으면서 상기 게이트 절연막 위에 도포되는 절연막;

상기 절연막 위에 형성되고, 상기 D게이트 전극의 일측 주변에 형성되는 상기 절연막과 상기 게이트 절연막을 관통하여 상기 D반도체층에 연결되는 상기 D소스 전극;

상기 D소스 전극과 이격되어 상기 절연막 위에 형성되고, 상기 D게이트 전극의 타측 주변에 형성되는 상기 절연막과 상기 게이트 절연막을 관통하여 상기 D반도체층에 연결되는 상기 D드레인 전극;

상기 D소스 전극과 상기 D드레인 전극을 덮으면서 상기 절연막 위에 도포되는 보호막;

상기 보호막 위에 도포되는 평탄화막; 그리고,

상기 평탄화막 위에 형성되고, 상기 D드레인 전극과 연결되는 상기 애노드 전극;을 포함하는 디스플레이 디바이스.

청구항 9

제7 항에 있어서,

상기 평탄화막 위에 형성되는 상기 D게이트 전극;

상기 D게이트 전극을 덮으면서 상기 평탄화막 위에 도포되는 게이트 절연막;

상기 게이트 절연막 위에 형성되는 상기 D반도체층;

상기 D반도체층 위에 형성되는 D에치 스톱퍼층;
 상기 D반도체층의 일측과 상기 D에치 스톱퍼층의 일측을 덮으면서 형성되는 상기 D소스 전극;
 상기 D반도체층의 타측과 상기 D에치 스톱퍼층의 타측을 덮으면서 형성되는 상기 D드레인 전극;
 상기 D소스 전극과 상기 D드레인 전극을 덮으면서 상기 게이트 절연막 위에 도포되는 보호막;
 상기 보호막 위에 도포되는 평탄화막; 그리고,
 상기 평탄화막 위에 형성되고, 상기 D드레인 전극과 연결되는 상기 애노드 전극;을 포함하는 디스플레이 디바이스.

청구항 10

제3 항에 있어서,
 상기 기판 위에 형성되는 상기 G게이트 전극;
 상기 G게이트 전극을 덮으면서 상기 기판 위에 도포되는 게이트 절연막;
 상기 게이트 절연막 위에 형성되는 상기 G반도체층;
 상기 G반도체층 위에 형성되는 G에치 스톱퍼층;
 상기 G반도체층의 일측과 상기 G에치 스톱퍼층의 일측을 덮으면서 형성되는 상기 G소스 전극;
 상기 G반도체층의 타측과 상기 G에치 스톱퍼층의 타측을 덮으면서 형성되는 상기 G드레인 전극;
 상기 D소스 전극과 상기 D드레인 전극을 덮으면서 상기 게이트 절연막 위에 도포되는 보호막; 그리고,
 상기 보호막 위에 도포되는 평탄화막;
 을 포함하는 디스플레이 디바이스.

청구항 11

제10 항에 있어서,
 상기 평탄화막 위에 형성되는 상기 D반도체층;
 상기 D반도체층을 덮으면서 상기 평탄화막 위에 도포되는 게이트 절연막;
 상기 게이트 절연막 위에 형성되는 상기 D게이트 전극;
 상기 D게이트 전극을 덮으면서 상기 게이트 절연막 위에 도포되는 절연막;
 상기 절연막 위에 형성되고, 상기 D게이트 전극의 일측 주변에 형성되는 상기 절연막과 상기 게이트 절연막을 관통하여 상기 D반도체층에 연결되는 상기 D소스 전극;
 상기 D소스 전극과 이격되어 상기 절연막 위에 형성되고, 상기 D게이트 전극의 타측 주변에 형성되는 상기 절연막과 상기 게이트 절연막을 관통하여 상기 D반도체층에 연결되는 상기 D드레인 전극;
 상기 D소스 전극과 상기 D드레인 전극을 덮으면서 상기 절연막 위에 도포되는 보호막;
 상기 보호막 위에 도포되는 평탄화막; 그리고,
 상기 평탄화막 위에 형성되고, 상기 D드레인 전극과 연결되는 상기 애노드 전극;을 포함하는 디스플레이 디바이스.

청구항 12

제10 항에 있어서,
 상기 평탄화막 위에 형성되는 상기 D게이트 전극;
 상기 D게이트 전극을 덮으면서 상기 평탄화막 위에 도포되는 게이트 절연막;

상기 게이트 절연막 위에 형성되는 상기 D반도체층;
 상기 D반도체층 위에 형성되는 D에치 스토퍼층;
 상기 D반도체층의 일측과 상기 D에치 스토퍼층의 일측을 덮으면서 형성되는 상기 D소스 전극;
 상기 D반도체층의 타측과 상기 D에치 스토퍼층의 타측을 덮으면서 형성되는 상기 D드레인 전극;
 상기 D소스 전극과 상기 D드레인 전극을 덮으면서 상기 게이트 절연막 위에 도포되는 보호막;
 상기 보호막 위에 도포되는 평탄화막; 그리고,
 상기 평탄화막 위에 형성되고, 상기 D드레인 전극과 연결되는 상기 애노드 전극;을 포함하는 디스플레이 디바이스.

발명의 설명

기술 분야

[0001] 본 발명은 디스플레이 디바이스에 관한 것이다.

배경 기술

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 디스플레이 디바이스들이 개발되고 있다. 예를 들어, 디스플레이 디바이스에는 액정 표시장치(Liquid Crystal Display, LCD), 전계 방출 표시장치(Field Emission Display, FED), 플라즈마 디스플레이 패널(Plasma Display Panel, PDP) 및 전계발광장치(Electro-Luminescence device, EL) 등이 있다.

[0003] 디스플레이 디바이스는 영상을 표시하는 표시 영역과, 표시 영역의 외부 둘레를 따라 형성되는 비 표시 영역을 포함한다.

[0004] 일반적인 디스플레이 디바이스는 표시 패널을 구동하기 위한 패널 구동부를 비 표시 영역에 배치하였다. 패널 구동부가 비 표시 영역에 배치됨으로써, 디스플레이 디바이스는 비 표시 영역을 줄이는데 한계가 있었다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 전술한 문제 및 다른 문제를 해결하는 것을 목적으로 한다.

[0006] 또 다른 목적은 비 표시 영역에 배치되는 게이트 구동부를 표시 영역 내에 형성하여 네로우 베젤을 가지는 디스플레이 디바이스를 제공하는 것일 수 있다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 따르면, 표시 영역과 표시 영역 주위에 위치되는 비 표시 영역을 포함하는 기관, 표시 영역 내에 배치된 애노드 전극, 애노드 전극 위에 적층되며, 표시 영역에 배치된 유기발광 층, 유기발광 층 위에 적층되는 캐소드 전극 그리고, 표시 영역에 배치되는 게이트 구동부를 포함한다.

[0008] 또 본 발명의 다른 실시예에 따르면, 상기 표시 영역에 배치되며, 상기 애노드 전극과 연결되는 D드레인 전극, D소스 전극, D게이트 전극 및 D반도체층을 구비하는 구동 박막 트랜지스터 소자;를 포함하고, 상기 게이트 구동부는 상기 기관 위에 적층되고, 상기 구동 박막 트랜지스터 소자는 상기 게이트 구동부 위에 적층될 수 있다.

[0009] 또 본 발명의 다른 실시예에 따르면, 상기 게이트 구동부는 G반도체층, G게이트 전극, G소스 전극 및 G드레인 전극을 구비하는 게이트 박막 트랜지스터 소자를 복수 개로 포함하고, 상기 G드레인 전극은 상기 D게이트 전극과 연결될 수 있다.

[0010] 또 본 발명의 다른 실시예에 따르면, 상기 게이트 구동부 위를 덮으면서 상기 기관에 도포되는 보호막; 그리고, 상기 보호막 위에 도포되는 평탄화막;을 포함하고, 상기 구동 박막 트랜지스터 소자는 상기 평탄화막 위에 형성되고, 상기 보호막과 상기 평탄화막의 일부를 관통하여 상기 G드레인 전극은 상기 D게이트 전극과 연결될 수 있다.

다.

- [0011] 또 본 발명의 다른 실시예에 따르면, 상기 게이트 구동부는 상기 표시 영역의 중앙 영역에 배치되고, 상하방향으로 길게 형성될 수 있다.
- [0012] 또 본 발명의 다른 실시예에 따르면, 상기 게이트 구동부는 제1 게이트 구동부와 제2 게이트 구동부를 포함하고, 상기 제1 게이트 구동부는 상기 표시 영역의 일측 영역에 배치되고, 상기 제2 게이트 구동부는 상기 표시 영역의 일측 영역에 대향되는 상기 표시 영역의 타측 영역에 배치될 수 있다.
- [0013] 또 본 발명의 다른 실시예에 따르면, 상기 기관 위에 형성되는 상기 G반도체층; 상기 G반도체층을 덮으면서 상기 기관 위에 도포되는 게이트 절연막; 상기 게이트 절연막 위에 형성되는 상기 G게이트 전극; 상기 G게이트 전극을 덮으면서 상기 게이트 절연막 위에 도포되는 절연막; 상기 절연막 위에 형성되고, 상기 절연막과 상기 게이트 절연막을 관통하여 상기 G반도체층의 일측 상면에 연결되는 상기 G소스 전극; 상기 G소스 전극과 이격되어 상기 절연막 위에 형성되고, 상기 절연막과 상기 게이트 절연막을 관통하여 상기 G반도체층의 타측 상면에 연결되는 상기 G드레인 전극; 상기 G소스 전극과 상기 G드레인 전극을 덮으면서 상기 절연막 위에 도포되는 보호막; 그리고, 상기 보호막 위에 도포되는 평탄화막;을 포함할 수 있다.
- [0014] 또 본 발명의 다른 실시예에 따르면, 상기 평탄화막 위에 형성되는 상기 D반도체층; 상기 D반도체층을 덮으면서 상기 평탄화막 위에 도포되는 게이트 절연막; 상기 게이트 절연막 위에 형성되는 상기 D게이트 전극; 상기 D게이트 전극을 덮으면서 상기 게이트 절연막 위에 도포되는 절연막; 상기 절연막 위에 형성되고, 상기 D게이트 전극의 일측 주변에 형성되는 상기 절연막과 상기 게이트 절연막을 관통하여 상기 D반도체층에 연결되는 상기 D소스 전극; 상기 D소스 전극과 이격되어 상기 절연막 위에 형성되고, 상기 D게이트 전극의 타측 주변에 형성되는 상기 절연막과 상기 게이트 절연막을 관통하여 상기 D반도체층에 연결되는 상기 D드레인 전극; 상기 D소스 전극과 상기 D드레인 전극을 덮으면서 상기 절연막 위에 도포되는 보호막; 상기 보호막 위에 도포되는 평탄화막; 그리고, 상기 평탄화막 위에 형성되고, 상기 D드레인 전극과 연결되는 상기 애노드 전극;을 포함할 수 있다.
- [0015] 또 본 발명의 다른 실시예에 따르면, 상기 평탄화막 위에 형성되는 상기 D게이트 전극; 상기 D게이트 전극을 덮으면서 상기 평탄화막 위에 도포되는 게이트 절연막; 상기 게이트 절연막 위에 형성되는 상기 D반도체층; 상기 D반도체층 위에 형성되는 D에치 스톱퍼층; 상기 D반도체층의 일측과 상기 D에치 스톱퍼층의 일측을 덮으면서 형성되는 상기 D소스 전극; 상기 D반도체층의 타측과 상기 D에치 스톱퍼층의 타측을 덮으면서 형성되는 상기 D드레인 전극; 상기 D소스 전극과 상기 D드레인 전극을 덮으면서 상기 게이트 절연막 위에 도포되는 보호막; 상기 보호막 위에 도포되는 평탄화막; 그리고, 상기 평탄화막 위에 형성되고, 상기 D드레인 전극과 연결되는 상기 애노드 전극;을 포함할 수 있다.
- [0016] 또 본 발명의 다른 실시예에 따르면, 상기 기관 위에 형성되는 상기 G게이트 전극; 상기 G게이트 전극을 덮으면서 상기 기관 위에 도포되는 게이트 절연막; 상기 게이트 절연막 위에 형성되는 상기 G반도체층; 상기 G반도체층 위에 형성되는 G에치 스톱퍼층; 상기 G반도체층의 일측과 상기 G에치 스톱퍼층의 일측을 덮으면서 형성되는 상기 G소스 전극; 상기 G반도체층의 타측과 상기 G에치 스톱퍼층의 타측을 덮으면서 형성되는 상기 G드레인 전극; 상기 D소스 전극과 상기 D드레인 전극을 덮으면서 상기 게이트 절연막 위에 도포되는 보호막; 그리고, 상기 보호막 위에 도포되는 평탄화막;을 포함할 수 있다.

발명의 효과

- [0017] 본 발명의 실시 예들 중 적어도 하나에 의하면, 비 표시 영역에 형성되던 게이트 구동부를 표시 영역에 형성함으로써, 기관의 양측에 형성되는 비표시 영역 또는 베젤 영역을 줄이거나 제거하여 네로우 베젤을 용이하게 구현할 수 있다.
- [0018] 본 발명의 실시 예들 중 적어도 하나에 의하면, 비 표시 영역에 형성되던 게이트 구동부를 표시 영역에 형성함으로써, 제품의 설계 자율성을 개선시킬 수 있다.
- [0019] 본 발명의 적용 가능성의 추가적인 범위는 이하의 상세한 설명으로부터 명백해질 것이다. 그러나 본 발명의 사상 및 범위 내에서 다양한 변경 및 수정은 당업자에게 명확하게 이해될 수 있으므로, 상세한 설명 및 본 발명의 바람직한 실시 예와 같은 특정 실시 예는 단지 예시로 주어진 것으로 이해되어야 한다.

도면의 간단한 설명

- [0020] 도 1 및 도 2는 본 발명의 일 실시예에 따른 디스플레이 디바이스의 일례를 도시한 도면이다.

도 3은 본 발명의 일 실시예에 따른 표시 영역에 형성되는 게이트 구동부와 다수의 배선들 간의 관계를 설명하기 위한 도면이다.

도 4는 본 발명의 일 실시예에 따른 화소 영역의 개략적인 구조를 나타낸 도면이다.

도 5는 도 4의 단면의 일례로써, 본 발명의 일 실시예에 따른 디스플레이 디바이스의 일례를 도시한 도면이다.

도 6은 도 4의 단면의 일례로써, 본 발명의 일 실시예에 따른 디스플레이 디바이스의 일례를 도시한 도면이다.

도 7은 도 4의 단면의 일례로써, 본 발명의 다른 실시예에 따른 디스플레이 디바이스의 일례를 도시한 도면이다.

도 8은 도 4의 단면의 일례로써, 본 발명의 또 다른 실시예에 따른 디스플레이 디바이스의 일례를 도시한 도면이다.

도 9는 도 4의 단면의 일례로써, 본 발명의 또 다른 실시예에 따른 디스플레이 디바이스의 일례를 도시한 도면이다.

도 10은 본 발명의 다른 실시예에 따른 디스플레이 디바이스의 일례를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0021] 이하, 첨부된 도면을 참조하여 본 명세서에 개시된 실시 예를 상세히 설명하되, 도면 부호에 관계없이 동일하거나 유사한 구성요소는 동일한 참조 번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다. 이하의 설명에서 사용되는 구성요소에 대한 접미사 "모듈" 및 "부"는 명세서 작성의 용이함만이 고려되어 부여되거나 혼용되는 것으로서, 그 자체로 서로 구별되는 의미 또는 역할을 갖는 것은 아니다. 또한, 본 명세서에 개시된 실시 예를 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 명세서에 개시된 실시 예의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다. 또한, 첨부된 도면은 본 명세서에 개시된 실시 예를 쉽게 이해할 수 있도록 하기 위한 것일 뿐, 첨부된 도면에 의해 본 명세서에 개시된 기술적 사상이 제한되지 않으며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0023] 도 1을 참조하면, 디스플레이 디바이스는 픽셀 어레이가 형성된 표시 패널(100)과, 표시 패널(100)에 입력 디지털 비디오 데이터를 제공하기 위한 패널 구동부(110, 120, 130)를 구비할 수 있다.

[0024] 표시 패널(100)의 픽셀 어레이는 입력 디지털 비디오 데이터의 영상을 표시할 수 있다. 픽셀 어레이의 픽셀들은 데이터 배선들(DL)과 게이트 배선들(GL)의 교차 구조에 의해 정의된 매트릭스 형태로 배열될 수 있다. 픽셀들 각각은 데이터 전압(Vdata)이 공급되는 화소 전극(1), 스위치 소자 및/또는 구동 소자로 동작하는 하나 이상의 TFT(Thin Film Transistor)와, 하나 이상의 커패시터(Cst)를 포함할 수 있다. 픽셀들은 공통 전극(2)에 접속될 수 있다. 공통 전극(2)은 공통 전압(Vcom)을 픽셀들에 공급할 수 있다.

[0025] 패널 구동부(110, 120, 130)는 데이터 구동부(120), 게이트 구동부(130), 및 타이밍 컨트롤러(110)를 포함할 수 있다.

[0026] 데이터 구동부(120)는 표시 패널(100)의 주변에 배치될 수 있다. 데이터 구동부(120)는 표시 패널(100)의 상측 또는 하측에 배치될 수 있다. 데이터 구동부(120)는 타이밍 컨트롤러(110)의 제어 하에 픽셀들에 공급될 데이터 전압(Vdata)의 극성을 반전시켜 데이터 배선들(DL)로 출력할 수 있다. 예를 들어 데이터 구동부(120)는 다수의 소스 드라이브 IC(Integrated Circuit)를 포함할 수 있다.

[0027] 게이트 구동부(130)는 표시 패널(100)의 내부에 배치될 수 있다. 게이트 구동부(130)는 영상이 표시되는 표시 영역에 배치될 수 있다. 게이트 구동부(130)는 타이밍 컨트롤러(110)의 제어 하에 게이트 배선들(GL)에 게이트 신호 또는 스캔 신호를 공급할 수 있다. 예를 들어, 게이트 구동부(130)는 다수의 게이트 드라이브 IC들을 포함할 수 있다. 게이트 구동부(130)는 GIP(Gate In Panel)라 칭할 수 있다. GIP(130)는 다수의 박막 트랜지스터 소자(TFT)로 구성될 수 있다.

[0028] 타이밍 컨트롤러(Timing controller, TCON, 110)는 입력 디지털 비디오 데이터 그리고 이와 동기되는 타이밍 신호들(Vsync, Hsync, DE, CLK)을 호스트 시스템(Host system, HOST, 140)으로부터 수신할 수 있다. 예를 들어, 타이밍 신호들은 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(DE), 메인 클럭(CLK) 등

을 포함할 수 있다.

- [0029] 타이밍 컨트롤러(110)는 호스트 시스템(140)으로부터 수신된 입력 디지털 비디오 데이터를 데이터 구동부(120)로 전송할 수 있다.
- [0030] 타이밍 컨트롤러(110)는 타이밍 신호들(Vsync, Hsync, DE, CLK)을 바탕으로 데이터 구동부(120)와 게이트 구동부(130)의 동작 타이밍을 제어하는 소스 타이밍 제어신호(SDC)와 게이트 타이밍 제어신호(GDC)를 발생할 수 있다.
- [0031] 소스 타이밍 제어신호(SDC)는 다수의 소스 신호를 포함할 수 있다. 예를 들어, 소스 타이밍 제어신호(SDC)는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성제어신호(Polarity, POL), 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함할 수 있다.
- [0032] 소스 스타트 펄스(SSP)는 데이터 구동부(120)에 내장된 시프트 레지스터의 스타트 타이밍을 제어할 수 있다. 소스 샘플링 클럭(SSC)은 데이터의 샘플링 타이밍을 제어할 수 있다. 극성제어신호(POL)는 데이터 구동부(120)로부터 출력되는 데이터 전압(Vdata)의 극성을 제어할 수 있다. 소스 출력 인에이블신호(SOE)는 데이터 전압(Vdata)의 출력 타이밍의 출력 타이밍을 제어할 수 있다.
- [0033] 게이트 타이밍 제어신호(GDC)는 다수의 게이트 신호를 포함할 수 있다. 예를 들어, 게이트 타이밍 제어신호(GDC)는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 시프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블 신호(Gate Output Enable, GOE) 등을 포함할 수 있다.
- [0034] 게이트 스타트 펄스(GSP)는 시프트 레지스터의 스타트 타이밍을 제어할 수 있다. 게이트 시프트 클럭(GSC)은 시프트 레지스터의 시프트 타이밍을 제어할 수 있다. 게이트 출력 인에이블 신호(GOE)는 게이트 신호들의 출력 타이밍을 정의한다.
- [0035] 호스트 시스템(110)은 표시패널(100)에서 영상을 디스플레이할 수 있도록 입력 디지털 비디오 데이터와 각종 타이밍 신호들(Vsync, Hsync, DE, CLK)을 제공할 수 있다. 예를 들어, 호스트 시스템(110)은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나일 수 있다.
- [0037] 도 2를 참조하면, 표시 패널(100)은 입력 디지털 비디오 데이터의 영상을 디스플레이하는 표시 영역(AA)과 표시 영역(AA)을 구동하기 위한 여러 소자들이 배치되는 비표시 영역(NA)으로 구분된 기관(SUB, 도 5 참조)을 포함할 수 있다. 비표시 영역(NA)은 베젤 영역(Bezel Area, BA)이라 칭할 수 있다.
- [0038] 표시 영역(AA)은 매트릭스 방식으로 배열된 다수의 화소 영역(PA)들로 정의될 수 있다. 예를 들어, 화소 영역(PA)은 $N \times M$ 방식의 장방형으로 배열될 수 있다. N과 M은 자연수일 수 있다. N은 M보다 큰 자연수일 수 있다.
- [0039] 표시 영역(AA)의 중앙 영역 내에 게이트 구동부(Gate In Panel, 130)가 배치될 수 있다. 게이트 구동부(GIP, 130)는 표시 영역(AA)의 상단에서 하단으로 진행되는 상하방향(Y)으로 길게 배치될 수 있다.
- [0040] GIP(Gate In Panel, 130)는 다수의 박막 트랜지스터(TFT)를 포함할 수 있다. GIP(Gate In Panel, 130)는 기관(SUB, 도 5 참조) 상에 실장될 수 있다. GIP(130)는 화소 영역(PA)의 하방에 배치될 수 있다. GIP(130)는 기관(SUB)과 화소 영역(PA) 사이에 위치될 수 있다.
- [0041] GIP(Gate In Panel, 130)은 다수의 배선들(134a)과 전기적으로 연결될 수 있다. 다수의 배선들(134a)은 GIP(Gate In Panel, 130)에 구동 신호 또는 제어 신호를 전달할 수 있다. 다수의 배선들(134a)은 데이터 구동부(120) 및 소스 COF(Chip On Film, 122)와 전기적으로 연결될 수 있다.
- [0042] 다수의 배선들(134a)은 노이즈와 신호 지연등을 고려하여 GIP(Gate In Panel, 130)의 주변에서 가장 가깝게 배치된 소스 COF(Chip On Film, 122)에 연결될 수 있다.
- [0043] 구동 신호 또는 제어 신호는 데이터 구동부(120), 소스 COF(Chip On Film, 122) 및 다수의 배선들(134a)을 경유하여 GIP(Gate In Panel, 130)에 공급될 수 있다.
- [0044] 비표시 영역(NA)은 화소 영역(PA)들의 외주 또는 둘레에 배치될 수 있다. 비표시 영역(NA)은 화소 영역(PA)들의 상측 또는 하측에 배치될 수 있다. 비표시 영역(NA)에 데이터 구동부(120, Data Driving Integrated Circuit, DIC)가 배치될 수 있다. 데이터 구동부(120)는 표시 영역의 좌측에서 우측으로 진행되는 좌우방향으로 길게 배

치될 수 있다. 데이터 구동부(120)는 데이터 배선들(DL)에 화상 정보에 해당하는 신호를 공급할 수 있다.

- [0045] 데이터 구동부(120)는 다수의 소스 드라이브 IC(Integrated Circuit, 121)를 포함할 수 있다. 예를 들어, 소스 드라이브 IC(121)는 소스 COF(Chip On Film, 122)를 통해 데이터 패드(123, 도 3 참조)와 연결될 수 있다. 다수의 소스 드라이브 IC(121)는 좌우방향으로 이격될 수 있다. 소스 드라이브 IC(121)들은 소스 COF(Chip On Film, 122) 및 데이터 패드(123, 도 3 참조)를 이용하여 데이터 배선들(DL)과 접속될 수 있다.
- [0046] GIP(130)는 표시 영역(AA)의 중앙 영역에 배치됨으로써, 표시 영역(AA)의 양측면에 형성되는 비표시 영역(NA)을 제거시킬 수 있다.
- [0048] 도 3을 참조하면, 화소 영역(PA)은 다수의 서브 화소를 하나의 단위로 하여 규칙적으로 배열될 수 있다.
- [0049] 예를 들어, 화소 영역(PA)은 RGB(적녹청) 색상을 나타내는 세 개의 서브 화소를 하나의 단위로 배열될 수 있다. 또는 화소 영역(PA)은 RGBW(적녹청백) 색상을 나타내는 네 개의 서브 화소를 하나의 단위로 하여, 규칙적으로 배열될 수도 있다.
- [0050] 비표시 영역(NA)은 화소 영역(PA)들의 상측 또는 기관(SUB, 도 5 참조)의 상측에 형성될 수 있다. 비표시 영역(NA)에 데이터 구동부(120, 도 2 참조), 데이터 패드(123) 및 게이트 패드(134)가 배치될 수 있다. 데이터 구동부(120, 도 2 참조)는 도 2에서 설명하였으므로 생략하기로 한다.
- [0051] 데이터 패드(123)는 다수의 데이터 배선(DL)에 대응될 수 있다. 데이터 패드(123)는 다수의 데이터 배선(DL)의 일측 단부 각각에 형성될 수 있다. 다수의 데이터 패드(123)는 일정한 간격으로 서로 이격될 수 있다. 다수의 데이터 패드(123)는 이웃하는 데이터 배선(DL) 간의 이격거리와 공간을 확보하기 위해 복수의 열로 배치될 수 있다.
- [0052] 게이트 패드(134)는 다수의 배선들에 대응될 수 있다. 게이트 패드(134)는 다수의 배선의 일측 단부 각각에 형성될 수 있다. 예를 들어, 다수의 배선들은 제1 클럭 배선(CLK1) 내지 제4 클럭 배선(CLK4), 리셋 배선(Reset), 데이터 스타트 배선(VST), 구동 배선(VDD), 제1 구동 배선(VDD1), 제2 구동 배선(VDD2) 및 기저 배선(VSS) 등을 포함할 수 있다.
- [0053] 예를 들어, 다수의 배선들 중 기저 배선(Vss)은 GIP(130)와 함께 기관(SUB, 도 5 참조)의 내측에 배치되거나 기관(SUB, 도 5 참조)의 최외곽부에 배치될 수 있다. 기저 배선(Vss)은 기저 전압 또는 그라운드 전압(GND)을 공급할 수 있다. 기저 배선(Vss)은 기관(SUB, 도 5 참조)의 외부에서 공급되는 기저 전압(Ground Voltage)을 인가 받아, 데이터 구동부(120, 도 2 참조) 및 GIP(130)에 모두 기저 전압을 공급하도록 배치될 수 있다. 기저 배선(Vss)은 기관(SUB)의 상부 측면에 배치된 데이터 구동부(120, 도 2 참조)에 연결되고, 기관(SUB)의 내측에 배치된 GIP(130)에 연결될 수 있다.
- [0054] 다수의 배선들은 일정한 간격으로 서로 이격될 수 있다. 게이트 패드(134)는 다수의 배선들 간의 이격거리와 공간을 확보하기 위해 복수의 열로 배치될 수 있다.
- [0055] GIP(130)는 게이트 패드(134)를 통해 전기적으로 연결된 다수의 배선들로부터 다수의 구동 신호 또는 제어 신호를 공급받아 스캔 신호를 스캔 배선(GL)들에 공급할 수 있다. GIP(130)는 다수의 박막 트랜지스터 소자(131a, 131b)를 포함할 수 있다.
- [0056] 다수의 박막 트랜지스터 소자(131a, 131b) 각각은 게이트 패드(134)를 통해 다수의 배선들과 전기적으로 연결될 수 있다.
- [0057] 게이트 패드(134)는 데이터 패드(123)와 소정의 간격만큼 이격될 수 있다. 게이트 패드(134)와 데이터 패드(123)는 좌우방향으로 길게 배치될 수 있다.
- [0059] 도 4 및 도 5를 참조하면, 복수 개의 화소 영역(PA)들은 표시 영역(AA)에서 매트릭스 방식으로 배열될 수 있다. 도 5의 화살표는 발광 방향을 나타낸다.
- [0060] 화소 영역(PA)들은 좌우 방향(가로 방향, 수평 방향)으로 진행되는 다수의 게이트 배선(GL)들과 상하 방향(세로 방향, 수직 방향)으로 진행되는 다수의 데이터 배선(DL)들 및 구동 전류 배선(VDD)들의 교차 구조일 수 있다.

- [0061] 각 화소 영역(PA)들은 동일한 크기를 가질 수도 있고, 서로 다른 크기를 가질 수도 있다.
- [0062] 게이트 구동부(GIP, 130, 도 3 참조)는 기관(SUB)의 내측에 직접 형성될 수 있다.
- [0063] 각 화소 영역(PA)에는 유기 발광 다이오드(OLED)를 구동하기 위한 박막 트랜지스터 소자들이 배치될 수 있다. 박막 트랜지스터 소자들은 화소 영역(PA)의 일측 부에 위치한 박막 트랜지스터 영역(TA)에 형성될 수 있다. 예를 들어, 박막 트랜지스터들은 스위칭 TFT(ST, 미도시)와 구동 TFT(DT, 도 5 참조)를 포함할 수 있다.
- [0064] 유기발광 다이오드(OLED)는 애노드 전극(ANO)과 캐소드 전극(CAT) 그리고, 두 전극들 사이에 개재된 유기발광 층(OL)을 포함한다. 실제로 발광하는 영역은 애노드 전극(ANO)과 중첩하는 유기발광 층(OL)의 면적에 의해 결정될 수 있다.
- [0065] 애노드 전극(ANO)은 화소 영역(PA) 중에서 일부 영역을 차지하도록 형성될 수 있다. 애노드 전극(ANO)은 박막 트랜지스터 영역(TA)에 형성된 박막 트랜지스터와 연결될 수 있다. 애노드 전극(ANO) 위에 유기발광 층(OL)을 형성하는데, 애노드 전극(ANO)과 유기발광 층(OL)이 중첩된 영역이 실제 발광 영역일 수 있다. 캐소드 전극(CAT)은 유기발광 층(OL) 위에서 적어도 화소 영역(PA)들이 배치된 표시 영역(NA)의 면적을 모두 덮도록 형성할 수 있다.
- [0066] 캐소드 전극(CAT)은 기저 배선(V_{ss}, 도 3 참조)과 접촉할 수 있다. 기저 전압은 기저 배선(V_{ss}, 도 3 참조)을 통해 캐소드 전극(CAT)에 인가될 수 있다. 캐소드 전극(CAT)은 기저 전압을 인가 받을 수 있다. 애노드 전극(ANO)은 화상 전압을 인가 받을 수 있다.
- [0067] 화상 정보는 캐소드 전극(CAT)와 애노드 전극(ANO) 사이의 전압 차이에 의해 유기발광 층(OL)이 빛을 발광하여 표시될 수 있다.
- [0068] 게이트 구동부(GIP, 130 도 3 참조)는 화소 영역(PA)의 일측 부에 정의된 박막 트랜지스터 영역(TA)와 중첩될 수 있다. 게이트 구동부(GIP, 130 도 3 참조)는 박막 트랜지스터 영역(TA)에 형성된 박막 트랜지스터 소자와 연결될 수 있다.
- [0069] 게이트 구동부(GIP, 130 도 3 참조)는 스위칭 TFT(ST, 미도시) 또는 구동 TFT(DT)와 동일한 구성을 가지는 복수의 GIP 박막트랜지스터 소자(GT)로 형성될 수 있다. GIP 박막트랜지스터 소자(GT)는 G-TFT(GIP TFT, GT)라 칭할 수 있다.
- [0070] 복수의 G-TFT(GT)는 서로 전기적으로 배열될 수 있다. 복수의 G-TFT(GT)들로 구성된 게이트 구동부(GIP, 130 도 3 참조)는 화소 영역(PA)에 중첩되어 상하방향으로 길게 형성될 수 있다.
- [0072] 도 5를 참조하면, 디스플레이 디바이스는 박막 트랜지스터 소자 그리고 박막 트랜지스터 소자와 연결되어 구동되는 유기발광 다이오드(OLED)를 포함할 수 있다.
- [0073] 박막 트랜지스터 소자는 스위칭 TFT(Switching TFT, 이하 ST, 미도시), 스위칭 TFT(ST)와 연결된 구동 TFT(Driving TFT, 이하 DT), 그리고 구동 TFT(DT)에 접속된 G-TFT를 포함할 수 있다.
- [0074] 스위칭 TFT(ST, 미도시)는 화소를 선택할 수 있다. 스위칭 TFT(ST, 미도시)는 게이트 배선(GL)에서 분기하는 게이트 전극(SG, 미도시)과, 반도체 층(SA, 미도시)과, 소스 전극(SS, 미도시)과, 드레인 전극(SD, 미도시)을 포함할 수 있다.
- [0075] 스위칭 TFT(ST, 미도시)의 구성은 구동 TFT(DT)의 구성과 실질적으로 동일할 수 있다.
- [0076] 구동 TFT(DT)는 스위칭 TFT(ST, 미도시)에 의해 선택된 화소를 구동할 수 있다. 구동 TFT(DT)는 GIP와 연결된 게이트 전극(DG), 반도체층(DA), 유기발광 다이오드의 애노드 전극(ANO)과 연결된 소스 전극(DS) 및 드레인 전극(DD)을 포함할 수 있다. 도 5에서 도시되지 않았지만 구동 TFT(DT)의 게이트 전극(DG)은 스위칭 TFT(ST, 미도시)의 드레인 전극(SD, 미도시)에 연결될 수 있다. 구동 TFT(DT)의 드레인 전극(DD)은 구동 신호 배선(VDD, 도 4 참조)에 연결될 수 있다.
- [0077] GIP는 기관(SUB) 위에 형성될 수 있다. GIP가 형성된 기관(SUB) 위에 보호막(PAS)이 도포될 수 있다.
- [0078] 평탄화막(PL)은 보호막(PAS) 위에 연속으로 도포될 수 있다. 평탄화막(PL)은 스위칭 TFT(ST, 미도시), 구동 TFT(Driving TFT, 이하 DT)를 매끈한 평면 상태에서 도포하기 위한 것일 수 있다.

- [0079] 구동 TFT(DT)의 반도체층(DA)은 평탄화막(PL) 위에 형성될 수 있다. 반도체층(DA)은 GIP에 증착될 수 있다. 게이트 절연막(GI)은 반도체층(DA)을 덮으면서 평탄화막(PL) 위에 도포될 수 있다.
- [0080] 게이트 전극(DG)은 게이트 절연막(GI) 위에 형성될 수 있다. 게이트 전극(DG)은 게이트 절연막(GI), 평탄화막(PL) 및 보호막(PAS)을 관통하는 콘택홀을 통해 GIP에 연결될 수 있다.
- [0081] 콘택홀은 반도체층(DA)을 직접 관통하지 않을 수 있다. 콘택홀은 반도체층(DA)과 게이트 전극(DG)이 접하지 않도록 반도체층(DA)의 주위 또는 주변을 관통하여 GIP를 노출할 수 있다. 반도체층(DA)과 게이트 전극(DG)은 서로 절연될 수 있다.
- [0082] 절연막(IN)은 게이트 전극(DG)을 덮으면서 게이트 절연막(GI) 위에 도포될 수 있다.
- [0083] 소스 전극(DS) 및 드레인 전극(DD)은 절연막(IN) 위에 형성될 수 있다. 게이트 전극(DG)은 소스 전극(DS)과 드레인 전극(DD) 사이에 형성될 수 있다. 게이트 전극(DG)은 소스 전극(DS)과 드레인 전극(DD)과 증착되지 않을 수 있다.
- [0084] 소스 전극(DS) 및 드레인 전극(DD)은 절연막(IN)과 게이트 절연막(GI)을 관통하는 콘택홀을 통해 반도체층(DA)의 상면에 연결될 수 있다.
- [0085] 예를 들어, 소스 전극(DS)은 게이트 전극(DG)의 일측 주변에 형성된 콘택홀을 통해 반도체층(DA)의 상면에 연결될 수 있다. 드레인 전극(DD)은 게이트 전극(DG)의 타측 주변에 형성된 콘택홀을 통해 반도체층(DA)의 상면에 연결될 수 있다. 이에 한정되지 않으며, 반대로 형성될 수도 있다.
- [0086] 보호막(PAS)은 구동 TFT(DT)을 덮으면서 절연막(IN) 위에 도포될 수 있다. 보호막(PAS)은 표시 영역(PA)과 비표시 영역(NA)을 모두 포함하여 도포될 수 있다. 그리고, 다수의 콘택홀들은 보호막(PAS)을 관통하여 형성될 수 있다. 예를 들어, 콘택홀들은 보호막(PAS)을 관통함으로써, 표시 영역에 형성되는 구동 TFT(DT)의 드레인 전극(DD)과 비 표시 영역에 형성되는 게이트 패드(GP, 도 4 참조), 데이터 패드(DP, 도 3 참조) 등을 노출할 수 있다.
- [0087] 평탄화막(PL)은 보호막(PAS) 위에 도포될 수 있다. 평탄화막(PL)은 기판(SUB) 중에서 표시 영역 위에만 도포될 수 있다. 평탄화막(PL)은 유기발광 다이오드를 구성하는 유기물질을 매끈한 평면 상태에서 도포하기 위한 것일 수 있다.
- [0088] 애노드 전극(ANO)은 평탄화막(PL) 위에 형성될 수 있다. 애노드 전극(ANO)은 평탄화막(PL)과 보호막(PAS)을 관통하는 콘택홀을 통해 구동 TFT(DT)의 드레인 전극(DD)과 접촉 또는 연결될 수 있다.
- [0089] 유기발광 층(OL)은 애노드 전극(ANO) 위에 형성될 수 있다.
- [0090] 캐소드 전극(CAT)은 유기발광층(OL) 위에 형성될 수 있다.
- [0091] 지금까지 상술한 박막 트랜지스터는 탑 게이트(Top Gate) 구조를 중심으로 설명하였으나, 이에 한정되지는 않는다.
- [0093] 도 6을 참조하면, 다수의 G-TFT(GT)는 타이밍 컨트롤러의 제어 하에 구동신호 또는 제어신호를 공급받아 선택적으로 작동될 수 있다. G-TFT(GT)는 스위칭 TFT(ST, 미도시)에 의해 선택된 화소에 스캔 신호를 공급할 수 있다. 도 6에서는 GIP를 간략하게 하나의 G-TFT(GT)로 도시하고 이를 중심으로 설명하기로 한다.
- [0094] G-TFT(GT)는 게이트 전극(GG)과, 반도체 층(GA), 소스 전극(GS)과, 구동 TFT(DT)의 게이트 전극(DG)과 연결된 드레인 전극(GD)을 포함할 수 있다.
- [0095] G-TFT(GT)의 반도체 층(GA)은 기판(SUB) 위에 형성될 수 있다.
- [0096] 게이트 절연막(GI)은 반도체 층(GA)을 덮으면서 기판(SUB) 위에 도포될 수 있다.
- [0097] 게이트 전극(GG)은 게이트 절연막(GI) 위에 형성될 수 있다. 게이트 전극(G)은 반도체 층(GA)의 중심부에 증착될 수 있다.
- [0098] 절연막(IN)은 게이트 전극(GG)을 덮으면서 게이트 절연막(GI) 위에 도포될 수 있다.
- [0099] 소스 전극(GS) 및 드레인 전극(GD)은 절연막(IN) 위에 형성될 수 있다. 게이트 전극(GG)은 소스 전극(GS)과 드

레인 전극(GD) 사이에 형성될 수 있다.

- [0100] 콘택홀은 절연막(IN)과 게이트 절연막(GI)을 관통하여 반도체 층(GA)의 양측 상면을 노출할 수 있다. 소스 전극(GS) 및 드레인 전극(GD) 각각은 콘택홀을 통해 반도체 층(GA)의 양측 상면에 연결될 수 있다. 예를 들어, 소스 전극(GS)은 콘택홀을 통해 반도체 층(GA)의 일측 상면에 연결될 수 있다. 드레인 전극(GD)은 콘택홀을 통해 반도체 층(GA)의 타측 상면에 연결될 수 있다. 이에 한정되지 않으며, 반대로 형성될 수도 있다.
- [0101] G-TFT(GT)는 구동 박막 트랜지스터(DT)를 형성하는 공정과 실질적으로 동일한 공정으로 형성될 수 있다.
- [0102] 보호막(PAS)은 G-TFT(GT)를 덮으면서 절연막(IN) 위에 도포될 수 있다.
- [0103] 평탄화막(PL)은 보호막(PAS) 위에 연속으로 도포될 수 있다. 평탄화막(PL)은 구동 TFT(DT)를 매끈한 평면 상태에서 도포하기 위한 것일 수 있다.
- [0104] 구동 TFT(DT)의 반도체층(DA)이 평탄화막(PL) 위에 형성될 수 있다. 구동 TFT(DT)의 반도체층(DA)은 G-TFT(GT)에 중첩될 수 있다.
- [0105] 게이트 절연막(GI)은 반도체층(DA)을 덮으면서 평탄화막(PL) 위에 도포될 수 있다.
- [0106] 게이트 전극(DG)은 게이트 절연막(GI) 위에 형성될 수 있다. 게이트 전극(DG)은 반도체층(DA)의 중심부에 중첩될 수 있다. 게이트 전극(DG)의 일부는 G-TFT(GT)에 중첩될 수 있다.
- [0107] 콘택홀은 게이트 절연막(GI), 평탄화막(PL) 및 보호막(PAS)을 관통하여 G-TFT의 드레인 전극(GD)을 노출할 수 있다. 콘택홀은 반도체층(DA)을 직접 관통하지 않을 수 있다. 콘택홀은 반도체층(DA)과 게이트 전극(DG)이 접하지 않도록 반도체층(DA)의 주위 또는 주변을 관통하여 G-TFT의 드레인 전극(D)을 노출할 수 있다. 반도체층(DA)과 게이트 전극(DG)은 서로 절연될 수 있다.
- [0108] 게이트 전극(DG)은 콘택홀을 통해 G-TFT의 드레인 전극(GD)에 연결될 수 있다.
- [0109] 절연막(IN)은 게이트 전극(DG)을 덮으면서 게이트 절연막(GI) 위에 도포될 수 있다.
- [0110] 소스 전극(DS) 및 드레인 전극(DD)은 절연막(IN) 위에 형성될 수 있다. 게이트 전극(DG)은 소스 전극(DS)과 드레인 전극(DD) 사이에 형성될 수 있다. 게이트 전극(DG)은 소스 전극(DS)과 드레인 전극(DD)과 중첩되지 않을 수 있다.
- [0111] 소스 전극(DS) 및 드레인 전극(DD)은 절연막(IN)과 게이트 절연막(GI)을 관통하는 콘택홀을 통해 반도체층(DA)의 상면에 연결될 수 있다.
- [0112] 예를 들어, 소스 전극(DS)은 게이트 전극(DG)의 일측 주변에 형성된 콘택홀을 통해 반도체층(DA)의 상면에 연결될 수 있다. 드레인 전극(DD)은 게이트 전극(DG)의 타측 주변에 형성된 콘택홀을 통해 반도체층(DA)의 상면에 연결될 수 있다. 이에 한정되지 않으며, 반대로 형성될 수도 있다.
- [0113] 보호막(PAS)은 구동 TFT(DT)을 덮으면서 절연막(IN) 위에 도포될 수 있다. 콘택홀은 보호막(PAS)을 관통하여 구동 TFT(DT)의 드레인 전극(DD)을 노출할 수 있다.
- [0114] 평탄화막(PL)은 보호막(PAS) 위에 도포될 수 있다. 평탄화막(PL)은 유기발광 다이오드를 구성하는 유기물질을 매끈한 평면 상태에서 도포하기 위한 것일 수 있다.
- [0115] 애노드 전극(ANO)은 평탄화막(PL) 위에 형성될 수 있다. 애노드 전극(ANO)은 평탄화막(PL)과 보호막(PAS)을 관통하는 콘택홀을 통해 구동 TFT(DT)의 드레인 전극(DD)과 접촉 또는 연결될 수 있다.
- [0116] बैं크(BA)는 평탄화막(PL) 위에 도포될 수 있다. बैं크(BA)는 표시 영역 내에서 화소 영역을 제외한 영역에 도포될 수 있다.
- [0117] 유기발광 층(OL)은 बैं크(BA)를 통해 노출된 애노드 전극(ANO) 위에 형성될 수 있다.
- [0118] 캐소드 전극(CAT)은 유기발광층(OL) 위에 형성될 수 있다.
- [0119] 도 6에서는 G-TFT(GT)와 구동 TFT(DT)를 탑 게이트(Top Gate) 구조로 설명하였으나, 이에 한정되지는 않는다.
- [0121] 도 7을 참조하면, 화소 영역(PA)에 형성된 G-TFT(GT)는 게이트 전극(GG)과, 반도체 층(GA), 소스 전극(GS)과,

구동 TFT(DT)의 게이트 전극(DG)과 연결된 드레인 전극(GD)을 포함할 수 있다.

- [0122] G-TFT(GT)의 반도체 층(GA)은 기판(SUB) 위에 형성될 수 있다.
- [0123] 게이트 절연막(GI)은 반도체 층(GA)을 덮으면서 기판(SUB) 위에 도포될 수 있다.
- [0124] 게이트 전극(GG)은 게이트 절연막(GI) 위에 형성될 수 있다. 게이트 전극(GG)은 반도체 층(GA)의 중심부에 중첩될 수 있다.
- [0125] 절연막(IN)은 게이트 전극(GG)을 덮으면서 게이트 절연막(GI) 위에 도포될 수 있다.
- [0126] 소스 전극(GS) 및 드레인 전극(GD)은 절연막(IN) 위에 형성될 수 있다. 게이트 전극(GG)은 소스 전극(GS)과 드레인 전극(GD) 사이에 형성될 수 있다.
- [0127] 콘택홀은 절연막(IN)과 게이트 절연막(GI)을 관통하여 반도체 층(GA)의 양측 상면을 노출할 수 있다. 소스 전극(GS) 및 드레인 전극(GD) 각각은 콘택홀을 통해 반도체 층(GA)의 양측 상면에 연결될 수 있다.
- [0128] 보호막(PAS)은 G-TFT(GT)을 덮으면서, 절연막(IN) 위에 도포될 수 있다.
- [0129] 평탄화막(PL)은 보호막(PAS) 위에 연속으로 도포될 수 있다.
- [0130] 화소 영역(PA)에 형성된 구동 TFT(DT)는 평탄화막(PL) 위에 형성될 수 있다. 구동 TFT(DT)는 게이트 전극(DG), 게이트 절연막(GI), 반도체층(DA), 에치 스톱퍼 층(ES), 소스 전극(DS) 및 드레인 전극(DD)을 포함할 수 있다.
- [0131] 콘택홀은 평탄화막(PL)과 보호막(PAS)을 관통하여 G-TFT의 드레인 전극(DD)을 노출할 수 있다. 구동 TFT(DT)의 게이트 전극(DG)은 콘택홀을 통해 G-TFT(GT)의 드레인 전극(GD)과 연결 또는 접촉될 수 있다. 구동 TFT(DT)의 게이트 전극(DG)은 G-TFT(GT)의 드레인 전극(GD)과 중첩될 수 있다.
- [0132] 보호막(PAS)은 구동 TFT(DT)을 덮으면서 게이트 절연막(GI) 상에 도포될 수 있다.
- [0133] 평탄화막(PL)은 보호막(PAS) 위에 연속으로 도포될 수 있다.
- [0134] 애노드 전극(ANO)은 평탄화막(PL) 위에 형성될 수 있다. 애노드 전극(ANO)은 화소 영역(PA) 내의 일정 부분만을 차지하는 고립된 장방형으로 형성될 수 있다. 애노드 전극(ANO)은 보호막(PAS) 및 평탄화막(PL)을 관통하는 콘택홀을 통해 구동 TFT(DT)의 드레인 전극(DD)과 접촉할 수 있다.
- [0135] बैं크(BA)는 애노드 전극(ANO)이 형성된 평탄화막(PL) 위에 형성될 수 있다. बैं크(BA)는 패터닝하여 발광 영역을 형성할 수 있다. बैं크(BA)는 패터닝되어 애노드 전극(ANO)의 대부분을 노출시킬 수 있다.
- [0136] 유기발광 층(OL)은 बैं크(BA) 패턴에 의해 노출된 애노드 전극(ANO) 위에 형성될 수 있다. 투명 도전 물질은 बैं크(BA) 위에 도포될 수 있다. 투명 도전 물질은 캐소드 전극(CAT)일 수 있다.
- [0137] 도 7에서는 G-TFT(GT)는 바텀 게이트(Bottom Gate) 구조로 설명하였고, 구동 TFT(DT)는 탑 게이트(Top Gate)구조로 설명하였다.
- [0139] 도 8을 참조하면, 화소 영역(PA)에 형성된 G-TFT(GT)는 게이트 전극(GG), 게이트 절연막(GI), 반도체층(GA), 에치 스톱퍼 층(ES), 소스 전극(GS) 및 드레인 전극(GD)을 포함할 수 있다.
- [0140] G-TFT(GT)의 게이트 전극(GG)은 기판(SUB) 위에 형성될 수 있다.
- [0141] 게이트 절연막(GI)은 게이트 전극(GG)을 덮으면서 기판(SUB) 위에 도포될 수 있다.
- [0142] 반도체 층(GA)은 게이트 절연막(GI) 위에 형성될 수 있다. 반도체 층(GA)은 게이트 전극(GG)과 중첩될 수 있다.
- [0143] 에치 스톱퍼층(ES)은 반도체층(GA) 위에 형성될 수 있다. 에치 스톱퍼층(ES)은 반도체층(GA)과 소스 전극(GS) 또는 드레인 전극(GD) 사이에 형성되어 소스 전극(GS) 또는 드레인 전극(GD)을 에칭할 때 반도체층(GA)의 손상을 방지할 수 있다.
- [0144] 소스 전극(GS) 및 드레인 전극(GD)은 반도체층(GA)과 에치 스톱퍼층(ES)의 양측에 각각 형성될 수 있다. 예를 들어, 소스 전극(GS)은 반도체층(GA)과 에치 스톱퍼층(ES)의 일측 그리고, 에치 스톱퍼층(ES) 일측 상면 일부를 덮으면서 형성될 수 있다. 드레인 전극(GD)은 반도체층(GA)과 에치 스톱퍼층(ES)의 타측 그리고, 에치 스톱퍼층(ES) 타측 상면 일부를 덮으면서 형성될 수 있다.

- [0145] 보호막(PAS)은 G-TFT(GT)을 덮으면서 게이트 절연막(GI) 위에 도포될 수 있다.
- [0146] 평탄화막(PL)은 보호막(PAS) 위에 연속으로 도포될 수 있다.
- [0147] 화소 영역에 형성되는 구동 TFT(DT)는 게이트 전극(DG), 게이트 절연막(GI), 반도체층(DA), 절연막(NI), 소스 전극(DS) 및 드레인 전극(DD)을 포함할 수 있다. 이에 대한 자세한 설명은 도 6에 자세히 설명되어 있다.
- [0148] 구동 TFT(DT)는 평탄화막(PL) 위에 형성될 수 있다. 구동 TFT(DT)는 G-TFT(GT)와 중첩되어 적층될 수 있다.
- [0149] 구동 TFT(DT)의 게이트 전극(DG)은 콘택홀을 통해 G-TFT(GT)의 드레인 전극(GD)과 연결될 수 있다.
- [0150] 콘택홀은 게이트 절연막(GI), 평탄화막(PL)과 보호막(PAS)을 관통하여 G-TFT의 드레인 전극(D)을 노출할 수 있다. 콘택홀은 반도체층(DA)을 직접 관통하지 않을 수 있다. 콘택홀은 반도체층(DA)과 게이트 전극(DG)이 서로 접하지 않도록 반도체층(DA)의 주위 또는 주변을 관통하여 G-TFT의 드레인 전극(D)을 노출할 수 있다. 구동 TFT(DT)의 게이트 전극(DG)은 구동 TFT(DT)의 반도체층(DA)과 절연될 수 있다.
- [0151] 구동 TFT(DT)의 게이트 전극(DG)은 노출된 G-TFT의 드레인 전극(D)에 접촉될 수 있다.
- [0152] 보호막(PAS)은 구동 TFT(DT)을 덮으면서 절연막(IN) 위에 도포될 수 있다.
- [0153] 평탄화막(PL)은 보호막(PAS) 위에 연속으로 도포될 수 있다.
- [0154] 애노드 전극(ANO)은 평탄화막(PL) 위에 형성될 수 있다. 애노드 전극(ANO)은 화소 영역(PA) 내의 일정 부분만을 차지하는 고립된 장방형으로 형성될 수 있다. 애노드 전극(ANO)은 보호막(PAS) 및 평탄화막(PL)을 관통하는 콘택홀을 통해 구동 TFT(DT)의 드레인 전극(DD)과 접촉할 수 있다.
- [0155] बैं크(BA)는 애노드 전극(ANO)이 형성된 평탄화막(PL) 위에 형성될 수 있다. बैं크(BA)는 패터닝하여 발광 영역을 형성할 수 있다. बैं크(BA)는 패터닝되어 애노드 전극(ANO)의 대부분을 노출시킬 수 있다.
- [0156] 유기발광 층(OL)은 बैं크(BA) 패터닝에 의해 노출된 애노드 전극(ANO) 위에 형성될 수 있다. 투명 도전 물질은 बैं크(BA) 위에 도포될 수 있다. 투명 도전 물질은 캐소드 전극(CAT)일 수 있다.
- [0157] 도 8에서는 G-TFT(GT)는 바텀 게이트(Bottom Gate) 구조로 설명하였고, 구동 TFT(DT)는 탑 게이트(Top Gate)구조로 설명하였다.
- [0159] 도 9를 참조하면, 화소 영역에 형성되는 G-TFT(GT)는 게이트 전극(DG), 게이트 절연막(GI), 반도체층(GA), 에치 스톱퍼층(ES), 소스 전극(DS) 및 드레인 전극(DD)을 포함할 수 있다.
- [0160] G-TFT(GT)의 게이트 전극(GG)은 기판(SUB) 위에 형성될 수 있다.
- [0161] 게이트 절연막(GI)은 게이트 전극(GG)을 덮으면서 기판(SUB) 위에 도포될 수 있다.
- [0162] 반도체 층(GA)은 게이트 절연막(GI) 위에 형성될 수 있다. 반도체 층(GA)은 게이트 전극(GG)과 중첩될 수 있다.
- [0163] 에치 스톱퍼층(ES)은 반도체층(GA) 위에 형성될 수 있다. 에치 스톱퍼층(ES)은 반도체층(GA)과 소스 전극(GS) 또는 드레인 전극(GD) 사이에 형성되어 소스 전극(GS) 또는 드레인 전극(GD)을 에칭할 때 반도체층(GA)의 손상을 방지할 수 있다.
- [0164] 소스 전극(GS) 및 드레인 전극(GD)은 반도체층(GA)과 에치 스톱퍼층(ES)의 양측에 각각 형성될 수 있다. 예를 들어, 소스 전극(GS)은 반도체층(GA)과 에치 스톱퍼층(ES)의 일측 그리고, 에치 스톱퍼층(ES) 일측 상면 일부를 덮으면서 형성될 수 있다. 드레인 전극(GD)은 반도체층(GA)과 에치 스톱퍼층(ES)의 타측 그리고, 에치 스톱퍼층(ES) 타측 상면 일부를 덮으면서 형성될 수 있다.
- [0165] 보호막(PAS)은 G-TFT(GT)을 덮으면서 게이트 절연막(GI) 위에 도포될 수 있다.
- [0166] 평탄화막(PL)은 보호막(PAS) 위에 연속으로 도포될 수 있다.
- [0167] 화소 영역(PA)에 형성된 구동 TFT(DT)는 평탄화막(PL) 위에 형성될 수 있다. 구동 TFT(DT)는 게이트 전극(DG), 게이트 절연막(GI), 반도체층(DA), 에치 스톱퍼 층(ES), 소스 전극(DS) 및 드레인 전극(DD)을 포함할 수 있다.
- [0168] 콘택홀은 평탄화막(PL)과 보호막(PAS)을 관통하여 G-TFT의 드레인 전극(DD)을 노출할 수 있다. 구동 TFT(DT)의 게이트 전극(DG)은 콘택홀을 통해 G-TFT(GT)의 드레인 전극(GD)과 연결 또는 접촉될 수 있다. 구동 TFT(DT)의

게이트 전극(DG)은 G-TFT(GT)의 드레인 전극(GD)과 중첩될 수 있다.

- [0169] 보호막(PAS)은 구동 TFT(DT)을 덮으면서 게이트 절연막(GI) 상에 도포될 수 있다.
- [0170] 평탄화막(PL)은 보호막(PAS) 위에 연속으로 도포될 수 있다.
- [0171] 애노드 전극(ANO)은 평탄화막(PL) 위에 형성될 수 있다. 애노드 전극(ANO)은 화소 영역(PA) 내의 일정 부분만을 차지하는 고립된 장방형으로 형성될 수 있다. 애노드 전극(ANO)은 보호막(PAS) 및 평탄화막(PL)을 관통하는 콘택홀을 통해 구동 TFT(DT)의 드레인 전극(DD)과 접촉할 수 있다.
- [0172] बैं크(BA)는 애노드 전극(ANO)이 형성된 평탄화막(PL) 위에 형성될 수 있다. बैं크(BA)는 패터닝하여 발광 영역을 형성할 수 있다. बैं크(BA)는 패터닝되어 애노드 전극(ANO)의 대부분을 노출시킬 수 있다.
- [0173] 유기발광 층(OL)은 बैं크(BA) 패터닝에 의해 노출된 애노드 전극(ANO) 위에 형성될 수 있다. 투명 도전 물질은 बैं크(BA) 위에 도포될 수 있다. 투명 도전 물질은 캐소드 전극(CAT)일 수 있다.
- [0174] 도 9에서는 G-TFT(GT)와 구동 TFT(DT)는 바텀 게이트(Bottom Gate)구조로 설명하였다.
- [0176] 도 10을 참조하면, 표시 패널(100)은 입력 디지털 비디오 데이터의 영상을 디스플레이하는 표시 영역(AA)과 표시 영역(AA)을 구동하기 위한 여러 소자들이 배치되는 비표시 영역(NA)으로 구분된 기관(SUB)을 포함할 수 있다. 비표시 영역(NA)은 베젤(Bezel) 영역이라 칭할 수 있다.
- [0177] 표시 영역(AA)은 매트릭스 방식으로 배열된 다수의 화소 영역(PA)들로 정의될 수 있다. 예를 들어, 화소 영역(PA)은 $N \times M$ 방식의 장방형으로 배열될 수 있다.
- [0178] 표시 영역(AA)의 중앙 영역 내에 게이트 구동부(Gate In Panel, 130a, 130b)가 배치될 수 있다. 게이트 구동부(GIP, 130a, 130b)는 표시 영역(AA)의 상단에서 하단으로 진행되는 상하방향(Y)으로 길게 배치될 수 있다. 게이트 구동부(130a, 130b)는 GIP(Gate In Panel)라 칭할 수 있다.
- [0179] 게이트 구동부(130a, 130b)는 제1 게이트 구동부(130a)와 제2 게이트 구동부(130b)를 포함할 수 있다.
- [0180] 제1 게이트 구동부(130a)는 기관(SUB) 상의 일측에 실장될 수 있다.
- [0181] 제1 게이트 구동부(130a)는 다수의 배선들(134a)과 전기적으로 연결될 수 있다. 다수의 배선들(134a)은 제1 게이트 구동부(130a)에 구동 신호 또는 제어 신호를 전달할 수 있다. 다수의 배선들(134a)은 데이터 구동부(120) 및 소스 COF(Chip On Film, 122)와 전기적으로 연결될 수 있다.
- [0182] 다수의 배선들(134a)은 노이즈와 신호 지연 등을 고려하여 제1 게이트 구동부(130a)의 주변에서 가장 가깝게 배치된 소스 COF(Chip On Film, 122)에 연결될 수 있다.
- [0183] 구동 신호 또는 제어 신호는 데이터 구동부(120), 소스 COF(Chip On Film, 122) 및 다수의 배선들(134a)을 경유하여 제1 게이트 구동부(130a)에 공급될 수 있다.
- [0184] 제2 게이트 구동부(130b)는 기관(SUB) 상의 타측에 실장될 수 있다. 제2 게이트 구동부(130b)는 제1 게이트 구동부(130b)와 좌우방향으로 대향될 수 있다.
- [0185] 제2 게이트 구동부(130b)는 다수의 배선들(134b)과 전기적으로 연결될 수 있다. 다수의 배선들(134b)은 제2 게이트 구동부(130b)에 구동 신호 또는 제어 신호를 전달할 수 있다. 다수의 배선들(134b)은 데이터 구동부(120) 및 소스 COF(Chip On Film, 122)와 전기적으로 연결될 수 있다.
- [0186] 다수의 배선들(134b)은 노이즈와 신호 지연 등을 고려하여 제2 게이트 구동부(130b)의 주변에서 가장 가깝게 배치된 소스 COF(Chip On Film, 122)에 연결될 수 있다.
- [0187] 구동 신호 또는 제어 신호는 데이터 구동부(120), 소스 COF(Chip On Film, 122) 및 다수의 배선들(134b)을 경유하여 제2 게이트 구동부(130b)에 공급될 수 있다.
- [0188] 비표시 영역(NA)은 화소 영역(PA)들의 외주 또는 둘레에 배치될 수 있다. 비표시 영역(NA)은 화소 영역(PA)들의 상측 또는 하측에 배치될 수 있다. 비표시 영역(NA)에 데이터 구동부(120, Data Driving Integrated Circuit, DIC)가 배치될 수 있다. 데이터 구동부(120)에 대한 자세한 설명은 앞에서 충분히 설명하였으므로 생략하기로 한다.

[0189] 상술한 바와 같이, 제1,2 게이트 구동부(130a,130b)는 표시 영역(AA)의 양측 영역 각각에 배치됨으로써, 대형 디스플레이 패널을 분할하여 동작할 수 있다.

[0190] 또한, 제1,2 게이트 구동부(130a,130b)는 표시 영역(AA)의 양측 영역 각각에 배치됨으로써, 표시 영역(AA)의 양측면에 형성되는 비표시 영역(NA)을 제거시킬 수 있다.

[0192] 앞에서 설명된 본 발명의 어떤 실시 예들 또는 다른 실시 예들은 서로 배타적이거나 구별되는 것은 아니다. 앞서 설명된 본 발명의 어떤 실시 예들은 각각의 구성 및/또는 기능이 다른 실시 예들 각각의 구성 및/또는 기능과 병용되거나 조합될 수 있다.

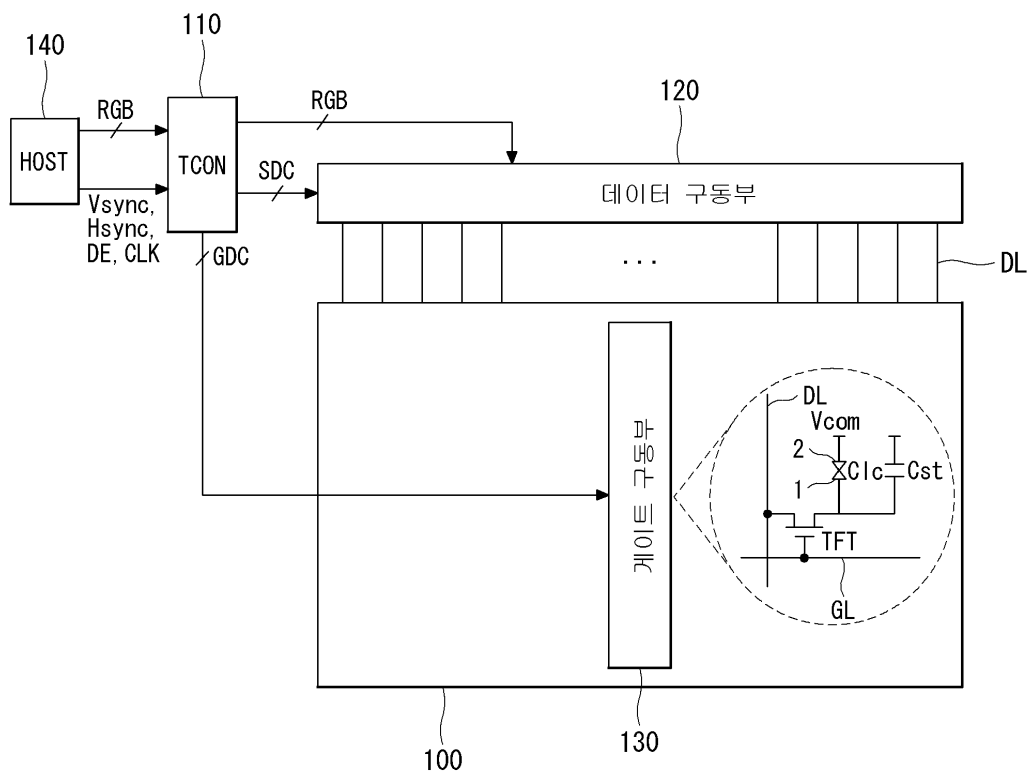
[0193] 상기의 상세한 설명은 모든 면에서 제한적으로 해석되어서는 아니되고 예시적인 것으로 고려되어야 한다. 본 발명의 범위는 첨부된 청구항의 합리적 해석에 의해 결정되어야 하고, 본 발명의 등가적 범위 내에서의 모든 변경은 본 발명의 범위에 포함된다.

부호의 설명

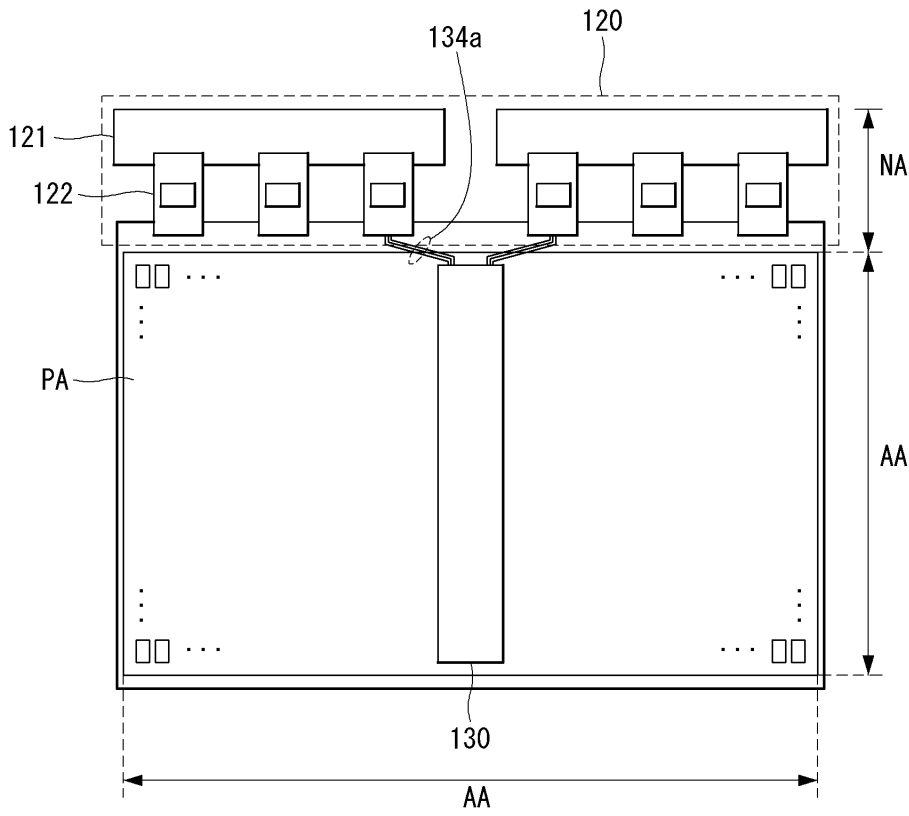
- [0194] 100 : 표시 패널
- 110 : 타이밍 컨트롤러
- 120 : 데이터 구동부
- 130 : 게이트 구동부
- 140 : 호스트 시스템

도면

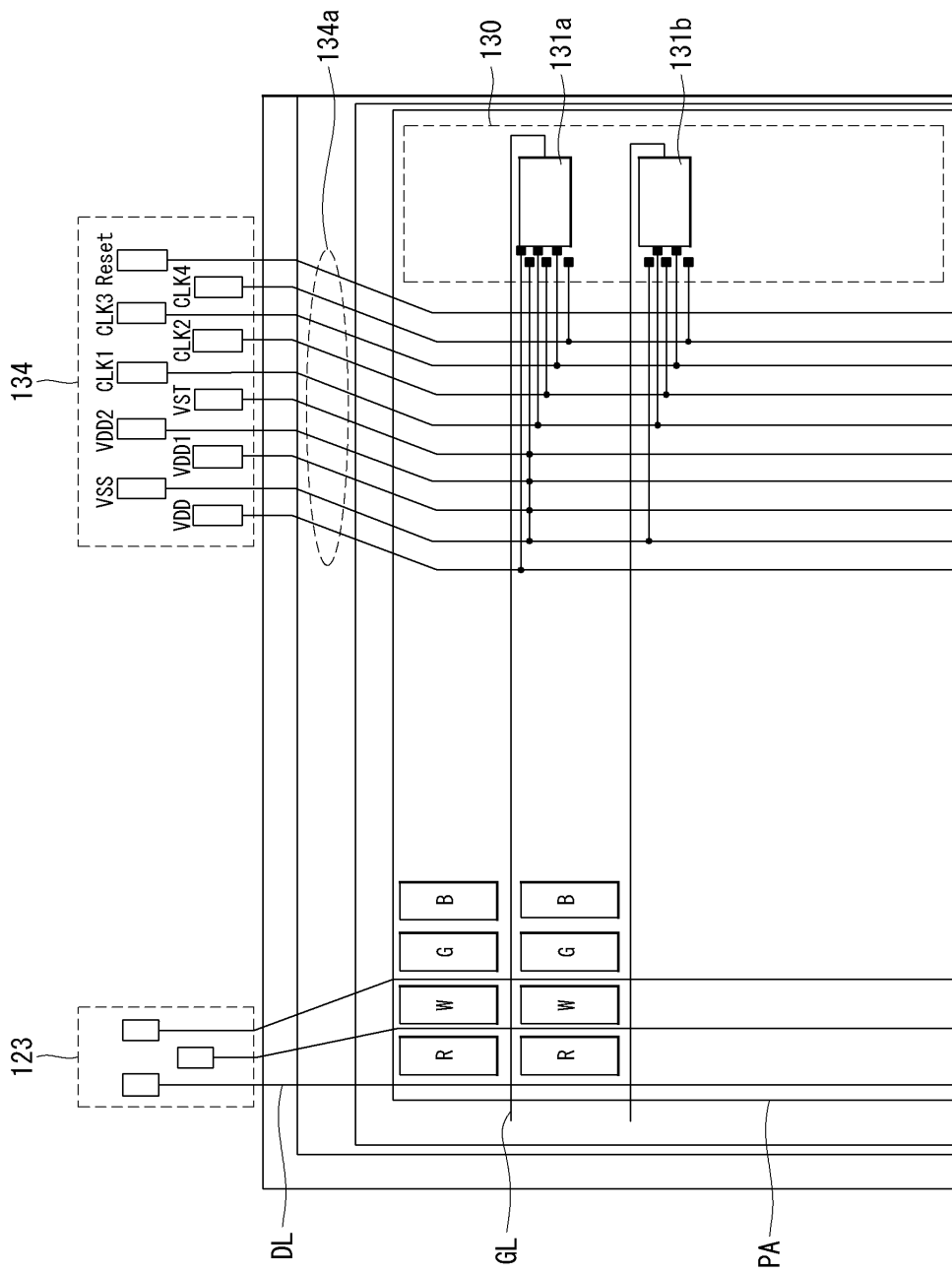
도면1



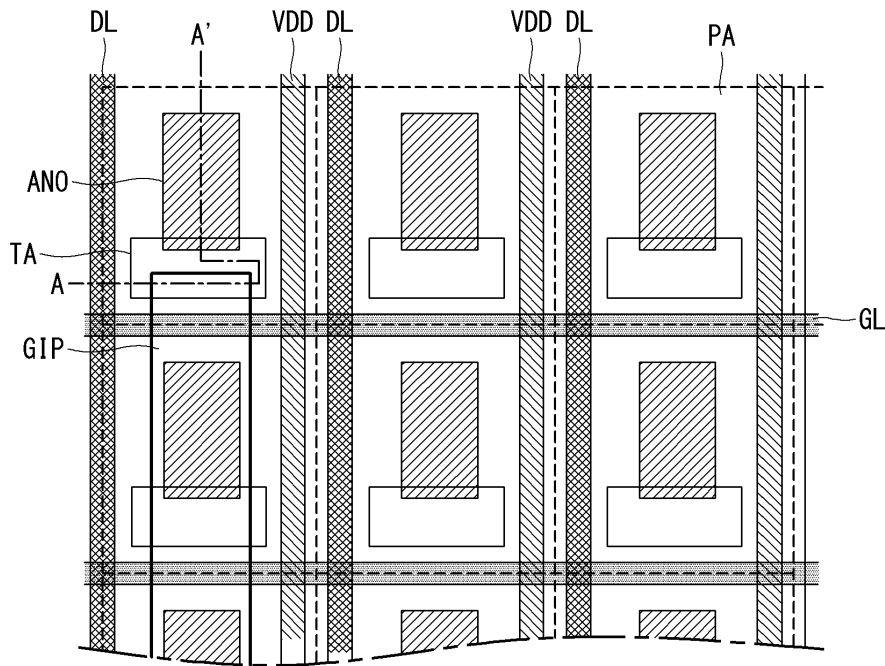
도면2



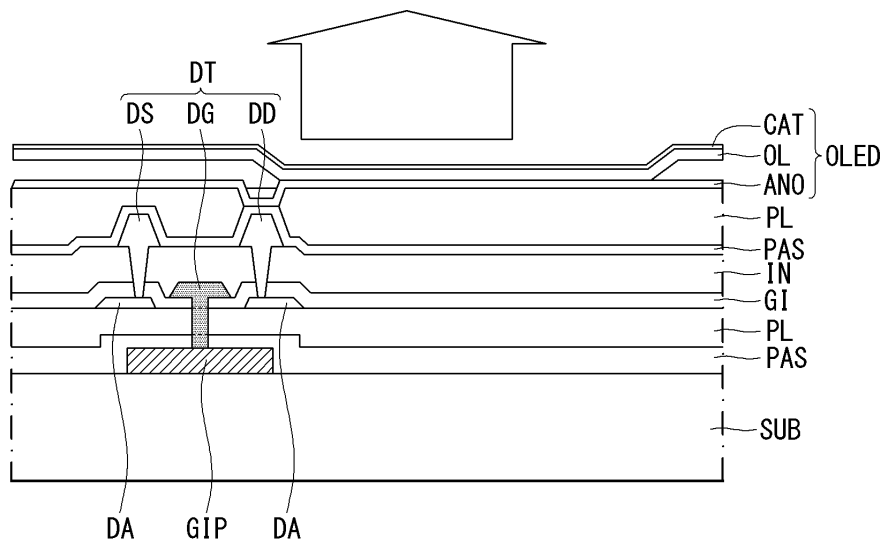
도면3



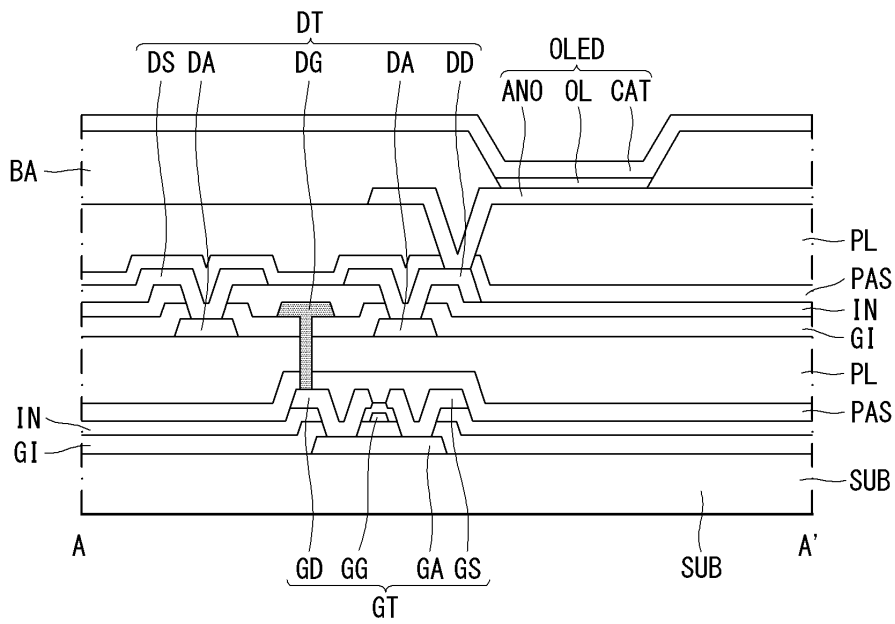
도면4



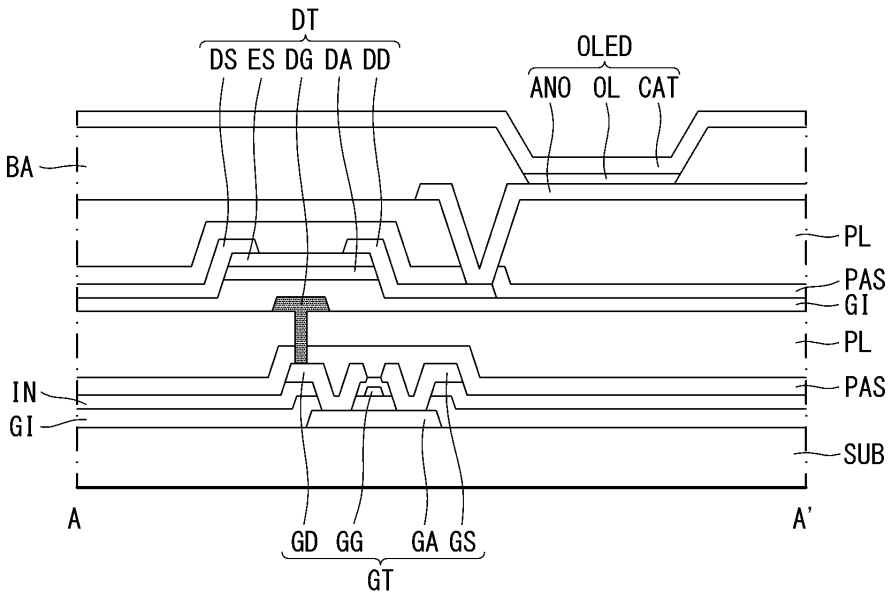
도면5



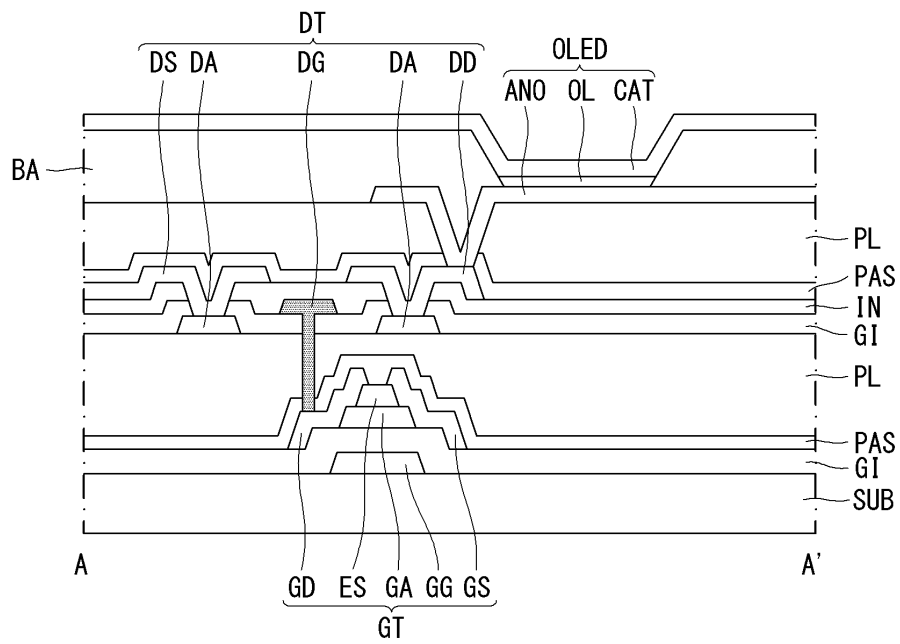
도면6



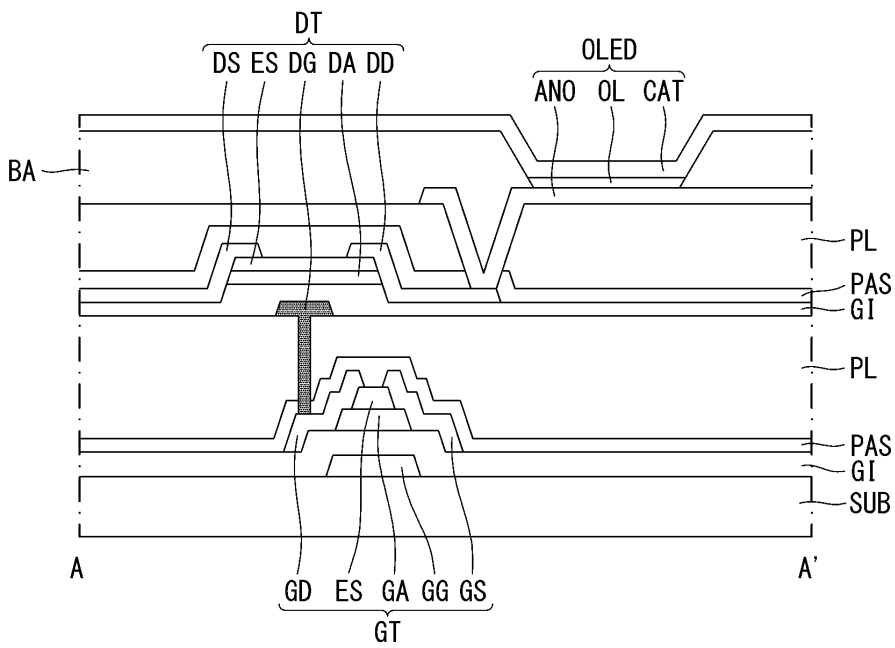
도면7



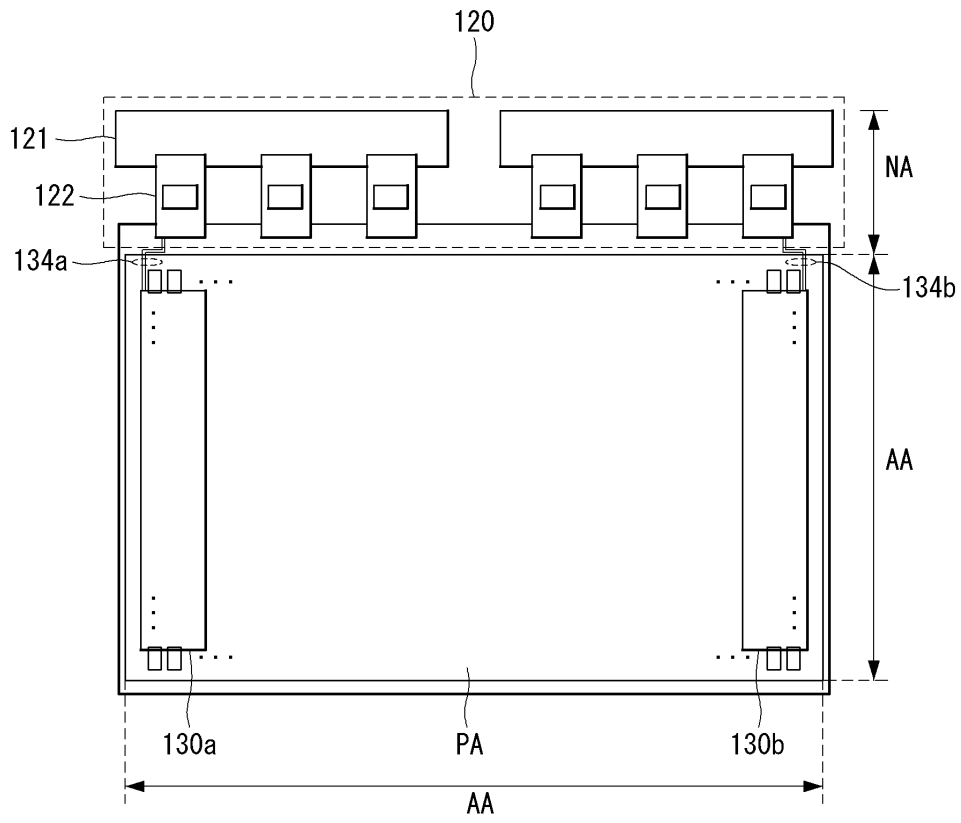
도면8



도면9



도면10



专利名称(译)	显示设备		
公开(公告)号	KR1020190010052A	公开(公告)日	2019-01-30
申请号	KR1020170092214	申请日	2017-07-20
申请(专利权)人(译)	LG电子公司		
[标]发明人	김원태 백흠석 이중엽 정인석 황정환		
发明人	김원태 백흠석 이중엽 정인석 황정환		
IPC分类号	H01L27/32 H01L51/50 H01L51/52		
CPC分类号	H01L27/3262 H01L29/786 H01L51/5012 H01L51/5203 G09G3/3225 H01L27/3244 H01L27/3246 G09G3/3266 H01L27/124 H01L27/1251 G09G3/3275 G09G2300/0408 G09G2310/0281 H01L27/3248 H01L27/3258 H01L2251/5315		
外部链接	Espacenet		

摘要(译)

根据本发明的实施例，一种基板，包括：显示区域和位于该显示区域周围的非显示区域；设置在该显示区域中的阳极；堆叠在该阳极电极上的有机发光层；以及设置在该显示区域中的有机发光层。阴极电极堆叠在发光层上，并且栅极驱动器布置在显示区域中。

