



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0078700
(43) 공개일자 2018년07월10일

(51) 국제특허분류(Int. Cl.)

G09G 3/3233 (2016.01)

(52) CPC특허분류

G09G 3/3233 (2013.01)

G09G 2300/0828 (2013.01)

(21) 출원번호 10-2016-0183720

(22) 출원일자 2016년12월30일

심사청구일자 없음

(71) 출원인

주식회사 디비하이텍

서울특별시 강남구 테헤란로 432 (대치동)

(72) 발명자

황대호

서울특별시 구로구 부일로1가길 18-26, 204호(온수동, 오덕하이츠)

(74) 대리인

박영복, 황영욱

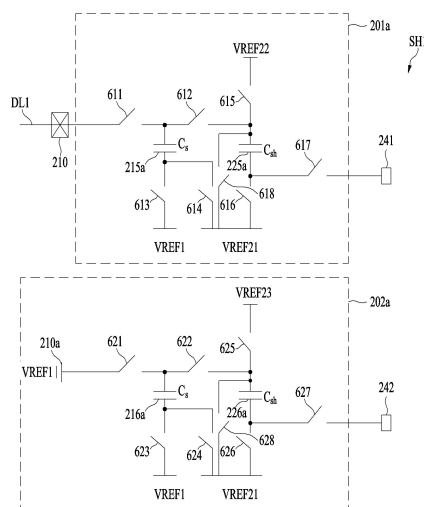
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 문턱 전압 센싱 회로 및 이를 포함하는 표시 장치

(57) 요약

실시 예는 유기 발광 다이오드의 문턱 전압이 입력되는 제1 입력단, 상기 유기 발광 다이오드의 문턱 전압을 샘플링하는 제1 커패시터, 및 상기 제1 커패시터에 샘플링된 전압을 차지 셰어링하는 제2 커패시터, 및 상기 제2 커패시터에 차지 셰어링된 전압을 출력하는 제1 출력단을 포함하는 제1 샘플앤홀드부, 및 상기 제1 샘플앤홀드부의 제1 출력단과 접속되는 제1 입력 단자를 포함하는 증폭부를 포함하고, 상기 제1 샘플앤홀드부는 상기 제1 입력단과 상기 제1 커패시터의 일단 사이, 상기 제1 커패시터의 일단과 상기 제2 커패시터의 일단 사이, 상기 제1 커패시터의 타단과 제1 기준 전압원 사이, 상기 제1 커패시터의 타단과 제2 기준 전압원 사이, 상기 제2 커패시터의 타단과 상기 제2 기준 전압원 사이, 상기 제2 커패시터의 일단과 제3 기준 전압원 사이, 및 상기 제2 커패시터의 타단과 상기 제1 출력단 사이를 선택적으로 연결하도록 스위칭되는 제1 스위칭부를 포함한다.

대 표 도 - 도6



(52) CPC특허분류

G09G 2300/0842 (2013.01)

G09G 2310/0294 (2013.01)

G09G 2310/0297 (2013.01)

명세서

청구범위

청구항 1

유기 발광 다이오드를 포함하는 표시 패널의 상기 유기 발광 다이오드의 문턱 전압 센싱 회로에 있어서,

상기 유기 발광 다이오드의 문턱 전압이 입력되는 제1 입력단, 상기 유기 발광 다이오드의 문턱 전압을 샘플링하는 제1 커패시터, 및 상기 제1 커패시터에 샘플링된 전압을 차지 웨어링하는 제2 커패시터, 및 상기 제2 커패시터에 차지 웨어링된 전압을 출력하는 제1 출력단을 포함하는 제1 샘플앤홀드부; 및

상기 제1 샘플앤홀드부의 제1 출력단과 접속되는 제1 입력 단자를 포함하는 증폭부를 포함하고,

상기 제1 샘플앤홀드부는,

상기 제1 입력단과 상기 제1 커패시터의 일단 사이, 상기 제1 커패시터의 일단과 상기 제2 커패시터의 일단 사이, 상기 제1 커패시터의 타단과 제1 기준 전압원 사이, 상기 제1 커패시터의 타단과 제2 기준 전압원 사이, 상기 제2 커패시터의 타단과 상기 제2 기준 전압원 사이, 상기 제2 커패시터의 일단과 제3 기준 전압원 사이, 및 상기 제2 커패시터의 타단과 상기 제1 출력단 사이를 선택적으로 연결하도록 스위칭되는 제1 스위칭부를 포함하는 문턱 전압 센싱 회로.

청구항 2

제1항에 있어서, 상기 제1 스위칭부는,

상기 제1 입력단과 상기 제1 커패시터의 일단 사이에 접속되는 제1 스위치;

상기 제1 커패시터의 일단과 상기 제2 커패시터의 일단 사이에 접속되는 제2 스위치;

상기 제1 커패시터의 타단과 제1 기준 전압원 사이에 접속되는 제3 스위치;

상기 제1 커패시터의 타단과 제2 기준 전압원 사이에 접속되는 제4 스위치;

상기 제2 커패시터의 타단과 상기 제2 기준 전압원 사이에 접속되는 제5 스위치;

상기 제2 커패시터의 일단과 제3 기준 전압원 사이에 접속되는 제6 스위치; 및

상기 제2 커패시터의 타단과 상기 제1 출력단 사이에 접속되는 제7 스위치를 더 포함하는 문턱 전압 센싱 회로.

청구항 3

제1항에 있어서,

상기 제2 기준 전압원의 전압은 상기 제3 기준 전압원의 전압보다 낮은 문턱 전압 센싱 회로.

청구항 4

제1항에 있어서,

상기 제1 기준 전압원에 접속되는 제2 입력단;

제3 커패시터;

제4 커패시터;

제2 출력단; 및

상기 제2 입력단과 상기 제3 커패시터의 일단 사이, 상기 제3 커패시터의 일단과 상기 제4 커패시터의 일단 사이, 상기 제3 커패시터의 타단과 상기 제1 기준 전압원 사이, 상기 제3 커패시터의 타단과 상기 제2 기준 전압원 사이, 상기 제4 커패시터의 타단과 상기 제2 기준 전압원 사이, 상기 제4 커패시터의 일단과 제4 기준 전압원 사이, 및 상기 제4 커패시터의 타단과 상기 제2 출력단 사이를 선택적으로 연결하도록 스위칭되는 제2 스위

칭부를 포함하는 제2 샘플앰홀드부를 더 포함하는 문턱 전압 센싱 회로.

청구항 5

제4항에 있어서, 상기 제2 스위칭부는,

상기 제2 입력단과 상기 제3 커패시터의 일단 사이에 접속되는 제8 스위치;

상기 제3 커패시터의 일단과 상기 제4 커패시터의 일단 사이에 접속되는 제9 스위치;

상기 제3 커패시터의 타단과 상기 제1 기준 전압원 사이에 접속되는 제10 스위치;

상기 제3 커패시터의 타단과 상기 제2 기준 전압원 사이에 접속되는 제11 스위치;

상기 제4 커패시터의 일단과 상기 제4 기준 전압원 사이에 접속되는 제12 스위치;

상기 제4 커패시터의 타단과 상기 제2 기준 전압원 사이에 접속되는 제13 스위치;

상기 증폭부의 제2 입력 단자와 접속되는 제2 출력단; 및

상기 제4 커패시터의 타단과 상기 제2 출력단 사이에 접속되는 제14 스위치를 포함하는 문턱 전압 센싱 회로.

청구항 6

제4항에 있어서,

상기 증폭부는 상기 제2 출력단과 접속되는 제2 입력 단자; 및

상기 제1 및 제2 입력 단자들로부터 입력된 신호를 증폭하고, 증폭된 결과를 출력하는 제1 출력 단자 및 제2 출력 단자를 더 포함하는 문턱 전압 센싱 회로.

청구항 7

제6항에 있어서, 상기 증폭부는,

상기 제1 입력 단자와 상기 제1 출력 단자 사이에 접속되는 제1 피드백 커패시터; 및

상기 제2 입력 단자와 상기 제2 출력 단자 사이에 접속되는 제2 피드백 커패시터를 더 포함하는 문턱 전압 센싱 회로.

청구항 8

제7항에 있어서,

상기 제1 및 제2 출력 단자들로부터 출력되는 신호를 아날로그-디지털 변환하고, 변환된 결과에 따른 디지털 신호를 출력하는 아날로그-디지털 변환부를 더 포함하는 문턱 전압 센싱 회로.

청구항 9

제8항에 있어서,

상기 아날로그-디지털 신호를 저장하는 메모리부를 더 포함하는 문턱 전압 센싱 회로.

청구항 10

제4항에 있어서,

상기 제1 커패시터의 커패시턴스는 상기 제3 커패시터의 커패시턴스와 동일하고,

상기 제2 커패시터의 커패시턴스는 상기 제4 커패시터의 커패시턴스와 동일한 문턱 전압 센싱 회로.

청구항 11

제4항에 있어서,

상기 제1 및 제3 스위치들과 상기 제8 및 제10 스위치들은 동시에 턴 온 또는 턴 오프되고,

상기 제2, 제4, 제6, 제9, 제11, 제13 스위치들은 동시에 턴 온 또는 턴 오프되고,

상기 제5 및 제7 스위치들과 상기 제12 및 제14 스위치들은 동시에 턴 온 또는 턴 오프되는 문턱 전압 센싱 회로.

청구항 12

제4항에 있어서,

문턱 전압 샘플링 동작을 위하여 상기 제1 스위치, 상기 제3 스위치, 상기 제8 스위치, 및 상기 제10 스위치는 턴 온되고,

상기 제2 스위치, 제4 내지 제7 스위치들, 상기 제9 스위치, 및 상기 제11 내지 제14 스위치들은 턴 오프되는 문턱 전압 센싱 회로.

청구항 13

제11항에 있어서,

상기 문턱 전압 샘플링 동작 완료 후 차지 셰어링 동작을 위하여 상기 제2 및 제9 스위치들, 상기 제4 및 제11 스위치들, 및 상기 제6 및 제13 스위치들은 턴 온되고,

상기 제1 및 제8 스위치들, 상기 제3 및 제10 스위치들, 상기 제5 및 제12 스위치들, 및 상기 제7 및 제14 스위치들은 턴 오프되는 문턱 전압 센싱 회로.

청구항 14

제13항에 있어서,

상기 차지 셰어링 동작 완료 후 신호 전달 동작을 위하여 상기 제5 및 제12 스위치들과 상기 제7 및 제14 스위치들은 턴 온되고,

상기 제1 내지 제4 스위치들, 상기 제8 내지 제11 스위치들, 및 제6 및 제13 스위치들은 턴 오프되는 문턱 전압 센싱 회로.

청구항 15

유기 발광 다이오드를 포함하는 표시 패널의 상기 유기 발광 다이오드의 문턱 전압 센싱 회로에 있어서,

상기 유기 발광 다이오드의 문턱 전압이 입력되는 제1 입력단;

상기 유기 발광 다이오드의 문턱 전압을 샘플링하는 제1 커패시터;

상기 제1 커패시터에 샘플링된 전압을 차지 셰어링하는 제2 커패시터;

상기 제2 커패시터에 차지 셰어링된 전압을 출력하는 제1 출력단;

상기 제1 입력단과 상기 제1 커패시터의 일단 사이, 상기 제1 커패시터의 일단과 상기 제2 커패시터의 일단 사이, 상기 제1 커패시터의 타단과 제1 기준 전압원 사이, 상기 제1 커패시터의 타단과 제2 기준 전압원 사이, 상기 제2 커패시터의 타단과 상기 제2 기준 전압원 사이, 상기 제2 커패시터의 일단과 제3 기준 전압원 사이, 및 상기 제2 커패시터의 타단과 상기 제1 출력단 사이를 선택적으로 연결하도록 스위칭되는 제1 스위칭부; 및

상기 제1 출력단과 접속되는 제1 입력 단자를 포함하는 증폭부를 포함하는 문턱 전압 센싱 회로.

청구항 16

복수의 단위 화소들, 및 상기 복수의 단위 화소들에 접속되는 게이트 라인들과 데이터 라인들을 포함하고, 상기 복수의 단위 화소들 각각은 유기 발광 다이오드를 포함하는 표시 패널; 및

상기 데이터 라인들을 통하여 상기 유기 발광 다이오드들의 문턱 전압들을 센싱하는 문턱 전압 센싱 회로를 포함하는 소스 드라이버를 포함하고,

상기 문턱 전압 센싱 회로는,

상기 데이터 라인들을 통하여 상기 유기 발광 다이오드들의 문턱 전압들을 샘플링(sampling)하고 홀드(hold)하는 복수의 샘플앤홀드 회로들; 및

상기 샘플앤홀드 회로들의 출력을 증폭하는 증폭부를 포함하고,

상기 복수의 샘플앤홀드 회로들 각각은,

상기 데이터 라인들 중 대응하는 어느 하나에 연결되는 제1 입력단, 상기 유기 발광 다이오드의 문턱 전압을 샘플링하는 제1 커패시터, 상기 제1 커패시터에 샘플링된 전압을 차지 셰어링하는 제2 커패시터, 상기 제2 커패시터에 차지 셰어링된 전압을 출력하는 제1 출력단, 및 제1 스위칭부를 포함하는 제1 샘플앤홀드부; 및

상기 제1 출력단과 접속되는 제1 입력 단자를 포함하는 증폭부를 포함하고,

상기 제1 스위칭부는,

상기 제1 입력단과 상기 제1 커패시터의 일단 사이, 상기 제1 커패시터의 일단과 상기 제2 커패시터의 일단 사이, 상기 제1 커패시터의 타단과 제1 기준 전압원 사이, 상기 제1 커패시터의 타단과 제2 기준 전압원 사이, 상기 제2 커패시터의 타단과 상기 제2 기준 전압원 사이, 상기 제2 커패시터의 일단과 제3 기준 전압원 사이, 및 상기 제2 커패시터의 타단과 상기 제1 출력단 사이를 선택적으로 연결하도록 스위칭되는 표시 장치.

청구항 17

제16항에 있어서, 상기 제1 스위칭부는,

상기 제1 입력단과 상기 제1 커패시터의 일단 사이에 접속되는 제1 스위치;

상기 제1 커패시터의 일단과 상기 제2 커패시터의 일단 사이에 접속되는 제2 스위치;

상기 제1 커패시터의 타단과 제1 기준 전압원 사이에 접속되는 제3 스위치;

상기 제1 커패시터의 타단과 제2 기준 전압원 사이에 접속되는 제4 스위치;

상기 제2 커패시터의 타단과 상기 제2 기준 전압원 사이에 접속되는 제5 스위치;

상기 제2 커패시터의 일단과 제3 기준 전압원 사이에 접속되는 제6 스위치; 및

상기 제2 커패시터의 타단과 상기 제1 출력단 사이에 접속되는 제7 스위치를 더 포함하는 표시 장치.

청구항 18

제16항에 있어서, 상기 문턱 전압 센싱 회로는,

상기 복수의 샘플앤홀드 회로들 중 어느 하나를 선택하고, 선택된 어느 하나의 출력을 상기 증폭부의 제1 입력 단자에 제공하는 멀티플렉서를 더 포함하는 표시 장치.

청구항 19

제16항에 있어서, 상기 문턱 전압 센싱 회로는,

상기 증폭부로부터 출력되는 신호를 아날로그-디지털 변환하고, 변환된 결과에 따른 디지털 신호를 출력하는 아날로그-디지털 변환부; 및

상기 아날로그-디지털 신호를 저장하는 메모리부를 더 포함하는 표시 장치.

청구항 20

제18항에 있어서,

상기 문턱 전압 센싱 회로는 제1-2 샘플앤홀드부 및 제2-2 샘플앤홀드부를 더 포함하며,

상기 제1-2 샘플앤홀드부 및 제2-2 샘플앤홀드부 각각은,

상기 제1 기준 전압원에 접속되는 제2 입력단;

제3 커패시터 및 제4 커패시터;

제2 출력단; 및

상기 제2 입력단과 상기 제3 커패시터의 일단 사이, 상기 제3 커패시터의 일단과 상기 제4 커패시터의 일단 사이, 상기 제3 커패시터의 타단과 상기 제1 기준 전압원 사이, 상기 제3 커패시터의 타단과 상기 제2 기준 전압원 사이, 상기 제4 커패시터의 타단과 상기 제2 기준 전압원 사이, 상기 제4 커패시터의 일단과 제4 기준 전압원 사이, 및 상기 제4 커패시터의 타단과 상기 제2 출력단 사이를 선택적으로 연결하도록 스위칭되는 제2 스위칭부를 포함하는 표시 장치.

발명의 설명

기술 분야

[0001] 실시 예는 문턱 전압 센싱 회로 및 이를 포함하는 표시 장치에 관한 것이다.

배경 기술

[0002] OLED(Organic Light-Emitting Diode)를 이용한 디스플레이 장치의 화소는 게이트 라인에 신호가 공급될 때, 데이터 라인으로부터 공급되는 데이터 신호에 의해 점등되어 빛을 발생한다.

[0003] 고유의 색상, 예컨대, 적색(Red), 녹색(Green), 및 청색(Blue)을 나타내는 유기발광다이오드가 표시 패널의 단위 화소를 이룰 수 있고, 단위 화소들의 색상 조합에 의하여 원하는 색상이 구현될 수 있다.

[0004] 표시 패널의 유기 발광 다이오드들은 사용 시간이 경과됨에 따라 점차 열화되어 문턱 전압의 값이 변화될 수 있고, 이로 인하여 유기 발광 다이오드에 동일한 구동 신호가 제공되더라도 사용 시간이 경과될수록 유기 발광 다이오드의 밝기가 변화될 수 있다. 따라서 사용 시간이 경과에 따른 유기 발광 다이오드의 문턱 전압의 변화에 상관없이 유기 발광 다이오드가 일정한 밝기로 발광할 수 있도록 하는 보상 처리가 필요하다.

발명의 내용

해결하려는 과제

[0005] 실시 예는 샘플앤홀드 회로의 기생 커패시터에 기인하는 오프셋을 줄이고, 유기 발광 다이오드의 문턱 전압의 센싱에 관한 신뢰성 및 감도를 향상시킬 수 있는 문턱 전압 센싱 회로 및 이를 포함하는 표시 장치를 제공한다.

과제의 해결 수단

[0006] 실시 예는 유기 발광 다이오드를 포함하는 표시 패널의 상기 유기 발광 다이오드의 문턱 전압 센싱 회로에 관한 것으로, 상기 유기 발광 다이오드의 문턱 전압이 입력되는 제1 입력단, 상기 유기 발광 다이오드의 문턱 전압을 샘플링하는 제1 커패시터, 및 상기 제1 커패시터에 샘플링된 전압을 차지 셰어링하는 제2 커패시터, 및 상기 제2 커패시터에 차지 셰어링된 전압을 출력하는 제1 출력단을 포함하는 제1 샘플앤홀드부; 및 상기 제1 샘플앤홀드부의 제1 출력단과 접속되는 제1 입력 단자를 포함하는 증폭부를 포함하고, 상기 제1 샘플앤홀드부는 상기 제1 입력단과 상기 제1 커패시터의 일단 사이, 상기 제1 커패시터의 일단과 상기 제2 커패시터의 일단 사이, 상기 제1 커패시터의 타단과 제1 기준 전압원 사이, 상기 제1 커패시터의 타단과 제2 기준 전압원 사이, 상기 제2 커패시터의 타단과 상기 제2 기준 전압원 사이, 상기 제2 커패시터의 일단과 제3 기준 전압원 사이, 및 상기 제2 커패시터의 타단과 상기 제1 출력단 사이를 선택적으로 연결하도록 스위칭되는 제1 스위칭부를 포함한다.

[0007] 상기 제1 스위칭부는 상기 제1 입력단과 상기 제1 커패시터의 일단 사이에 접속되는 제1 스위치; 상기 제1 커패시터의 일단과 상기 제2 커패시터의 일단 사이에 접속되는 제2 스위치; 상기 제1 커패시터의 타단과 제1 기준 전압원 사이에 접속되는 제3 스위치; 상기 제1 커패시터의 타단과 제2 기준 전압원 사이에 접속되는 제4 스위치; 상기 제2 커패시터의 타단과 상기 제2 기준 전압원 사이에 접속되는 제5 스위치; 상기 제2 커패시터의 일단과 제3 기준 전압원 사이에 접속되는 제6 스위치; 및 상기 제2 커패시터의 타단과 상기 제1 출력단 사이에 접속되는 제7 스위치를 더 포함한다.

[0008] 상기 제2 기준 전압원의 전압은 상기 제3 기준 전압원의 전압보다 낮을 수 있다.

[0009] 상기 문턱 전압 센싱 회로는 상기 제1 기준 전압원에 접속되는 제2 입력단; 제3 커패시터; 제4 커패시터; 제2 출력단; 및 상기 제2 입력단과 상기 제3 커패시터의 일단 사이, 상기 제3 커패시터의 일단과 상기 제4 커패시터의 일단 사이, 상기 제3 커패시터의 타단과 상기 제1 기준 전압원 사이, 상기 제3 커패시터의 타단과 상기 제2

기준 전압원 사이, 상기 제4 커패시터의 타단과 상기 제2 기준 전압원 사이, 상기 제4 커패시터의 일단과 제4 기준 전압원 사이, 및 상기 제4 커패시터의 타단과 상기 제2 출력단 사이를 선택적으로 연결하도록 스위칭되는 제2 스위칭부를 포함하는 제2 샘플앤홀드부를 더 포함할 수 있다.

- [0010] 상기 제2 스위칭부는 상기 제2 입력단과 상기 제3 커패시터의 일단 사이에 접속되는 제8 스위치; 상기 제3 커패시터의 일단과 상기 제4 커패시터의 일단 사이에 접속되는 제9 스위치; 상기 제3 커패시터의 타단과 상기 제1 기준 전압원 사이에 접속되는 제10 스위치; 상기 제3 커패시터의 타단과 상기 제2 기준 전압원 사이에 접속되는 제11 스위치; 상기 제4 커패시터의 일단과 상기 제4 기준 전압원 사이에 접속되는 제12 스위치; 상기 제4 커패시터의 타단과 상기 제2 기준 전압원 사이에 접속되는 제13 스위치; 상기 증폭부의 제2 입력 단자와 접속되는 제2 출력단; 및 상기 제4 커패시터의 타단과 상기 제2 출력단 사이에 접속되는 제14 스위치를 포함할 수 있다.
- [0011] 상기 문턱 전압 센싱 회로는 상기 증폭부는 상기 제2 출력단과 접속되는 제2 입력 단자; 및 상기 제1 및 제2 입력 단자들로부터 입력된 신호를 증폭하고, 증폭된 결과를 출력하는 제1 출력 단자 및 제2 출력 단자를 더 포함할 수 있다.
- [0012] 상기 증폭부는 상기 제1 입력 단자와 상기 제1 출력 단자 사이에 접속되는 제1 피드백 커패시터; 및 상기 제2 입력 단자와 상기 제2 출력 단자 사이에 접속되는 제2 피드백 커패시터를 더 포함할 수 있다.
- [0013] 상기 문턱 전압 센싱 회로는 상기 제1 및 제2 출력 단자들로부터 출력되는 신호를 아날로그-디지털 변환하고, 변환된 결과에 따른 디지털 신호를 출력하는 아날로그-디지털 변환부를 더 포함할 수 있다.
- [0014] 상기 문턱 전압 센싱 회로는 상기 아날로그-디지털 신호를 저장하는 메모리부를 더 포함할 수 있다.
- [0015] 상기 제1 커패시터의 커패시턴스는 상기 제3 커패시터의 커패시턴스와 동일하고, 상기 제2 커패시터의 커패시턴스는 상기 제4 커패시터의 커패시턴스와 동일할 수 있다.
- [0016] 상기 제1 및 제3 스위치들과 상기 제8 및 제10 스위치들은 동시에 턴 온 또는 턴 오프되고, 상기 제2, 제4, 제6, 제9, 제11, 제13 스위치들은 동시에 턴 온 또는 턴 오프되고, 상기 제5 및 제7 스위치들과 상기 제12 및 제14 스위치들은 동시에 턴 온 또는 턴 오프될 수 있다.
- [0017] 문턱 전압 샘플링 동작을 위하여 상기 제1 스위치, 상기 제3 스위치, 상기 제8 스위치, 및 상기 제10 스위치는 턴 온되고, 상기 제2 스위치, 제4 내지 제7 스위치들, 상기 제9 스위치, 및 상기 제11 내지 제14 스위치들은 턴 오프될 수 있다.
- [0018] 상기 문턱 전압 샘플링 동작 완료 후 차지 셰어링 동작을 위하여 상기 제2 및 제9 스위치들, 상기 제4 및 제11 스위치들, 및 상기 제6 및 제13 스위치들은 턴 온되고, 상기 제1 및 제8 스위치들, 상기 제3 및 제10 스위치들, 상기 제5 및 제12 스위치들, 및 상기 제7 및 제14 스위치들은 턴 오프될 수 있다.
- [0019] 상기 차지 셰어링 동작 완료 후 신호 전달 동작을 위하여 상기 제5 및 제12 스위치들과 상기 제7 및 제14 스위치들은 턴 온되고, 상기 제1 내지 제4 스위치들, 상기 제8 내지 제11 스위치들, 및 제6 및 제13 스위치들은 턴 오프될 수 있다.
- [0020] 다른 실시 예는 유기 발광 다이오드를 포함하는 표시 패널의 상기 유기 발광 다이오드의 문턱 전압 센싱 회로에 관한 것으로, 상기 유기 발광 다이오드의 문턱 전압이 입력되는 제1 입력단; 상기 유기 발광 다이오드의 문턱 전압을 샘플링하는 제1 커패시터; 상기 제1 커패시터에 샘플링된 전압을 차지 셰어링하는 제2 커패시터; 상기 제2 커패시터에 차지 셰어링된 전압을 출력하는 제1 출력단; 상기 제1 입력단과 상기 제1 커패시터의 일단 사이, 상기 제1 커패시터의 일단과 상기 제2 커패시터의 일단 사이, 상기 제1 커패시터의 타단과 제1 기준 전압원 사이, 상기 제1 커패시터의 타단과 제2 기준 전압원 사이, 상기 제2 커패시터의 타단과 상기 제2 기준 전압원 사이, 상기 제2 커패시터의 일단과 제3 기준 전압원 사이, 및 상기 제2 커패시터의 타단과 상기 제1 출력단 사이를 선택적으로 연결하도록 스위칭되는 제1 스위칭부; 및 상기 제1 출력단과 접속되는 제1 입력 단자를 포함하는 증폭부를 포함한다.
- [0021] 또 실시 예에 따른 표시 장치는 복수의 단위 화소들, 및 상기 복수의 단위 화소들에 접속되는 게이트 라인들과 데이터 라인들을 포함하고, 상기 복수의 단위 화소들 각각은 유기 발광 다이오드를 포함하는 표시 패널; 및 상기 데이터 라인들을 통하여 상기 유기 발광 다이오드들의 문턱 전압들을 센싱하는 문턱 전압 센싱 회로를 포함하는 소스 드라이버를 포함하고, 상기 문턱 전압 센싱 회로는 상기 데이터 라인들을 통하여 상기 유기 발광 다이오드들의 문턱 전압들을 샘플링(sampling)하고 홀드(hold)하는 복수의 샘플앤홀드 회로들; 및 상기 샘플앤홀드 회로들의 출력을 증폭하는 증폭부를 포함하고, 상기 복수의 샘플앤홀드 회로들 각각은 상기 데이터 라인들

중 대응하는 어느 하나에 연결되는 제1 입력단, 상기 유기 발광 다이오드의 문턱 전압을 샘플링하는 제1 커패시터, 상기 제1 커패시터에 샘플링된 전압을 차지 셰어링하는 제2 커패시터, 상기 제2 커패시터에 차지 셰어링된 전압을 출력하는 제1 출력단, 및 제1 스위칭부를 포함하는 제1 샘플앤홀드부; 및 상기 제1 출력단과 접속되는 제1 입력 단자를 포함하는 증폭부를 포함하고, 상기 제1 스위칭부는 상기 제1 입력단과 상기 제1 커패시터의 일단 사이, 상기 제1 커패시터의 일단과 상기 제2 커패시터의 일단 사이, 상기 제1 커패시터의 타단과 제1 기준 전압원 사이, 상기 제1 커패시터의 타단과 제2 기준 전압원 사이, 상기 제2 커패시터의 타단과 상기 제2 기준 전압원 사이, 상기 제2 커패시터의 일단과 제3 기준 전압원 사이, 및 상기 제2 커패시터의 타단과 상기 제1 출력단 사이를 선택적으로 연결하도록 스위칭된다.

[0022] 상기 제1 스위칭부는 상기 제1 입력단과 상기 제1 커패시터의 일단 사이에 접속되는 제1 스위치; 상기 제1 커패시터의 일단과 상기 제2 커패시터의 일단 사이에 접속되는 제2 스위치; 상기 제1 커패시터의 타단과 제1 기준 전압원 사이에 접속되는 제3 스위치; 상기 제1 커패시터의 타단과 제2 기준 전압원 사이에 접속되는 제4 스위치; 상기 제2 커패시터의 타단과 상기 제2 기준 전압원 사이에 접속되는 제5 스위치; 상기 제2 커패시터의 일단과 제3 기준 전압원 사이에 접속되는 제6 스위치; 및 상기 제2 커패시터의 타단과 상기 제1 출력단 사이에 접속되는 제7 스위치를 더 포함할 수 있다.

[0023] 상기 문턱 전압 센싱 회로는 상기 복수의 샘플앤홀드 회로들 중 어느 하나를 선택하고, 선택된 어느 하나의 출력을 상기 증폭부의 제1 입력 단자에 제공하는 멀티플렉서를 더 포함할 수 있다.

[0024] 상기 문턱 전압 센싱 회로는 상기 증폭부로부터 출력되는 신호를 아날로그-디지털 변환하고, 변환된 결과에 따른 디지털 신호를 출력하는 아날로그-디지털 변환부; 및 상기 아날로그-디지털 신호를 저장하는 메모리부를 더 포함할 수 있다.

[0025] 상기 문턱 전압 센싱 회로는 제1-2 샘플앤홀드부 및 제2-2 샘플앤홀드부를 더 포함할 수 있고, 상기 제1-2 샘플앤홀드부 및 제2-2 샘플앤홀드부 각각은 상기 제1 기준 전압원에 접속되는 제2 입력단; 제3 커패시터 및 제4 커패시터; 제2 출력단; 및 상기 제2 입력단과 상기 제3 커패시터의 일단 사이, 상기 제3 커패시터의 일단과 상기 제4 커패시터의 일단 사이, 상기 제3 커패시터의 타단과 상기 제1 기준 전압원 사이, 상기 제3 커패시터의 타단과 상기 제2 기준 전압원 사이, 상기 제4 커패시터의 타단과 상기 제2 기준 전압원 사이, 상기 제4 커패시터의 일단과 제4 기준 전압원 사이, 및 상기 제4 커패시터의 타단과 상기 제2 출력단 사이를 선택적으로 연결하도록 스위칭되는 제2 스위칭부를 포함할 수 있다.

발명의 효과

[0026] 실시 예는 샘플앤홀드 회로의 기생 커패시터에 기인하는 오프셋을 줄이고, 유기 발광 다이오드의 문턱 전압의 센싱에 관한 신뢰성 및 감도를 향상시킬 수 있다.

도면의 간단한 설명

[0027] 도 1은 실시 예에 따른 표시 장치의 구성도를 나타낸다.
 도 2는 도 1에 도시된 제1 샘플앤홀드 회로의 일 실시 예를 나타낸다.
 도 3은 도 1에 도시된 증폭부 및 아날로그 디지털 변환부의 일 실시 예를 나타낸다.
 도 4는 도 2에 도시된 제1 샘플앤홀드 회로의 기생 커패시턴스 성분을 도시한다.
 도 5(a) 및 도 5(b)는 샘플앤홀드 회로의 기준 전압원의 전압 변화에 따른 증폭부의 출력 범위의 변화를 나타낸다.
 도 6은 도 1에 도시된 제1 샘플앤홀드 회로의 다른 실시 예를 나타낸다.
 도 7은 도 6에 도시된 제1 샘플앤홀드부의 샘플링 동작을 나타낸다.
 도 8은 도 6에 도시된 제1 샘플앤홀드부의 차지 셰어링 동작을 나타낸다.
 도 9는 도 6에 도시된 제1 샘플앤홀드부의 신호 전달 동작을 나타낸다.
 도 10은 도 6의 실시 예에 따른 샘플앤홀드 회로들의 동작 타이밍도를 나타낸다.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하 상기의 목적을 구체적으로 실현할 수 있는 본 발명의 실시 예를 첨부한 도면을 참조하여 설명한다.
- [0029] 실시 예의 설명에 있어서, 각 element의 " 상(위) 또는 하(아래)(on or under)"에 형성되는 것으로 기재되는 경우에 있어, 상(위) 또는 하(아래)(on or under)는 두 개의 element가 서로 직접(directly)접촉되거나 하나 이상의 다른 element가 상기 두 개의 element 사이에 배치되어(indirectly) 형성되는 것을 모두 포함한다. 또한 "상(위) 또는 하(아래)(on or under)"으로 표현되는 경우 하나의 element를 기준으로 위쪽 방향뿐만 아니라 아래쪽 방향의 의미도 포함할 수 있다.
- [0030] 또한, 이하에서 이용되는 “제1” 및 “제2”, “상/상부/위” 및 “하/하부/아래” 등과 같은 관계적 용어들은 그런 실체 또는 요소들 간의 어떠한 물리적 또는 논리적 관계 또는 순서를 반드시 요구하거나 내포하지는 않으면서, 어느 한 실체 또는 요소를 다른 실체 또는 요소와 구별하기 위해서만 이용될 수도 있다. 또한 동일한 참조 번호는 도면의 설명을 통하여 동일한 요소를 나타낸다.
- [0031] 또한, 이상에서 기재된 "포함하다", "구성하다", 또는 "가지다" 등의 용어는, 특별히 반대되는 기재가 없는 한, 해당 구성 요소가 내재될 수 있음을 의미하는 것이므로, 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것으로 해석되어야 한다.
- [0032] 도 1은 실시 예에 따른 표시 장치(100)의 구성도를 나타낸다.
- [0033] 도 1을 참조하면, 표시 장치(100)는 표시 패널(110), 게이트 드라이버(120), 소스 드라이버(130), 및 문턱 전압 센싱 제어부(140)를 포함한다.
- [0034] 표시 패널(110)은 복수의 단위 화소들(예컨대, P1 내지 Pn)을 포함하며, 복수의 단위 화소들(예컨대, P1 내지 Pn)은 매트릭스 형태로 배열된다.
- [0035] 단위 화소들(예컨대, P1 내지 Pn) 각각은 스위칭 트랜지스터(TFT-S), 구동 트랜지스터(TFT_D), 커패시터(C), 문턱 전압 센싱용 트랜지스터(TFT_V), 및 유기 발광 다이오드(OLED)를 포함할 수 있다.
- [0036] 스위칭 트랜지스터(TFT-S)는 게이트 라인들(GL1 내지 GLn) 중 대응하는 어느 하나에 연결되는 게이트, 및 데이터 라인들(DL1 내지 DLn) 중 대응하는 어느 하나와 구동 트랜지스터(TFT_D)의 게이트 사이에 연결되는 소스 및 드레인을 포함할 수 있다. 스위칭 트랜지스터(TFT-S)는 데이터 라인들을 통하여 입력되는 데이터 신호를 구동 트랜지스터(TFT_D)의 게이트에 전달할 수 있다.
- [0037] 구동 트랜지스터(TFT_D)는 스위칭 트랜지스터(TFT-S)의 소스에 연결되는 게이트, 제1 전원(PVDD)과 유기 발광 다이오드(OLED)의 양극 단자 사이에 연결되는 소스 및 드레인을 포함할 수 있다.
- [0038] 구동 트랜지스터(TFT_D)는 스위칭 트랜지스터(TFT-S)를 통하여 공급되는 데이터 신호에 상응하는 구동 전류를 유기 발광 다이오드(OLED)에 공급할 수 있다.
- [0039] 커패시터(C)는 구동 트랜지스터(TFT_D)의 게이트와 제1 전원에 연결되는 일 측 단자(예컨대, 소스) 사이에 연결된다. 커패시터(C)는 구동 트랜지스터(TFT-D)한 프레임 동안 턴 온 상태를 유지하도록 함으로써, 유기 발광 다이오드(OLED)가 한 프레임 동안 발광 상태를 유지하도록 하는 역할을 할 수 있다.
- [0040] 유기 발광 다이오드(OLED)는 구동 트랜지스터(TFT_D)의 타측 단자(예컨대, 드레인)에 연결되는 양극 단자(예컨대, P형 전극 단자), 및 제2 전원(PVSS)에 연결되는 음극 단자(예컨대, N형 전극 단자)를 포함한다.
- [0041] 문턱 전압 센싱용 트랜지스터(TFT_V)는 데이터 라인들 중 대응하는 어느 하나와 유기 발광 다이오드(OLED)의 양극 단자 사이에 연결되는 소스 및 드레인, 및 문턱 전압 센싱 제어부에 의하여 제어되는 게이트를 포함한다.
- [0042] 게이트 드라이버(120)는 게이트 라인들(GL1 내지 GLn)을 구동한다.
- [0043] 소스 드라이버(130)는 데이터 라인들에 데이터 신호를 제공하는 출력 버퍼들(BUF1 내지 BUFn), 기준 전압 발생부(106), 및 표시 패널(110)의 OLED의 문턱 전압을 감지하는 문턱 전압 센싱 회로(135)를 포함한다.
- [0044] 도 1에 도시되지 않았지만, 소스 드라이버(130)는 쉬프트 신호를 발생하는 쉬프트 레지스터, 쉬프트 신호에 응답하여 데이터 신호를 저장하는 래치부, 래치부에 저장된 데이터 신호의 레벨을 변환하는 레벨 쉬프터부, 및 레벨 쉬프터부의 출력인 디지털 데이터를 아날로그 신호로 변환하는 디지털 아날로그 변환부를 더 포함할 수 있다. 출력 버퍼들(BUF1 내지 BUFn)은 디지털 아날로그 변환부로부터 출력되는 아날로그 신호를 버퍼링하고, 버퍼링된 아날로그 신호를 데이터 라인들(DL1 내지 DLn)로 출력한다.

- [0045] 기준 전압 발생부(106)는 서로 다른 전압을 갖는 기준 전압원들(예컨대, VREF1, VREF2, VREF3, VREF12, VREF22, VREF23)을 발생할 수 있고, 기준 전압원들 중 적어도 하나를 샘플앤홀드 회로(SH1 내지 SHn)에 제공할 수 있다.
- [0046] 문턱 전압 센싱 제어부(140)는 문턱 전압 센싱용 트랜지스터(TFT_V)를 제어하는 제어 신호를 발생한다.
- [0047] 예컨대, 문턱 전압 센싱 제어부(140)에 의하여 표시 패널(110)의 행(row)에 속하는 단위 화소들에 포함되는 문턱 전압 센싱용 트랜지스터들(TFT_V)이 동시에 턴 온될 수 있다.
- [0048] 도 1에 도시된 실시 예에서 문턱 전압 센싱 회로(135)는 소스 드라이버 내에 구현되지만, 이에 한정되는 것은 아니다. 다른 실시 예에서는 문턱 전압 센싱 회로(135)는 소스 드라이버(130)와 별도의 IC로 구현될 수 있다.
- [0049] 문턱 전압 센싱 회로(135)는 샘플앤홀드 블록(101), 멀티플렉서(102), 증폭부(103), 및 아날로그-디지털 변환부(104)를 포함한다.
- [0050] 문턱 전압 센싱 회로(135)는 메모리부(104)를 더 포함할 수 있다.
- [0051] 샘플앤홀드 블록(101)은 표시 패널(110)의 유기 발광 다이오드들(OLED)의 문턱 전압을 샘플링(sampling)하고, 샘플링된 문턱 전압을 홀딩(holding)한다.
- [0052] 샘플앤홀드 블록(101)은 복수의 샘플앤홀드 회로들(SH1 내지 SHn)을 포함할 수 있다. 복수의 샘플앤홀드 회로들(SH1 내지 SHn) 각각은 데이터 라인들 중 대응하는 어느 하나에 접속되고, 대응하는 어느 하나의 데이터 라인에 접속된 표시 패널(110)의 유기 발광 다이오드의 문턱 전압을 샘플링(sampling)하고, 샘플링된 문턱 전압을 홀딩(holding)한다.
- [0053] 도 2는 도 1에 도시된 제1 샘플앤홀드 회로(SH1)의 일 실시 예를 나타낸다.
- [0054] 도 2를 참조하면, 제1 샘플앤홀드 회로(SH1)는 제1 샘플앤홀드부(201), 및 제2 샘플앤홀드부(202)를 포함한다.
- [0055] 제1 샘플앤홀드부(201)는 데이터 라인들(DL1 내지 DLn) 중 대응하는 어느 하나에 연결되는 표시 패널(110)의 유기 발광 다이오드(OLED)의 문턱 전압을 샘플링하고, 샘플링된 문턱 전압의 전압 범위를 증폭부(103)의 입력 전압 범위 내로 변경시킨다.
- [0056] 제1 샘플앤홀드부(201)는 제1 입력단(210), 제1 커패시터(215), 제2 커패시터(225), 제1 스위칭부, 및 제1 출력단(241)을 포함한다.
- [0057] 제1 입력단(210)은 데이터 라인들(DL1 내지 DLn) 중 대응하는 어느 하나에 연결될 수 있다.
- [0058] 제1 커패시터(215)는 제1 샘플링 커패시터(sampling capacitor)로 대체하여 사용될 수 있고, 제2 커패시터는 제1 차지 셰어링 커패시터(charge sharing capacitor)로 대체하여 사용될 수 있다.
- [0059] 제1 스위칭부는 제1 입력단과 제1 커패시터의 일단 사이, 제1 커패시터의 일단과 제2 커패시터의 일단 사이, 및 제2 커패시터의 일단과 제1 출력단(241) 사이를 선택적으로 연결하도록 스위칭될 수 있다.
- [0060] 예컨대, 제1 스위칭부는 제1 스위치(211), 제2 스위치(221), 및 제3 스위치(231)를 포함할 수 있다.
- [0061] 제1 스위치(211)는 표시 패널(110)의 유기 발광 다이오드(OLED)의 문턱 전압을 샘플링하기 위한 역할을 한다.
- [0062] 제1 스위치(211)는 제1 입력단(210)과 제1 커패시터(215)의 일단 사이에 접속된다. 제1 스위치(211)는 데이터 라인(DL1)을 통하여 표시 패널(110)의 유기 발광 다이오드(OLED)의 문턱 전압을 제1 커패시터(215)에 전달한다.
- [0063] 예컨대, 제1 스위치(211)의 일 단은 제1 입력단(210)에 접속될 수 있고, 제1 스위치(211)의 타 단은 제1 커패시터(215)의 일단에 접속될 수 있다.
- [0064] 제1 커패시터(215)는 제1 스위치(211)의 타단과 기준 전압원(VREF1) 사이에 접속되고, 제1 입력단(210)을 통하여 전송되는 유기 발광 다이오드(OLED)의 문턱 전압을 샘플링한다.
- [0065] 제2 스위치(221)는 제1 커패시터(211)의 일단과 제2 커패시터(225)의 일단 사이에 접속된다. 제2 스위치(221)는 제1 커패시터(211)에 샘플링된 유기 발광 다이오드(OLED)의 문턱 전압을 제2 커패시터(225)에 전달한다.
- [0066] 제2 커패시터(225)는 제2 스위치(221)의 일단과 기준 전압원(VREF2) 사이에 접속된다. 제2 스위치(221)에 의하여 제1 커패시터(211)에 샘플링된 유기 발광 다이오드(OLED)의 문턱 전압이 제2 커패시터(225)에 전달됨에 의하여, 유기 발광 다이오드(OLED)의 문턱 전압은 제1 커패시터(215)와 제2 커패시터(225)에 차지 셰어링된다. 제2

커패시터(225)는 차지 셰어링을 역할을 할 수 있다.

- [0067] 제3 스위치(231)는 제2 커패시터(225)의 일단과 제1 출력단(241) 사이에 접속되고, 제2 커패시터(225)에 차지된(charged) 전압을 제1 출력단(241)에 전달한다.
- [0068] 제2 샘플앤홀드부(202)는 증폭부(103)에 차동 입력을 공급하기 위한 것으로, 제3 커패시터(216)에 접속된 기준 전압원(VREF1)과 제4 커패시터(226)에 접속된 기준 전압원(VREF3)을 제3 커패시터(216)와 제4 커패시터(226)를 이용하여 차지 셰어링하고, 그 결과를 출력할 수 있다.
- [0069] 제2 샘플앤홀드부(202)는 제2 입력단(210a), 제3 커패시터(216), 제4 커패시터(226), 제2 스위칭부, 및 제2 출력단(242)을 포함한다.
- [0070] 제2 입력단(210a)은 기준 전압원(VREF1)에 연결된다.
- [0071] 제3 커패시터(216)는 제2 샘플링 커패시터(sampling capacitor)로 대체하여 사용될 수 있고, 제4 커패시터(226)는 제2 차지 셰어링 커패시터(charge sharing capacitor)로 대체하여 사용될 수 있다.
- [0072] 제2 스위칭부는 제2 입력단(210a)과 제3 커패시터(216)의 일단 사이, 제3 커패시터(216)의 일단과 제4 커패시터(226)의 일단 사이, 제4 커패시터(226)의 일단과 제2 출력단(242) 사이를 선택적으로 연결하도록 스위칭한다.
- [0073] 예컨대, 제2 스위칭부는 제4 스위치(212), 제5 스위치(222), 및 제6 스위치(232)를 포함할 수 있다.
- [0074] 제4 스위치(212)는 기준 전압원(VREF1)과 제3 커패시터(216)의 일단 사이에 접속된다. 제3 커패시터(216)는 제4 스위치(212)의 타측 단자와 기준 전압원(VREF1) 사이에 접속된다. 제5 스위치(222)는 제3 커패시터(216)의 일단과 제4 커패시터(226)의 일단 사이에 접속된다. 제4 커패시터(226)는 제5 스위치(222)의 일단과 기준 전압원(VREF3) 사이에 접속된다. 제6 스위치(232)는 제4 커패시터(226)의 일단과 제2 출력단(242) 사이에 접속된다.
- [0075] 기준 전압원(VREF3)의 전압은 기준 전압원(VREF2)의 전압과 동일하거나 또는 다를 수 있다.
- [0076] 제2 샘플앤홀드부(202)의 제4 내지 제6 스위치들(212, 222, 232)의 스위칭 동작은 제1 샘플앤홀드부(201)의 제1 내지 제3 스위치들(211, 221, 231)의 스위칭 동작과 동기될 수 있다.
- [0077] 예컨대, 제1 및 제4 스위치들(211, 212)은 동시에 턴 온 또는 턴 오프될 수 있고, 제2 및 제5 스위치들(221, 222)은 동시에 턴 온 또는 턴 오프될 수 있고, 제3 및 제6 스위치들(231, 232)은 동시에 턴 온 또는 턴 오프될 수 있다.
- [0078] 예컨대, 제1 샘플앤홀드부(201)의 샘플링 동작은 제2 샘플앤홀드부(202)의 샘플링 동작과 동시에 수행될 수 있고, 제1 샘플앤홀드부(201)의 차지 셰어링 동작은 제2 샘플앤홀드부(202)의 차지 셰어링 동작과 동시에 수행될 수 있고, 제1 샘플앤홀드부(201)의 신호 전달 동작은 제2 샘플앤홀드부(202)의 신호 전달 동작과 동시에 수행될 수 있다.
- [0079] 샘플앤홀드 회로들(SH1 내지 SHn) 각각은 도 2에 도시된 실시 예와 동일한 구성을 포함하도록 구현될 수 있고, 도 2에서 설명한 내용이 동일하게 적용될 수 있다.
- [0080] 멀티플렉서(102)는 복수 개의 샘플앤홀드 회로들(SH1 내지 SHn) 중 어느 하나를 선택하고, 선택된 어느 하나의 출력을 증폭부(103)로 전송한다.
- [0081] 예컨대, $n(n>1$ 인 자연수)개의 샘플앤홀드 회로들(SH1 내지 SHn)은 n 개 채널 또는 n 개의 데이터 라인들(DL1 내지 DLn)을 통하여 표시 패널(110)의 유기 발광 다이오드들의 문턱 전압들을 샘플링하고, 홀딩할 수 있다. 그 다음으로 멀티플렉서(102)는 샘플앤홀드 회로들(SH1 내지 SHn)에 홀딩된 n 개의 문턱 전압들을 순차적으로 증폭부(103)의 제1 및 제2 입력 단자들(251, 252)로 전송할 수 있다.
- [0082] 도 3은 도 1에 도시된 증폭부(103) 및 아날로그 디지털 변환부(104)의 일 실시 예를 나타낸다. 도 3에서는 샘플앤홀드 회로들(SH1 내지 SHn)과 증폭부(103) 사이에 접속되는 멀티플렉서(102)를 생략하여 도시한다.
- [0083] 도 3을 참조하면, 증폭부(103)는 증폭기(250), 제1 피드백 커패시터(260), 및 제2 피드백 커패시터(270)를 포함할 수 있다.
- [0084] 증폭기(250)는 제1 입력 단자(251), 제2 입력 단자(252), 제1 출력 단자(253), 및 제2 출력 단자(254)를 포함할 수 있다. 예컨대, 증폭기(250)는 차동 연산 증폭기일 수 있으나, 이에 한정되는 것은 아니다.
- [0085] 증폭기(250)의 제1 입력 단자(251)는 멀티플렉서(102)에 의해 선택된 샘플앤홀드 회로(예컨대, SH1)의 제1 출력

단(241)에 접속될 수 있다.

- [0086] 증폭기(250)의 제2 입력 단자(252)는 멀티플렉서(102)에 의해 선택된 샘플앤홀드 회로(예컨대, SH1)의 제1 출력 단(241)에 접속될 수 있다.
- [0087] 제1 피드백 커패시터(260)는 증폭기(250)의 제1 입력 단자(251)와 제1 출력 단자(253) 사이에 접속되고, 제2 피드백 커패시터(270)는 증폭기(250)의 제2 입력 단자(252)와 제2 출력 단자(254) 사이에 접속된다.
- [0088] 증폭부(250)는 증폭기(250)의 제1 및 제2 입력 단자들(251, 252)로 입력되는 신호를 증폭하고, 증폭된 결과를 증폭기(250)의 제1 및 제2 출력 단자들(253, 254)로 출력할 수 있다.
- [0089] 예컨대, 증폭부(250)는 샘플앤홀드 회로(예컨대, SH1)의 제1 출력단(241)의 제1 출력과 제2 출력단(242)의 제2 출력을 차동 증폭할 수 있다.
- [0090] 여기서 제1 출력은 표시 패널(110)의 유기 발광 다이오드의 문턱 전압을 센싱한 결과에 따른 제1 샘플앤홀드부(201)의 출력일 수 있다. 제2 출력은 제2 샘플앤홀드부(202)의 출력일 수 있다.
- [0091] 아날로그-디지털 변환부(104)는 증폭부(250)의 출력을 아날로그-디지털 변환하고, 변환된 결과에 따른 디지털 신호(Dig)를 출력한다. 디지털 신호(Dig)는 표시 패널(110)의 유기 발광 다이오드의 문턱 전압에 상응하는 디지털 값을 가질 수 있다.
- [0092] 메모리부(104)는 아날로그-디지털 변환부(104)로부터 출력되는 디지털 신호(Dig)를 저장한다.
- [0093] 소스 드라이버(130)는 메모리부(104)에 저장된 디지털 신호(Dig)에 기초하여, 데이터 라인을 통하여 유기 발광 다이오드에 제공되는 데이터 신호의 크기를 조절할 수 있다. 예컨대, 소스 드라이버(130)는 유기 발광 다이오드의 본래의 문턱 전압에 대응하는 디지털 값과 메모리부(104)에 저장된 디지털 신호(Dig)의 디지털 값의 차이를 보상하기 위하여 데이터 라인에 제공하는 데이터 신호의 크기를 제어할 수 있다. 따라서 실시 예는 유기 발광 다이오드의 문턱 전압의 변화에 관계없이 일정한 밝기로 유기 발광 다이오드를 구동할 수 있다.
- [0094] 도 4는 도 2에 도시된 샘플앤홀드 회로(SH1)의 기생 커패시턴스 성분을 도시한다.
- [0095] 도 4를 참조하면, 샘플앤 홀드 회로(SH1)의 제1 커패시터(215)의 일단과 접지(GND) 사이에는 제1 기생 커패시터(228-1)가 발생될 수 있고, 제2 커패시터(225)의 일단과 접지(GND) 사이에는 제2 기생 제2 커패시터(229-1)가 발생될 수 있다.
- [0096] 또한 샘플앤 홀드 회로(SH1)의 제3 커패시터(216)의 일단과 접지(GND) 사이에는 제3 기생 커패시터(228-2)가 발생될 수 있고, 제4 커패시터(226)의 일단과 접지(GND) 사이에는 제4 기생 제2 커패시터(229-2)가 발생될 수 있다.
- [0097] 샘플앤 홀드 회로(SH1)의 제1 출력단(241)로 출력되는 전압(VA1)은 수학식 1로 표현될 수 있다.

수학식 1

$$VA1 = \frac{(V_{in} - VR1)C_s + V_{in} \times C_{p1} + VR2 \times C_{p2}}{C_s + C_{sh} + C_{p1} + C_{p2}}$$

- [0098]
- [0099] V_{in} 은 샘플앤홀드 회로(SH1)의 제1 입력단(210)으로 수신되는 유기 발광 다이오드(OLED)의 문턱 전압을 나타내고, $VR1$ 은 기준 전압원(V_{REF1})의 전압을 나타내고, $VR2$ 는 기준 전압원(V_{REF2})의 전압을 나타낸다. 이때 기준 전압원(V_{REF3})의 전압은 기준 전압원(V_{REF2})의 전압과 동일할 수 있다.
- [0100] C_{p1} 은 제1 기생 커패시터(228-1) 및 제3 기생 커패시터(228-2) 각각의 기생 커패시턴스를 나타내고, C_{p2} 는 제2 기생 커패시터(229-1) 및 제4 기생 커패시터(229-2) 각각의 기생 커패시턴스를 나타낸다.
- [0101] C_s 는 제1 커패시터(215) 및 제3 커패시터(216) 각각의 커패시턴스를 나타내고, C_{sh} 는 제2 커패시터(225) 및 제4 커패시터(226) 각각의 커패시턴스를 나타낸다.
- [0102] 예컨대, 제1 커패시터(215)의 커패시턴스와 제3 커패시터(216)의 커패시턴스는 동일할 수 있고, 제2 커패시터(225)의 커패시턴스와 제4 커패시터(226)의 커패시턴스는 동일할 수 있다.

[0103] 샘플앤홀드 회로(SH1)의 제2 출력 단자(241)로 출력되는 전압(VA2)은 수학식 2로 표현될 수 있다.

수학식 2

$$VA2 = \frac{VR1 \times Cp1 + VR2 \times Cp2}{Cs + Csh + Cp1 + Cp2}$$

[0104]

[0105] 그리고 증폭부(103)의 증폭기(250)의 제1 입력 단자(251) 및 제2 입력 단자(252)의 차동 입력 전압(Vamp)은 수학식 3으로 표현될 수 있다.

수학식 3

$$Vamp = VA1 - VA2 = \frac{(Vin - VR1) \times (Cs + Cp1)}{Cs + Csh + Cp1 + Cp2}$$

[0106]

[0107] 일반적으로 샘플앤홀드 회로에는 도 4에 도시된 바와 같이, 기생 커패시터들(Cp1, Cp2)이 발생될 수 있으며, 이러한 기생 커패시터들(Cp1, Cp2)의 영향에 의하여 센싱된 유기 발광 다이오드의 문턱 전압에는 오프셋(offset)이 발생될 수 있고, 이로 인하여 문턱 전압의 정확한 센싱이 어려울 수 있어 센싱된 문턱 전압에 관한 신뢰성이 떨어질 수 있다.

[0108] 그러나 실시 예에 따른 샘플앤홀드 회로들(SH1 내지 SHn) 각각은 제1 샘플앤홀드부(201)와 동일한 구성을 갖는 제2 샘플앤홀드부(202)를 별도로 구비하고, 제1 샘플앤홀드부(201)의 출력을 증폭부(103)의 제1 입력 단자(251)에 제공하고, 제2 샘플앤홀드부(202)의 출력을 증폭부(103)의 제2 입력 단자(252)에 제공함으로써, 상술한 기생 커패시터들(Cp1, Cp2)에 기인하는 오프셋(offset)을 제거할 수 있다.

[0109] 수학식 3을 참조하면, 증폭부(103)의 이득은 변화하더라도, 제2 기생 커패시터(Cp2)에 의한 오프셋이 서로 상쇄됨으로써, 기생 커패시터에 의한 오프셋의 영향을 줄일 수 있다. 따라서 실시 예는 표시 패널(110)의 유기 발광 다이오드의 문턱 전압의 센싱에 관한 신뢰성 및 감도를 향상시킬 수 있고, 이로 인하여 문턱 전압의 변화에 관계없이 원하는 밝기로 유기 발광 다이오드를 구동할 수 있다.

[0110] 도 5a 및 도 5b는 샘플앤홀드 회로(SH1)의 기준 전압원의 전압 변화에 따른 증폭부의 출력 범위의 변화를 나타낸다.

[0111] 도 5a는 샘플앤홀드 회로(SH1)의 기준 전압원(VREF2)의 전압 및 기준 전압원(VREF3)의 전압이 동일할 때, 증폭부(103)의 출력을 나타낸다.

[0112] 도 5a를 참조하면, 샘플앤홀드 회로(예컨대, SH1)의 제2 및 제3 기준 전압원들(VREF2, VREF3)의 전압이 제1 전압일 때, 증폭부(103)는 0.4[V] ~ 1.4[V]의 출력 범위를 가질 수 있다. Vpp는 하한치에서 상한치 간의 전압(peak to peak voltage)을 의미한다.

[0113] 도 5b는 샘플앤홀드 회로(SH1)의 기준 전압원(VREF2)의 전압과 기준 전압원(VREF3)의 전압이 서로 다를 때, 증폭부(103)의 출력을 나타낸다.

[0114] 도 5b를 참조하면, 샘플앤홀드 회로(예컨대, SH1)의 기준 전압원(VREF2)의 전압이 제1 전압이고, 기준 전압원(VREF3)의 전압이 제1 전압과 다른 제2 전압일 때, 증폭부(103)는 0.65[V] ~ 1.15[V]의 출력 범위를 가질 수 있다. 기준 전압원(VREF3)의 전압 기준 전압원(VREF2)의 전압과 다르게 조절됨으로써, 증폭부(103)의 출력의 범위가 변경될 수 있다.

[0115] 도 2에 도시된 샘플앤홀드 회로(SH1)는 제1 샘플앤홀드부(201)와 동일한 구성을 갖는 제2 샘플앤홀드부(202)를 구비함으로써, 실시 예는 기생 커패시터들(Cp1, Cp2)에 기인하는 유기 발광 다이오드(OLED)의 문턱 전압의 오프셋을 줄일 수 있다.

[0116] 또한 제2 샘플앤홀드부(202)의 제2 기준전압원(VREF2)의 전압 레벨을 조정함으로써, 실시 예는 증폭부(103)의 출력 전압의 범위를 아날로그-디지털 변환부(104)의 입력 범위 내가 되도록 조절할 수 있다.

- [0117] 도 6은 도 1에 도시된 샘플앤홀드 회로(SH1)의 다른 실시 예(SH1')를 나타낸다. 도 1의 나머지 샘플앤홀드 회로들(SH2 내지 SHn)도 다른 실시 예(SH1')와 동일한 구성을 포함할 수 있다. 도 2와 동일한 도면 부호는 동일한 구성을 나타내며, 동일한 구성에 대해서는 설명을 간략하게 하거나 생략한다.
- [0118] 도 6을 참조하면, 샘플앤홀드 회로(SH1')는 제1 샘플앤홀드부(201a), 및 제2 샘플앤홀드부(202a)를 포함한다.
- [0119] 제1 샘플앤홀드부(201a)는 제1 입력단(210), 제1 및 제2 커패시터들(215a, 225a), 제1 스위칭부, 및 제1 출력단(241)을 포함할 수 있다.
- [0120] 제1 입력단(210)에는 유기 발광 다이오드의 문턱 전압이 입력될 수 있다.
- [0121] 제1 커패시터(215a)는 유기 발광 다이오드의 문턱 전압을 샘플링할 수 있다.
- [0122] 제2 커패시터(225a)는 제1 커패시터(215a)에 샘플링된 전압을 차지 셰어링할 수 있다.
- [0123] 제1 스위칭부는 제1 입력단(210)과 제1 커패시터(215a)의 일단 사이, 제1 커패시터(215a)의 일단과 제2 커패시터(225a)의 일단 사이, 제1 커패시터(215a)의 타단과 기준 전압원(VREF1) 사이, 제1 커패시터(215a)의 타단과 기준 전압원(VREF21) 사이, 제2 커패시터(225a)의 타단과 기준 전압원(VREF21) 사이, 제2 커패시터(225a)의 일단과 기준 전압원(VREF22) 사이, 제2 커패시터(225a)의 타단과 제1 출력단(241), 및 제2 커패시터(225a)의 일단과 기준 전압원(VREF21) 사이를 선택적으로 연결하도록 스위칭될 수 있다.
- [0124] 제1 출력단(241)은 제2 커패시터(225a)에 차지 셰어링된 전압을 출력할 수 있다.
- [0125] 제1 스위칭부는 제1 내지 제7 스위치들(611 내지 617) 및 제1 리셋 스위치(618)를 포함할 수 있다.
- [0126] 제1 스위치(611)는 데이터 라인(DL1)과 연결된 제1 입력단(210)과 제1 커패시터(215a)의 일단 사이에 접속될 수 있다. 제1 커패시터(215a)의 일단은 제1 스위치(611)의 타측 단자에 접속될 수 있다.
- [0127] 제2 스위치(612)는 제1 커패시터(611)의 일단과 제2 커패시터(225a)의 일단 사이에 접속될 수 있다. 제2 스위치(612)의 일단은 제1 커패시터(215a)의 일단에 접속되고, 제2 스위치(612)의 타단은 제2 커패시터(225a)의 일단에 접속될 수 있다.
- [0128] 제3 스위치(613)는 제1 커패시터(215a)의 타단과 기준 전압원(VREF1) 사이에 접속될 수 있다.
- [0129] 제4 스위치(614)는 제1 커패시터(215a)의 타단과 기준 전압원(VREF21) 사이에 접속될 수 있다.
- [0130] 제5 스위치(615)는 제2 커패시터(225a)의 타단과 기준 전압원(VREF21) 사이에 접속될 수 있다.
- [0131] 제6 스위치(616)는 제2 커패시터(225a)의 일단과 기준 전압원(VREF22) 사이에 접속될 수 있다.
- [0132] 제7 스위치(617)는 제2 커패시터(225a)의 타단과 제2 출력 단자(241) 사이에 접속될 수 있다.
- [0133] 제1 리셋 스위치(618)는 제2 커패시터(225a)의 타단과 기준 전압원(VREF21) 사이에 접속될 수 있다.
- [0134] 기준 전압원(VREF21)의 전압은 기준 전압원(VREF22)의 전압보다 낮다.
- [0135] 또한 기준 전압원(VREF22)의 전압은 기준 전압원(VREF23)의 전압과 동일하거나 또는 다를 수 있다.
- [0136] 제2 샘플앤홀드부(202a)는 제2 입력단(210a), 제3 및 제4 커패시터들(216a, 226a), 제2 스위칭부, 및 제2 출력단(242)을 포함한다.
- [0137] 제2 입력단(210a)은 기준 전압원(VREF1)에 접속될 수 있다.
- [0138] 제2 스위칭부는 제2 입력단(210a)과 제3 커패시터(216a)의 일단 사이, 제3 커패시터(216a)의 일단과 제4 커패시터(226a)의 일단 사이, 제3 커패시터(216a)의 타단과 기준 전압원(VREF1) 사이, 제3 커패시터(216a)의 타단과 기준 전압원(VREF21) 사이, 제4 커패시터(226a)의 타단과 기준 전압원(VREF21) 사이, 제4 커패시터(226a)의 일단과 기준 전압원(VREF23) 사이, 제4 커패시터(226a)의 타단과 제2 출력단(242) 사이, 및 제4 커패시터(226a)의 일단과 기준 전압원(VREF21) 사이를 선택적으로 연결하도록 스위칭될 수 있다.
- [0139] 제2 스위칭부는 제8 내지 제14 스위치들(621 내지 627), 및 제2 리셋 스위치(628)를 포함할 수 있다.
- [0140] 제8 스위치(621)는 기준 전압원(VREF1)과 제3 커패시터(216a)의 일단 사이에 접속될 수 있다. 제9 스위치(622)는 제3 커패시터(216a)의 일단과 제4 커패시터(226a)의 일단 사이에 접속될 수 있다. 제10 스위치(623)는 제3 커패시터(216a)의 타단과 기준 전압원(VREF1) 사이에 접속될 수 있다. 제11 스위치(624)는 제3 커패시터(216a)

의 타단과 기준 전압원(VREF21) 사이에 접속될 수 있다.

- [0141] 제12 스위치(625)는 제4 커패시터(226a)의 일단과 기준 전압원(VREF23) 사이에 접속될 수 있다. 제13 스위치(626)는 제4 커패시터(226a)의 타단과 기준 전압원(VREF21) 사이에 접속될 수 있다. 제14 스위치(627)는 제4 커패시터(226a)의 타단과 제2 출력단(242) 사이에 접속될 수 있다.
- [0142] 제1 커패시터(215a)의 커패시턴스는 제3 커패시터(216a)의 커패시턴스와 동일할 수 있고, 제2 커패시터(225a)의 커패시턴스는 제4 커패시터(226a)의 커패시턴스와 동일할 수 있다.
- [0143] 제1 및 제3 스위치들(611, 613), 및 제8 및 제10 스위치들(621, 623)은 동시에 턴 온 또는 턴 오프될 수 있다.
- [0144] 제2 스위치(612), 제4 스위치(614), 제6 스위치(616), 제9 스위치(622), 제11 스위치(624), 및 제13 스위치(626)는 동시에 턴 온 또는 턴 오프될 수 있다.
- [0145] 제5 및 제7 스위치들(615, 617)과 제12 및 제14 스위치들(625, 627)은 동시에 턴 온 또는 턴 오프될 수 있다.
- [0146] 도 7은 제1 샘플앤홀드부(201a)의 샘플링 동작을 나타낸다.
- [0147] 도 7을 참조하면, 제1 샘플앤홀드부(201a)의 제1 스위치(611) 및 제3 스위치(613)이 턴 온되고, 제2 스위치(612)와 제4 내지 제7 스위치들(614 내지 617)은 턴 오프되고, 제1 리셋 스위치(618)는 턴 온된다.
- [0148] 제1 샘플앤홀드부(201a)의 제1 입력단(210)을 통하여 센싱되는 신호는 제1 커패시터(Cs1)에 충전된다. 이와 동시에 제2 커패시터(225a)의 전압은 리셋된다.
- [0149] 도 7에는 도시되지 않았지만, 제2 샘플앤홀드부(202a)의 샘플링 동작은 제1 샘플앤홀드부(201a)의 샘플링 동작과 동기될 수 있다.
- [0150] 예컨대, 제1 샘플앤홀드부(202a)의 샘플링 동작과 동시에, 제2 샘플앤홀드부(202a)의 제8 스위치(621), 제10 스위치(623)는 턴 온될 수 있고, 제9 스위치(622), 및 제11 내지 제14 스위치들(624 내지 627)은 턴 오프될 수 있고, 제2 리셋 스위치(628)는 턴 온될 수 있다.
- [0151] 샘플링 동작에서, 제1 샘플앤홀드부(201a)에는 발광 다이오드의 문턱 전압이 샘플링된다. 그러나 제2 샘플앤홀드부(202a)의 제3 커패시터(216a)의 양단에 걸리는 전압이 동일하므로, 제3 커패시터(216a)에는 제1 샘플앤홀드부(201a)와 같이 전압이 샘플링되지는 않는다.
- [0152] 도 8은 제1 샘플앤홀드부(201a)의 차지 셰어링 동작을 나타낸다.
- [0153] 도 8을 참조하면, 문턱 전압 샘플링 동작에서 제1 커패시터(Cs1)의 충전이 완료되면, 차지 셰어링 동작이 수행될 수 있다.
- [0154] 차지 셰어링 동작을 위하여 제1 샘플앤홀드부(201a)의 제1 스위치(611), 제3 스위치(613), 제5 스위치(615) 및 제7 스위치(617)는 턴 오프되고, 제2 스위치(612), 제4 스위치(614), 및 제6 스위치(616)는 턴 온될 수 있고, 제1 리셋 스위치(618)는 턴 오프될 수 있다.
- [0155] 제1 샘플앤홀드부(201a)의 차지 셰어링 동작과 동시에, 제2 샘플앤홀드부(202a)의 제8 스위치(621), 제10 스위치(623), 제12 스위치(625) 및 제14 스위치(627)는 턴 오프되고, 제9 스위치(622), 제11 스위치(624), 제13 스위치(626)는 턴 온될 수 있고, 제2 리셋 스위치(628)는 턴 오프될 수 있다.
- [0156] 차지 셰어링 동작을 통하여 제1 커패시터(Cs1)에 충전된 전압은 제2 커패시터(Cs2)와 공유될 수 있고, 제2 커패시터(225a)에 차지 셰어링된 전압은 샘플링 동작에서 제1 커패시터(215a)에 충전된 전압보다 작을 수 있다.
- [0157] 기준 전압원(VREF21)의 전압은 기준 전압원(VREF22)의 전압보다 낮기 때문에, 제2 스위치(612), 제4 스위치(614), 및 제6 스위치(616)의 온 저항을 감소시킬 수 있다.
- [0158] 또한 제6 및 제7 스위치(616, 617)는 제1 내지 제5 스위치들(611 내지 615)보다 낮은 내압을 갖는 트랜지스터로 구현될 수 있다.
- [0159] 제2 샘플앤홀드부(202a)의 차지 셰어링 동작은 제1 샘플앤홀드부(201a)의 차지 셰어링 동작과 동기될 수 있고, 제1 샘플앤홀드부(201a)의 샘플링 동작에 대한 설명이 적용될 수 있다.
- [0160] 기준 전압원(VREF21)의 전압은 기준 전압원(VREF22)의 전압보다 낮기 때문에, 제9 스위치(622), 제11 스위치(624), 및 제13 스위치(626)의 온 저항을 감소시킬 수 있다. 또한 제13 및 제14 스위치(626, 627)는 제8 내지

제12 스위치들(621 내지 625)보다 낮은 내압을 갖는 트랜지스터로 구현될 수 있다.

- [0161] 도 9는 제1 샘플앤홀드부(201a)의 신호 전달 동작을 나타낸다.
- [0162] 도 9를 참조하면, 차지 웨어링 동작이 완료되면, 제2 커패시터(225a)에 차지 웨어링된 전압을 제1 출력 단자(241)로 전달하는 신호 전달 동작이 수행될 수 있다.
- [0163] 신호 전달 동작을 위하여 제1 샘플앤홀드부(201a)의 제1 내지 제4 스위치들(611 내지 614), 및 제6 스위치(616)는 턴 오프되고, 제5 스위치(615) 및 제7 스위치(617)는 턴 온될 수 있고, 제1 리셋 스위치(618)는 턴 오프될 수 있다.
- [0164] 또한 제1 샘플앤홀드부(201a)의 신호 전달 동작과 동시에 제2 샘플앤홀드부(201a)의 제8 내지 제11 스위치(621 내지 624), 및 제13 스위치(626)는 턴 오프되고, 제12 스위치(625) 및 제14 스위치(627)는 턴 온될 수 있고, 제2 리셋 스위치(628)는 턴 오프될 수 있다.
- [0165] 차지 웨어링 동작에서 제2 커패시터(Cs2)에 차지 웨어링된 전압은 제1 출력단(241)로 출력된다. 기준 전압원(VREF22)의 전압은 기준 전압원(VREF21)의 전압보다 높기 때문에, 제1 출력단(241)으로 전달되는 전압의 레벨은 변경될 수 있다. 이로 인하여 증폭부(103)로 전달되는 제1 샘플앤홀드부(201a)의 출력 전압은 그라운드(GND)보다 낮아지지 않는다.
- [0166] 샘플앤홀드 회로들(SH1 내지 SHn)에 포함되는 제1 샘플앤홀드부(201a)의 제5 스위치(615) 및 제7 스위치(617)는 지연 시간 및 전달 시간이 서로 다를 수 있고, 이로 인하여 타이밍 오차가 발생할 수 있다.
- [0167] 이를 해결하기 위하여 먼저 제5 스위치(615)를 턴 온시켜 제2 커패시터(225a)를 기준 전압원(VREF22)에 접속시켜 제2 커패시터(225a)의 충전 전압을 제1 레벨로 변화시킨다. 그 다음으로 제7 스위치(617)를 턴 온시켜 제1 레벨로 변화된 제2 커패시터(225a)의 충전 전압을 제1 출력단(241)로 출력할 수 있다.
- [0168] 또한 제2 샘플앤홀드부(202a)에 대해서는 제12 스위치(625)를 턴 온시켜 제4 커패시터(226a)를 기준 전압원(VREF22)에 접속시켜 제4 커패시터(226a)의 충전 전압을 낮추고, 그 다음으로 제14 스위치(627)를 턴 온시켜 낮아진 제4 커패시터(226a)의 충전 전압을 제2 출력단(242)로 출력할 수 있다.
- [0169] 도 10은 도 6의 실시 예에 따른 샘플앤홀드 회로들(SH1' 내지 SHn')의 동작 타이밍도를 나타낸다.
- [0170] 도 10을 참조하면, Q1은 샘플앤홀드 회로들(SH1' 내지 SHn') 각각의 제1 및 제3 스위치들(611, 613)의 제어 신호이고, Q2는 샘플앤홀드 회로들(SH1' 내지 SHn') 각각의 제2 스위치(612), 제4 스위치(614), 및 제6 스위치(616)의 제어 신호이고, Q3는 샘플앤홀드 회로들(SH1' 내지 SHn') 각각의 제5 스위치(615)의 제어 신호이다. QF[1]은 제1 샘플앤홀드 회로(SH1)의 제7 스위치(또는 제14 스위치)의 제어 신호일 수 있고, QF[2]는 제2 샘플앤홀드 회로(SH2)의 제7 스위치(또는 제14 스위치)의 제어 신호일 수 있고, QF[n]은 제n 샘플앤홀드 회로(SHn)의 제7 스위치(또는 제14 스위치)의 제어 신호일 수 있다.
- [0171] 도 10에 따른 타이밍도에 의하여 샘플앤홀드 회로들(SH1 내지 SHn) 각각의 제5 및 제7 스위치들(615, 617)의 지연 시간 및 전달 시간의 차이에 따른 증폭부(103)로의 신호의 전달 시간의 오차 또는 충돌을 해결할 수 있다.
- [0172] 일반적으로 샘플앤홀드 회로의 입력 단자로 입력되는 전압은 샘플링 커패시터의 일단에 연결되는 기준 전압원의 전압보다 높을 수 있다. 따라서 샘플앤홀드 회로를 구현하기 위한 트랜지스터는 고전압 소자를 사용해야 하고, 소자 신뢰성을 확보하기 위하여 증폭부를 구성하는 트랜지스터도 고전압 소자를 사용해야 한다.
- [0173] 도 7 내지 9에서 설명한 바와 같이 샘플앤홀드 동작시, 제1 커패시터(215a)의 일단, 및 제2 커패시터(225a)의 일단 각각에는 고전압이 걸리는 반면에, 제2 커패시터(225a)의 타단과 제7 스위치(617)의 접점에는 저전압만 걸리도록 할 수 있다. 따라서 실시 예는 저전압 트랜지스터로 제5 및 제7 스위치들(615)을 구현할 수 있고, 증폭부(103)도 저전압 소자로 구현할 수 있다.
- [0174] 예컨대, 제5 및 제7 스위치들 각각을 구현하기 위한 트랜지스터의 내압은 제1 내지 제4 트랜지스터들, 및 제6 트랜지스터들 각각을 구현하기 위한 트랜지스터의 내압보다 작을 수 있다.
- [0175] 제2 샘플앤홀드부(202a)는 샘플앤홀드 회로들(SH1' 내지 SHn') 각각에 구현될 수 있으나, 이에 한정되는 것은 아니다.
- [0176] 예컨대, 다른 실시 예에서는 샘플앤홀드 블록(101)은 샘플앤홀드 회로들(SH1' 내지 SHn') 대신하여 복수 개의 제1 샘플앤홀드부들(201a), 및 1개 이상의 제2 샘플앤홀드부(202a)를 포함할 수 있다.

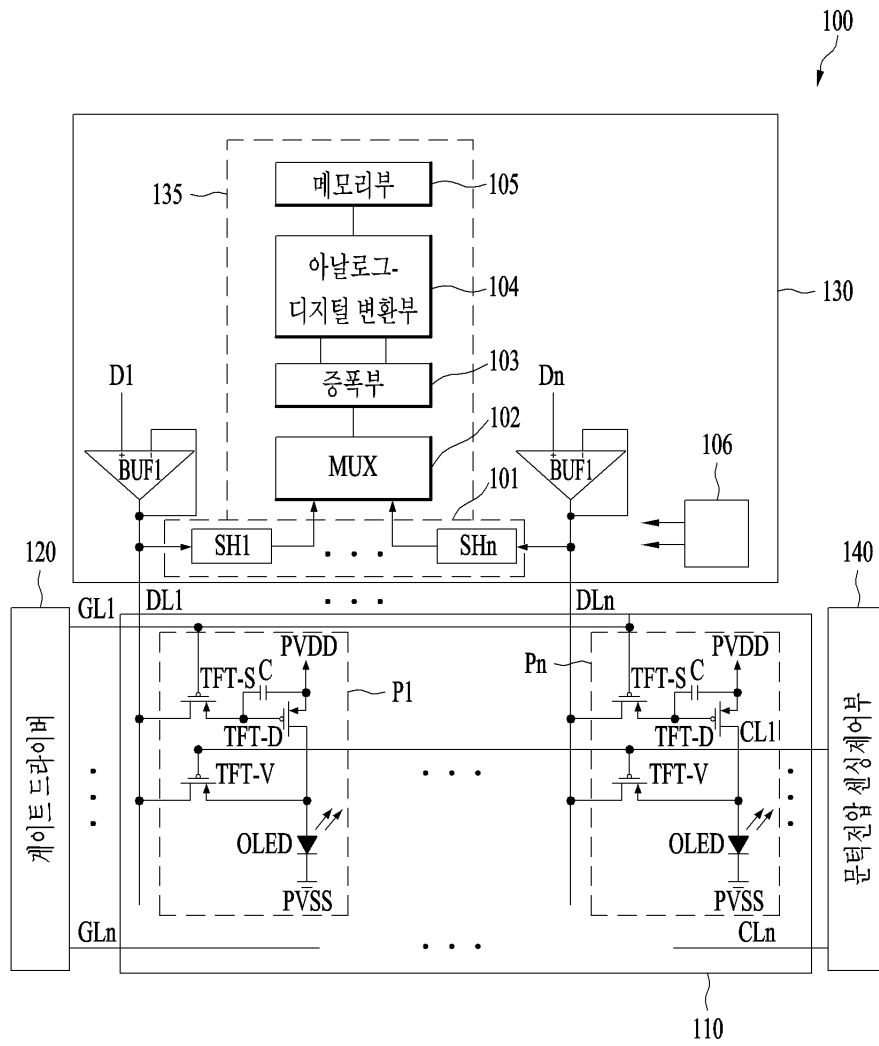
- [0177] 복수의 데이터 라인들을 통하여 유기 발광 다이오드들의 문턱 전압들을 센싱하기 위하여 샘플앤홀드 블록(101)은 하나의 제2 샘플앤홀드부(202a)를 공유하여 사용함으로써, 샘플앤홀드 블록(101)의 회로 면적을 줄일 수 있다.
- [0178] 복수 개의 제1 샘플앤홀드부들(201a) 중 어느 하나의 출력을 증폭한 후에 다른 어느 하나의 출력을 증폭하기 전에 증폭부(103)는 리셋 동작을 수행한다. 이는 이전에 증폭 동작의 영향을 없애기 위함이다. 따라서 증폭부(103)는 증폭 동작 및 리셋 동작을 번갈아 수행한다.
- [0179] 이때 증폭부(103)의 리셋 동작 시 다음 번 데이터 라인에 연결된 유기 발광 다이오드의 문턱 전압 센싱 동작을 수행하기 위하여, 샘플앤홀드 블록(101)은 2개의 제2 샘플앤홀드부(202a), 예컨대, 제1-2 샘플앤홀드부, 및 제2-2 샘플앤홀드부를 포함할 수 있다. 제1-2 샘플앤홀드부, 및 제2-2 샘플앤홀드부 각각은 도 6에 도시된 제2 샘플앤홀드부(202a)와 동일한 구성을 가질 수 있다.
- [0180] 예컨대, 문턱 전압 센싱 회로에 포함되는 제2 샘플앤홀드부(202a)의 개수는 제1 샘플앤홀드부들(201a)의 개수보다 작을 수 있다.
- [0181] 멀티플렉서(102)는 제1-2 샘플앤홀드부, 및 제2-2 샘플앤홀드부의 출력 단자들(242)을 선택적으로 증폭부(103)의 제2 입력 단자(252)에 접속시킬 수 있다.
- [0182] 예컨대, 다른 실시 예에 따른 복수 개의 샘플앤홀드부들은 제1-2 샘플앤홀드부, 및 제2-2 샘플앤홀드부를 공유하여 문턱 전압 센싱 동작을 수행할 수 있다.
- [0183] 예컨대, 제2-2 샘플앤홀드부는 전송 동작을 수행하고, 증폭부(103)는 제1 증폭 동작을 수행할 수 있다, 이때 제1-2 샘플앤홀드부가 샘플링 동작을 수행할 수 있다
- [0184] 또한 제1 증폭 동작 완료 후 증폭부(103)가 리셋 동작을 수행할 때, 제1-2 샘플앤홀드부는 차지 웨어링 동작을 수행할 수 있고, 제2-2 샘플앤홀드부는 샘플링 동작을 수행할 수 있다.
- [0185] 또한 제1-2 샘플앤홀드부는 전송 동작을 수행하고, 증폭부(103)는 제2 증폭 동작을 수행할 수 있고, 제2-2 샘플앤홀드부는 차지 웨어링 동작을 수행할 수 있다.
- [0186] 상술한 전송 동작, 샘플링 동작, 및 차지 웨어링 동작은 도 7 내지 도 9에서 설명한 바와 동일한 동작일 수 있다.
- [0187] 이러한 동작을 통하여 증폭부(103)의 리셋 동작 수행 시 대기 시간없이 다음 센싱 동작을 수행할 수 있으며, 이로 인하여 유기 발광 다이오드의 문턱 전압의 센싱 시간을 줄일 수 있고, 타이밍 마진을 확보할 수 있다.
- [0188] 이상에서 실시 예들에 설명된 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시 예에 포함되며, 반드시 하나의 실시 예에만 한정되는 것은 아니다. 나아가, 각 실시 예에서 예시된 특징, 구조, 효과 등은 실시 예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시 예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

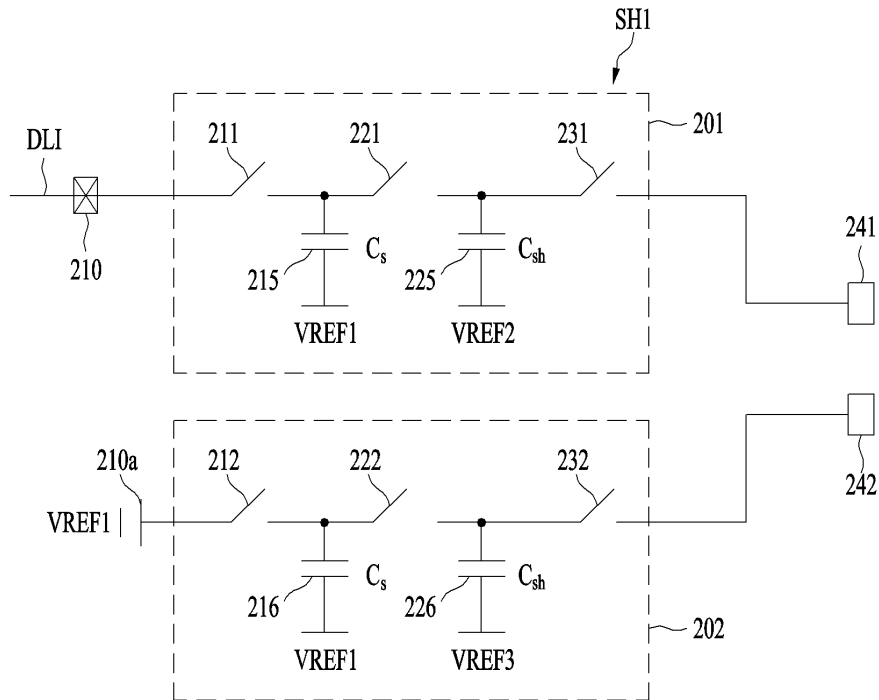
- | | | |
|--------|-------------------|------------------|
| [0189] | 110: 표시 패널 | 120: 게이트 드라이버 |
| | 130: 소스 드라이버 | 135: 문턱 전압 센싱 회로 |
| | 140: 문턱 전압 센싱 제어부 | 101: 샘플앤홀드 블록 |
| | 102: 멀티플렉서 | 103: 증폭부 |
| | 104: 아날로그-디지털 변환부 | 105: 메모리부. |

도면

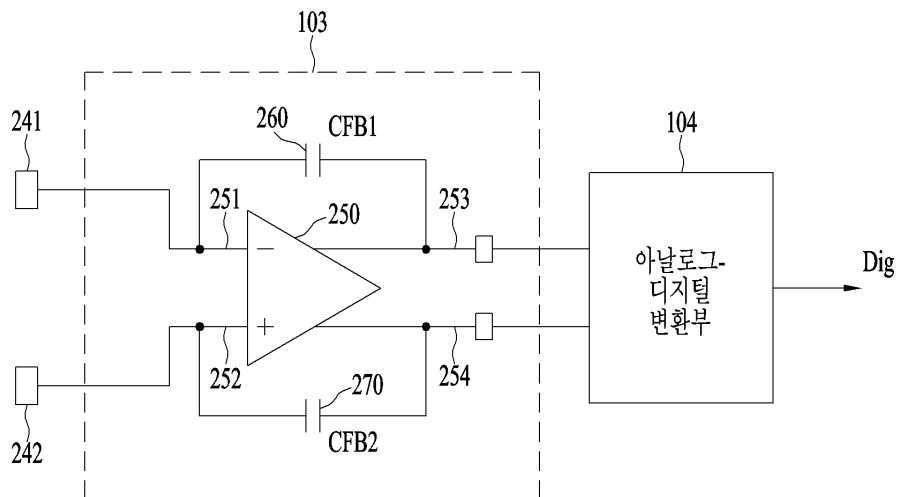
도면1



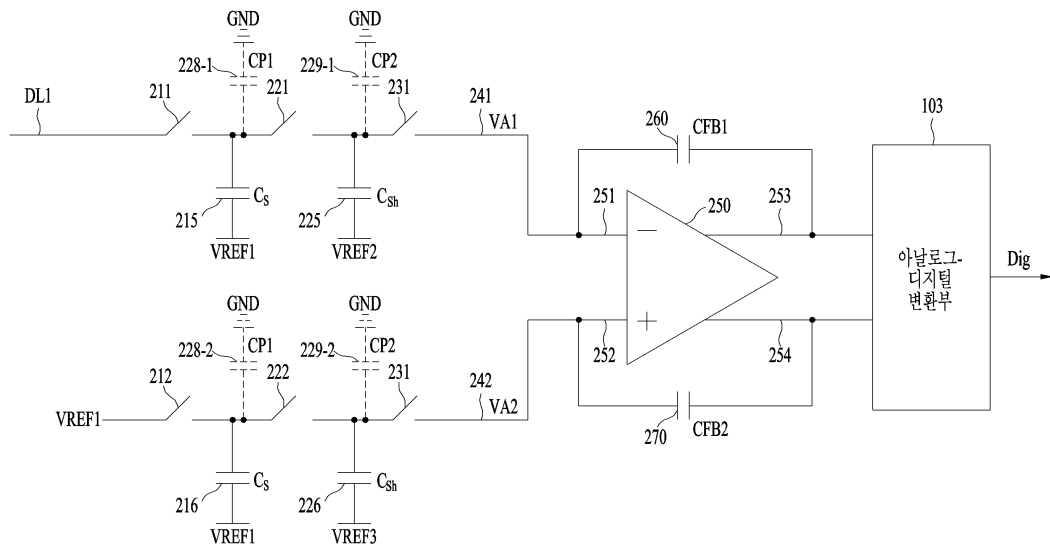
도면2



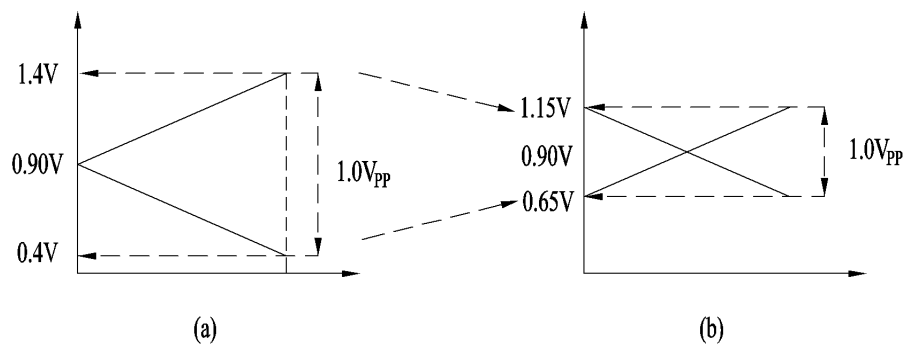
도면3



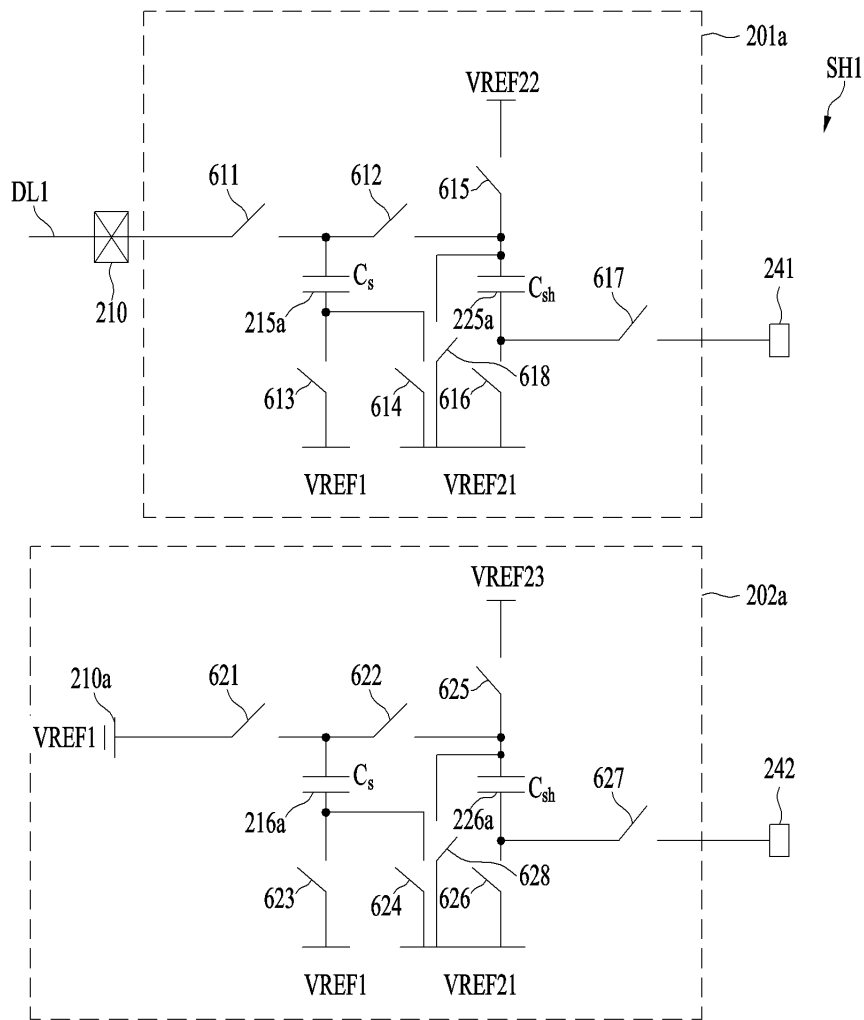
도면4



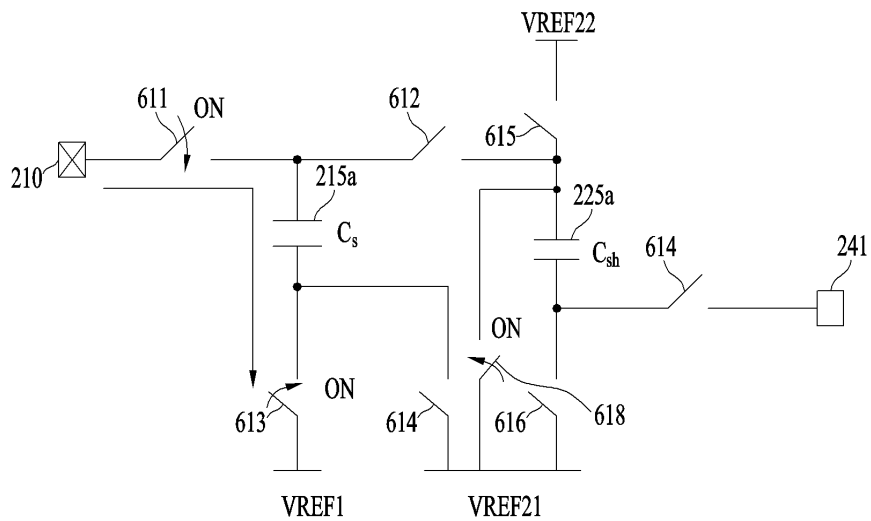
도면5



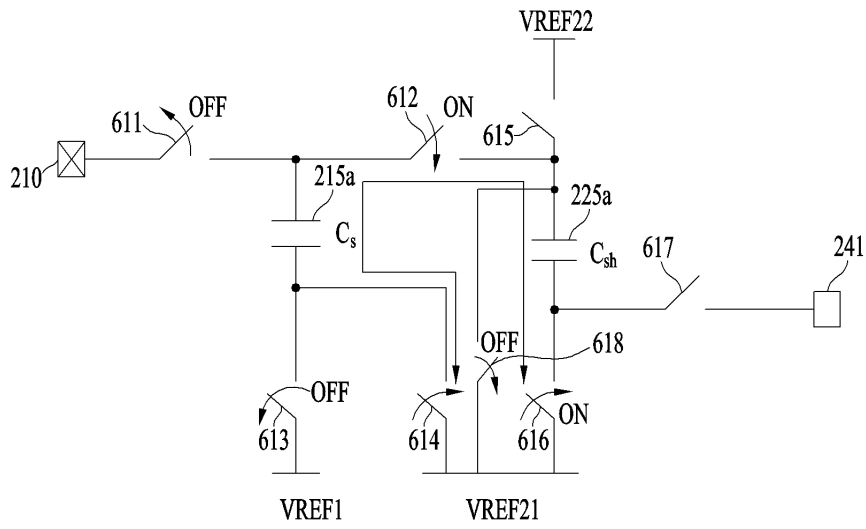
도면6



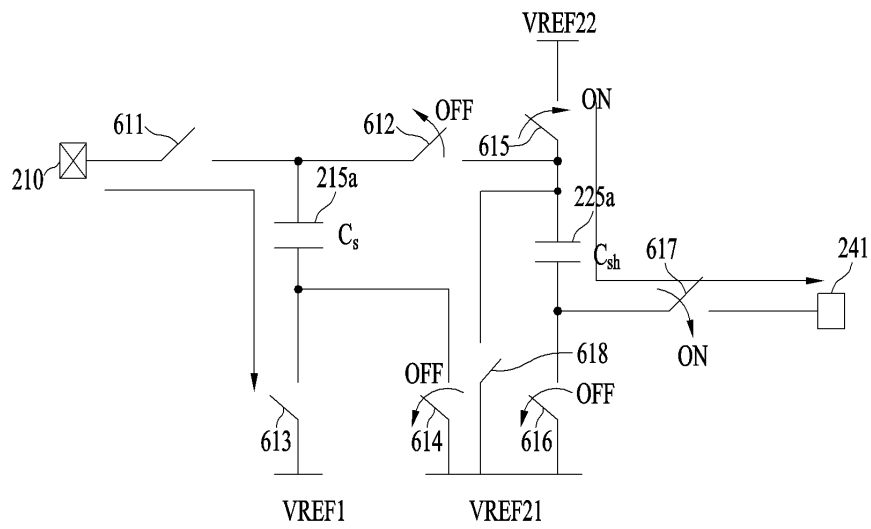
도면7



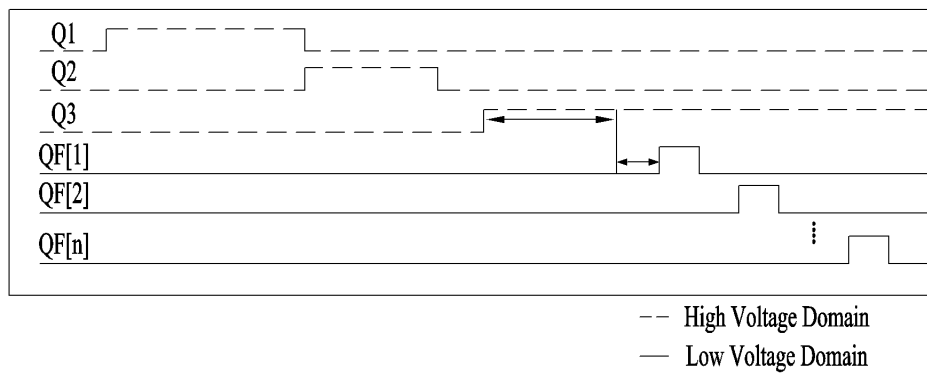
도면8



도면9



도면10



专利名称(译)	阈值电压感测电路和包括其的显示装置		
公开(公告)号	KR1020180078700A	公开(公告)日	2018-07-10
申请号	KR1020160183720	申请日	2016-12-30
[标]申请(专利权)人(译)	东部高科股份有限公司		
[标]发明人	HWANG TAE HO 황태호		
发明人	황태호		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2310/0294 G09G2300/0828 G09G2300/0842 G09G2310/0297 G09G3/3291 G09G2310/0286 G09G2310/0289 G09G2310/0291 G09G2320/0233 G09G2320/045 G09G2330/02 G09G2330/12		
代理人(译)	Bakyoungbok Hwangyounguk		
外部链接	Espacenet		

摘要(译)

该实施例包括放大器，其包括与所述第一采样和保持部分的第一输出节点连接的第一输入端子以及包括第一输出节点的第一采样和保持部分，其输出在第一输入节点中共享的电压电荷，其中阈值电压输入有机发光二极管，并且第一电容器，对有机发光二极管的阈值电压进行采样，第二电容器和第二电容器充电并共享在第一电容器中采样的电压，并且所述第一采样和保持部分包括：第一输入节点和第一开关部分，其被切换以便选择性地连接第一电容器的尖端和第一电容器的一端，第二电容器的尖端的一端和第二电容器的第二电容器。用于第一电容器另一端的第二电容器的另一端用于第一电容器的另一端和第一电容器在第二电容器的另一端和第一输出节点之间的电压环和第二地电平电压圆，以及第二地电平电压圆和第三电压参考源。

