



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0057762
(43) 공개일자 2018년05월31일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 27/32 (2006.01)
(52) CPC특허분류
H01L 51/5228 (2013.01)
H01L 27/3276 (2013.01)
(21) 출원번호 10-2016-0155095
(22) 출원일자 2016년11월21일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
한성만
경기도 파주시 창곡동길 40-48 (야동동)
이기형
경기도 용인시 수지구 성북1로164번길 20 (성북동, 버들치마을성북자이1차아파트) 111동 902호
(74) 대리인
특허법인로알

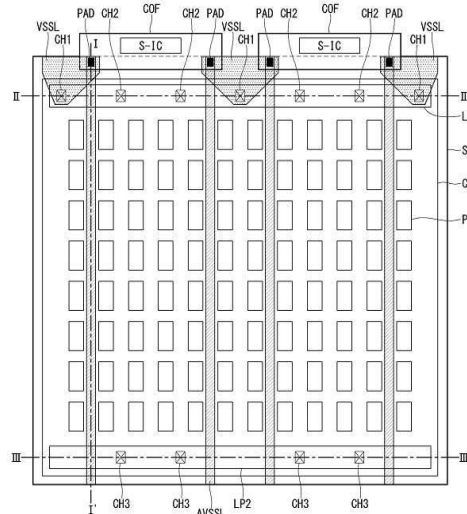
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 전계발광 표시장치

(57) 요약

본 발명은 캐소드 전극의 저전위 전원 전압 편차를 최소화할 수 있는 전계발광 표시장치를 제공하기 위한 것으로, 기관; 상기 기관의 제 1 면 일측에 배치되는 저전위 전원 공급패드; 상기 기관의 제 1 면 상에서 상기 저전위 전원 공급패드에 연결되는 저전위 전원 공급라인; 상기 기관의 제 1 면 상에서 상기 저전위 전원 공급라인에 연결되는 제 1 링크패턴; 상기 기관의 제 1 면 상에서 제 1 링크패턴에 연결되는 캐소드 전극; 및 상기 공급패드에 연결되며, 상기 기관의 측면 및 제 2 면을 따라 연장되어 상기 기관의 제 1 면 타측에서 상기 캐소드 전극에 연결되는 저전위 전원 보조 공급라인을 포함하는 것을 특징으로 한다.

대표도 - 도5



(52) CPC특허분류
H01L 27/3279 (2013.01)

명세서

청구범위

청구항 1

기관;

상기 기관의 제 1 면 일측에 배치되는 저전위 전원 공급패드;

상기 기관의 제 1 면 상에서 상기 저전위 전원 공급패드에 연결되는 저전위 전원 공급라인;

상기 기관의 제 1 면 상에서 상기 저전위 전원 공급라인에 연결되는 제 1 링크패턴;

상기 기관의 제 1 면 상에서 제 1 링크패턴에 연결되는 캐소드 전극; 및

상기 공급패드에 연결되며, 상기 기관의 측면 및 제 2 면을 따라 연장되어 상기 기관의 제 1 면 타측에서 상기 캐소드 전극에 연결되는 저전위 전원 보조 공급라인을 포함하는 전계발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 저전위 전원 공급패드 및 상기 제 1 링크패턴은 상기 기관의 제 1 면 상에 배치되고,

상기 저전위 전원 공급라인은 상기 제 1 링크패턴을 커버하는 제 1 절연막 상에 배치되며, 상기 저전위 전원 공급패드와, 상기 제 1 절연막을 관통하는 제 1 콘택홀을 통해 노출된 상기 제 1 링크패턴에 연결되는 전계발광 표시장치.

청구항 3

제 2 항에 있어서,

상기 캐소드 전극은 상기 저전위 전원 공급라인을 커버하는 제 2 절연막 상에 배치되고, 상기 제 2 절연막 및 상기 제 1 절연막을 관통하는 제 2 콘택홀을 통해 상기 제 1 링크패턴에 연결되는 전계발광 표시장치.

청구항 4

제 1 항에 있어서,

상기 기관의 제 1 면 타측에서 상기 제 1 링크패턴과 나란하게 배치되는 제 2 링크패턴을 더 포함하며,

상기 제 2 링크패턴은 상기 캐소드 전극에 연결되는 전계발광 표시장치.

청구항 5

제 4 항에 있어서,

상기 저전위 전원 공급패드 및 상기 제 1 링크패턴은 상기 기관의 제 1 면 상에 배치되고,

상기 저전위 전원 공급라인은 상기 제 1 링크패턴을 커버하는 제 1 절연막 상에 배치되며, 상기 저전위 전원 공급패드와, 상기 제 1 절연막을 관통하는 제 1 콘택홀을 통해 노출된 상기 제 1 링크패턴에 연결되며,

상기 캐소드 전극은 상기 저전위 전원 공급라인을 커버하는 제 2 절연막 상에 배치되고, 상기 제 2 절연막 및 상기 제 1 절연막을 관통하는 제 2 콘택홀을 통해 상기 제 1 링크패턴에 연결되고, 상기 제 2 절연막 및 상기 제 1 절연막을 관통하는 제 3 콘택홀을 통해 상기 제 2 링크패턴에 연결되는 전계발광 표시장치.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 저전위 전원 공급패드에 접속되는 패드를 갖는 복수의 칩온필름을 더 포함하며,

상기 저전위 전원 공급라인은 서로 인접한 칩온필름의 패드들에 접속되는 상기 저전위 전원 공급패드에 접속되며, 상기 서로 인접한 칩온필름 사이의 영역에 대응하여 넓은 면적을 갖도록 형성되는 전계발광 표시장치..

청구항 7

제 1 항 내지 제 5 한 중 어느 한 항에 있어서,

상기 저전위 전원 공급라인은 상기 저전위 전원 공급패드와 측면 접촉하는 일단부와, 상기 캐소드 전극의 타단부와 측면 접촉하는 타단부를 갖는 전계발광 표시장치.

청구항 8

제 1 항 내지 제 5 한 중 어느 한 항에 있어서,

상기 저전위 전원 공급라인은 상기 저전위 전원 공급패드와 측면 및 상부와 접촉하는 일단부와, 상기 캐소드 전극의 타단부와 측면 및 상부와 접촉하는 타단부를 갖는 전계발광 표시장치.

청구항 9

제 1 항 내지 제 5 한 중 어느 한 항에 있어서,

상기 저전위 전원 보조 공급라인은 복수 개로 형성되며, 서로 나란하게 배열되는 전계발광 표시장치.

청구항 10

제 1 항 내지 제 5 한 중 어느 한 항에 있어서,

상기 저전위 전원 보조 공급라인은 상기 제 1 링크패턴과 교차하도록 배치되는 전계발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 본 발명은 전계발광 표시장치에 관한 것으로, 구체적으로는, 캐소드 전극의 위치에 따른 저전위 전원 전압 편차를 최소화할 수 있는 전계발광 표시장치에 관한 것이다.

배경 기술

[0002] 최근, 음극선관(CRT: Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 이러한, 평판 표시장치의 예로는, 액정 표시장치(LCD: Liquid Crystal Display), 전계방출 표시장치(FED: Field Emission Display), 플라즈마 표시장치(PDP: Plasma Display Panel) 및 전계발광 표시장치(OLED: Organic Light Emitting Display) 등이 있다.

[0003] 이들 평판 표시장치 중에서 전계발광 표시장치는 유기 화합물을 여기시켜 발광하게 하는 자기 발광형 표시장치로, LCD에서 사용되는 백라이트가 필요하지 않아 경량 박형이 가능할 뿐만 아니라 공정을 단순화시킬 수 있는 이점이 있다. 또한, 전계발광 표시장치는 저온 제작이 가능하고, 응답속도가 1ms 이하로서 고속의 응답속도를 가질 뿐 아니라 낮은 소비 전력, 넓은 시야각 및 높은 콘트라스트(Contrast) 등의 특성을 갖는다는 점에서 널리 사용되고 있다.

[0004] 전계발광 표시장치는 전기 에너지를 빛 에너지로 전환하는 유기 발광 다이오드(Organic Light Emitting Diode)를 포함한다. 유기 발광 다이오드는 애노드 전극, 캐소드 전극, 및 이들 전극 사이에 배치되는 유기 발광층을 포함한다. 애노드 전극으로부터는 정공이 주입되며 캐소드 전극으로부터는 전자가 주입된다. 애노드 전극과 캐소드 전극을 통해 각각 주입된 정공과 유기 발광층(emission layer: EML)에 주입되면 여기자인 엑시톤(exciton)을 형성하고, 이 엑시톤은 에너지를 빛으로 방출하면서 발광하게 된다.

[0005] 이러한 전계발광 표시장치는 게이트 라인들, 데이터 라인들 및 공통전원라인들의 교차에 의해 구획되는 복수의 화소들을 포함한다. 각 화소는 스위칭 박막 트랜지스터, 구동 박막 트랜지스터, 스토리지 커패시터 및 유기발광 다이오드를 포함한다. 스위칭 박막 트랜지스터는 게이트 라인에 스캔 펄스가 공급되면 턴-온되어 데이터 라인에 공급된 데이터 신호를 스토리지 커패시터 및 구동 박막 트랜지스터의 게이트 전극으로 공급한다. 구동 박

막 트랜지스터는 게이트 전극으로 공급되는 데이터 신호에 응답하여 전원라인으로부터 유기 발광 다이오드로 공급되는 전류를 제어함으로써 유기 발광 다이오드의 발광량을 조절하게 된다. 스토리지 커패시터는 스위칭 박막 트랜지스터가 턴-오프되더라도 구동 박막 트랜지스터가 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류를 공급하여 유기 발광 다이오드의 발광을 유지할 수 있도록 스위칭 박막 트랜지스터를 통해 데이터 라인으로부터 공급되는 데이터 전압을 충전한다.

- [0006] 이하, 도 1 및 도 2를 참조하여, 종래의 전계발광 표시장치에 대해 설명하기로 한다. 도 1은 종래의 유기 발광 표시장치의 일부 영역을 도시한 단면도이고, 도 2는 도 1의 I-I'라인을 따라 취한 단면도이다.
- [0007] 도 1 및 2를 참조하면, 전계발광 표시장치는 각 화소영역에 박막 트랜지스터들(Thin Film Transistor, 이하 TFT라 함)(ST, DT) 및 박막 트랜지스터(ST, DT)와 연결되어 구동되는 유기발광 다이오드(OLE)가 배치되는 박막 트랜지스터 기판을 포함한다.
- [0008] 박막 트랜지스터 기판은 스위칭 TFT(ST), 스위칭 TFT(ST)와 연결된 구동 TFT(DT), 구동 TFT(DT)에 접속된 유기 발광 다이오드(OLE)를 포함한다. 스위칭 TFT(ST)는 게이트 라인(GL)과 데이터 라인(DL)의 교차부에 인접 배치된다. 스위칭 TFT(ST)는 화소를 선택하는 기능을 한다. 스위칭 TFT(ST)는 게이트 라인(GL)에서 분기하는 게이트 전극(SG), 반도체 층(SA), 소스 전극(SS), 및 드레인 전극(SD)을 포함한다.
- [0009] 구동 TFT(DT)는 스위칭 TFT(ST)에 의해 선택된 화소의 유기발광 다이오드(OLE)를 구동하는 역할을 한다. 구동 TFT(DT)는 스위칭 TFT(ST)의 드레인 전극(SD)에 연결된 게이트 전극(DG), 반도체층(DA), 고전위 전원라인(VDL)에 연결된 소스 전극(DS)과, 드레인 전극(DD)을 포함한다. 구동 TFT(DT)의 드레인 전극(DD)은 유기발광 다이오드(OLE)의 애노드 전극(ANO)과 연결된다. 애노드 전극(ANO) 위에는 기판의 대부분을 덮는 캐소드 전극(CAT)이 배치되며, 애노드 전극(ANO)과 캐소드 전극(CAT) 사이에는 유기발광층(OL)이 배치된다.
- [0010] 화소들이 배치되는 표시 영역의 외주부에는, 게이트 라인(GL)의 일단부에 연결된 게이트 패드(GP), 데이터 라인(DL)의 일단부에 연결된 데이터 패드(DP), 고전위 전원라인(VDL)의 일단부에 형성된 고전위 전원 패드(VDP), 및 저전위 전원 공급라인(VSSL)의 일단부에 형성된 저전위 전원 패드(VSP)가 배치된다.
- [0011] 도 2를 더 참조하면, 기판(SUB) 상에는 스위칭 TFT(ST)와 구동 TFT(DT)의 반도체층들(SA, DA)이 형성된다. 반도체층들(SA, DA)을 커버하는 게이트 절연막(GI) 상에는 게이트 전극들(SG, DG)이 형성된다. 게이트 전극들(SG, DG)은 반도체층(SA, DA)의 중심부에 중첩되며, 게이트 전극들(SG, DG)과 중첩된 반도체층(SA, DA)의 영역은 채널영역으로 정의될 수 있다. 또한, 게이트 절연막(GI) 위에는 게이트 패드(GP)가 형성될 수 있다.
- [0012] 반도체층(SA, DA)의 일측부는 게이트 절연막(GI)에 형성된 콘택홀을 통해 소스 전극들(SS, DS)에 연결되고, 타측부는 게이트 절연막(GI)에 형성된 콘택홀을 통해 드레인 전극들(SD, DD)에 연결된다. 소스 전극들(SS, DS) 및 드레인 전극들(SD, DD)은 게이트 전극들(SG, DG)을 커버하는 절연막(IN) 위에 형성된다. 절연막(IN) 상에는 저전위 전원 공급라인(VSSL)이 배치된다. 또한, 절연막(IN) 상에는 데이터 패드(DP), 고전위 전원 패드(VDP) 및, 저전위 전원 패드(VSP)가 배치될 수 있다.
- [0013] 스위칭 TFT(ST)와 구동 TFT(DT)가 형성된 기판(SUB) 상에는 보호막(PAS)이 형성된다. 보호막(PAS)이 형성된 기판(SUB) 상에는 평탄화 막(PL)이 형성된다.
- [0014] 평탄화 막(PL) 상에는, 콘택홀을 통해 구동 TFT(DT)의 드레인 전극(DD)과 접촉하는 애노드 전극(ANO)이 형성된다. 또한, 평탄화 막(PL)이 형성되지 않은 외주부에는, 절연막을 관통하는 콘택홀들을 통해 게이트 패드(GP), 데이터 패드(DP), 및 고전위 전원 패드(VDP)와 각각 연결되는 게이트 패드 단자(GPT), 데이터 패드 단자(DPT), 고전위 전원 단자(VDPT) 및 저전위 전원 단자(VSPT)가 형성된다. 애노드 전극(ANO)이 형성된 기판(SUB) 상에는 뱅크패턴(BA)이 형성된다. 뱅크패턴(BA)은 애노드 전극(ANO)의 대부분을 노출시킨다. 노출된 애노드 전극(ANO) 위에는 유기발광층(OL)이 형성된다. 유기발광층(OL)이 형성된 기판 위에는 캐소드 전극(CAT)이 형성된다. 이에 따라, 애노드 전극(ANO), 유기발광층(OL), 캐소드 전극(CAT)을 포함하는 유기발광 다이오드(OLE)가 형성된다.
- [0015] 저전위 전원 공급라인(VSSL)을 통해 저전위 전원 전압을 인가받는 캐소드 전극(CAT)은, 기판(SUB) 전체 표면의 대부분에 걸쳐 형성된다. 상부 발광형(Top-Emission) 표시장치와 같이, 캐소드 전극(CAT)이 상층에 위치하는 경우, 투과도를 확보할 필요가 있으므로 캐소드 전극(CAT)을 ITO(Indium Tin Oxide)와 같은 투명 도전물질로 형성할 필요가 있다. 캐소드 전극(CAT)을 ITO와 같은 투명 도전물질로 형성하는 경우, 전기저항이 증가하여 화질이 저하되는 문제가 발생할 수 있다.

[0016] 이와 같이 저항이 증가하면 저전위 전원 전압이 캐소드 전극의 전체 면적에 걸쳐 일정한 전압값을 갖지 못하는 문제가 발생한다. 특히, 대면적 표시장치의 경우, 위치에 따른 전압 편차 예를 들어, 저전위 전원 전압이 인가되는 인입부와외의 거리에 따른 전압 편차가 크게 발생할 것이므로, 전체 화면에 걸쳐서 휘도가 불균일해지는 현상은 더욱 중요한 문제로 된다.

발명의 내용

해결하려는 과제

[0017] 본 발명의 목적은 상기 문제점들을 해결하기 위한 것으로, 위치에 따른 캐소드 전극의 저전위 전원 전압 편차를 최소화한 전계발광 표시장치를 제공하기 위한 것이다.

[0018] 본 발명의 다른 목적은 캐소드 전극에 공급되는 저전위 전원 전압의 편차를 최소화하기 위한 보조 캐소드 전극과 캐소드 전극을 효율적으로 접속시킬 수 있는 접속구조를 제공하기 위한 것이다.

과제의 해결 수단

[0019] 상술한 목적달성을 위한 본 발명에 따르는 유기발광 다이오드 표시장치는 기관; 상기 기관의 제 1 면 일측에 배치되는 저전위 전원 공급패드; 상기 기관의 제 1 면 상에서 상기 저전위 전원 공급패드에 연결되는 저전위 전원 공급라인; 상기 기관의 제 1 면 상에서 상기 저전위 전원 공급라인에 연결되는 제 1 링크패턴; 상기 기관의 제 1 면 상에서 제 1 링크패턴에 연결되는 캐소드 전극; 및 상기 공급패드에 연결되며, 상기 기관의 측면 및 제 2 면을 따라 연장되어 상기 기관의 제 1 면 타측에서 상기 캐소드 전극에 연결되는 저전위 전원 보조 공급라인을 포함한다.

[0020] 상기 구성에서, 상기 저전위 전원 공급패드 및 상기 제 1 링크패턴은 상기 기관의 제 1 면 상에 배치되고, 상기 저전위 전원 공급라인은 상기 제 1 링크패턴을 커버하는 제 1 절연막 상에 배치되며, 상기 저전위 전원 공급패드와, 상기 제 1 절연막을 관통하는 제 1 콘택홀을 통해 노출된 상기 제 1 링크패턴에 연결될 수 있다.

[0021] 또한, 상기 캐소드 전극은 상기 저전위 전원 공급라인을 커버하는 제 2 절연막 상에 배치되고, 상기 제 2 절연막 및 상기 제 1 절연막을 관통하는 제 2 콘택홀을 통해 상기 제 1 링크패턴에 연결될 수 있다.

[0022] 또한, 본 발명에 따르는 유기발광 다이오드 표시장치는 상기 기관의 제 1 면 타측에서 상기 제 1 링크패턴과 나란하게 배치되는 제 2 링크패턴을 더 포함하며, 상기 제 2 링크패턴은 상기 캐소드 전극에 연결될 수 있다.

[0023] 또한, 상기 저전위 전원 공급패드 및 상기 제 1 링크패턴은 상기 기관의 제 1 면 상에 배치되고, 상기 저전위 전원 공급라인은 상기 제 1 링크패턴을 커버하는 제 1 절연막 상에 배치되며, 상기 저전위 전원 공급패드와, 상기 제 1 절연막을 관통하는 제 1 콘택홀을 통해 노출된 상기 제 1 링크패턴에 연결되며, 상기 캐소드 전극은 상기 저전위 전원 공급라인을 커버하는 제 2 절연막 상에 배치되고, 상기 제 2 절연막 및 상기 제 1 절연막을 관통하는 제 2 콘택홀을 통해 상기 제 1 링크패턴에 연결되고, 상기 제 2 절연막 및 상기 제 1 절연막을 관통하는 제 3 콘택홀을 통해 상기 제 2 링크패턴에 연결될 수 있다.

[0024] 또한, 상기 저전위 전원 공급패드에 접속되는 패드를 갖는 복수의 칩온필름을 더 포함하며, 상기 저전위 전원 공급라인(VSSL)은 서로 인접한 칩온필름의 패드들에 접속되는 상기 저전위 전원 공급패드에 접속되며, 상기 서로 인접한 칩온필름 사이의 영역에 대응하여 넓은 면적을 갖도록 형성될 수 있다.

[0025] 또한, 상기 저전위 전원 공급라인은 상기 저전위 전원 공급패드와 측면 접촉하는 일단부와, 상기 캐소드 전극의 타단부와 측면 접촉하는 타단부를 가질 수 있다.

[0026] 또한, 상기 저전위 전원 공급라인은 상기 저전위 전원 공급패드와 측면 및 상부와 접촉하는 일단부와, 상기 캐소드 전극의 타단부와 측면 및 상부와 접촉하는 타단부를 가질 수 있다.

[0027] 또한, 상기 저전위 전원 보조 공급라인은 복수 개로 형성되며, 서로 나란하게 배열될 수 있다.

[0028] 또한, 상기 저전위 전원 보조 공급라인은 상기 제 1 링크패턴과 교차하도록 배치될 수 있다.

발명의 효과

[0029] 본 발명에 따르는 전계발광 표시장치에 의하면 저전위 전원전압이 캐소드 전극의 양측에서 공급될 수 있어 캐소드 전극에서 발생되는 위치별 전압 편차를 최소화할 수 있는 효과를 얻을 수 있다.

[0030] 또한, 저전위 전원 보조 공급라인이 표시소자들이 형성된 기판 상에 위치되는 것이 아니라 하측에 배치되므로, 화소설계에 대한 여유를 충분히 확보할 수 있어 고해상도 모델에 적합할 뿐 아니라 화소불량을 방지할 수 있는 효과도 얻을 수 있다.

도면의 간단한 설명

[0031] 도 1은 종래의 유기 발광 표시장치의 일부 영역을 도시한 단면도,
 도 2는 도 1의 I-I'라인을 따라 취한 단면도,
 도 3은 본 발명의 실시예에 따른 유기발광 다이오드 표시장치를 개략적으로 도시한 블록도,
 도 4는 도 3에 도시된 표시패널의 1화소영역을 개략적으로 도시한 등가도,
 도 5는 도 3에 도시된 표시패널의 캐소드 전극에 저전위 전원 전압을 공급하기 위한 구성을 도시한 평면도,
 도 6a는 도 5의 I-I'라인을 따라 취한 단면도,
 도 6b는 도 5의 II-II'라인을 따라 취한 단면도,
 도 6c는 도 5의 III-III'라인을 따라 취한 단면도.

발명을 실시하기 위한 구체적인 내용

[0032] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

[0033] 제 1, 제 2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들 고유의 의미로 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로 사용된다.

[0034] 이하, 도 3 및 도 4를 참조하여 본 발명의 실시예에 따르는 전계발광 표시장치에 대해 설명하기로 한다. 도 3은 본 발명에 의한 전계발광 표시장치를 개략적으로 나타낸 도면이다. 도 4는 도 3에 도시된 표시패널의 1 화소영역을 개략적으로 나타낸 등가 회로도이다.

[0035] 도 3을 참조하면, 본 발명에 의한 전계발광 표시장치(10)는 디스플레이 구동 회로(12, 14, 16)와 표시패널(DIS)을 포함한다.

[0036] 디스플레이 구동 회로는 데이터 구동회로(12), 게이트 구동회로(14) 및 타이밍 콘트롤러(16)를 포함하며, 입력 영상의 비디오 데이터전압을 표시패널(DIS)의 화소들에 기입한다. 데이터 구동회로(12)는 복수의 소스 IC들을 포함할 수 있으며, 타이밍 콘트롤러(16)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 감마보상전압으로 변환하여 데이터전압을 발생한다. 데이터 구동회로(12)로부터 출력된 데이터전압은 데이터라인들(D1~Dm)에 공급된다. 게이트 구동회로(14)는 데이터전압에 동기되는 게이트펄스를 게이트라인들(G1~Gn)에 순차적으로 공급하여 데이터 전압이 기입되는 표시패널(DIS)의 화소들을 선택한다.

[0037] 타이밍 콘트롤러(16)는 호스트 시스템(19)으로부터 입력되는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(MCLK) 등의 타이밍신호를 입력 받아 데이터 구동회로(12)와 게이트 구동회로(14)의 동작 타이밍을 동기시킨다. 데이터 구동회로(12)를 제어하기 위한 데이터 타이밍 제어신호는 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 게이트 구동회로(14)를 제어하기 위한 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다.

[0038] 호스트 시스템(19)은 텔레비전 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템(Home Theater System), 폰 시스템(Phone System) 중 어느 하나로 구현될 수 있다. 호스트 시스템(19)은 스케일러 scaler)를 내장한 SoC(System on chip)을 포함하여 입력 영상의 디지털 비디오 데이터(RGB)를 표시패널(DIS)에 표시하기에 적합한 포맷으로 변환한다. 호스트 시스템(19)은 디지털 비

디오 데이터와 함께 타이밍 신호들(Vsync, Hsync, DE, MCLK)을 타이밍 콘트롤러(16)로 전송한다.

- [0039] 표시패널(DIS)의 화소 어레이는 데이터라인들(D1~Dm, m은 양의 정수)과 게이트라인들(G1~Gn, n은 양의 정수)에 의해 정의된 화소들을 포함한다. 화소들 각각은 자기발광 소자인 유기발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함한다.
- [0040] 도 4를 참조하면, 표시패널(DIS)에는 복수의 데이터라인들(DL)과, 복수의 게이트라인들(GL)이 교차되고, 이 교차영역마다 화소들이 매트릭스 형태로 배치된다. 화소 각각은 유기발광 다이오드(OLE), 유기발광 다이오드(OLE)에 흐르는 전류량을 제어하는 구동 박막 트랜지스터(Thin Film Transistor, 이하 TFT라 함)(DT), 구동 TFT(DT)의 게이트-소스간 전압을 세팅하기 위한 프로그래밍부(SC)를 포함한다.
- [0041] 프로그래밍부(SC)는 적어도 하나 이상의 스위치 TFT와, 적어도 하나 이상의 스토리지 커패시터를 포함할 수 있다.
- [0042] 스위치 TFT는 게이트 라인(GL)으로부터의 스캔 신호에 응답하여 턴 온 됨으로써, 데이터라인(DL)으로부터의 데이터전압을 스토리지 커패시터의 일측 전극에 인가한다.
- [0043] 구동 TFT(DT)는 스토리지 커패시터에 충전된 전압의 크기에 따라 유기발광 다이오드(OLE)로 공급되는 전류량을 제어하여 유기발광 다이오드(OLE)의 발광량을 조절한다. 유기발광 다이오드(OLE)의 발광량은 구동 TFT(DT)로부터 공급되는 전류량에 비례한다.
- [0044] 각각의 화소는 고전위 전원 전압원과 저전위 전원 전압원에 연결되어, 전원 발생부(도시생략)로부터 각각 고전위 전원 전압(EVDD)과 저전위 전원 전압(EVSS)을 공급받는다.
- [0045] 화소를 구성하는 TFT들은 p 타입으로 구현되거나 또는, n 타입으로 구현될 수 있다. 또한, 화소를 구성하는 TFT들의 반도체층은, 비정질 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다. 유기발광 다이오드(OLE)는 애노드 전극(ANO), 캐소드 전극(CAT), 및 애노드 전극(ANO)과 캐소드 전극(CAT) 사이에 개재된 유기발광층을 포함한다. 애노드 전극(ANO)은 구동 TFT(DT)와 접속된다. 유기발광층은 발광층(Emission layer, EML)을 포함하고, 발광층을 사이에 두고 정공주입층(Hole injection layer, HIL) 및 정공수송층(Hole transport layer, HTL)과 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron injection layer, EIL)이 배치될 수 있다.
- [0046] 이하, 도 5 내지 도 6c를 참조하여, 본 발명에 따르는 전계발광 표시장치에서 캐소드 전극에 저전위 전원 전압을 공급하기 위한 구성을 설명하기로 한다.
- [0047] 도 5는 도 3에 도시된 표시패널의 캐소드 전극에 저전위 전원 전압을 공급하기 위한 구성을 도시한 평면도이다. 도 6a는 도 5의 I-I'라인을 따라 취한 단면도이고, 도 6b는 도 5의 II-II'라인을 따라 취한 단면도이며, 도 6c는 도 5의 III-III'라인을 따라 취한 단면도이다. 도 5 내지 도 6c에서는 발명의 설명이 복잡해 지는 것을 방지하기 위해 캐소드 전극(CAT)에 저전위 전원전압이 공급되는 루트를 중심으로 도시되어 있다.
- [0048] 도 5를 참조하면, 본 발명에 따르는 전계발광 표시장치는 데이터 구동회로(12)의 소스 IC(S-IC)가 실장된 칩온필름(COF)을 통해 구동 신호들 및 전원 전압을 인가 받는 표시 패널(DIS)을 포함한다.
- [0049] 표시패널(DIS)은 저전위 전원 공급라인(VSSL), 제 1 및 제 2 링크패턴(LP1, LP2), 캐소드 전극(CAT), 및 저전위 전원 보조 공급라인(AVSSL)을 포함한다.
- [0050] 저전위 전원 공급라인(VSSL)은 표시패널(DIS)은 일측 단부에 배치되어 저전위 전원 전압이 인가된다. 예를 들어, 저전위 전원 공급라인(VSSL)은 표시패널(DIS)의 일단부에 배치된 패드부에 구비된 패드들 중 저전위 전원 전압이 공급되는 저전위 전원 공급패드(PAD)와 연결될 수 있다. 이때, 전원 발생부(도시생략)에서 출력된 저전위 전원 전압은 소스 IC(S-IC)가 실장된 칩온필름(COF)과 패드(PA)를 통해 저전위 전원 공급라인(VSSL)으로 입력될 수 있다. 저전위 전원 공급라인(VSSL)은 소스 IC(S-IC)로부터 공급되는 데이터 신호를 공급하는 데이터 라인과 접촉하지 않도록 칩온필름들(COF) 사이와, 칩온필름(COF)의 측면에 배치되며, 저항을 줄이기 위해 넓은 면적을 갖도록 복수개 배치된다.
- [0051] 캐소드 전극(CAT)은 저전위 전원 공급라인(VSSL)에 연결되어 저전위 전원 전압을 공급받는다. 상부 발광형(Top-Emission) 전계발광 표시장치의 경우, 상층에 위치하는 캐소드 전극(CAT)은 빛이 투과되어야 하므로 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), GZO(Gallium-doped Zinc Oxide)와 같은 투명 도전성 물질로 형성된다. 투명 도전성 물질은 금속 물질보다는 비저항 값이 높은 편이다. 이와 같이, 비저항이 큰 물질을 포

함한 캐소드 전극(CAT)을 이용하는 경우, 캐소드 전극(CAT)에 인가되는 저전위 전원 전압이 캐소드 전극(CAT)의 전체 면적에 걸쳐 일정한 전압값을 갖지 못하는 문제가 발생한다. 예를 들어, 저전위 전원 전압이 인가되는 쪽인 인입부에서의 저전위 전원 전압 값과, 인입부로부터 이격된 위치에서의 저전위 전원 전압 값의 편차가 커져 휘도가 위치에 따라 일정하지 않을 수 있다.

- [0052] 따라서, 표시패널 상의 위치에 따른 저전위 전원전압 값의 편차를 균일하게 할 필요가 있다. 본 발명의 전계발광 표시장치는 저전위 전원 공급라인으로부터 공급되는 저전위 전원전압을 표시패널에 균등하게 공급할 수 있는 구조를 제공한다.
- [0053] 이를 위해 본 발명의 전계발광 표시장치는 저전위 전원 공급라인(VSSL)에 연결된 제 1 링크패턴(LP1), 저전위 전원 공급패드(PAD)에 연결되어 전원 발생부에서 공급되는 저전위 전원전압을 공급하는 저전위 전원 보조 공급라인(AVSSL)에 연결되는 제 2 링크패턴(LP2)을 포함한다.
- [0054] 제 1 링크패턴(LP)은 저전위 전원 공급라인(VSSL)과 적어도 일부분이 중첩되도록 게이트 라인과 나란한 방향으로 배열되며, 패드부에 인접하여 배치된다. 제 2 링크패턴(LP2)은 패드부 반대쪽에서 제 1 링크패턴(LP)과 나란하게 배치된다. 제 1 링크패턴(LP1)과 제 2 링크패턴(LP2) 사이에는 복수의 화소들(P)이 배치된다.
- [0055] 제 1 링크패턴(LP1)은 예를 들어 제 1 콘택홀들(CH1)을 통해 저전위 전원 공급라인들(VSSL)에 연결되어 패드부에 인접한 쪽에서 저전위 전원 전압을 공급받는다. 제 2 링크패턴(LP2)은 제 2 콘택홀들(CH2)을 통해 캐소드 전극(CAT)에 연결되어 패드부에서 먼 쪽에서 저전위 전원 전압을 캐소드 전극(CAT)에 공급한다.
- [0056] 저전위 전원 보조 공급라인(AVSSL)은 저전위 전원 공급패드(PAD)에 연결되는 일단부와 제 2 링크패턴(LP2)에 연결되는 타단부를 갖는다. 저전위 전원 보조 공급라인(AVSSL)은 기관(SUB)의 측면 및 하면을 따라 배열되며, 데이터 라인과 나란하게 배열된다. 본 발명에서는 저전위 전원 보조 공급라인(AVSSL)이 표시소자들이 형성된 기관 상에 위치되는 것이 아니라 하측에 배치된다. 따라서, 화소설계에 대한 여유를 충분히 확보할 수 있어 고해상도 모델에 적합하게 적용될 수 있는 효과를 얻을 수 있다.
- [0057] 한편, 본 발명에서, 저전위 전원 공급패드(PAD), 저전위 전원 공급라인(VSSL), 제 1 링크패턴(LP1), 제 2 링크패턴(LP2) 및 저전위 전원 보조 공급라인(AVSSL)은 캐소드 전극(CAT) 보다 저항이 낮은 물질, 예를 들면 저저항 금속물질로 형성된다.
- [0058] 다음으로, 도 6a 내지 도 6c를 참조하여, 본 발명에 따르는 전계발광 표시장치에서 캐소드 전극에 저전위 전원 전압을 공급하기 위한 단면 구조를 더 설명하기로 한다.
- [0059] 도 6a는 도 5의 I-I' 라인을 따라 취한 단면도이고, 도 6b는 도 5의 II-II' 라인을 따라 취한 단면도이며, 도 6c는 도 5의 III-III' 라인을 따라 취한 단면도이다.
- [0060] 도 6a 내지 도 6c를 참조하면, 기관(SUB) 상에는 저전위 전원 공급패드(PAD), 제 1 및 제 2 링크패턴들(LP1, LP2)이 배치된다. 저전위 전원 공급패드(PAD)는 기관(SUB)의 일측 단부에 배치되며, 전원발생부에서 생성된 저전위 전원전압을 공급 받는다. 제 1 링크(LP1)는 저전위 전원 공급패드(PAD)가 배치된 패드부에 인접하여 배치되며, 게이트 라인과 나란하게 배치된다. 제 2 링크(LP1)는 패드부와 반대쪽의 기관(SUB)의 타측 단부에 배치되며, 제 1 링크(LP1)와 나란하게 배치된다.
- [0061] 저전위 전원 공급패드(PAD), 제 1 및 제 2 링크패턴들(LP1, LP2)이 배치된 기관(SUB) 상에는 저전위 전원 공급패드(PAD), 제 1 및 제 2 링크패턴들(LP1, LP2)을 커버하도록 게이트 절연막(GI)이 배치된다. 게이트 절연막(GI)은 저전위 전원 공급패드(PAD)를 노출시키도록 형성된다. 또한, 게이트 절연막(GI)은 제 1 링크패턴(LP1)의 일부 영역들을 노출시키는 복수의 제 1 콘택홀들(CH1) 및 복수의 제 2 콘택홀들(CH2)과, 제 2 링크패턴(LP2)의 일부 영역들을 노출시키는 복수의 제 3 콘택홀들(CH3)을 포함한다.
- [0062] 게이트 절연막(GI) 상에는 저전위 전원 공급패드(PAD)와 접촉하며, 제 1 콘택홀들(CH1)을 통해 제 1 링크패턴(LP1)에 접속되는 저전위 전원 공급라인들(VSSL)이 배치된다. 저전위 전원 공급라인들(VSSL)은 데이터 라인과 동일층에서, 데이터 라인보다 넓은 면적을 갖도록 형성될 수 있으며, 데이터 라인들과 접촉되지 않도록 배치된다.
- [0063] 저전위 전원 공급라인들(VSSL)이 배치된 게이트 절연막 상에는 중층 절연막(MIN)이 배치된다. 다층 절연막은 예를 들어, 화소영역 내의 소스/드레인 전극과 데이터 라인을 커버하는 패시베이션막, 평탄화를 위한 평탄화막을 포함할 수 있다.

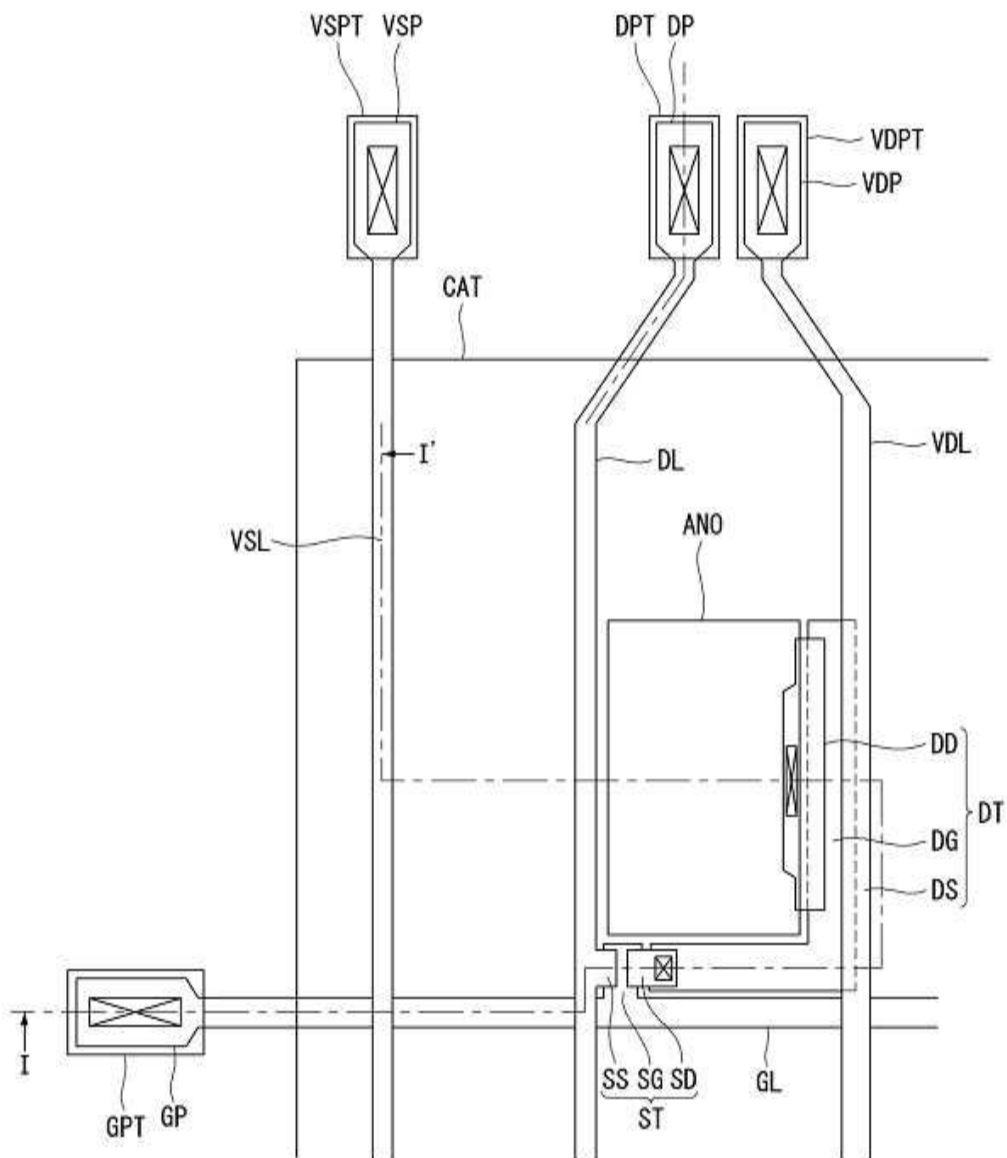
- [0064] 중층 절연막(MIN) 상에는 캐소드 전극(CAT)이 배치된다. 캐소드 전극(CAT)은 중층 절연막(MIN)과 게이트 절연막(GI)을 관통하는 복수의 제 2 콘택홀(CH2)을 통해 제 1 링크패턴(LP1)에 접속되고, 중층 절연막(MIN)과 게이트 절연막(GI)을 관통하는 복수의 제 3 콘택홀(CH3)을 통해 제 2 링크패턴(LP2)에 접속된다.
- [0065] 기관(SUB) 일단부의 측면, 측면에 이어지는 기관(SUB)의 배면, 및 배면에 이어지는 기관(SUB) 타단부의 측면에는, 데이터 라인과 나란한 방향으로 저전위 전원 보조 공급라인(AVSSL)이 배치된다. 저전위 전원 보조 공급라인(AVSSL)은 저전위 전원 공급패드(PAD)와 측면 접촉 또는 중첩 접촉되는 일단부와, 캐소드 전극(CAT)과 측면 접촉 또는 중첩 접촉되는 타단부를 갖는다.
- [0066] 상술한 본 발명의 실시예에 따르는 전계발광 표시장치에 의하면, 캐소드 전극(CAT)은 패드부에 가까운 쪽에서는 저전위 전원 공급라인(VSSL)과 제 1 링크패턴(LP1)을 통해 저전위 전원 전압을 공급받고, 패드부에서 먼 쪽에서는 저전위 전원 보조 공급라인(AVSSL)과 제 2 링크패턴(LP2)을 통해 저전위 전원 전압을 공급받을 수 있다. 따라서, 저전위 전원전압이 캐소드 전극(CAT)의 양방향에서 공급될 수 있어 캐소드 전극(CAT)에서 발생하는 위치별 전압 편차를 최소화할 수 있는 효과를 얻을 수 있다.
- [0067] 또한, 저전위 전원 보조 공급라인(AVSSL)이 표시소자들이 형성된 기관 상에 위치되는 것이 아니라 하측에 배치되므로, 화소설계에 대한 여유를 충분히 확보할 수 있어 고해상도 모델에 적합할 뿐 아니라 화소불량을 방지할 수 있는 효과도 얻을 수 있다.
- [0068] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양하게 변경 및 수정할 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정해져야만 할 것이다.

부호의 설명

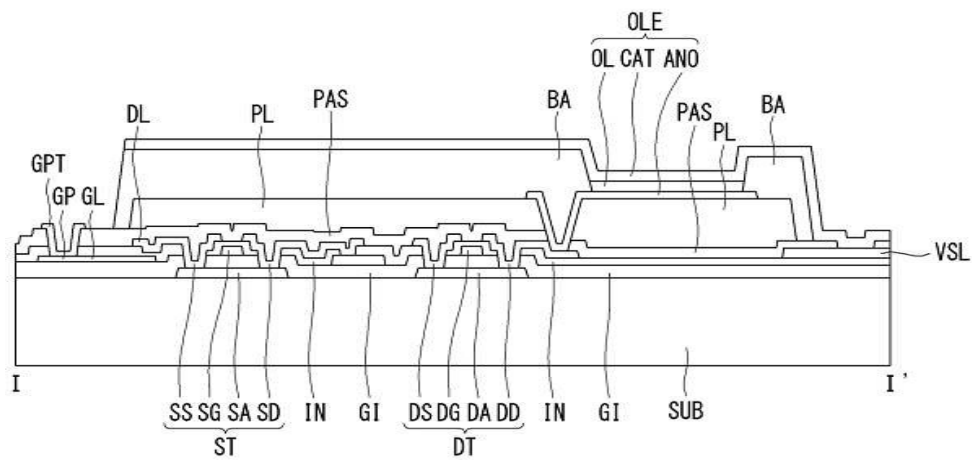
- [0069] DIS: 표시패널 PAD: 저전위 전원 공급패드
VSSL: 저전위 전원 공급라인 AVSSL: 저전위 전원 보조 공급라인
LP1, LP2: 링크패턴 CAT: 캐소드 전극

도면

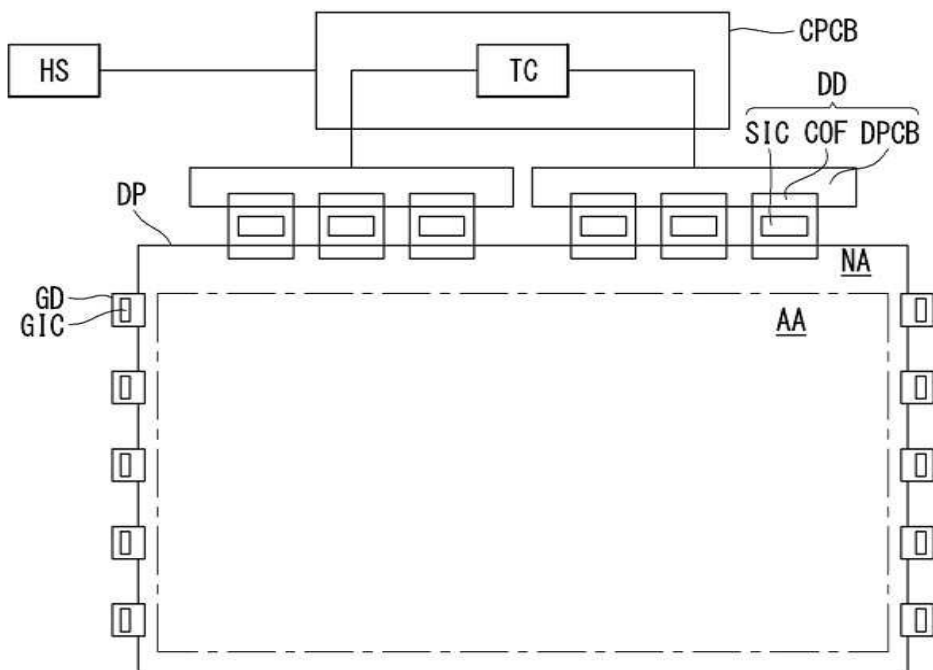
도면1



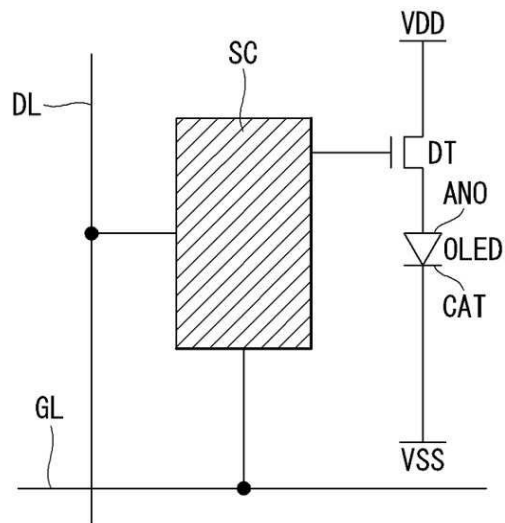
도면2



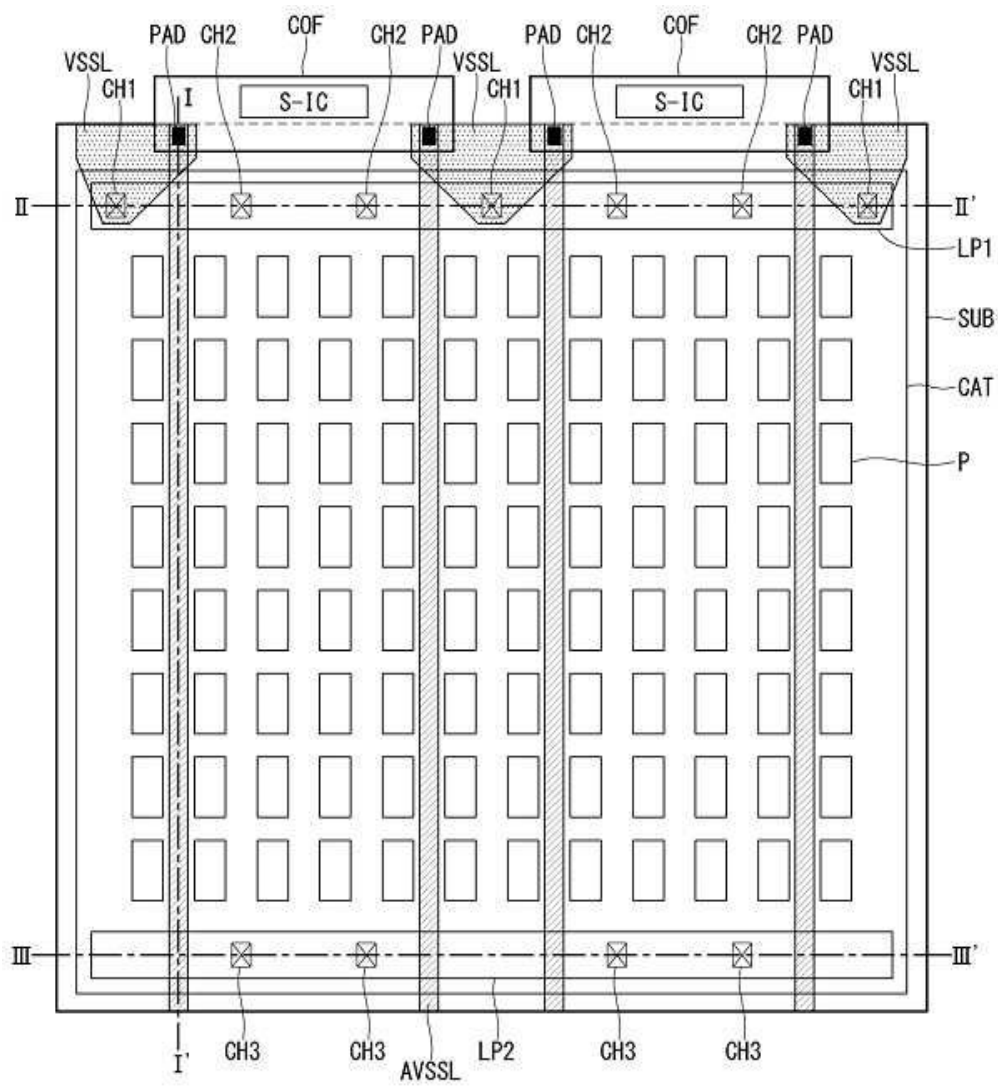
도면3



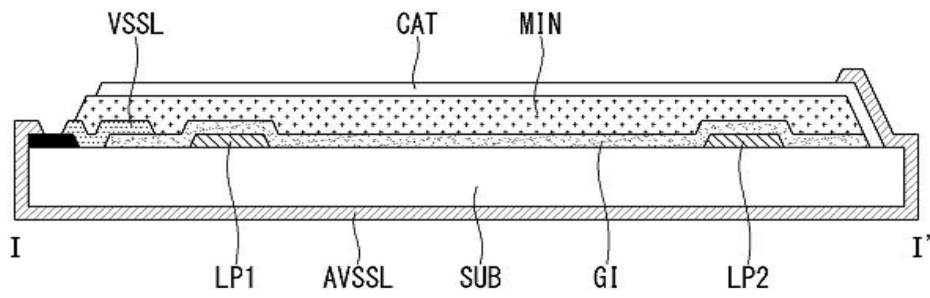
도면4



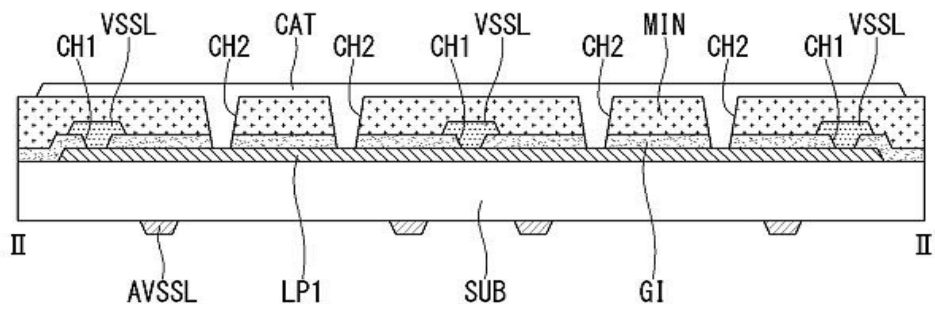
도면5



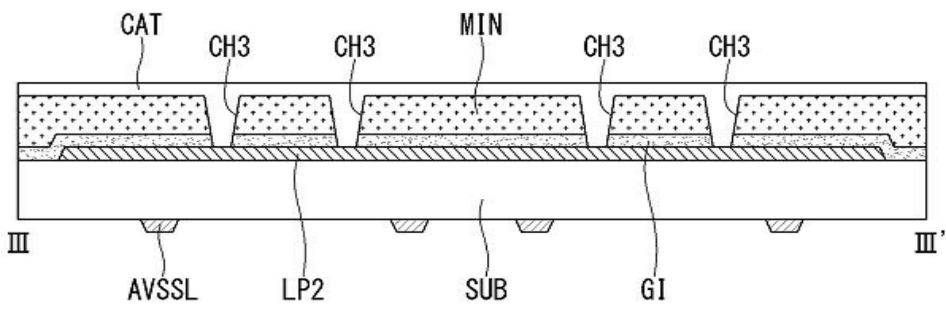
도면6a



도면6b



도면6c



专利名称(译)	电致发光显示器		
公开(公告)号	KR1020180057762A	公开(公告)日	2018-05-31
申请号	KR1020160155095	申请日	2016-11-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HAN SUNG MAN 한성만 LEE KI HYUNG 이기형		
发明人	한성만 이기형		
IPC分类号	H01L51/52 H01L27/32		
CPC分类号	H01L51/5228 H01L27/3276 H01L27/3279		

摘要(译)

本发明提供一种能够使阴极电极的低电位电源电压偏差最小化的电致发光显示装置，包括：基板；低电位电源焊盘，设置在基板的第一表面的一侧；低电位电源线，耦合到基板第一侧上的低电位电源焊盘；第一链路图案，耦合到基板的第一侧上的低电位电源线；阴极电极，耦合到基板的第一侧上的第一链路图案；并且低电位电源辅助电源线连接到电源焊盘并沿基板的侧表面和第二表面延伸，并连接到基板的第一表面的另一侧的阴极电极。

