



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0130680
(43) 공개일자 2017년11월29일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2320/0223 (2013.01)

(21) 출원번호 10-2016-0061091

(22) 출원일자 2016년05월18일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

이재식

서울특별시 서초구 현릉로8길 22, 303동 1004호

김창엽

충청남도 천안시 서북구 오성로 95-10, 603호

(74) 대리인

박영우

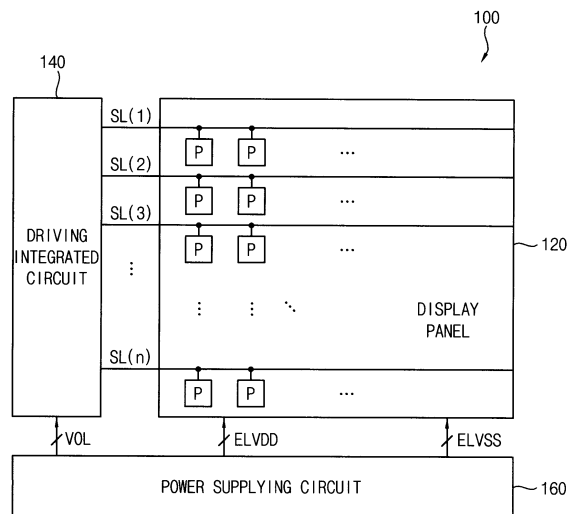
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

유기 발광 표시 장치는 제1 내지 제n 스캔 라인들에 연결된 제1 내지 제n 화소-행들을 포함하는 표시 패널, 표시 패널을 구동시키는 구동 집적 회로, 및 표시 패널에 고전원 전압과 저전원 전압을 공급하고, 구동 집적 회로에 구동 전원 전압을 공급하는 전원 공급 회로를 포함한다. 이 때, 제1 내지 제n 화소-행들을 구성하는 화소 회로들 각각은 구동 트랜지스터에 대한 문턱 전압 보상 동작을 수행하고, 제1 내지 제n 화소-행들을 위한 제1 내지 제n 스캔 시간들은 제1 내지 제n 화소-행들과 전원 공급 회로 사이의 거리가 멀어질수록 짧아진다.

대표도 - 도1



(52) CPC특허분류
G09G 2320/0233 (2013.01)

명세서

청구범위

청구항 1

제1 내지 제 n (단, n 은 2이상의 정수) 스캔 라인들에 연결된 제1 내지 제 n 화소-행(pixel-row)들을 포함하는 표시 패널;

상기 표시 패널을 구동시키는 구동 집적 회로; 및

상기 표시 패널에 고전원 전압과 저전원 전압을 공급하고, 상기 구동 집적 회로에 구동 전원 전압을 공급하는 전원 공급 회로를 포함하고,

상기 제1 내지 제 n 화소-행들을 구성하는 화소 회로들 각각은 구동 트랜지스터에 대한 문턱 전압 보상 동작을 수행하며,

상기 제1 내지 제 n 화소-행들을 위한 제1 내지 제 n 스캔 시간들은 상기 제1 내지 제 n 화소-행들과 상기 전원 공급 회로 사이의 거리가 멀어질수록 짧아지는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서, 상기 화소 회로들 각각은

상기 저전원 전압에 연결된 캐소드를 포함하는 유기 발광 다이오드;

제1 노드에 연결된 게이트 단자, 상기 유기 발광 다이오드의 애노드에 연결된 제1 단자 및 제2 노드에 연결된 제2 단자를 포함하고, 상기 구동 트랜지스터로서 동작하는 제1 트랜지스터;

스캔 신호가 인가되는 게이트 단자, 데이터 신호가 인가되는 제1 단자 및 상기 제2 노드에 연결된 제2 단자를 포함하는 제2 트랜지스터;

상기 스캔 신호가 인가되는 게이트 단자, 상기 제1 노드에 연결된 제1 단자 및 상기 유기 발광 다이오드의 상기 애노드에 연결된 제2 단자를 포함하는 제3 트랜지스터;

발광 제어 신호가 인가되는 게이트 단자, 상기 제2 노드에 연결된 제1 단자 및 상기 고전원 전압에 연결된 제2 단자를 포함하는 제4 트랜지스터; 및

상기 제1 노드에 연결된 제1 단자 및 상기 고전원 전압에 연결된 제2 단자를 포함하는 스토리지 커패시터를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 3

제 1 항에 있어서, 상기 제1 내지 제 n 스캔 시간들은 상기 제1 내지 제 n 화소-행들에 인가되는 제1 내지 제 n 스캔 신호들 각각의 스캔 온 구간의 길이를 조절함으로써 결정되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 4

제 3 항에 있어서, 상기 스캔 온 구간의 상기 길이가 짧아질수록 상기 제1 내지 제 n 스캔 시간들은 짧아지고, 상기 스캔 온 구간의 상기 길이가 길어질수록 상기 제1 내지 제 n 스캔 시간들은 길어지는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 5

제 1 항에 있어서, 상기 제1 내지 제 n 스캔 시간들은 상기 제1 내지 제 n 화소-행들에 연결되는 제1 내지 제 n 스캔 라인들 각각의 RC 딜레이를 조절함으로써 결정되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 6

제 5 항에 있어서, 상기 RC 딜레이가 커질수록 상기 제1 내지 제 n 스캔 시간들은 짧아지고, 상기 RC 딜레이가

작아질수록 상기 제1 내지 제n 스캔 시간들은 길어지는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 7

제 5 항에 있어서, 상기 제1 내지 제n 스캔 라인들 각각의 상기 RC 딜레이는 상기 제1 내지 제n 스캔 라인들 각각에 포함되는 물질들의 종류를 변경함으로써 조절되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 8

제 5 항에 있어서, 상기 제1 내지 제n 스캔 라인들 각각의 상기 RC 딜레이는 상기 제1 내지 제n 스캔 라인들 각각에 포함되는 물질들의 배합 비율을 변경함으로써 조절되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 9

제 5 항에 있어서, 상기 제1 내지 제n 스캔 라인들 각각의 상기 RC 딜레이는 상기 제1 내지 제n 스캔 라인들 각각의 길이를 변경함으로써 조절되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 10

제1 내지 제n(단, n은 2이상의 정수) 스캔 라인들에 연결된 제1 내지 제n 화소-행(pixel-row)들을 포함하는 표시 패널;

상기 표시 패널을 구동시키는 구동 집적 회로; 및

상기 표시 패널에 고전원 전압과 저전원 전압을 공급하고, 상기 구동 집적 회로에 구동 전원 전압을 공급하는 전원 공급 회로를 포함하고,

상기 제1 내지 제n 화소-행들을 구성하는 화소 회로들 각각은 구동 트랜지스터에 대한 문턱 전압 보상 동작을 수행하며,

상기 제1 내지 제n 화소-행들은 제1 내지 제k(단, k는 2이상의 정수) 화소-블록(pixel-block)들로 그룹화되고,

상기 제1 내지 제k 화소-블록들을 위한 제1 내지 제k 스캔 시간들은 상기 제1 내지 제k 화소-블록들과 상기 전원 공급 회로 사이의 거리가 멀어질수록 짧아지는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 11

제 10 항에 있어서, 상기 제1 내지 제k 화소-블록들 각각은 동일한 개수의 화소-행들을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 12

제 10 항에 있어서, 상기 제1 내지 제k 화소-블록들 중에서 적어도 2이상의 화소-블록들은 서로 상이한 개수의 화소-행들을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 13

제 10 항에 있어서, 상기 화소 회로들 각각은

상기 저전원 전압에 연결된 캐소드를 포함하는 유기 발광 다이오드;

제1 노드에 연결된 게이트 단자, 상기 유기 발광 다이오드의 애노드에 연결된 제1 단자 및 제2 노드에 연결된 제2 단자를 포함하고, 상기 구동 트랜지스터로서 동작하는 제1 트랜지스터;

스캔 신호가 인가되는 게이트 단자, 데이터 신호가 인가되는 제1 단자 및 상기 제2 노드에 연결된 제2 단자를 포함하는 제2 트랜지스터;

상기 스캔 신호가 인가되는 게이트 단자, 상기 제1 노드에 연결된 제1 단자 및 상기 유기 발광 다이오드의 상기 애노드에 연결된 제2 단자를 포함하는 제3 트랜지스터;

발광 제어 신호가 인가되는 게이트 단자, 상기 제2 노드에 연결된 제1 단자 및 상기 고전원 전압에 연결된 제2 단자를 포함하는 제4 트랜지스터; 및

상기 제1 노드에 연결된 제1 단자 및 상기 고전원 전압에 연결된 제2 단자를 포함하는 스토리지 커패시터를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 14

제 10 항에 있어서, 상기 제1 내지 제k 스캔 시간들은 상기 제1 내지 제n 화소-행들에 인가되는 제1 내지 제n 스캔 신호들 각각의 스캔 온 구간의 길이를 조절함으로써 결정되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 15

제 14 항에 있어서, 상기 스캔 온 구간의 상기 길이가 짧아질수록 상기 제1 내지 제k 스캔 시간들은 짧아지고, 상기 스캔 온 구간의 상기 길이가 길어질수록 상기 제1 내지 제k 스캔 시간들은 길어지는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 16

제 10 항에 있어서, 상기 제1 내지 제k 스캔 시간들은 상기 제1 내지 제n 화소-행들에 연결되는 제1 내지 제n 스캔 라인들 각각의 RC 딜레이를 조절함으로써 결정되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 17

제 16 항에 있어서, 상기 RC 딜레이가 커질수록 상기 제1 내지 제k 스캔 시간들은 짧아지고, 상기 RC 딜레이가 작아질수록 상기 제1 내지 제k 스캔 시간들은 길어지는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 18

제 16 항에 있어서, 상기 제1 내지 제n 스캔 라인들 각각의 상기 RC 딜레이는 상기 제1 내지 제n 스캔 라인들 각각에 포함되는 물질들의 종류를 변경함으로써 조절되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 19

제 16 항에 있어서, 상기 제1 내지 제n 스캔 라인들 각각의 상기 RC 딜레이는 상기 제1 내지 제n 스캔 라인들 각각에 포함되는 물질들의 배합 비율을 변경함으로써 조절되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 20

제 16 항에 있어서, 상기 제1 내지 제n 스캔 라인들 각각의 상기 RC 딜레이는 상기 제1 내지 제n 스캔 라인들 각각의 길이를 변경함으로써 조절되는 것을 특징으로 하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것이다. 보다 상세하게는, 본 발명은 구동 트랜지스터에 대한 문턱 전압 보상 동작을 수행하는 화소 회로를 구비하는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 일반적으로, 유기 발광 표시 장치는 스스로 빛을 내는 유기 발광 다이오드를 구비하여 이미지를 표시하기 때문에, 액정 표시 장치와 달리 별도의 광원을 필요로 하지 않아 상대적으로 두께와 무게가 작다는 장점을 가지고 있다. 또한, 유기 발광 표시 장치는 소비 전력, 휘도 및 응답 속도 등에서 액정 표시 장치에 비해 유리하기 때문에, 전자 기기에 구비되는 표시 장치로서 유기 발광 표시 장치가 많이 이용되고 있다. 일반적으로, 유기 발광 표시 장치 내 각 화소 회로에 포함된 유기 발광 다이오드는 고전원 전압(ELVDD)과 저전원 전압(ELVSS) 사이에서 구동 트랜지스터에 의해 조절되는 전류에 기초하여 발광한다. 따라서, 모든 조건이 동일하다고 가정할 때, 고전원 전압이 큰 경우 유기 발광 다이오드에 흐르는 전류는 크고(즉, 휘도가 높음), 고전원 전압이 작은 경우 유기 발광 다이오드에 흐르는 전류는 작다(즉, 휘도가 낮음). 하지만, 유기 발광 다이오드에 흐르는 전류는 각 화소 회로에 인가되는 데이터 신호(즉, 데이터 전압)에 의해 조절되어야 하는 것이므로, 모든 화소 회로들에 인가되

는 고전원 전압은 기본적으로 동일해야만 한다. 그러나, 고전원 전압은 전원 공급 회로에서 전원 라인을 경유하여 각 화소 회로로 인가되기 때문에, 고전원 전압이 전원 라인을 경유함에 따라 발생하는 전압 강하(IR-DROP)에 의해, 전원 공급 회로와 거리가 먼 화소 회로에는 상대적으로 낮은 고전원 전압이 인가된다. 그 결과, 모든 화소 회로들에 동일한 데이터 신호가 인가되는 경우에도, 전원 공급 회로와 거리가 먼 화소 회로의 휘도보다 낮은 고전원 전압이 각 화소 회로에 인가됨에 있어 전원 라인을 경유함에 따라 발생하는 전압 강하로 인한 표시 패널의 휘도 불균일은 보상되어야 한다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 일 목적은 고전원 전압이 각 화소 회로에 인가됨에 있어 전원 라인을 경유함에 따라 발생하는 전압 강하로 인한 표시 패널의 휘도 불균일을 보상함으로써 고품질의 이미지를 표시할 수 있는 유기 발광 표시 장치를 제공하는 것이다. 다만, 본 발명의 목적은 상술한 목적으로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0004] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 유기 발광 표시 장치는 제1 내지 제 n (단, n 은 2이상의 정수) 스캔 라인들에 연결된 제1 내지 제 n 화소-행(pixel-row)들을 포함하는 표시 패널, 상기 표시 패널을 구동시키는 구동 집적 회로, 및 상기 표시 패널에 고전원 전압과 저전원 전압을 공급하고 상기 구동 집적 회로에 구동 전원 전압을 공급하는 전원 공급 회로를 포함할 수 있다. 이 때, 상기 제1 내지 제 n 화소-행들을 구성하는 화소 회로들 각각은 구동 트랜지스터에 대한 문턱 전압 보상 동작을 수행하고, 상기 제1 내지 제 n 화소-행들을 위한 제1 내지 제 n 스캔 시간들은 상기 제1 내지 제 n 화소-행들과 상기 전원 공급 회로 사이의 거리가 멀어질수록 짧아질 수 있다.

[0005] 일 실시예에 의하면, 상기 화소 회로들 각각은 상기 저전원 전압에 연결된 캐소드를 포함하는 유기 발광 다이오드, 제1 노드에 연결된 게이트 단자, 상기 유기 발광 다이오드의 애노드에 연결된 제1 단자 및 제2 노드에 연결된 제2 단자를 포함하고, 상기 구동 트랜지스터로서 동작하는 제1 트랜지스터, 스캔 신호가 인가되는 게이트 단자, 데이터 신호가 인가되는 제1 단자 및 상기 제2 노드에 연결된 제2 단자를 포함하는 제2 트랜지스터, 상기 스캔 신호가 인가되는 게이트 단자, 상기 제1 노드에 연결된 제1 단자 및 상기 유기 발광 다이오드의 상기 애노드에 연결된 제2 단자를 포함하는 제3 트랜지스터, 발광 제어 신호가 인가되는 게이트 단자, 상기 제2 노드에 연결된 제1 단자 및 상기 고전원 전압에 연결된 제2 단자를 포함하는 제4 트랜지스터, 및 상기 제1 노드에 연결된 제1 단자 및 상기 고전원 전압에 연결된 제2 단자를 포함하는 스토리지 커패시터를 포함할 수 있다.

[0006] 일 실시예에 의하면, 상기 제1 내지 제 n 스캔 시간들은 상기 제1 내지 제 n 화소-행들에 인가되는 제1 내지 제 n 스캔 신호들 각각의 스캔 온 구간의 길이를 조절함으로써 결정될 수 있다.

[0007] 일 실시예에 의하면, 상기 스캔 온 구간의 상기 길이가 짧아질수록 상기 제1 내지 제 n 스캔 시간들은 짧아지고, 상기 스캔 온 구간의 상기 길이가 길어질수록 상기 제1 내지 제 n 스캔 시간들은 길어질 수 있다.

[0008] 일 실시예에 의하면, 상기 제1 내지 제 n 스캔 시간들은 상기 제1 내지 제 n 화소-행들에 연결되는 제1 내지 제 n 스캔 라인들 각각의 RC 딜레이를 조절함으로써 결정될 수 있다.

[0009] 일 실시예에 의하면, 상기 RC 딜레이가 커질수록 상기 제1 내지 제 n 스캔 시간들은 짧아지고, 상기 RC 딜레이가 작아질수록 상기 제1 내지 제 n 스캔 시간들은 길어질 수 있다.

[0010] 일 실시예에 의하면, 상기 제1 내지 제 n 스캔 라인들 각각의 상기 RC 딜레이는 상기 제1 내지 제 n 스캔 라인들 각각에 포함되는 물질들의 종류를 변경함으로써 조절될 수 있다.

[0011] 일 실시예에 의하면, 상기 제1 내지 제 n 스캔 라인들 각각의 상기 RC 딜레이는 상기 제1 내지 제 n 스캔 라인들 각각에 포함되는 물질들의 배합 비율을 변경함으로써 조절될 수 있다.

[0012] 일 실시예에 의하면, 상기 제1 내지 제 n 스캔 라인들 각각의 상기 RC 딜레이는 상기 제1 내지 제 n 스캔 라인들 각각의 길이를 변경함으로써 조절될 수 있다.

[0013] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 유기 발광 표시 장치는 제1 내지 제 n (단, n 은 2이상의 정수) 스캔 라인들에 연결된 제1 내지 제 n 화소-행(pixel-row)들을 포함하는 표시 패널, 상기 표시

패널을 구동시키는 구동 집적 회로, 및 상기 표시 패널에 고전원 전압과 저전원 전압을 공급하고 상기 구동 집적 회로에 구동 전원 전압을 공급하는 전원 공급 회로를 포함할 수 있다. 이 때, 상기 제1 내지 제n 화소-행들을 구성하는 화소 회로들을 각각은 구동 트랜지스터에 대한 문턱 전압 보상 동작을 수행하고, 상기 제1 내지 제n 화소-행들은 제1 내지 제k(단, k는 2이상의 정수) 화소-블록(pixel-block)들로 그룹화되며, 상기 제1 내지 제k 화소-블록들을 위한 제1 내지 제k 스캔 시간들은 상기 제1 내지 제k 화소-블록들과 상기 전원 공급 회로 사이의 거리가 멀어질수록 짧아질 수 있다.

[0014] 일 실시예에 의하면, 상기 제1 내지 제k 화소-블록들 각각은 동일한 개수의 화소-행들을 포함할 수 있다.

[0015] 일 실시예에 의하면, 상기 제1 내지 제k 화소-블록들 중에서 적어도 2이상의 화소-블록들은 서로 상이한 개수의 화소-행들을 포함할 수 있다.

[0016] 일 실시예에 의하면, 상기 화소 회로들 각각은 상기 저전원 전압에 연결된 캐소드를 포함하는 유기 발광 다이오드, 제1 노드에 연결된 게이트 단자, 상기 유기 발광 다이오드의 애노드에 연결된 제1 단자 및 제2 노드에 연결된 제2 단자를 포함하고, 상기 구동 트랜지스터로서 동작하는 제1 트랜지스터, 스캔 신호가 인가되는 게이트 단자, 데이터 신호가 인가되는 제1 단자 및 상기 제2 노드에 연결된 제2 단자를 포함하는 제2 트랜지스터, 상기 스캔 신호가 인가되는 게이트 단자, 상기 제1 노드에 연결된 제1 단자 및 상기 유기 발광 다이오드의 상기 애노드에 연결된 제2 단자를 포함하는 제3 트랜지스터, 발광 제어 신호가 인가되는 게이트 단자, 상기 제2 노드에 연결된 제1 단자 및 상기 고전원 전압에 연결된 제2 단자를 포함하는 제4 트랜지스터, 및 상기 제1 노드에 연결된 제1 단자 및 상기 고전원 전압에 연결된 제2 단자를 포함하는 스토리지 커패시터를 포함할 수 있다.

[0017] 일 실시예에 의하면, 상기 제1 내지 제k 스캔 시간들은 상기 제1 내지 제n 화소-행들에 인가되는 제1 내지 제n 스캔 신호들 각각의 스캔 온 구간의 길이를 조절함으로써 결정될 수 있다.

[0018] 일 실시예에 의하면, 상기 스캔 온 구간의 상기 길이가 짧아질수록 상기 제1 내지 제k 스캔 시간들은 짧아지고, 상기 스캔 온 구간의 상기 길이가 길어질수록 상기 제1 내지 제k 스캔 시간들은 길어질 수 있다.

[0019] 일 실시예에 의하면, 상기 제1 내지 제k 스캔 시간들은 상기 제1 내지 제n 화소-행들에 연결되는 제1 내지 제n 스캔 라인들 각각의 RC 딜레이를 조절함으로써 결정될 수 있다.

[0020] 일 실시예에 의하면, 상기 RC 딜레이가 커질수록 상기 제1 내지 제k 스캔 시간들은 짧아지고, 상기 RC 딜레이가 작아질수록 상기 제1 내지 제k 스캔 시간들은 길어질 수 있다.

[0021] 일 실시예에 의하면, 상기 제1 내지 제n 스캔 라인들 각각의 상기 RC 딜레이는 상기 제1 내지 제n 스캔 라인들 각각에 포함되는 물질들의 종류를 변경함으로써 조절될 수 있다.

[0022] 일 실시예에 의하면, 상기 제1 내지 제n 스캔 라인들 각각의 상기 RC 딜레이는 상기 제1 내지 제n 스캔 라인들 각각에 포함되는 물질들의 배합 비율을 변경함으로써 조절될 수 있다.

[0023] 일 실시예에 의하면, 상기 제1 내지 제n 스캔 라인들 각각의 상기 RC 딜레이는 상기 제1 내지 제n 스캔 라인들 각각의 길이를 변경함으로써 조절될 수 있다.

발명의 효과

[0024] 본 발명의 실시예들에 따른 유기 발광 표시 장치는 표시 패널 내 화소 회로들을 위한 스캔 시간들을 고전원 전압을 공급하는 전원 공급 회로와 화소 회로들 사이의 거리에 기초하여 화소-행 또는 화소-블록 별로 상이하게 함(즉, 전원 공급 회로와 화소 회로들 사이의 거리가 멀어질수록 화소 회로들을 위한 스캔 시간들을 짧아지게 하고, 전원 공급 회로와 화소 회로들 사이의 거리가 가까워질수록 화소 회로들을 위한 스캔 시간들을 길어지게 함)으로써, 고전원 전압이 각 화소 회로에 인가됨에 있어 전원 라인을 경유함에 따라 발생하는 전압 강하로 인한 표시 패널의 휘도 불균일을 보상하여 고품질의 이미지를 표시할 수 있다. 다만, 본 발명의 효과는 상술한 효과로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0025] 도 1은 본 발명의 실시예들에 따른 유기 발광 표시 장치를 나타내는 블록도이다.

도 2는 도 1의 유기 발광 표시 장치에서 표시 패널 내 위치에 따라 화소 회로들의 스캔 시간들이 결정되는 일

예를 나타내는 도면이다.

도 3은 도 1의 유기 발광 표시 장치에서 표시 패널 내 위치에 따라 화소 회로들의 스캔 시간들이 결정되는 다른 예를 나타내는 도면이다.

도 4는 도 1의 유기 발광 표시 장치에 구비되는 화소 회로의 일 예를 나타내는 회로도이다.

도 5는 도 4의 화소 회로를 구동시키는 신호들을 나타내는 타이밍도이다.

도 6은 도 1의 유기 발광 표시 장치가 각 화소 회로의 스캔 시간을 조절하는 일 예를 나타내는 도면이다.

도 7은 도 1의 유기 발광 표시 장치가 각 화소 회로의 스캔 시간을 조절하는 다른 예를 나타내는 도면이다.

도 8은 도 7에서 각 화소 회로의 스캔 시간을 조절하기 위한 스캔 라인의 일 구성을 나타내는 도면이다.

도 9는 도 7에서 각 화소 회로의 스캔 시간을 조절하기 위한 스캔 라인의 다른 구성을 나타내는 도면이다.

도 10은 도 7에서 각 화소 회로의 스캔 시간을 조절하기 위한 스캔 라인의 또 다른 구성을 나타내는 도면이다.

도 11은 본 발명의 실시예들에 따른 전자 기기를 나타내는 블록도이다.

도 12a는 도 11의 전자 기기가 텔레비전으로 구현된 일 예를 나타내는 도면이다.

도 12b는 도 11의 전자 기기가 스마트폰으로 구현된 일 예를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0026] 이하, 첨부한 도면들을 참조하여, 본 발명의 실시예들을 보다 상세하게 설명하고자 한다. 도면 상의 동일한 구성 요소에 대해서는 동일한 참조 부호를 사용하고 동일한 구성 요소에 대해서 중복된 설명은 생략하기로 한다.

[0027] 도 1은 본 발명의 실시예들에 따른 유기 발광 표시 장치를 나타내는 블록도이고, 도 2는 도 1의 유기 발광 표시 장치에서 표시 패널 내 위치에 따라 화소 회로들의 스캔 시간들이 결정되는 일 예를 나타내는 도면이며, 도 3은 도 1의 유기 발광 표시 장치에서 표시 패널 내 위치에 따라 화소 회로들의 스캔 시간들이 결정되는 다른 예를 나타내는 도면이다.

[0028] 도 1 내지 도 3을 참조하면, 유기 발광 표시 장치(100)는 표시 패널(120), 구동 집적 회로(140) 및 전원 공급 회로(160)를 포함할 수 있다. 이 때, 표시 패널(120)은 스캔 라인들(SL(1), ..., SL(n)), 데이터 라인들, 발광 제어 라인들을 통해 구동 집적 회로(140)에 연결될 수 있고, 전원 라인들을 통해 전원 공급 회로(160)에 연결될 수 있다. 다만, 설명의 편의를 위해, 도 1 내지 도 3에는 스캔 라인들(SL(1), ..., SL(n))만이 도시되어 있다.

[0029] 표시 패널(120)은 화소 회로(P)들을 포함할 수 있다. 실시예에 따라, 화소 회로(P)들은 표시 패널(120) 내에서 매트릭스(matrix) 형태로 배열될 수 있다. 화소 회로(P)들은 제1 내지 제n(단, n은 2이상의 정수) 화소-행들(PR(1), ..., PR(n))을 구성하고, 제1 내지 제n 화소-행들(PR(1), ..., PR(n))은 제1 내지 제n 스캔 라인들(SL(1), ..., SL(n))에 각각 연결될 수 있다. 예를 들어, 제1 화소-행(PR(1))을 구성하는 화소 회로(P)들은 제1 스캔 라인(SL(1))을 통해 구동 집적 회로(140)로부터 제1 스캔 신호를 동시에 인가받을 수 있고, 제2 화소-행(PR(2))을 구성하는 화소 회로(P)들은 제2 스캔 라인(SL(2))을 통해 구동 집적 회로(140)로부터 제2 스캔 신호를 동시에 인가받을 수 있으며, 제n 화소-행(PR(n))을 구성하는 화소 회로(P)들은 제n 스캔 라인(SL(n))을 통해 구동 집적 회로(140)로부터 제n 스캔 신호를 동시에 인가받을 수 있다. 일 실시예에서, 화소 회로(P)들 각각은 제1 트랜지스터의 제1 단자에 연결된 애노드 및 저전원 전압(ELVSS)에 연결된 캐소드를 포함하는 유기 발광 다이오드, 제1 노드에 연결된 게이트 단자, 유기 발광 다이오드의 애노드에 연결된 제1 단자 및 제2 노드에 연결된 제2 단자를 포함하는 제1 트랜지스터(즉, 구동 트랜지스터), 스캔 신호가 인가되는 게이트 단자, 데이터 신호가 인가되는 제1 단자 및 제2 노드에 연결된 제2 단자를 포함하는 제2 트랜지스터, 스캔 신호가 인가되는 게이트 단자, 제1 노드에 연결된 제1 단자 및 유기 발광 다이오드의 애노드에 연결된 제2 단자를 포함하는 제3 트랜지스터, 발광 제어 신호가 인가되는 게이트 단자, 제2 노드에 연결된 제1 단자 및 고전원 전압(ELVDD)에 연결된 제2 단자를 포함하는 제4 트랜지스터, 및 제1 노드에 연결된 제1 단자 및 고전원 전압(ELVDD)에 연결된 제2 단자를 포함하는 스토리지 커패시터를 포함할 수 있다. 이 때, 화소 회로(P)들 각각은 제1 트랜지스터에 대한 문턱 전압 보상 동작을 수행할 수 있다. 다만, 이에 대해서는 도 4 및 도 5를 참조하여 자세하게 설명하기로 한다.

[0030] 구동 집적 회로(140)는 표시 패널(120)에 연결되어 표시 패널(120)을 구동시킬 수 있다. 즉, 구동 집적 회로

(140)는 데이터 라인들을 통해 표시 패널(120)에 연결될 수 있고, 스캔 라인들(SL(1), ..., SL(n))을 통해 표시 패널(120)에 연결될 수 있으며, 발광 제어 라인들을 통해 표시 패널(120)에 연결될 수 있다. 구체적으로, 구동 집적 회로(140)는 데이터 드라이버, 스캔 드라이버, 발광 제어 드라이버, 타이밍 컨트롤러 등을 포함할 수 있다. 데이터 드라이버는 데이터 라인들을 통해 데이터 신호(즉, 데이터 전압)를 표시 패널(120)에 제공할 수 있다. 스캔 드라이버는 스캔 라인들(SL(1), ..., SL(n))을 통해 스캔 신호를 표시 패널(120)에 제공할 수 있다. 발광 제어 드라이버는 발광 제어 라인들을 통해 발광 제어 신호를 표시 패널(120)에 제공할 수 있다. 타이밍 컨트롤러는 다양한 제어 신호들을 생성하여 데이터 드라이버, 스캔 드라이버, 발광 제어 드라이버를 제어할 수 있다. 이와 같이, 구동 집적 회로(140)는 스캔 신호, 데이터 신호, 발광 제어 신호 등을 표시 패널(120) 내 화소 회로(P)에 제공함으로써 표시 패널(120)을 구동시킬 수 있다. 전원 공급 회로(160)는 표시 패널(120)에 고전원 전압(ELVDD)과 저전원 전압(ELVSS)을 공급하고, 구동 집적 회로(140)에 구동 전원 전압(VOL)을 공급할 수 있다. 이를 위해, 전원 공급 회로(160)는 외부 공급 전압에 기초하여 유기 발광 표시 장치(100)의 동작에 필요한 고전원 전압(ELVDD), 저전원 전압(ELVSS), 구동 전원 전압(VOL)을 생성하는 DC-DC 컨버터 등을 포함할 수 있다.

[0031] 일반적으로, 전원 공급 회로(160)는 표시 패널(120)의 일 측에 위치하게 된다. 이에, 도 2 및 도 3에 도시된 바와 같이, 고전원 전압(ELVDD)이 전원 공급 회로(160)에서 전원 라인을 경유하여 표시 패널(120) 내 각 화소 회로(P)로 인가되기 때문에, 고전원 전압(ELVDD)이 전원 라인을 경유함에 따라 발생하는 전압 강하에 의해, 전원 공급 회로(160)와 거리가 먼 화소 회로(P)에는 상대적으로 낮은 고전원 전압(ELVDD)이 인가될 수밖에 없다. 그 결과, 종래의 유기 발광 표시 장치에서는 동일한 조건에서 전원 공급 회로(160)와 거리가 먼 화소 회로(P)의 휘도가 전원 공급 회로(160)와 거리가 가까운 화소 회로(P)의 휘도보다 낮기 때문에 표시 패널(120)의 휘도 불균일이 야기되고 있다. 이러한 문제점을 해결하기 위해, 유기 발광 표시 장치(100)는 표시 패널(120) 내 화소 회로(P)들을 위한 스캔 시간들을 고전원 전압(ELVDD)을 공급하는 전원 공급 회로(160)와 화소 회로(P)들 사이의 거리에 기초하여 화소-행(PR(1), ..., PR(n)) 또는 화소-블록(BLK(1), ..., BLK(k)) 별로 상이하게 한다. 일 실시예에서, 도 2에 도시된 바와 같이, 제1 내지 제n 화소-행들(PR(1), ..., PR(n))을 위한 제1 내지 제n 스캔 시간들은 제1 내지 제n 화소-행들(PR(1), ..., PR(n))과 전원 공급 회로(160) 사이의 거리가 멀어질수록 짧아질 수 있다(즉, 도 2에서 SHORT와 LONG으로 표시). 즉, 표시 패널(120) 내 화소 회로(P)들을 위한 스캔 시간들이 화소-행(PR(1), ..., PR(n)) 별로 상이해지는 것이다. 예를 들어, 제1 화소-행(PR(1))을 위한 제1 스캔 시간은 제2 화소-행(PR(2))을 위한 제2 스캔 시간보다 짧고, 제2 화소-행(PR(2))을 위한 제2 스캔 시간은 제3 화소-행(PR(3))을 위한 제3 스캔 시간보다 짧으며, 제n-1 화소-행(PR(n-1))을 위한 제n-1 스캔 시간은 제n 화소-행(PR(n))을 위한 제n 스캔 시간보다 짧을 수 있다. 그 결과, 구동 트랜지스터에 대한 문턱 전압 보상 동작을 수행하는 화소 회로(P)의 특성 상 스캔 시간이 짧아질수록 구동 트랜지스터의 게이트 단자에 해당하는 노드의 전압이 감소하고, 해당 노드의 전압이 감소함에 따라 유기 발광 다이오드에 흐르는 전류가 증가하게 되므로, 고전원 전압(ELVDD)이 각 화소 회로(P)에 인가됨에 있어 전원 라인을 경유함에 따라 발생하는 전압 강하로 인한 표시 패널(120)의 휘도 불균일이 화소-행(PR(1), ..., PR(n)) 별로 보상될 수 있다.

[0032] 다른 실시예에서, 도 3에 도시된 바와 같이, 제1 내지 제n 화소-행들(PR(1), ..., PR(n))은 제1 내지 제k(단, k는 2이상의 정수) 화소-블록(BLK(1), ..., BLK(k))들로 그룹화되고, 제1 내지 제k 화소-블록들(BLK(1), ..., BLK(k))을 위한 제1 내지 제k 스캔 시간들은 제1 내지 제k 화소-블록들(BLK(1), ..., BLK(k))과 전원 공급 회로(160) 사이의 거리가 멀어질수록 짧아질 수 있다(즉, 도 3에서 SHORT와 LONG으로 표시). 즉, 표시 패널(120) 내 화소 회로(P)들을 위한 스캔 시간들이 화소-블록(BLK(1), ..., BLK(k)) 별로 상이해지는 것이다. 그러므로, 동일한 화소-블록(BLK(1), ..., BLK(k)) 내에서는 화소 회로(P)들을 위한 스캔 시간들이 동일할 수 있다. 예를 들어, 제1 화소-블록(BLK(1))을 위한 제1 스캔 시간은 제2 화소-블록(BLK(2))을 위한 제2 스캔 시간보다 짧고, 제2 화소-블록(BLK(2))을 위한 제2 스캔 시간은 제3 화소-블록(BLK(3))을 위한 제3 스캔 시간보다 짧으며, 제k-1 화소-블록(BLK(k-1))을 위한 제k-1 스캔 시간은 제k 화소-블록(BLK(k))을 위한 제k 스캔 시간보다 짧을 수 있다. 그 결과, 구동 트랜지스터에 대한 문턱 전압 보상 동작을 수행하는 화소 회로(P)의 특성 상 스캔 시간이 짧아질수록 구동 트랜지스터의 게이트 단자에 해당하는 노드의 전압이 감소하고, 해당 노드의 전압이 감소함에 따라 유기 발광 다이오드에 흐르는 전류가 증가하게 되므로, 고전원 전압(ELVDD)이 각 화소 회로(P)에 인가됨에 있어 전원 라인을 경유함에 따라 발생하는 전압 강하로 인한 표시 패널(120)의 휘도 불균일이 화소-블록(BLK(1), ..., BLK(k)) 별로 보상될 수 있다. 일 실시예에서, 제1 내지 제k 화소-블록들(BLK(1), ..., BLK(k)) 각각은 동일한 개수의 화소-행들(PR(1), ..., PR(n))을 포함할 수 있다. 다른 실시예에서, 제1 내지 제k 화소-블록들(BLK(1), ..., BLK(k)) 중에서 적어도 2이상의 화소-블록들(BLK(1), ..., BLK(k))은 서로 상이한 개수의 화소-행들(PR(1), ..., PR(n))을 포함할 수 있다.

[0033] 한편, 각 화소 회로(P)를 위한 스캔 시간은 다양한 방식으로 결정될 수 있다. 일 실시예에서, 각 화소 회로(P)

를 위한 스캔 시간은 각 화소 회로(P)에 인가되는 스캔 신호의 스캔 온 구간의 길이를 조절함으로써 결정될 수 있다. 일반적으로, 스캔 신호의 스캔 온 구간 동안에 각 화소 회로(P)가 스캔 동작을 수행하므로, 스캔 신호의 스캔 온 구간을 각 화소 회로(P)의 스캔 시간으로 볼 수 있다. 따라서, 각 화소 회로(P)에 인가되는 스캔 신호의 스캔 온 구간의 길이가 짧아질수록 각 화소 회로(P)를 위한 스캔 시간이 짧아지게 되고, 각 화소 회로(P)에 인가되는 스캔 신호의 스캔 온 구간의 길이가 길어질수록 각 화소 회로(P)를 위한 스캔 시간이 길어지게 된다. 다른 실시예에서, 각 화소 회로(P)를 위한 스캔 시간은 각 화소 회로(P)에 연결된 스캔 라인(SL(1), ..., SL(n))의 RC 딜레이를 조절함으로써 결정될 수 있다. 일반적으로, 스캔 라인(SL(1), ..., SL(n))의 RC 딜레이가 커지면 스캔 라인(SL(1), ..., SL(n))을 통해 각 화소 회로(P)에 인가되는 스캔 신호의 상승 시간(rising time)과 하강 시간(falling time)이 증가하게 되고, 각 화소 회로(P)에 인가되는 스캔 신호의 상승 시간과 하강 시간이 증가하면 해당 스캔 신호의 스캔 온 구간이 짧아지는 효과가 나타나며, 그에 따라, 각 화소 회로(P)를 위한 스캔 시간이 짧아질 수 있다. 따라서, 각 화소 회로(P)에 연결된 스캔 라인(SL(1), ..., SL(n))의 RC 딜레이가 커질수록 각 화소 회로(P)를 위한 스캔 시간이 짧아지게 되고, 각 화소 회로(P)에 연결된 스캔 라인(SL(1), ..., SL(n))의 RC 딜레이가 작을수록 각 화소 회로(P)를 위한 스캔 시간이 길어지게 된다. 일 예로, 각 화소 회로(P)에 연결된 스캔 라인(SL(1), ..., SL(n))의 RC 딜레이는 해당 스캔 라인(SL(1), ..., SL(n))에 포함되는 물질들의 종류를 변경함으로써 조절될 수 있다. 다른 예로, 각 화소 회로(P)에 연결된 스캔 라인(SL(1), ..., SL(n))의 RC 딜레이는 해당 스캔 라인(SL(1), ..., SL(n))에 포함되는 물질들의 배합 비율을 변경함으로써 조절될 수 있다. 또 다른 예로, 각 화소 회로(P)에 연결된 스캔 라인(SL(1), ..., SL(n))의 RC 딜레이는 해당 스캔 라인(SL(1), ..., SL(n))의 길이를 변경함으로써 조절될 수 있다. 다만, 이에 대해서는, 도 6 내지 도 10을 참조하여 자세하게 설명하기로 한다.

[0034] 이와 같이, 유기 발광 표시 장치(100)는 표시 패널(120) 내 화소 회로(P)들을 위한 스캔 시간들을 고전원 전압(ELVDD)을 공급하는 전원 공급 회로(160)와 화소 회로(P)들 사이의 거리에 기초하여 화소-행(PR(1), ..., PR(n)) 또는 화소-블록(BLK(1), ..., BLK(k)) 별로 상이하게 함(즉, 전원 공급 회로(160)와 화소 회로(P)들 사이의 거리가 멀어질수록 화소 회로(P)들을 위한 스캔 시간들을 짧아지게 하고, 전원 공급 회로(160)와 화소 회로(P)들 사이의 거리가 가까워질수록 화소 회로(P)들을 위한 스캔 시간들을 길어지게 함)으로써, 고전원 전압(ELVDD)이 각 화소 회로(P)에 인가됨에 있어 전원 라인을 경유함에 따라 발생하는 전압 강하로 인한 표시 패널(120)의 휘도 불균일을 보상하여 고품질의 이미지를 표시할 수 있다.

[0035] 도 4는 도 1의 유기 발광 표시 장치에 구비되는 화소 회로의 일 예를 나타내는 회로도이고, 도 5는 도 4의 화소 회로를 구동시키는 신호들을 나타내는 타이밍도이다.

[0036] 도 4 및 도 5를 참조하면, 유기 발광 표시 장치(100)에 포함되는 각 화소 회로(200)는 유기 발광 다이오드(OLED), 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4) 및 스토리지 커패시터(Cst)를 포함할 수 있다. 즉, 화소 회로(200)는 4개의 트랜지스터들(T1, ..., T4) 및 1개의 커패시터(Cst)를 포함하기 때문에 4T-1C 화소 회로로 명명될 수 있다. 한편, 도 4에서는 제1 내지 제4 트랜지스터들(T1, ..., T4)이 피모스(p-type metal oxide semiconductor; PMOS) 트랜지스터들로 도시되어 있지만, 제1 내지 제4 트랜지스터들(T1, ..., T4)의 종류가 그에 한정되는 것은 아니다. 예를 들어, 제1 내지 제4 트랜지스터들(T1, ..., T4)은 엔모스(n-type metal oxide semiconductor; NMOS) 트랜지스터들 또는 피모스 트랜지스터들과 엔모스 트랜지스터들의 조합으로 구현될 수도 있다.

[0037] 유기 발광 다이오드(OLED)는 제1 트랜지스터(T1)의 제1 단자에 연결된 애노드 및 저전원 전압(ELVSS)에 연결된 캐소드를 포함할 수 있다. 제1 트랜지스터(T1)는 제1 노드(N1)에 연결된 게이트 단자, 유기 발광 다이오드(OLED)의 애노드에 연결된 제1 단자 및 제2 노드(N2)에 연결된 제2 단자를 포함할 수 있다. 즉, 제1 트랜지스터(T1)는 구동 트랜지스터로 명명될 수 있다. 즉, 제1 트랜지스터(T1)는 게이트 단자에 인가된 전압(즉, 제1 노드(N1)의 전압)에 기초하여 유기 발광 다이오드(OLED)에 흐르는 전류를 조절할 수 있고, 그에 따라, 유기 발광 다이오드(OLED)의 휘도가 조절되어 제조가 표현될 수 있다. 제2 트랜지스터(T2)는 스캔 신호(SCAN)가 인가되는 게이트 단자, 데이터 신호(DATA)가 인가되는 제1 단자 및 제2 노드(N2)에 연결된 제2 단자를 포함할 수 있다. 도 5에 도시된 바와 같이, 스캔 신호(SCAN)가 논리 로우(low) 레벨을 갖는 데이터 기입 구간(COMP)에서, 제2 트랜지스터(T2)는 게이트 단자에 인가된 스캔 신호(SCAN)에 응답하여 턴온되고, 그에 따라, 제2 트랜지스터(T2)의 제1 단자에 인가된 데이터 신호(DATA)가 제2 트랜지스터(T2)의 제2 단자에 연결된 제2 노드(N2)에 전달될 수 있다. 즉, 제2 트랜지스터(T2)는 스위칭 트랜지스터로 명명될 수 있다. 제3 트랜지스터(T3)는 스캔 신호(SCAN)가 인가되는 게이트 단자, 제1 노드(N1)에 연결된 제1 단자 및 유기 발광 다이오드(OLED)의 애노드에 연결된 제2 단자를 포함할 수 있다. 도 5에 도시된 바와 같이, 스캔 신호(SCAN)가 논리 로우 레벨을 갖는 데이터 기입 구간

(COMP)에서, 제3 트랜지스터(T3)는 게이트 단자에 인가된 스캔 신호(SCAN)에 응답하여 턴온되고, 그에 따라, 제1 트랜지스터(T1)에 대한 문턱 전압 보상 동작이 수행될 수 있다. 즉, 제3 트랜지스터(T3)는 문턱 전압 보상 트랜지스터로 명명될 수 있다. 제4 트랜지스터(T4)는 발광 제어 신호(EM)가 인가되는 게이트 단자, 제2 노드(N2)에 연결된 제1 단자 및 고전원 전압(ELVDD)에 연결된 제2 단자를 포함할 수 있다. 도 5에 도시된 바와 같이, 발광 제어 신호(EM)가 논리 로우 레벨을 갖는 발광 구간(EMI)에서, 제4 트랜지스터(T4)는 게이트 단자에 인가된 발광 제어 신호(EMI)에 응답하여 턴온되고, 그에 따라, 유기 발광 다이오드(OLED)에 전류가 흘러 유기 발광 다이오드(OLED)가 발광할 수 있다. 즉, 제4 트랜지스터(T4)는 발광 제어 트랜지스터로 명명될 수 있다. 스토리지 커패시터(Cst)는 제1 노드(N1)에 연결된 제1 단자 및 고전원 전압(ELVDD)에 연결된 제2 단자를 포함할 수 있다. 따라서, 스토리지 커패시터(Cst)는 데이터 기입 구간(COMP) 동안 제1 노드(N1)의 전압을 충전할 수 있다.

[0038] 상술한 바와 같이, 유기 발광 표시 장치(100)는 표시 패널(120) 내 화소 회로(200)들을 위한 스캔 시간들을 고전원 전압(ELVDD)을 공급하는 전원 공급 회로(160)와 화소 회로(200)들 사이의 거리에 기초하여 화소-행 또는 화소-블록 별로 상이하게 함(즉, 전원 공급 회로(160)과 화소 회로(200)들 사이의 거리가 멀어질수록 화소 회로(200)들을 위한 스캔 시간들을 짧아지게 하고, 전원 공급 회로(160)과 화소 회로(200)들 사이의 거리가 가까워질수록 화소 회로(200)들을 위한 스캔 시간들을 길어지게 함)으로써, 고전원 전압(ELVDD)이 각 화소 회로(200)에 인가됨에 있어 전원 라인을 경유함에 따라 발생하는 전압 강하로 인한 표시 패널(120)의 휘도 불균일을 보상할 수 있다. 이것은 화소 회로(200)의 특성을 이용한 것이다. 구체적으로, 데이터 기입 구간(COMP) 동안 제3 트랜지스터(T3)는 스캔 신호(SCAN)에 응답하여 턴온되고, 그에 따라, 제1 노드(N1)와 유기 발광 다이오드(OLED)의 애노드가 서로 연결될 수 있다. 즉, 제3 트랜지스터(T3)는 데이터 기입 구간(COMP) 동안 제1 트랜지스터(T1)의 게이트 단자와 제1 단자를 다이오드-연결시킬 수 있다. 한편, 아래 [수학식 1]에 나타난 바와 같이, 유기 발광 다이오드(OLED)로 흐르는 전류는 제1 트랜지스터(T1)의 게이트 단자와 소스 단자 사이의 전압 차에 기초하여 결정된다.

[0039] [수학식 1]

$$I_{OLED} = K(V_{gs} - V_{th})^2$$

[0040]

[0041] (단, I_{oled} 는 유기 발광 다이오드(OLED)로 흐르는 전류이고, K는 제1 트랜지스터(T1)의 이동도와 기생 용량에 의해 결정되는 상수값이며, V_{gs} 는 제1 트랜지스터(T1)의 게이트 단자와 소스 단자 사이의 전압차이고, V_{th} 는 제1 트랜지스터(T1)의 문턱 전압이다.)

[0042] 상기 [수학식 1]에 나타난 바와 같이, 제1 트랜지스터(T1)가 피모스 트랜지스터라고 할 때, 제1 트랜지스터(T1)의 게이트 단자에 인가되는 전압(즉, 제1 노드(N1)의 전압)이 작을수록 유기 발광 다이오드(OLED)로 흐르는 전류는 커지고, 제1 트랜지스터(T1)의 게이트 단자에 인가되는 전압이 클수록 유기 발광 다이오드(OLED)로 흐르는 전류는 작아지게 된다. 이 때, 제1 노드(N1)의 전압은 아래 [수학식 2]로 결정된다.

[0043] [수학식 2]

$$V_{N1} = V_i(1 - e^{-t/RC})$$

[0044]

[0045] (단, V_{N1} 은 제1 노드(N1)의 전압이고, V_i 는 제1 노드(N1)의 초기 전압이며, t는 스캔 시간(즉, 데이터 기입 시간)이고, R은 데이터 신호가 전달되는 전체 저항이며, C는 스토리지 커패시터(Cst)의 커패시턴스이다.)

[0046] 상기 [수학식 2]에 나타난 바와 같이, 제1 트랜지스터(T1)의 게이트 단자에 인가되는 전압 즉, 제1 노드(N1)의 전압(V_{N1})은 스캔 시간(t)이 길수록 커지고, 스캔 시간(t)이 짧을수록 작아지게 된다. 그 결과, 유기 발광 다이오드(OLED)로 흐르는 전류는 스캔 시간(t)이 길수록 작아지고, 스캔 시간(t)이 짧을수록 커지게 된다. 그러므로, 동일한 조건에서 전원 공급 회로(160)로부터 거리가 먼 화소 회로(200)들의 휘도가 낮으므로, 유기 발광 표시 장치(100)는 전원 공급 회로(160)로부터 거리가 먼 화소 회로(200)들을 위한 스캔 시간(t)들을 짧게 하여 유기 발광 다이오드(OLED)로 흐르는 전류를 증가시킴으로써 휘도를 높이고, 전원 공급 회로(160)로부터 거리가 가까운 화소 회로(200)들을 위한 스캔 시간(t)들을 길게 하여 유기 발광 다이오드(OLED)로 흐르는 전류를 감소시킴으로써 휘도를 낮추는 방식으로, 고전원 전압(ELVDD)이 각 화소 회로(200)에 인가됨에 있어 전원 라인을 경유함에 따라 발생하는 전압 강하로 인한 표시 패널(120)의 휘도 불균일을 보상할 수 있다. 일 실시예에서, 유기 발광 표시 장치(100)는 화소-행 또는 화소-블록 별로 화소 회로(200)들을 위한 스캔 시간(t)들을 화소 회로(200)들에 인가되는 스캔 신호(SCAN)들 각각의 스캔 온 구간의 길이를 조절함으로써 결정할 수 있다. 다른 실

시예에서, 유기 발광 표시 장치(100)는 화소-행 또는 화소-블록 별로 화소 회로(200)들을 위한 스캔 시간(t)들을 화소 회로(200)들에 연결되는 스캔 라인들 각각의 RC 딜레이를 조절함으로써 결정할 수 있다.

[0047] 도 6은 도 1의 유기 발광 표시 장치가 각 화소 회로의 스캔 시간을 조절하는 일 예를 나타내는 도면이다.

[0048] 도 6을 참조하면, 유기 발광 표시 장치(100)는 화소-행 또는 화소-블록 별로 화소 회로(200)들을 위한 스캔 시간(t)들을 화소 회로(200)들에 인가되는 스캔 신호(SCAN)들 각각의 스캔 온 구간의 길이를 조절함으로써 결정할 수 있다. 상술한 바와 같이, 화소 회로(200)에 있어 제1 트랜지스터(T1)의 게이트 단자에 인가되는 전압 즉, 제1 노드(N1)의 전압(VN1)은 스캔 시간(t)이 길수록 작아지고, 스캔 시간(t)이 짧을수록 커지게 된다. 따라서, 도 6에 도시된 바와 같이, 유기 발광 표시 장치(100)가 특정 화소 회로(200)에 인가되는 스캔 신호(SCAN)의 스캔 온 구간의 길이를 줄이는 경우(즉, OP에서 CP로 줄임), 해당 화소 회로(200)가 데이터 기입 동작과 문턱 전압 보상 동작을 수행하는 데이터 기입 구간(ST)이 감소하고, 그에 따라, 제1 트랜지스터(T1)의 게이트 단자에 인가되는 전압 즉, 제1 노드(N1)의 전압(VN1)은 감소한다(즉, DIF로 표시). 그 결과, 해당 화소 회로(200) 내에서 유기 발광 다이오드(OLED)에 흐르는 전류는 증가하고, 그에 따라, 해당 화소 회로(200)의 휘도는 증가한다. 이와 같이, 유기 발광 표시 장치(100)는 전원 공급 회로(160)로부터 거리가 먼 화소 회로(200)들을 위한 스캔 시간(t)들을 짧게 하여 유기 발광 다이오드(OLED)로 흐르는 전류를 증가시킴으로써 휘도를 높이고, 전원 공급 회로(160)로부터 거리가 가까운 화소 회로(200)들을 위한 스캔 시간(t)들을 길게 하여 유기 발광 다이오드(OLED)로 흐르는 전류를 감소시킴으로써 휘도를 낮추는 방식으로, 고전원 전압(ELVDD)이 각 화소 회로(200)에 인가됨에 있어 전원 라인을 경유함에 따라 발생하는 전압 강하로 인한 표시 패널(120)의 휘도 불균일을 보상할 수 있다.

[0049] 도 7은 도 1의 유기 발광 표시 장치가 각 화소 회로의 스캔 시간을 조절하는 다른 예를 나타내는 도면이고, 도 8은 도 7에서 각 화소 회로의 스캔 시간을 조절하기 위한 스캔 라인의 일 구성을 나타내는 도면이며, 도 9는 도 7에서 각 화소 회로의 스캔 시간을 조절하기 위한 스캔 라인의 다른 구성을 나타내는 도면이고, 도 10은 도 7에서 각 화소 회로의 스캔 시간을 조절하기 위한 스캔 라인의 또 다른 구성을 나타내는 도면이다.

[0050] 도 7 내지 도 10을 참조하면, 유기 발광 표시 장치(100)는 화소-행 또는 화소-블록 별로 화소 회로(200)들에 연결되는 스캔 라인(SL)들 각각의 RC 딜레이를 조절함으로써 결정할 수 있다. 도 7에 도시된 바와 같이, 특정 화소 회로(200)에 연결된 스캔 라인(SL)의 RC 딜레이가 커지면 해당 화소 회로(200)에 인가되는 스캔 신호(SCAN)의 상승 시간과 하강 시간이 증가하게 되고(즉, OC에서 CC로 파형이 이동), 해당 화소 회로(200)에 인가되는 스캔 신호(SCAN)의 상승 시간과 하강 시간이 증가하면 해당 스캔 신호(SCAN)의 스캔 온 구간이 짧아지는 효과가 나타나며, 그에 따라, 해당 화소 회로(200)를 위한 스캔 시간(t)이 짧아질 수 있다. 즉, 해당 화소 회로(200)가 데이터 기입 동작과 문턱 전압 보상 동작을 수행하는 데이터 기입 구간(ST)이 감소하고, 그에 따라, 제1 트랜지스터(T1)의 게이트 단자에 인가되는 전압 즉, 제1 노드(N1)의 전압(VN1)은 감소한다. 그 결과, 해당 화소 회로(200) 내에서 유기 발광 다이오드(OLED)에 흐르는 전류는 증가하고, 그에 따라, 해당 화소 회로(200)의 휘도는 증가한다. 한편, 유기 발광 표시 장치(100)는 특정 화소 회로(200)에 연결된 스캔 라인(SL)의 RC 딜레이를 다양한 방식으로 조절할 수 있다. 도 8 내지 도 10에 도시된 바와 같이, 유기 발광 표시 장치(100) 내 각 화소 회로는 스캔 라인(SL) 외에 다양한 라인들(L1, ..., L6)(예를 들어, ELVDD, ELVSS, VGH, VGL, INITIAL_CLK, EM 등)에 연결될 수 있다. 이 때, 스캔 라인(SL)은 다른 라인들(L1, ..., L6)과 상이한 형태(예를 들어, 고 저항 물질, 고 저항 배합 비율, 늘어난 길이 등)로 화소 회로(200)에 연결될 수 있다. 일 실시예에서, 도 8에 도시된 바와 같이, 특정 화소 회로(200)에 연결된 스캔 라인(SL)의 RC 딜레이는 해당 스캔 라인(SL)에 포함되는 물질들의 종류를 변경함으로써 조절될 수 있다. 다른 실시예에서, 도 9에 도시된 바와 같이, 특정 화소 회로(200)에 연결된 스캔 라인(SL)의 RC 딜레이는 해당 스캔 라인(SL)에 포함되는 물질들의 배합 비율을 변경함으로써 조절될 수 있다. 또 다른 실시예에서, 도 10에 도시된 바와 같이, 특정 화소 회로(200)에 연결된 스캔 라인(SL)의 RC 딜레이는 해당 스캔 라인(SL)의 길이를 변경함으로써 조절될 수 있다. 이와 같이, 유기 발광 표시 장치(100)는 전원 공급 회로(160)로부터 거리가 먼 화소 회로(200)들을 위한 스캔 시간(t)들을 짧게 하여 유기 발광 다이오드(OLED)로 흐르는 전류를 증가시킴으로써 휘도를 높이고, 전원 공급 회로(160)로부터 거리가 가까운 화소 회로(200)들을 위한 스캔 시간(t)들을 길게 하여 유기 발광 다이오드(OLED)로 흐르는 전류를 감소시킴으로써 휘도를 낮추는 방식으로, 고전원 전압(ELVDD)이 각 화소 회로(200)에 인가됨에 있어 전원 라인을 경유함에 따라 발생하는 전압 강하로 인한 표시 패널(120)의 휘도 불균일을 보상할 수 있다.

[0051] 도 11은 본 발명의 실시예들에 따른 전자 기기를 나타내는 블록도이고, 도 12a는 도 11의 전자 기기가 텔레비전으로 구현된 일 예를 나타내는 도면이며, 도 12b는 도 11의 전자 기기가 스마트폰으로 구현된 일 예를 나타내는

도면이다.

[0052] 도 11 내지 도 12b를 참조하면, 전자 기기(500)는 프로세서(510), 메모리 장치(520), 스토리지 장치(530), 입출력 장치(540), 파워 서플라이(550) 및 유기 발광 표시 장치(560)를 포함할 수 있다. 이 때, 유기 발광 표시 장치(560)는 도 1의 유기 발광 표시 장치(100)에 상응할 수 있다. 전자 기기(500)는 비디오 카드, 사운드 카드, 메모리 카드, USB 장치 등과 통신하거나, 또는 다른 시스템들과 통신할 수 있는 여러 포트(port)들을 더 포함할 수 있다. 일 실시예에서, 도 12a에 도시된 바와 같이, 전자 기기(500)는 텔레비전으로 구현될 수 있다. 다른 실시예에서, 도 12b에 도시된 바와 같이, 전자 기기(500)는 스마트폰으로 구현될 수 있다. 다만, 이것은 예시적인 것으로서 전자 기기(500)는 그에 한정되지 않는다. 예를 들어, 전자 기기(500)는 휴대폰, 비디오폰, 스마트패드(smart pad), 스마트 워치(smart watch), 태블릿(tablet) PC, 차량용 네비게이션, 컴퓨터 모니터, 노트북, 헤드 마운트 디스플레이(head mounted display; HMD) 등으로 구현될 수도 있다.

[0053] 프로세서(510)는 특정 계산들 또는 태스크(task)들을 수행할 수 있다. 실시예에 따라, 프로세서(510)는 마이크로프로세서(micro processor), 중앙 처리 유닛(Central Processing Unit; CPU), 어플리케이션 프로세서(Application Processor; AP) 등일 수 있다. 프로세서(510)는 어드레스 버스(address bus), 제어 버스(control bus) 및 데이터 버스(data bus) 등을 통해 다른 구성 요소들에 연결될 수 있다. 실시예에 따라, 프로세서(510)는 주변 구성 요소 상호 연결(Peripheral Component Interconnect; PCI) 버스와 같은 확장 버스에도 연결될 수 있다. 메모리 장치(520)는 전자 기기(500)의 동작에 필요한 데이터들을 저장할 수 있다. 예를 들어, 메모리 장치(520)는 이피롬(Erasable Programmable Read-Only Memory; EPROM) 장치, 이이피롬(Electrically Erasable Programmable Read-Only Memory; EEPROM) 장치, 플래시 메모리 장치(flash memory device), 피램(Phase Change Random Access Memory; PRAM) 장치, 알램(Resistance Random Access Memory; RRAM) 장치, 엔에프지엠(Nano Floating Gate Memory; NFGM) 장치, 폴리머램(Polymer Random Access Memory; PoRAM) 장치, 엠램(Magnetic Random Access Memory; MRAM), 에프램(Ferroelectric Random Access Memory; FRAM) 장치 등과 같은 비휘발성 메모리 장치 및/또는 디램(Dynamic Random Access Memory; DRAM) 장치, 에스램(Static Random Access Memory; SRAM) 장치, 모바일 DRAM 장치 등과 같은 휘발성 메모리 장치를 포함할 수 있다. 스토리지 장치(530)는 솔리드 스테이트 드라이브(Solid State Drive; SSD), 하드 디스크 드라이브(Hard Disk Drive; HDD), 씨디롬(CD-ROM) 등을 포함할 수 있다. 입출력 장치(540)는 키보드, 키패드, 터치패드, 터치스크린, 마우스 등과 같은 입력 수단 및 스피커, 프린터 등과 같은 출력 수단을 포함할 수 있다. 파워 서플라이(550)는 전자 기기(500)의 동작에 필요한 파워를 공급할 수 있다.

[0054] 유기 발광 표시 장치(560)는 상기 버스들 또는 다른 통신 링크를 통해서 다른 구성 요소들에 연결될 수 있다. 실시예에 따라, 유기 발광 표시 장치(560)는 입출력 장치(540)에 포함될 수도 있다. 상술한 바와 같이, 유기 발광 표시 장치(560)는 표시 패널 내 화소 회로들을 위한 스캔 시간들을 고전원 전압을 공급하는 전원 공급 회로와 화소 회로들 사이의 거리에 기초하여 화소-행 또는 화소-블록 별로 상이하게 함(즉, 전원 공급 회로와 화소 회로들 사이의 거리가 멀어질수록 화소 회로들을 위한 스캔 시간들을 짧아지게 함)으로써, 고전원 전압이 각 화소 회로에 인가됨에 있어 전원 라인을 경유함에 따라 발생하는 전압 강하로 인한 표시 패널의 휘도 불균일을 보상하여 고품질의 이미지를 표시할 수 있다. 이를 위해, 유기 발광 표시 장치(560)는 제1 내지 제n 스캔 라인들에 연결된 제1 내지 제n 화소-행들을 포함하는 표시 패널, 표시 패널을 구동시키는 구동 집적 회로, 및 표시 패널에 고전원 전압과 저전원 전압을 공급하고 구동 집적 회로에 구동 전원 전압을 공급하는 전원 공급 회로를 포함할 수 있다. 일 실시예에서, 제1 내지 제n 화소-행들을 구성하는 화소 회로들 각각은 구동 트랜지스터에 대한 문턱 전압 보상 동작을 수행하고, 제1 내지 제n 화소-행들을 위한 제1 내지 제n 스캔 시간들은 제1 내지 제n 화소-행들과 전원 공급 회로 사이의 거리가 멀어질수록 짧아질 수 있다. 다른 실시예에서, 제1 내지 제n 화소-행들을 구성하는 화소 회로들 각각은 구동 트랜지스터에 대한 문턱 전압 보상 동작을 수행하고, 제1 내지 제n 화소-행들은 제1 내지 제k 화소-블록들로 그룹화되며, 제1 내지 제k 화소-블록들을 위한 제1 내지 제k 스캔 시간들은 제1 내지 제k 화소-블록들과 전원 공급 회로 사이의 거리가 멀어질수록 짧아질 수 있다. 이 때, 제1 내지 제k 화소-블록들 각각은 동일한 개수의 화소-행들을 포함할 수도 있고, 제1 내지 제k 화소-블록들 중에서 적어도 2이상의 화소-블록들은 서로 상이한 개수의 화소-행들을 포함할 수도 있다. 다만, 이에 대해서는 상술한 바 있으므로, 그에 대한 중복되는 설명은 생략하기로 한다.

산업상 이용가능성

[0055] 본 발명은 유기 발광 표시 장치 및 이를 포함하는 다양한 전자 기기들에 적용될 수 있다. 예를 들어, 본 발명은 휴대폰, 스마트폰, 비디오폰, 스마트패드, 스마트 워치, 태블릿 PC, 차량용 네비게이션, 텔레비전, 컴퓨터 모니터

터, 노트북, 헤드 마운트 디스플레이 등에 적용될 수 있다.

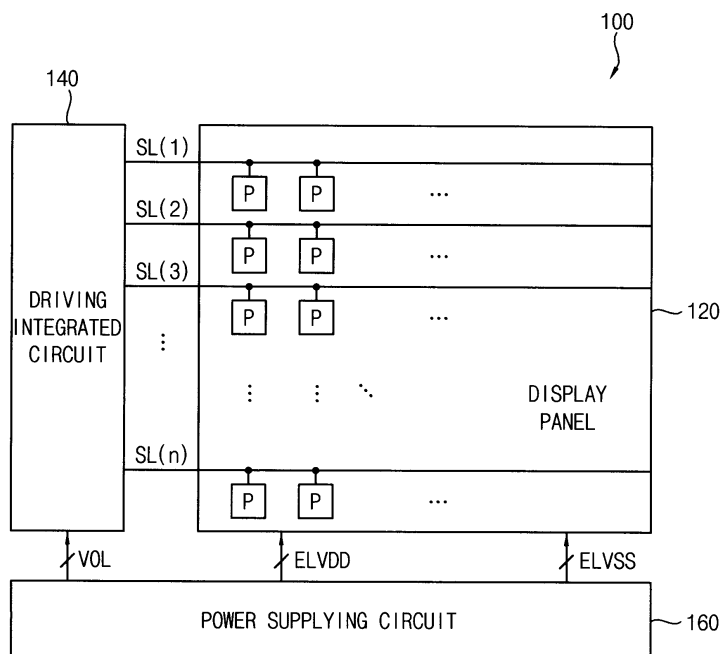
[0056] 이상에서는 본 발명의 예시적인 실시예들을 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

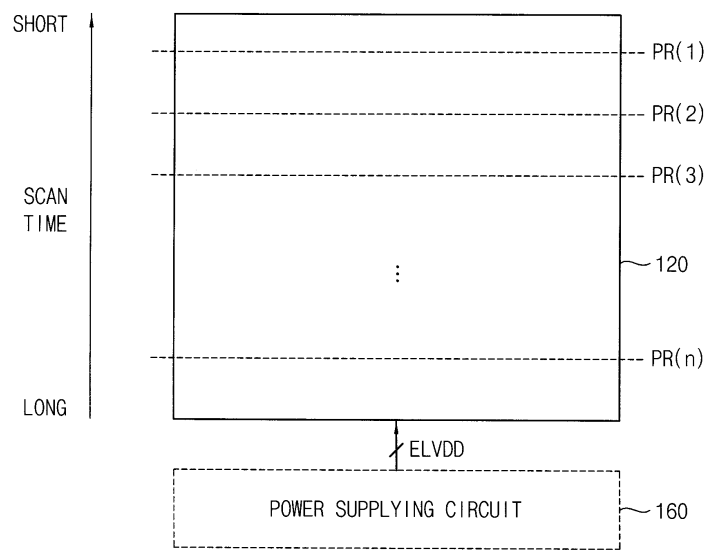
[0057] 100: 유기 발광 표시 장치 120: 표시 패널
140: 구동 집적 회로 160: 전원 공급 회로
200: 화소 회로 T1: 제1 트랜지스터
T2: 제2 트랜지스터 T3: 제3 트랜지스터
T4: 제4 트랜지스터 Cst: 스토리지 커패시터
OLED: 유기 발광 다이오드 500: 전자 기기
510: 프로세서 520: 메모리 장치
530: 스토리지 장치 540: 입출력 장치
550: 파워 서플라이 560: 유기 발광 표시 장치

도면

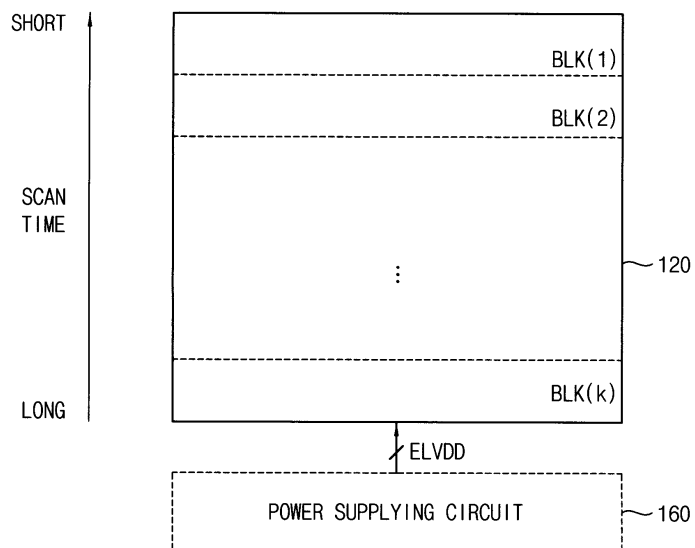
도면1



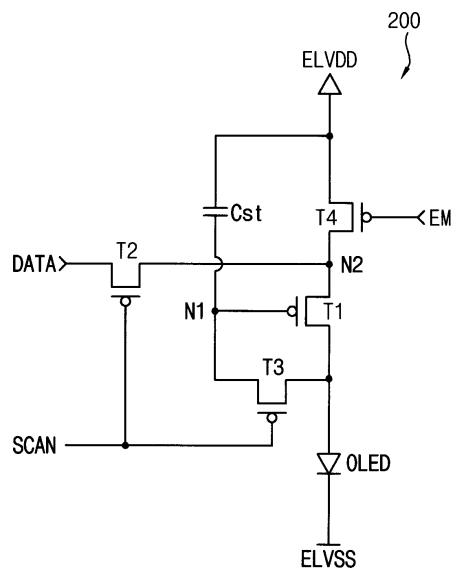
도면2



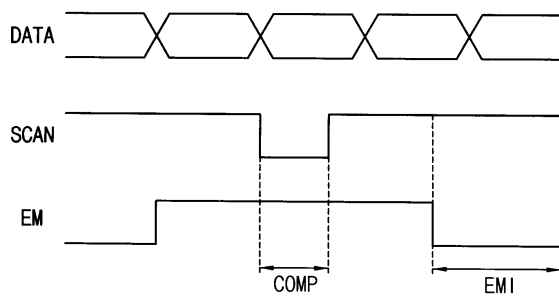
도면3



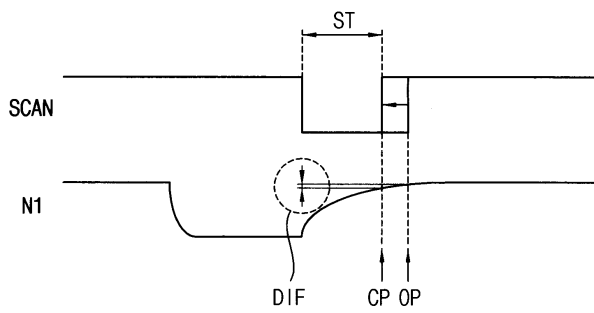
도면4



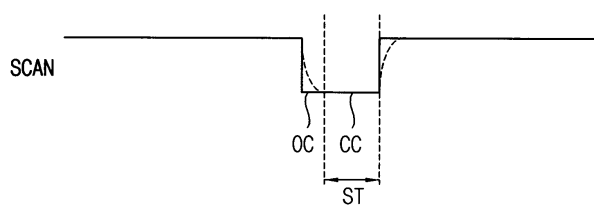
도면5



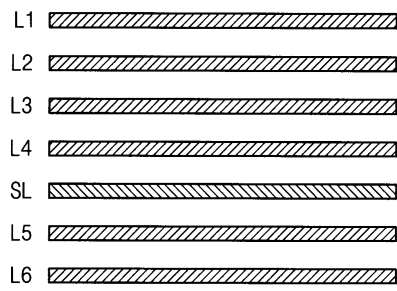
도면6



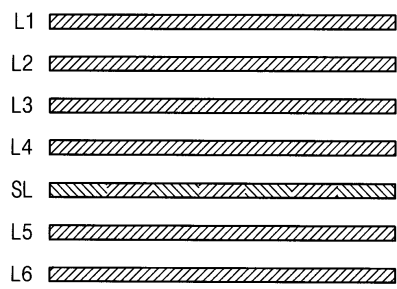
도면7



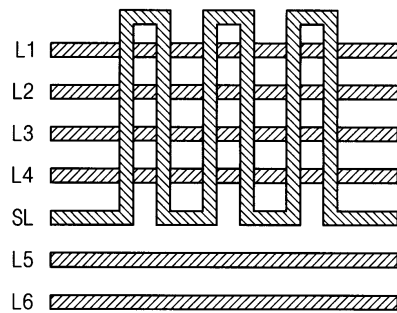
도면8



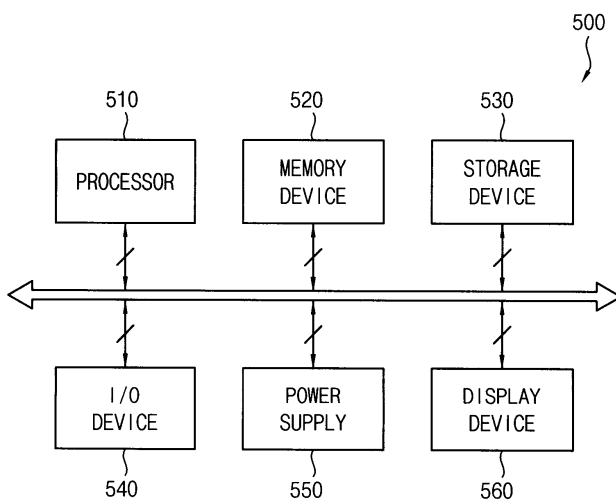
도면9



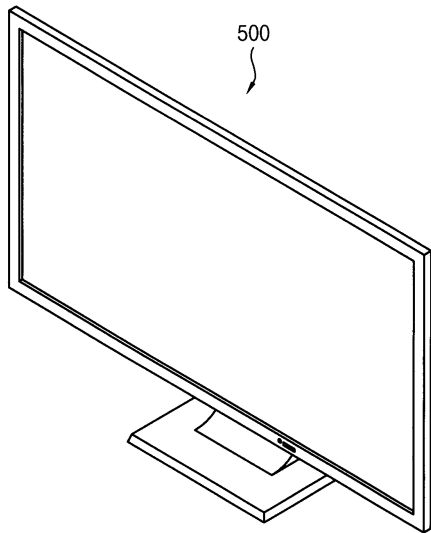
도면10



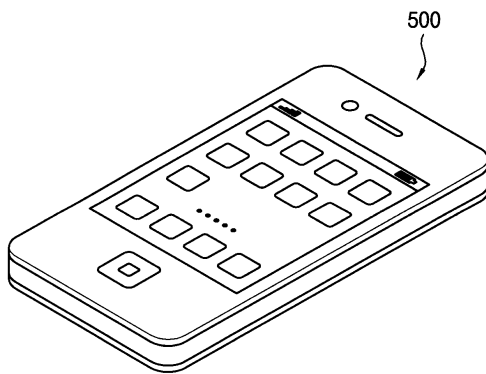
도면11



도면12a



도면12b



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020170130680A	公开(公告)日	2017-11-29
申请号	KR1020160061091	申请日	2016-05-18
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE JAE SIC 이재식 KIM CHANG YEOP 김창엽		
发明人	이재식 김창엽		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2320/0233 G09G2320/0223		
代理人(译)	英西湖公园		
外部链接	Espacenet		

摘要(译)

他的摘要目前正在准备中。更新的KPA将于2017年12月10日之后提供。

*本标题 (54) 和代表图显示为申请人提交的。

