



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0038984
(43) 공개일자 2017년04월10일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 27/32 (2006.01)
(52) CPC특허분류
H01L 51/5253 (2013.01)
H01L 27/3211 (2013.01)
(21) 출원번호 10-2015-0137599
(22) 출원일자 2015년09월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김치웅
경기도 파주시 월롱면 엘씨디로8번길 25 다정안 401
최시혁
경기도 고양시 일산서구 하이파크3로 62 502동 503호 (덕이동, 하이파크시티일산아이파크5단지아파트)
(뒷면에 계속)
(74) 대리인
김은구, 송해모

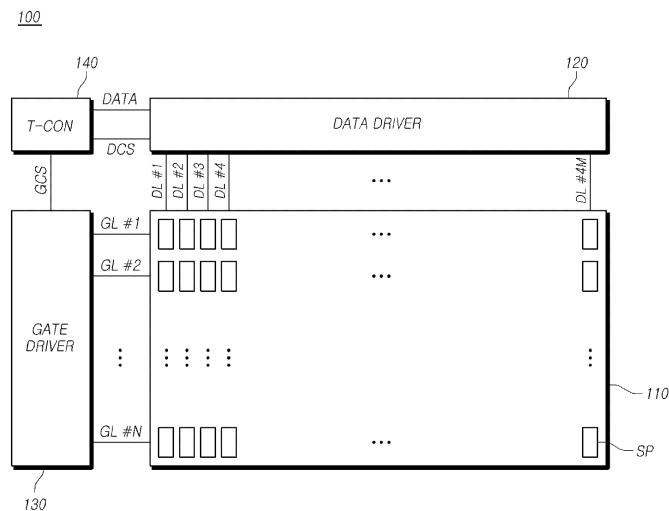
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 유기발광 표시장치

(57) 요약

본 발명은 유기발광 표시장치를 개시한다. 개시된 본 발명의 유기발광 표시장치는, 표시영역과 비표시영역이 구획된 기관, 상기 비표시영역에 배치된 크랙차단부를 포함하고, 상기 크랙차단부는 제1 차단패턴을 구비한 제1 차단부 및 상기 제1 차단부와 이격되고, 제1 방향과 제1 방향에 수직한 제2 방향을 따라 배치된 복수의 제2 차단패턴들을 구비한 제2 차단부를 포함함으로써, 표시패널의 외곽에서 발생한 크랙이 표시영역으로 전파되는 것을 방지한 효과가 있다.

대표도



(52) CPC특허분류

H01L 27/322 (2013.01)

H01L 27/3225 (2013.01)

H01L 2227/32 (2013.01)

(72) 발명자

손해준

경기도 과천시 후곡로 77 108동 601호 (금촌동, 쇠
재마을풍림아이원아파트)

김문구

경기도 과천시 시청로 123 1~360번지 104동 1002호
(아동동, 신안실크밸리아파트)

명세서

청구범위

청구항 1

표시영역과 비표시영역이 구획된 기관; 및

상기 비표시영역에 배치된 크랙차단부를 포함하고,

상기 크랙차단부는 제1 차단패턴을 구비한 제1 차단부; 및

상기 제1 차단부와 이격되고, 제1 방향과 제1 방향에 수직한 제2 방향을 따라 배치된 복수의 제2 차단패턴들을 구비한 제2 차단부를 포함하는 유기발광 표시장치.

청구항 2

제1항에 있어서,

상기 제2 방향에 평행한 제2 차단패턴 열들 중 i 번째 제2 차단패턴 열에 배치된 한쌍의 제2 차단패턴들과 $i-1$ 번째 제2 차단패턴 열에 배치된 제2 차단패턴은 제1 방향에서 일부가 서로 중첩되는 유기발광 표시장치.

(여기서, i 는 2 이상의 자연수)

청구항 3

제1항에 있어서,

상기 제2 차단부 양측에 제3 차단패턴들로 구성된 제1 및 제2 보조차단부를 더 포함하는 유기발광 표시장치.

청구항 4

제3항에 있어서,

상기 제2 및 제3 차단패턴은 평면이 사각형 구조를 갖고, 상기 제3 차단패턴의 세로길이는 상기 제2 차단패턴의 세로 또는 가로 길이보다 긴 유기발광 표시장치.

청구항 5

제1항에 있어서,

상기 제2 차단부를 구성하는 제2 차단패턴들 사이에는 일측이 개방된 요철 구조의 제4 차단패턴들이 배치된 유기발광 표시장치.

청구항 6

제5항에 있어서,

상기 제4 차단패턴의 내측에는 적어도 제2 차단패턴들이 하나 이상 배치되어 있는 유기발광 표시장치.

청구항 7

제1항에 있어서,

상기 표시영역에는 복수의 서브픽셀이 배치되고,

각 서브픽셀에는 구동 트랜지스터;

상기 구동트랜지스터 상에 배치된 유기발광 다이오드; 및

상기 유기발광 다이오드와 대응되는 발광영역에 배치된 컬러필터를 포함하는 유기발광 표시장치.

청구항 8

제1항에 있어서,

상기 제1 차단부의 제1 차단패턴과 제2 차단부의 제2 차단패턴들의 높이는 서로 다른 유기발광 표시장치.

청구항 9

제1항에 있어서,

상기 제1 차단부의 제1 차단패턴과 제2 차단부의 제2 차단패턴들은 폴리이미드 또는 포토아크릴 재질을 갖는 유기발광 표시장치.

청구항 10

제1항에 있어서,

상기 제1 차단부의 제1 차단패턴은 비연속적인 복수의 차단패턴들 또는 하나의 연속적인 페루프 구조의 차단패턴인 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 최근, 표시장치로서 각광받고 있는 유기발광 표시장치는 스스로 발광하는 유기발광 다이오드(OLED: Organic Light Emitting Diode)를 이용함으로써 응답속도가 빠르고, 발광효율, 휘도 및 시야각 등이 큰 장점이 있다.

[0003] 이러한 유기발광 표시장치는 유기발광 다이오드가 포함된 서브픽셀을 매트릭스 형태로 배열하고 스캔 신호에 의해 선택된 서브픽셀들의 밝기를 데이터의 계조에 따라 제어한다.

[0004] 이러한 유기발광 표시장치의 표시패널에 배치되는 각 서브픽셀은, 기본적으로, 유기발광 다이오드를 구동하는 구동 트랜지스터(Driving Transistor), 구동 트랜지스터의 게이트 노드에 데이터 전압을 전달해주는 스위칭 트랜지스터(Switching Transistor), 한 프레임 시간 동안 일정 전압을 유지해주는 역할을 하는 스토리지 캐패시터(Storage Capacitor) 등을 포함할 수 있다.

[0005] 또한, 유기발광 표시장치는 플라스틱 재질(PI: Polyimide)을 기판으로 사용할 수 있어, 박형화 및 플렉서블(Flexible) 표시장치로 구현할 수 있는 장점이 있다.

[0006] 하지만, 유기발광 표시장치의 이동 또는 조작(handling)시 외력에 의한 크랙(Crack) 발생에 취약한 단점이 있고, 표시패널의 외측 가장자리에 크랙(crack)이 발생되면 표시패널의 기판을 따라 표시영역으로 크랙이 전파되는 문제가 있다.

[0007] 상기와 같이 표시영역으로 전파된 크랙은 유기발광 표시장치에 배치되는 소자들(트랜지스터, 유기발광 다이오드)과 신호배선들을 손상시켜 불량률 유발하는 원인이 된다.

[0008] 특히, 최근에는 유기발광 표시장치는 표시영역을 넓히기 위해 베젤 영역을 줄이고 있는데(Narrow Bezel), 베젤 영역이 줄어들면 표시패널의 비표시영역의 폭이 좁아 크랙으로 인한 불량률에 더욱 취약해진다. 따라서, 크랙이 표시영역으로 전파되어 유기발광 표시장치에 불량률 야기하는 문제를 개선하기 위한 기술이 요구된다.

발명의 내용

해결하려는 과제

[0009] 본 발명은, 표시패널의 비표시영역(N/A)을 따라 크랙차단부(CBP)를 배치하여 표시패널의 외곽에서 발생한 크랙이 표시영역으로 전파되는 것을 방지한 유기발광 표시장치를 제공함에 그 목적이 있다.

[0010] 또한, 본 발명은, 표시패널의 비표시영역(N/A)에 복수의 차단패턴들로 구성된 크랙차단부를 배치하여, 크랙의 전파를 차단하여 표시영역(A/A)에 배치된 소자 및 신호배선을 보호한 유기발광 표시장치를 제공함에 다른 목적

이 있다.

과제의 해결 수단

- [0011] 상기와 같은 종래 기술의 과제를 해결하기 위한 본 발명의 유기발광 표시장치는, 표시영역과 비표시영역이 구획된 기판, 상기 비표시영역에 배치된 크랙차단부를 포함하고, 상기 크랙차단부는 제1 차단패턴을 구비한 제1 차단부 및 상기 제1 차단부와 이격되고, 제1 방향과 제1 방향에 수직한 제2 방향을 따라 배치된 복수의 제2 차단 패턴들을 구비한 제2 차단부를 포함함으로써, 표시패널의 외곽에서 발생한 크랙이 표시영역으로 전파되는 것을 방지한 효과가 있다.

발명의 효과

- [0012] 본 발명에 따른 유기발광 표시장치는, 표시패널의 비표시영역(N/A)을 따라 크랙차단부(CBP)를 배치하여 표시패널의 외곽에서 발생한 크랙이 표시영역으로 전파되는 것을 방지한 효과가 있다.
- [0013] 또한, 본 발명에 따른 유기발광 표시장치는, 표시패널의 비표시영역(N/A)에 복수의 차단패턴들로 구성된 크랙차단부를 배치하여, 크랙의 전파를 차단하여 표시영역(A/A)에 배치된 소자 및 신호배선을 보호한 효과가 있다.

도면의 간단한 설명

- [0014] 도 1은 본 발명에 따른 유기발광 표시장치의 개략적인 시스템 구성도이다.
- 도 2는 본 발명의 유기발광 표시장치의 서브픽셀에 대한 등가회로도이다.
- 도 3은 본 발명에 따른 유기발광 표시장치의 표시패널을 도시한 도면이다.
- 도 4는 상기 도 3의 I-I'선의 단면도이다.
- 도 5 내지 도 7은 본 발명의 다른 실시예들에 따른 표시패널의 단면도들이다.
- 도 8은 본 발명에 따른 유기발광 표시장치의 크랙차단부를 도시한 평면도이다.
- 도 9는 상기 도 8의 크랙차단부에 배치된 크랙차단부의 확대도이다.
- 도 10 내지 도 17은 본 발명의 다른 실시예에 따른 크랙차단부들의 평면도이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0016] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.
- [0017] 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0018] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0019] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치

할 수도 있다.

- [0020] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간 적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0021] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0022] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0023] 이하, 본 발명의 실시예들은 도면을 참고하여 상세하게 설명한다. 그리고 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [0024] 도 1은 본 발명에 따른 유기발광 표시장치의 개략적인 시스템 구성도이고, 도 2는 본 발명의 유기발광 표시장치의 서브픽셀에 대한 등가회로도이다.
- [0025] 도 1 및 도 2를 참조하면, 본 발명에 따른 유기발광 표시장치(100)는, 제1방향(예: 열 방향)으로 다수의 데이터 라인(DL #1, DL #2, ... , DL #4M, M은 1 이상의 자연수)이 배치되고, 제2방향(예: 행 방향)으로 다수의 게이트 라인(GL #1, GL #2, ... , GL #N, N은 1 이상의 자연수)이 배치되며, 다수의 서브픽셀(SP)이 매트릭스 타입으로 배치된 표시패널(110)과, 다수의 데이터 라인(DL #1, DL #2, ... , DL #4M)을 구동하는 데이터 드라이버(120)와, 다수의 게이트 라인(GL #1, GL #2, ... , GL #N)을 구동하는 게이트 드라이버(130)와, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어하는 타이밍 컨트롤러(T-CON, 140) 등을 포함한다.
- [0026] 데이터 드라이버(120)는, 다수의 데이터 라인(DL #1, DL #2, ... , DL #4M)으로 데이터 전압을 공급함으로써, 다수의 데이터 라인을 구동한다.
- [0027] 게이트 드라이버(130)는, 다수의 게이트 라인(GL #1, GL #2, ... , GL #N)으로 스캔 신호를 순차적으로 공급함으로써, 다수의 게이트 라인(GL #1, GL #2, ... , GL #N)을 순차적으로 구동한다.
- [0028] 타이밍 컨트롤러(140)는, 데이터 드라이버(120) 및 게이트 드라이버(130)로 각종 제어신호를 공급하여, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어한다.
- [0029] 이러한 타이밍 컨트롤러(140)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 외부에서 입력되는 입력 영상 데이터를 데이터 드라이버(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상 데이터(DATA)를 출력하고, 스캔에 맞춰 적당한 시간에 데이터 구동을 통제한다.
- [0030] 게이트 드라이버(130)는, 타이밍 컨트롤러(140)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 스캔 신호를 다수의 게이트 라인(GL #1, GL #2, ... , GL #N)에 순차적으로 공급하여 다수의 게이트 라인(GL #1, GL #2, ... , GL #N)을 구동한다.
- [0031] 게이트 드라이버(130)는, 구동 방식에 따라서, 도 1에서와 같이, 표시패널(110)의 일 측에만 위치할 수도 있고, 경우에 따라서는, 양측에 위치할 수도 있다.
- [0032] 또한, 게이트 드라이버(130)는, 하나 이상의 게이트 드라이버 집적회로(Gate Driver Integrated Circuit)를 포함할 수 있다.
- [0033] 각 게이트 드라이버 집적회로는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 표시패널(110)에 집적화되어 배치될 수도 있다.
- [0034] 각 게이트 드라이버 집적회로 각각은 쉬프트 레지스터, 레벨 쉬프터 등을 포함할 수 있다.
- [0035] 데이터 드라이버(120)는, 특정 게이트 라인이 열리면, 타이밍 컨트롤러(140)로부터 수신한 영상 데이터(DATA)를 아날로그 형태의 데이터 전압으로 변환하여 다수의 데이터 라인(DL #1, DL #2, ... , DL #4M)으로 공급함으로써, 다수의 데이터 라인(DL #1, DL #2, ... , DL #4M)을 구동한다.

- [0036] 데이터 드라이버(120)는 적어도 하나의 소스 드라이버 집적회로(Source Driver Integrated Circuit)를 포함하여 다수의 데이터 라인(DL #1, DL #2, ... , DL #4M)을 구동할 수 있다.
- [0037] 각 소스 드라이버 집적회로는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, 표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 표시패널(110)에 집적화되어 배치될 수도 있다.
- [0038] 각 소스 드라이버 집적회로는, 쉬프트 레지스터, 래치 회로 등을 포함하는 로직부와, 디지털 아날로그 컨버터(DAC: Digital Analog Converter)와, 출력 버퍼 등을 포함할 수 있으며, 경우에 따라서, 서브픽셀의 특성(예: 구동 트랜지스터의 문턱전압 및 이동도, 유기발광 다이오드의 문턱전압, 서브픽셀의 휘도 등)을 보상하기 위하여 서브픽셀의 특성을 센싱하기 위한 센싱부를 더 포함할 수 있다.
- [0039] 각 소스 드라이버 집적회로는, 칩 온 필름(COF: Chip On Film) 방식으로 구현될 수 있다. 이 경우, 각 소스 드라이버 집적회로의 일 단은 적어도 하나의 소스 인쇄회로기판(Source Printed Circuit Board)에 본딩되고, 타 단은 표시패널(110)에 본딩된다.
- [0040] 한편, 타이밍 컨트롤러(140)는, 입력 영상 데이터와 함께, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 데이터 인에이블(DE: Data Enable) 신호, 클럭 신호(CLK) 등을 포함하는 각종 타이밍 신호들을 외부(예: 호스트 시스템)로부터 수신한다.
- [0041] 타이밍 컨트롤러(140)는, 외부로부터 입력된 입력 영상 데이터를 데이터 드라이버(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상 데이터를 출력하는 것 이외에, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어하기 위하여, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 DE 신호, 클럭 신호 등의 타이밍 신호를 입력 받아, 각종 제어 신호들을 생성하여 데이터 드라이버(120) 및 게이트 드라이버(130)로 출력한다.
- [0042] 예를 들어, 타이밍 컨트롤러(140)는, 게이트 드라이버(130)를 제어하기 위하여, 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock), 게이트 출력 인에이블 신호(GOE: Gate Output Enable) 등을 포함하는 각종 게이트 제어 신호(GCS: Gate Control Signal)를 출력한다.
- [0043] 여기서, 게이트 스타트 펄스(GSP)는 게이트 드라이버(130)를 구성하는 하나 이상의 게이트 드라이버 집적회로의 동작 스타트 타이밍을 제어한다. 게이트 쉬프트 클럭(GSC)은 하나 이상의 게이트 드라이버 집적회로에 공통으로 입력되는 클럭 신호로서, 스캔 신호(게이트 펄스)의 쉬프트 타이밍을 제어한다. 게이트 출력 인에이블 신호(GOE)는 하나 이상의 게이트 드라이버 집적회로의 타이밍 정보를 지정하고 있다.
- [0044] 또한, 타이밍 컨트롤러(140)는, 데이터 드라이버(120)를 제어하기 위하여, 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블 신호(SOE: Source Output Enable) 등을 포함하는 각종 데이터 제어 신호(DCS: Data Control Signal)를 출력한다.
- [0045] 여기서, 소스 스타트 펄스(SSP)는 데이터 드라이버(120)를 구성하는 하나 이상의 소스 드라이버 집적회로의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 소스 드라이버 집적회로 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭 신호이다. 소스 출력 인에이블 신호(SOE)는 데이터 드라이버(120)의 출력 타이밍을 제어한다.
- [0046] 도 1을 참조하면, 타이밍 컨트롤러(140)는, 소스 드라이버 집적회로가 본딩된 소스 인쇄회로기판과 연성 플랫 케이블(FFC: Flexible Flat Cable) 또는 연성 인쇄 회로(FPC: Flexible Printed Circuit) 등의 연결 매체를 통해 연결된 컨트롤 인쇄회로기판(Control Printed Circuit Board)에 배치될 수 있다.
- [0047] 이러한 컨트롤 인쇄회로기판에는, 표시패널(110), 데이터 드라이버(120) 및 게이트 드라이버(130) 등으로 각종 전압 또는 전류를 공급해주거나 공급할 각종 전압 또는 전류를 제어하는 전원 컨트롤러(미도시)가 더 배치될 수 있다. 이러한 전원 컨트롤러는 전원 관리 집적회로(Power Management IC)라고도 한다.
- [0048] 위에서 언급한 소스 인쇄회로기판과 컨트롤 인쇄회로기판은 하나의 인쇄회로기판으로 되어 있을 수도 있다.
- [0049] 본 발명에 따른 유기발광 표시장치(100)에서 표시패널(110)에 배치되는 각 서브픽셀(SP)에는, 유기발광 다이오드(OLED: Organic Light Emitting Diode), 둘 이상의 트랜지스터, 적어도 하나의 캐패시터 등의 회로 소자로 구성될 수 있다.
- [0050] 각 서브픽셀을 구성하는 회로 소자의 종류 및 개수는, 제공 기능 및 설계 방식 등에 따라 다양하게 정해질 수

있다.

- [0051] 본 발명에 따른 표시패널(110)에서의 각 서브픽셀은 유기발광 다이오드(OLED)의 특성치(예: 문턱전압 등), 유기발광 다이오드(OLED)를 구동하는 구동 트랜지스터의 특성치(예: 문턱전압, 이동도 등) 등의 서브픽셀 특성치를 보상하기 위한 회로 구조로 되어 있을 수 있다.
- [0052] 도 2를 참조하면, 각 서브픽셀(SP)은 1개의 데이터 라인(DL)과 연결되고 1개의 게이트 라인(GL)을 통해 하나의 스캔신호(SCAN)만을 공급받는다.
- [0053] 이러한 각 서브픽셀은, 유기발광 다이오드(OLED: Organic Light Emitting Diode)를 포함하고, 구동 트랜지스터(DT: Driving Transistor), 제1 트랜지스터(T1), 제2 트랜지스터(T2) 및 스토리지 캐패시터(Cst) 등을 포함한다. 이와 같이, 각 서브픽셀은 3개의 트랜지스터(DT, T1, T2)와 1개의 스토리지 캐패시터(Cst)를 포함하기 때문에, 각 서브픽셀은 3T(Transistor) 1C(Capacitor) 구조를 갖는다고 한다.
- [0054] 각 서브픽셀 내 구동 트랜지스터(DT)는, 구동전압 라인(DVL: Driving Voltage Line)에서 공급되는 구동전압(EVDD)을 인가 받고, 제2 트랜지스터(T2)를 통해 인가된 게이트 노드(N2)의 전압(데이터 전압)에 의해 제어되어 유기발광 다이오드(OLED)를 구동시키는 트랜지스터이다. 도면에 도시된 EVSS는 기저전압이다.
- [0055] 이러한 구동 트랜지스터(DT)는 제1노드(N1), 제2노드(N2), 제3노드(N3)를 가지고 있으며, 제1노드(N1)로는 제1 트랜지스터(T1)와 연결되고, 제2노드(N2)로는 제2 트랜지스터(T2)와 연결되며, 제3노드(N3)로는 구동전압(EVD)을 공급받는다.
- [0056] 여기서, 일 예로, 구동 트랜지스터(DT)의 제1노드는 소스 노드(Source Node, '소스 전극'이라고도 함)이고, 제2노드는 게이트 노드(Gate Node, '게이트 전극'이라고도 함)이며, 제3노드(N3)는 드레인 노드(Drain Node, '드레인 전극'이라고도 함)일 수 있다. 트랜지스터의 타입 변경, 회로 변경 등에 따라, 구동 트랜지스터(DT)의 제1노드, 제2노드 및 제3노드가 바뀔 수 있다.
- [0057] 또한, 제1 트랜지스터(T1)는, 게이트 라인(GL)에서 공급되는 스캔신호(SCAN)에 의해 제어되며, 기준전압(Vref: Reference Voltage)을 공급하는 기준전압라인(RVL: Reference Voltage Line) 또는 기준전압라인(RVL)에 연결되는 연결패턴(CP: Connection Pattern)과 구동 트랜지스터(DT)의 제1노드(N1) 사이에 연결된다. 이러한 제1 트랜지스터(T1)는 “센서 트랜지스터(Sensor Transistor)”라고도 한다.
- [0058] 또한, 제2 트랜지스터(T2)는 게이트 라인(GL)에서 공통으로 공급되는 스캔신호(SCAN)에 의해 제어되며 해당 데이터 라인(DL)과 구동 트랜지스터(DT)의 제2노드(N2) 사이에 연결된다. 이러한 제2 트랜지스터(T2)는 “스위칭 트랜지스터(Switching Transistor)”라고도 한다.
- [0059] 또한, 스토리지 캐패시터(Cst)는 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 사이에 연결되어, 데이터 전압을 한 프레임 동안 유지시켜 주는 역할을 할 수 있다.
- [0060] 위에서 언급한 바와 같이, 제1 트랜지스터(T1)와 제2 트랜지스터(T2)는, 하나의 동일한 게이트 라인(공통 게이트 라인)을 통해 공급되는 하나의 스캔신호에 의해 제어된다. 이와 같이, 각 서브픽셀은 하나의 스캔신호를 사용하기 때문에, 본 발명의 실시예에서 각 서브픽셀은 “3T1C 기반의 1 스캔 구조”의 기본 서브픽셀 구조를 갖는다고 한다.
- [0061] 하지만, 이것은 고정된 것이 아니기 때문에 상기 제1 트랜지스터(T1)와 제2 트랜지스터(T2)에 각각 개별적으로 게이트 라인과 센싱 라인이 연결될 수 있고, 이러한 구조를 “3T1C 기반의 2 스캔 구조”라 명명한다.
- [0062] 한편, 본 발명에 따른 유기발광 표시장치(100)의 서브픽셀 구조는, 도 2를 참조하여 설명한 “기본 서브픽셀 구조(3T1C 기반의 1 스캔 구조)” 이외에, 각 서브픽셀이 데이터 라인(DL), 게이트 라인(GL), 구동전압라인(DVL), 기준전압라인(RVL) 등의 여러 신호 라인과 연결되는 것과 관련된 “신호 라인 연결 구조”도 포함한다.
- [0063] 여기서, 신호 라인은, 각 서브픽셀에 데이터 전압을 공급해주기 위한 데이터 라인(DL)과, 스캔신호를 공급해주기 위한 게이트 라인(GL)뿐만 아니라, 각 서브픽셀에 기준전압(Vref)을 공급하기 위한 기준전압라인(RVL)과, 구동전압(EVDD)을 공급하기 위한 구동전압라인(DVL) 등을 더 포함한다.
- [0064] 위에서 언급한 기준전압라인(RVL)과 구동전압라인(DVL)은 데이터 라인(DL)과 평행하게 형성되는데, 각각의 개수는 데이터 라인 개수와 동일할 수도 있고 데이터 라인의 개수보다 적을 수도 있다.
- [0065] 만약, 기준전압라인(RVL) 개수 및 구동전압라인(DVL) 개수가 데이터 라인(DL) 개수보다 적은 경우, 일부 서브픽

셀은 구동전압라인(DVL) 및 기준전압라인(RVL)과는 바로 연결될 수도 있고, 다른 일부 서브픽셀은 구동전압라인(DVL) 및 기준전압라인(RVL)과 바로 연결되지 않고 연결패턴(CP)을 통해 구동전압라인(DVL) 및 기준전압라인(RVL)과 각각 연결될 수 있다.

- [0066] 또한, 본 발명의 유기발광 표시장치(100)에 배치되는 서브픽셀들은 적색(R) 서브픽셀, 백색(W) 서브픽셀, 청색(B) 서브픽셀 및 녹색(G) 서브픽셀 순서로 하나의 단위 픽셀을 이룰 수 있다. 하지만, 이것은 고정된 것이 아니기 때문에 적색(R) 서브픽셀, 백색(W) 서브픽셀, 청색(B) 서브픽셀 및 녹색(G) 서브픽셀들의 순서는 다양하게 변경되어 배치될 수 있다.
- [0067] 또한, 본 명세서 및 도면에서는, 트랜지스터들(DT, T1, T2)이 N 타입인 것으로 도시되어 설명되었으나, 이는 설명의 편의를 위한 것일 뿐, 회로 설계 변경에 따라, 트랜지스터들(DT, T1, T2) 모두가 P 타입으로 변경되거나, 트랜지스터들(DT, T1, T2) 중 일부는 N 타입으로 다른 일부는 P 타입으로 구현될 수도 있다. 또한, 유기발광 다이오드(OLED)는 인버티드(Inverted) 타입으로도 변경될 수 있을 것이다.
- [0068] 또한, 본 명세서에 기재된 트랜지스터들(DT, T1, T2)은 박막 트랜지스터(TFT: Thin Film Transistor)라고도 한다.
- [0069] 각 서브픽셀들(SP)은 유기발광 다이오드(OLED)가 배치된 발광영역(EA: Emission Area)과 비발광영역(NEA: Non Emission Area)을 포함한다. 또한, 상기 비발광영역(NEA)에는 상기 기준전압라인(RVL), 구동전압라인(DVL), 데이터 라인들(DL)이 배치된 영역도 포함한다.
- [0070] 도 3은 본 발명에 따른 유기발광 표시장치의 표시패널을 도시한 도면이고, 도 4는 상기 도 3의 I-I'선의 단면도이다.
- [0071] 도 1과 함께 도 3 및 도 4를 참조하면, 본 발명의 유기발광 표시장치(100)의 표시패널(110)은, 서브픽셀들(SP)이 매트릭스 형태로 배치된 표시영역(A/A: Active Area)과, 상기 표시영역(A/A) 둘레에 배치되는 비표시영역(N/A: Non Active Area)을 포함한다. 상기 비표시영역(N/A)에는 기준전압라인(RVL), 구동전압라인(DVL), 데이터 라인들(DL) 및 게이트 라인(GL)들의 패드들 및 이들 라인들과 연결된 링크라인들(Link Line)이 배치될 수 있다.
- [0072] 또한, 비표시영역(N/A)에는 게이트 드라이버를 구성하는 GIP 회로들이 배치될 수 있다.
- [0073] 또한, 본 발명의 표시패널(110)의 비표시영역(N/A)에는 크랙차단부(CBP)가 배치되어 있다. 상기 크랙차단부(CBP)는 표시영역(A/A) 가장자리 경계로부터 실패턴(Seal Pattern, 미도시) 영역 또는 표시영역(A/A) 가장자리 경계로부터 셀패턴(Seal Pattern, 미도시) 영역 사이의 일부 영역에 배치될 수 있다.
- [0074] 도 4를 참조하면, 표시영역(A/A), 비표시영역(N/A) 및 크랙차단부(CBP) 영역이 구획된 기판(201) 상에 구동 트랜지스터(DT)와 컬러필터(CF), 제1 및 제2 차단부들(BP1, BP2)로 구성된 크랙차단부(CBP)가 배치되어 있다.
- [0075] 또한, 상기 구동 트랜지스터(DT) 상에는 유기발광 다이오드(OLED, 214)가 배치되어 있다.
- [0076] 상기 구동 트랜지스터(DT)와 컬러필터(CF) 및 유기발광 다이오드(214)는 표시영역(A/A) 내의 서브픽셀(SP)에 배치된다. 특히, 서브픽셀(SP)의 발광영역(EA)과 대응되는 영역에는 유기발광 다이오드(214)와 컬러필터(CF)가 배치되고, 상기 비발광영역(NEA)에는 구동 트랜지스터(DT)가 배치된다.
- [0077] 또한, 상기 크랙차단부(CBP) 영역에는 제1 및 제2 차단부들(BP1, BP2)이 배치되고, 상기 제1 차단부(BP1)는 제1 차단패턴(316a)을 구비하고, 상기 제2 차단부(BP2)는 복수개의 제2 차단패턴(316b)을 구비한다.
- [0078] 보다 구체적으로, 기판(201) 상의 구동 트랜지스터(DT) 형성 영역에는 액티브층(204), 게이트패턴(203), 게이트 전극(205), 층간절연막(224), 드레인 및 소스 전극(207a, 207b)이 배치되어 있다. 여기서, 상기 드레인 전극(207a)은 도 2의 구동전압라인(DVL)으로부터 인출되는 제3노드(N3)와 대응되고, 상기 소스 전극(207b)은 유기발광 다이오드(214)의 제1전극(211)과 연결되는 제2노드(N2)와 대응된다.
- [0079] 또한, 상기 액티브층(204)은 반도체층으로 이루어지며 그 중앙부는 채널을 이루는 액티브영역(204a) 그리고 액티브영역(204a) 양측면에는 고농도의 불순물이 도핑된 드레인 및 소스영역(204b, 204c)으로 구성된다.
- [0080] 상기 반도체층은 실리콘 계열의 물질 또는 아연(Zn)을 포함하는 산화물 반도체물질로 형성될 수 있는데, 예를 들어 산화아연(ZnO), 산화인듐갈륨아연(InGaZnO₄) 등이 사용될 수 있지만, 이에 한정되는 것은 아니다.
- [0081] 본 발명의 유기발광 표시장치는 상부 발광 방식 또는 하부 발광 방식일 수 있으나, 여기서는 하부 발광 방식 유

기발광 표시장치를 전제로 설명한다.

- [0082] 상기 유기발광 다이오드(214)는 상기 구동 트랜지스터(DT) 상에 적층 배치된 보호막(206) 및 평탄화막(208) 상에 배치되며, 투명성 도전물질로 형성된 제1전극(211), 유기발광층(212) 및 제2전극(213)을 포함한다. 상기 유기발광 다이오드(214) 상에는 제1 패시베이션층(240), 폴리머를 포함하는 유기막(241), 제2 패시베이션층(242), 접착층(243) 및 보호필름(244)들이 적층된다.
- [0083] 도면에 도시하였지만, 설명하지 않은 216은 뱅크층이고, 상기 유기발광 다이오드(214)의 제1전극(211)은 뱅크층(216)이 열린 서브픽셀 영역에 각각 배치된다.
- [0084] 또한, 상기 유기발광 다이오드(214)의 유기발광층(212)은 백색(W) 광을 발생하는 발광층일 수 있는데, 해당 서브픽셀이 적색(R), 녹색(G) 또는 청색(B) 서브픽셀로 사용할 경우에는 유기발광 다이오드(214)와 대응되는 층간 절연막(224)과 보호막(206) 사이 또는 보호막(206)과 평탄화막(208) 사이에 컬러필터(CF)를 배치할 수 있다. 상기 컬러필터(CF)는 적색(R), 녹색(G) 또는 청색(B) 컬러필터로 구성되고, 백색(W) 서브픽셀에서는 별도의 컬러필터를 배치하지 않고, 투명한 평탄화막(208)을 백색(W) 컬러필터로 사용한다.
- [0085] 왜냐하면, 상기 백색(W) 서브픽셀 영역에 적층 배치되는 상기 평탄화막(208), 보호막(206) 및 층간절연막(224)은 투명한 물질로 형성되기 때문이다.
- [0086] 상기 유기발광 다이오드(214)의 제1전극(211)은 금속, 그 합금, 금속과 산화물 금속의 조합으로 형성될 수 있는데, 하부 발광 방식이기 때문에 금속은 투명성 도전물질인 것이 바람직하다. 상기 제1전극(211)은 ITO, IZO, ITO/APC/ITO, AlNd/ITO, Ag/ITO 또는 ITO/APC/ITO 중 하나로 형성할 수 있다.
- [0087] 상기 유기발광층(212)은 발광 효율을 높이기 위해 정공주입층(Hole injection layer), 정공수송층(Hole transport layer), 발광층(Emitting material layer), 전자수송층(Electron transport layer), 및 전자주입층(Electron injection layer)의 다중층으로 구성될 수 있다.
- [0088] 또한, 상기 정공수송층(HTL)에는 전자차단층(EBL)을 더 포함할 수 있고, 상기 전자수송층(ETL)은 PBD, TAZ, Alq3, BA1q, TPBI, Bepp2와 같은 저분자재료를 사용하여 형성할 수 있다.
- [0089] 상기 제2전극(213)은 알루미늄(Al), 은(Ag) 또는 그 합금과 같이 반사율이 높고 불투명한 물질로 형성할 수 있다.
- [0090] 비표시영역(N/A)에는 스캔신호, 구동전압 및 기준전압 등을 인가하기 위한 구동회로배선(219)이 배치되고, 상기 구동회로배선(219)과 대응되는 뱅크층(216) 상에는 유기발광 다이오드(214)의 제2전극(213)으로부터 연장된 보조전극(233)이 배치된다.
- [0091] 상기 보조전극(233)은 비표시영역(N/A)에 배치되어 있는 기저전압전극(230)과 전기적으로 연결되어, 유기발광 다이오드(214)의 제2전극(213)에 기저전압(EVSS)을 공급한다.
- [0092] 또한, 본 발명의 유기발광 표시장치(100)는 표시패널(110)의 가장자리에 인가되는 스트레스(Stress) 및 외부 힘(압력)에 의해 크랙(Crack)이 발생되면 크랙(Crack)이 표시영역(A/A)으로 전파되어 소자들(유기발광 다이오드, 트랜지스터 및 커패시터 등) 또는 신호배선들을 손상시키는 것을 방지하도록 크랙차단부(CBP)를 포함한다.
- [0093] 상기 크랙차단부(CBP)는 제1 차단부(BP1)와 제2 차단부(BP2)로 구성되고, 제1 차단부(BP1)는 제1 차단패턴(316a)으로 구성된다. 상기 제1 차단패턴(316a)은 표시영역(A/A)의 네 측면과 대응되는 직선 형태로 배치될 수 있고, 이들은 서로 비연속적인 구조로 형성될 수 있다. 예를 들어, 표시영역(A/A)의 네 측면과 대응되도록 네 개의 직선형 제1 차단패턴(316a)으로 형성되거나 표시영역(A/A)의 각 측면과 대응되도록 복수개의 제1 차단패턴(316a)들이 비연속적인 형태(점선 형태)로 형성될 수 있다. 또한, 상기 제1 차단패턴(316a)은 표시영역(A/A)의 네 측면과 대응되도록 배치된 네 개의 직선형 차단패턴들이 모두 연결된 구조로 형성될 수 있다. 따라서, 제1 차단패턴(316a)은 비표시영역(N/A) 둘레를 따라 연속적인 폐루프(Closed Loop) 형태로 형성될 수 있다..
- [0094] 또한, 상기 제2 차단부(BP2)는 복수개의 제2 차단패턴들(316b)로 구성되고, 표시영역(A/A)과 반대 방향인 상기 제1 차단부(BP2) 외측에 배치된다. 상기 제2 차단패턴들(316b)의 평면 구조는 도 8 내지 도 17에서 상세히 설명한다.
- [0095] 상기 제1 및 제2 차단패턴들(316a, 316b)의 높이(두께, H)는 1~5 μ m 범위를 가질 수 있다. 도면에서는 제1 및 제2 차단패턴들(316a, 316b)의 높이(H)를 모두 동일하게 하였지만, 이것은 고정된 것이 아니기 때문에 제1 및 제2 차단패턴(316a, 316b)의 높이를 다르게 하거나 제2 차단부(BP2)를 구성하는 복수개의 제2 차단패턴들(316b)의

높이를 서로 다르게 구현할 수 있다.

- [0096] 또한, 상기 제1 및 제2 차단부(BP1, BP2)는 표시영역(A/A)에 형성되는 뱅크층(216) 형성시 함께 형성될 수 있다. 따라서, 제1 및 제2 차단부(BP1, BP2)의 제1 및 제2 차단패턴들(316a, 316b)은 뱅크층(216)과 동일한 물질로 형성될 수 있다.
- [0097] 상기 제1 및 제2 차단패턴들(316a, 316b)은 기관(201)과 동일한 폴리이미드(PI) 또는 포토아크릴(Photo Acryl)으로 형성될 수 있는데, 비표시영역(N/A)에 투명한 재질로 형성되기 때문에 제1 및 제2 차단패턴들(316a, 316b)로 인하여 화질 저하가 발생되지 않는다.
- [0098] 상기와 같이, 뱅크층(216) 형성시 제1 및 제2 차단패턴들(316a, 316b)이 형성되면, 별도의 추가 공정을 진행하지 않고도 표시패널(110)에서 발생하는 크랙(Crack)이 표시영역(A/A)으로 전파되는 것을 방지할 수 있다.
- [0099] 또한, 본 발명에서와 같이, 크랙차단부(CBP)를 복수의 차단패턴들로 형성하면, 표시패널(110)의 크랙 방지뿐 아니라 접착층(243)과의 접착력을 강화시킬 수 있는 효과가 있다.
- [0100] 아울러, 본 발명에서와 같이, 크랙차단부(CBP)를 복수의 차단패턴들로 형성하고, 그 높이(H, 두께)를 일정하게 하면 균일한 셀갭을 갖는 유기발광 표시장치를 구현할 수 있는 효과가 있다.
- [0101] 따라서, 상기 제1 및 제2 차단부(BP1, BP2) 상에는 제1 및 제2 패시베이션층(240, 242)들이 적층되어 있다. 하지만, 이것은 고정된 것이 아니기 때문에 크랙차단부(CBP)와 대응되는 제1 패시베이션층(240)을 제거하고, 제1 및 제2 차단부들(BP1, BP2) 상에는 제2 패시베이션층(242)만 적층하도록 하거나 크랙차단부(CBP) 영역의 제1 및 제2 패시베이션층을 제거하여 제1 및 제2 차단부들(BP1, BP2)이 접착층(243)과 직접 접촉되도록 할 수 있다. 또한, 제1 차단부(BP1)는 제1 및 제2 패시베이션층(240, 242)에 의해 덮여 있고, 제2 차단부(BP2)는 제1 및 제2 패시베이션층(240, 242)이 제거된 구조로 형성할 수 있다.
- [0102] 이와 같이, 제1 및 제2 차단부들(BP1, BP2) 상에 적층되는 제1 및 제2 패시베이션층들(240, 242)의 구조는 아래에서 설명하는 본 발명의 다른 실시예에서도 동일하게 적용할 수 있다.
- [0103] 도 5 내지 도 7은 본 발명의 다른 실시예들에 따른 표시패널의 단면도들이다.
- [0104] 아래, 본 발명의 다른 실시예들 중 도 4에서 설명한 도면 부호와 동일한 부호들은 동일한 구성부들이므로 이하, 구별되는 크랙차단부를 중심으로 설명한다.
- [0105] 도 5를 참조하면, 크랙차단부(CBP)는 제1 및 제2 차단부들(BP1, BP2)을 포함하고, 상기 제1 및 제2 차단부들(BP1, BP2)은 각각 제1 차단컬러패턴(CFP1)과 제2 차단컬러패턴들(CFP2)로 구성된다.
- [0106] 상기 제1 및 제2 차단컬러패턴들(CFP1, CFP2)은 표시영역(A/A)의 서브픽셀 단위로 배치되는 컬러필터(CF) 형성시 함께 형성된다. 따라서, 제1 및 제2 차단컬러패턴들(CFP1, CFP2)은 적색(R), 청색(B) 또는 녹색(G) 컬러레진 중 어느 하나로 형성될 수 있다.
- [0107] 또한, 제1 및 제2 차단컬러패턴들(CFP1, CFP2)을 일부는 적색(R) 컬러레진으로 형성하고, 일부는 청색(B) 및 녹색(G) 컬러레진들로 형성할 수 있다. 또한, 제1 및 제2 차단컬러패턴들(CFP1, CFP2)는 적색(R), 청색(B) 및 녹색(G) 컬러레진이 적층된 구조로 형성할 수 있다.
- [0108] 만약, 상기 제1 및 제2 차단컬러패턴들(CFP1, CFP2)의 두께가 컬러필터(CF)의 두께보다 두껍게 형성할 경우에는 하프톤 마스크 또는 회절 마스크 공정을 적용하여, 컬러필터(CF)와 제1 및 제2 차단컬러패턴들(CFP1, CFP2)의 두께를 서로 다르게 할 수 있다.
- [0109] 상기 제1 및 제2 차단컬러패턴들(CFP1, CFP2)의 높이 등은 도 4에서 설명한 제1 및 제2 차단패턴들(316a, 316b)과 동일하므로 구체적인 설명은 생략한다.
- [0110] 이와 같이, 컬러필터(CF) 형성시 제1 및 제2 차단컬러패턴들(CFP1, CFP2)이 형성되면, 별도의 추가 공정 없이도 표시패널(110)에서 발생하는 크랙(Crack)이 표시영역(A/A)으로 전파되는 것을 방지할 수 있다.
- [0111] 또한, 본 발명에서와 같이, 크랙차단부(CBP)를 복수의 차단컬러패턴들로 형성하면, 표시패널(110)의 크랙 방지뿐 아니라 접착층(243)과의 접착력을 강화시킬 수 있는 효과가 있다.
- [0112] 아울러, 본 발명에서와 같이, 크랙차단부(CBP)를 복수의 차단컬러패턴들로 형성하고, 그 높이(두께)를 균일하게 조절하면 균일한 셀갭을 갖는 유기발광 표시장치를 구현할 수 있는 효과가 있다.

- [0113] 도 6을 참조하면, 크랙차단부(CBP)는 제1 및 제2 차단부들(BP1, BP2)을 포함하고, 상기 제1 및 제2 차단부들(BP1, BP2)은 각각 제1 스페이스패턴(SP1)과 제2 스페이스패턴들(SP2)로 구성된다.
- [0114] 상기 제1 및 제2 스페이스패턴들(SP1, SP2)은 별도의 유기물질과 마스크 공정을 적용하여 형성할 수 있다.
- [0115] 또한, 하프톤 마스크 공정 또는 회절 마스크 공정을 적용하여 제1 및 제2 스페이스패턴들(SP1, SP2)이 서로 다른 높이(두께)를 갖도록 할 수 있다. 상기 제1 및 제2 스페이스패턴들(SP1, SP2)의 높이 등은 도 4에서 설명한 제1 및 제2 차단패턴들(316a, 316b)에서와 동일하므로 구체적인 설명은 생략한다.
- [0116] 이와 같이, 크랙차단부(CBP)에 제1 및 제2 스페이스패턴들(SP1, SP2)이 형성되면, 표시패널(110)에서 발생하는 크랙(Crack)이 표시영역(A/A)으로 전파되는 것을 방지할 수 있다.
- [0117] 또한, 본 발명에서와 같이, 크랙차단부(CBP)를 복수의 스페이스패턴들로 형성하면, 표시패널(110)의 크랙 방지뿐 아니라 접촉층(243)과의 접촉력을 강화시킬 수 있는 효과가 있다.
- [0118] 아울러, 크랙차단부(CBP)의 복수의 스페이스패턴들을 일정한 높이(두께)로 형성할 경우, 균일한 셀갭을 갖는 유기발광 표시장치를 구현할 수 있는 효과가 있다.
- [0119] 도 7을 참조하면, 크랙차단부(CBP)는 제1 및 제2 차단부들(BP1, BP2)로 구성되고, 상기 제1 및 제2 차단부들(BP1, BP2)은 각각 제1 내지 제3 차단패턴들(416a, 416b, 416c)을 포함한다.
- [0120] 도면에서는 제1 차단부(BP1)는 제1 차단패턴(416a)으로 구성되고, 제2 차단부(BP2)는 제2 및 제3 차단패턴들(416b, 416c)로 구성되는 것을 도시하였지만, 이것은 고정된 것이 아니다. 따라서, 제1 차단부(BP1)와 제2 차단부(BP2) 모두 복수의 차단패턴들로 구현될 수 있다.
- [0121] 상기 제1 내지 제3 차단패턴들(416a, 416b, 416c)은 서로 다른 폭들(W1, W2, W3)을 가질 수 있다. 또한, 제1 내지 제3 차단패턴들(416a, 416b, 416c)의 높이(두께)는 서로 다르게 형성될 수 있다.
- [0122] 상기 제1 내지 제3 차단패턴들(416a, 416b, 416c)은 각각 독립적인 마스크 공정에 따라 형성되거나, 노광량이 다른 영역들이 적어도 3개 이상 포함하는 회절마스크 또는 하프톤 마스크를 이용하여 한번의 마스크 공정으로 형성할 수 있다.
- [0123] 이와 같이, 크랙차단부(CBP)에 제1 내지 제3 차단패턴들(416a, 416b, 416c)로 구성된 제1 및 제2 차단부들(BP1, BP2)이 형성되면, 표시패널(110)에서 발생하는 크랙(Crack)이 표시영역(A/A)으로 전파되는 것을 방지할 수 있다. 크랙 전파가 차단되는 원리는 도 8 및 도 9에서 상세히 설명한다.
- [0124] 또한, 본 발명에서와 같이, 크랙차단부(CBP)를 복수의 제1 내지 제3 차단패턴들(416a, 416b, 416c)로 형성하면, 표시패널(110)의 크랙 방지뿐 아니라 접촉층(243)과의 접촉력을 강화시킬 수 있는 효과가 있다.
- [0125] 아래에서는 위에서 설명한 크랙차단부(CBP)의 차단패턴들에 대한 평면도이다. 따라서, 크랙차단부(CBP)를 구성하는 각 차단패턴들에 대한 설명은 도 4 내지 도 7에서 설명한 차단패턴들, 차단킬러패턴들, 스페이스패턴들에 모두 동일하게 적용된다.
- [0126] 도 8은 본 발명에 따른 유기발광 표시장치의 크랙차단부를 도시한 평면도이고, 도 9는 상기 도 8의 크랙차단부에 배치된 크랙차단부의 확대도이다.
- [0127] 도 3과 함께 도 8 및 도 9를 참조하면, 본 발명의 유기발광 표시장치(100)의 표시패널(110) 둘레를 따라 크랙차단부(CBP)가 배치되어 있고, 상기 크랙차단부(CBP)는 제1 및 제2 차단부(BP1, BP2)를 포함한다. 상기 제1 차단부(BP1)는 표시패널(110)의 표시영역(A/A)과 인접하고, 제2 차단부(BP2)는 제1방향, 즉, 표시패널(110) 외측 방향과 인접해 있다. 여기서, 제2방향은 제1방향과 수직한 방향으로 정의한다.
- [0128] 상기 제1 차단부(BP1)는 도 3에서 설명한 바와 같이, 표시영역(A/A)의 네 측면과 대응되고, 비연속적으로 형성된 복수의 제1 차단패턴(P1)으로 형성될 수 있다. 또한, 제1 차단부(BP1)는 하나의 제1 차단패턴(P1)이 비표시영역(N/A)을 따라 연속된 페루프 구조로 형성될 수 있다. 또한, 이것은 고정된 것이 아니기 때문에 표시패널(110)의 비표시영역(N/A)을 따라 비연속적으로 형성되거나 페루프 구조의 제1 차단패턴들이 복수개 형성될 수 있다.
- [0129] 또한, 상기 제2 차단부(BP2)는 복수의 제2 차단패턴들(P2)이 매트릭스 형태로 배치된다. 보다 구체적으로, 상기 복수의 제2 차단패턴들(P2)의 평면 구조는 정사각형 구조로 형성될 수 있다. 하지만, 이것은 고정된 것이 아니기 때문에 정사각형, 사각형, 직사각형 및 삼각형으로 형성될 수 있고, 이들의 혼합 구조로 형성될 수 있다.

- [0130] 특히, 본 발명의 제2 차단부(BP2)를 구성하는 복수의 제2 차단패턴들(P2)은 제2방향과 평행한 방향으로 복수의 차단패턴 열들의 구조로 배치되고, 제1방향으로는 각 차단패턴 열에 배치된 제2 차단패턴들(P2)과 인접한 차단패턴 열에 배치된 제2 차단패턴들(P2)이 일부 영역 중첩되도록 배치된다.
- [0131] 여기서, 상기 제2 차단부(BP2)를 이루는 제2 차단패턴들(P2)의 차단패턴 열들 사이의 거리는 1~5 μ m에서 정해질 수 있다.
- [0132] 도면에 도시된 바와 같이, 제2 차단부(BP2)를 구성하는 제2 차단패턴들(P2)에 대해 차단패턴 열들 중 임의의 i 번째(i 는 2 이상의 자연수) 열에서의 인접한 한쌍의 제2차단패턴들을 P_{in} 과 $P_{i(n-1)}$ 이라 하고(n 은 2 이상의 자연수), 이와 인접한 $i-1$ 번째 열의 제2차단패턴을 $P_{(i-1)m}$ 이라고 하면(m 은 2 이상의 자연수), 제1방향으로 P_{in} 과 $P_{i(n-1)}$ 의 제2차단패턴들의 사이의 공간과 $P_{(i-1)m}$ 의 제2 차단패턴은 일부가 서로 중첩된다.
- [0133] 즉, 제1방향에서 $P_{(i-1)m}$ 의 제2 차단패턴의 일부(상측과 하측 일부)는 각각 P_{in} 과 $P_{i(n-1)}$ 의 제2 차단패턴들과 중첩되도록 배치된다.
- [0134] 왜냐하면, 표시패널(110)의 외곽에서 크랙(crack)이 발생되면, 제2 차단부(BP2)의 최외곽에 배치된 제2 차단패턴들(P2)에 전파된 다음, 인접한 차단패턴 열의 제2 차단패턴들(P2)에 의해 크랙이 차단되어 표시영역으로 크랙이 전파되는 것을 차단할 수 있기 때문이다.
- [0135] 상기 제2 차단패턴(P2)은 가로와 세로가 각각 a 와 b 의 길이를 갖는데, a 와 b 가 동일할 경우, 정사각형 평면구조를 갖는다. 상기 제2 차단패턴(P2)의 a 와 b 의 길이는 서로 다를 수 있고, 각각 1~5 μ m 범위에서 정해질 수 있다. 하지만, 이것은 고정된 것이 아니기 때문에 경우에 따라 5 μ m 범위 이상에서 정해질 수 있다.
- [0136] 예를 들어, 표시패널(110)의 외곽에 배치된 제2 차단패턴(P2)에서부터 제1 차단부(BP1) 방향으로 진행할수록 제2 차단패턴들(P2)의 평면적(예를 들어 정사각형 면적)이 순차적으로 줄어들거나 커질 수 있다. 이와 같이, 제2 차단패턴들(P2)의 평면적들을 다르게 할 경우, 5 μ m 이상에서 설정될 수 있다.
- [0137] 도 9를 참조하면, 표시패널(110)의 외곽에서 크랙이 발생하면 크랙 전파 경로(Crack)가 위에서 설명한 제2 차단패턴들(P2)의 배치 구조에 의해 길어지는 것을 볼 수 있다. 즉, 임의의 차단패턴 열을 통과한 크랙은 인접한 차단패턴 열의 제2 차단패턴(P2)에 의해 차단된 후, 제2 차단패턴(P2)을 우회하여 다른 인접 차단패턴 열로 이동하기 때문에 크랙들의 전파가 어려워 표시영역의 소자 및 신호배선들의 손상을 방지할 수 있다.
- [0138] 도 10 내지 도 17은 본 발명의 다른 실시예에 따른 크랙차단부들의 평면도이다.
- [0139] 여기서 도시되고 설명하는 크랙차단부의 차단패턴들은 도 4 내지 도 7에서 설명한 차단패턴들, 차단컬러패턴들 및 스페이서패턴들의 단면 구조를 가질 수 있다. 즉, 설명의 편의상 차단패턴으로 언급하지만, 차단패턴은 도 4 및 도 7의 차단패턴, 도 5의 차단컬러패턴 또는 도 6의 스페이서패턴일 수 있다.
- [0140] 또한, 도 8 및 도 9에서 설명한 제1 차단부(BP1)의 제1 차단패턴(P1)과 제2 차단부(BP2)의 제2 차단패턴들의 설계 방식은 아래에서 설명하는 제1 차단부(BP1)와 제2 차단부(BP2)에서는 동일하게 적용된다.
- [0141] 도 3과 함께 도 10을 참고하면, 본 발명의 유기발광 표시장치(100)의 표시패널(110) 둘레를 따라 크랙차단부(CBP)가 배치되어 있고, 상기 크랙차단부(CBP)는 제1 내지 제5 차단부(BP1, BP2, BP3, BP4, BP5)들을 포함한다.
- [0142] 상기 제1 차단부(BP1)는 표시패널(110)의 표시영역(A/A)과 인접한 비표시영역(N/A)에 배치되고, 제2 내지 제 5 차단부(BP2, BP3, BP4, BP5)들은 상기 제1 차단부(BP1)로부터 표시패널(110) 외측 방향(2방향)으로 순차적으로 배치되어 있다.
- [0143] 상기 제1, 제3 및 제5 차단부들(BP1, BP3, BP5)은 도 8에서 설명한 제1 차단부(BP1)의 제1 차단패턴(P1)과 같이, 하나의 차단패턴으로 구성되고, 비표시영역(N/A)을 따라 비연속적인 구조 또는 연속된 페루프 구조를 갖는다. 하지만, 이것은 고정된 것이 아니기 때문에 표시패널(110)의 비표시영역(N/B)을 따라 연속된 복수의 제1 차단패턴들로 형성될 수 있다. 복수의 제1 차단패턴들은 서로 평행하게 배치될 수 있다.
- [0144] 상기 제2 및 제4 차단부들(BP2, BP4)은 도 8과 도 9에서 설명한 복수의 제2 차단패턴들(P2)로 구성될 수 있다. 복수의 제2 차단패턴들(P2)의 구체적인 배치 구조는 도 9에서 설명한 것과 동일하므로 설명은 생략한다.
- [0145] 또한, 도 10에서는 제1 내지 제5 차단부들(BP1~BP5)을 도시하였지만, 이것은 고정된 것이 아니기 때문에 제1 차단부(BP1)와 제2 차단부(BP2)를 한쌍으로 하여 적어도 3쌍 이상 배치할 수 있다. 즉, 표시패널(110)의 비표시영역

역(N/A) 공간 마진 정도에 따라 다양한 개수로 차단부들을 배치할 수 있다.

- [0146] 또한, 도 10과 같이 단일한 제1 차단패턴(P1)으로 구성된 제1 차단부(BP1)와 복수의 제2 차단패턴들(P2)로 구성된 제2 차단부(BP2)들을 교대로 배치할 때, 표시패널(110)의 최외곽 영역에는 복수의 제2 차단패턴들(P2)로 구성된 제2 차단부(BP2)가 위치하는 것이 바람직하다. 왜냐하면, 크랙이 발생된 지점과 인접한 영역에 큰 스트레스나 힘이 작용하기 때문에 단일한 제1 차단패턴보다는 복수의 제2 차단패턴들(P2)이 크랙의 전파를 상쇄시키는 정도가 크기 때문이다.
- [0147] 도 11을 참고하면, 본 발명의 유기발광 표시장치(100) 표시패널(110)의 비표시영역(N/A)을 따라 배치된 크랙차단부(CBP)는 도 8에 도시된 제1 차단부(BP1)와 제2 차단부(BP2)의 구조에서 제1 차단부(BP1)와 제2 차단부(BP1, BP2) 사이에 제1 보조차단부(CP1)를 배치하고, 제2 차단부(BP2) 외곽에 제2 보조차단부(CP2)를 배치하였다.
- [0148] 상기 제1 및 제2 차단부(BP1, BP2)의 차단패턴들의 구조는 도 8과 도 9와 동일하지만, 제1 및 제2 보조차단부(CP1, CP2)의 구조는 제1 차단부(BP1)의 차단패턴과 평행하면서 비연속적인 제3 차단패턴(P3)으로 형성된다.
- [0149] 예를 들어, 도면에 도시된 바와 같이, 제3 차단패턴(P3)은 세로길이(c)와 가로길이(d)를 갖고, 세로길이(c)가 가로길이(d)보다 긴 직사각형 구조를 갖는다. 따라서, 상기 제1 및 제2 보조차단부(CP1, CP2)에는 제3 차단패턴(P3)들이 복수개 비연속적으로 배치된다.
- [0150] 상기 제3 차단패턴(P3)의 세로길이(c)는 인접한 제2 차단부(BP2)의 제2 차단패턴들(P2)의 세로(a)와 가로(b) 길이보다 더 큰 것이 바람직하다.
- [0151] 또한, 상기 제3 차단패턴들(P3)은 도 9에서 설명한 제2 차단부(BP2)의 제2 차단패턴들(P2)과 유사하게 인접한 제3 차단패턴들(P3)과 엇갈리도록 배치된다.
- [0152] 즉, 제1 및 제2 보조차단부(CP1, CP2)의 제3 차단패턴들(P3)은 제3 차단패턴들(P3) 사이를 통과한 후, 인접한 제3 차단패턴(P3)에 의해 크랙 전파가 차단되도록 배치된다.
- [0153] 도 12의 크랙차단부(CBP)의 구조는 도 11에서 제2 차단부(BP2)를 구성하는 제2 차단패턴들(P2) 사이에 제3 보조차단부(CP3)를 적어도 하나 이상 배치하였다.
- [0154] 상기 제3 보조차단부(CP3)는 제2 보조차단부(CP2)의 제3 차단패턴들(P3)과 동일한 구조를 갖고, 제1 및 제2 보조차단부(CP1, CP2)와 달리 단일한 차단패턴 열로 배치한다.
- [0155] 도 12에서는 제2 차단부(BP2)를 구성하는 복수의 제2 차단패턴들(P2) 사이에 제3 보조차단부(CP2)의 제3 차단패턴들(P3)이 배치되어 있어, 크랙 전파 차단 특성을 향상시켰다. 특히, 제1 방향으로 진행하는 크랙 전파의 차단 특성이 향상된다.
- [0156] 도 13의 본 발명에 따른 크랙차단부(CBP)는 도 8에 도시된 제1 차단부(BP1), 제2 차단부(BP2)를 포함하고, 추가적으로 제2 차단부(BP2)의 제2 차단패턴들(P2)의 적어도 하나 이상을 감싸는 제4 보조차단부(CP4)를 포함한다.
- [0157] 상기 제4 보조차단부(CP4)는 일측이 개방된 요철구조의 제4 차단패턴들(P4)로 형성되고, 제4 차단패턴(P4)의 내측에는 상기 제2 차단부(BP2)의 제2 차단패턴들(P2)이 적어도 하나 이상 배치된다.
- [0158] 도 13에서는 일측 방향으로 크랙(Crack)이 발생하고, 크랙이 표시영역(A/A) 방향으로 진행할 때, 도 8과 도 9에서와 같이 제2 차단부(BP2)의 제2 차단패턴들(P2)에 의해 크랙 진행이 차단된다. 아울러, 본 발명의 다른 실시예에서는 제2 차단패턴들(P2)을 통과하면서 크랙이 다른 방향으로도 진행할 경우 제4 보조차단부(CP4)에서 차단된다.
- [0159] 특히, 크랙의 전체적인 진행 방향은 표시패널(110) 외측에서 크랙이 발생하지 않은 표시패널(110)의 표시영역(A/A) 방향이지만, 크랙차단부(CBP)가 배치된 국부적인 영역에서는 상하좌우 방향으로 크랙이 전파될 수 있다.
- [0160] 따라서, 도 13과 같이 제2 차단패턴들(P2) 사이에 소정의 절곡 구조를 갖는 제4 보조차단부(CP4)를 배치하면 표시영역(A/A) 방향으로 진행하는 크랙 차단뿐 아니라 상하측 방향(제1방향 또는 다른 방향)으로 크랙이 전파되는 것을 방지할 수 있는 효과가 있다.
- [0161] 또한, 도 14를 참고하면, 본 발명의 다른 실시예에 따른 크랙차단부(CBP)는 도 8에 도시한 제1 및 제2 차단부(BP1, BP2)가 배치되어 있고, 상기 제2 차단부(BP2)의 외곽으로 상기에서 설명한 제3 차단패턴들(P3)로 구성된 제5 보조차단부(CP5)를 배치하였다.
- [0162] 실시예에서는 표시패널(110)의 외곽에서 길이가 긴 차단패턴들을 다수개 배치함으로써, 크랙(Crack)이 표시패널

(110) 외측에서 상당 부분 제거하기 위함이다. 상기 제5 보조차단부(CP5)를 통과한 크랙은 제2 차단부(BP2)에서 크랙 강도(세기)와 크랙 량이 줄어들어 있어, 크랙 전파 차단을 보다 효율적으로 할 수 있는 효과가 있다.

[0163] 또한, 도 15 내지 도 17을 참조하면, 크랙차단부(CBP)는 제1 및 제2 차단부(BP1, BP2)로 구성되고, 제2 차단부(BP2)는 반호 구조를 갖는 제4 차단패턴들(P4), 도넛 구조를 갖는 제5 차단패턴들(P5) 또는 격자 구조의 제6 차단패턴들(P6)로 형성될 수 있다. 상기 제4 내지 제6 차단패턴들(P4, P5, P6)의 배치 구조는 도 8과 도 9에서 설명한 바와 같이, 제1 방향에서 인접한 차단패턴들 옆에 배치된 차단패턴들과 일부 중첩되는 것이 바람직하다.

[0164] 도 15를 참조하면, 반호 구조를 갖는 제4 차단패턴들(P4)은 제1 방향에서 임의의 차단패턴 옆에 배치된 한쌍의 제4 차단패턴들(P4)과 이와 인접한 차단패턴 옆에 배치된 제4 차단패턴(P4)과 상측과 하측에서 중첩되어 있는 것을 볼 수 있다. 도 16 및 도 17에서도 도넛 구조의 제5 차단패턴들(P5)과 제6 차단패턴들(P6) 역시 동일한 형태로 중첩 배치된다. 아울러, 도 15 내지 도 17에 도시된 제2 차단부(BP2)의 차단패턴들(P4, P5, P6)은 도 10 내지 도 14에 도시한 실시예들 형태로 변형 적용될 수 있다.

[0165] 이와 같이, 본 발명에 따른 유기발광 표시장치는, 표시패널의 비표시영역(N/A)을 따라 크랙차단부(CBP)를 배치하여 표시패널의 외곽에서 발생한 크랙이 표시영역으로 전파되는 것을 방지한 효과가 있다.

[0166] 또한, 본 발명에 따른 유기발광 표시장치는, 표시패널의 비표시영역(N/A)에 복수의 차단패턴들로 구성된 크랙차단부를 배치하여, 크랙의 전파를 차단하여 표시영역(A/A)에 배치된 소자 및 신호배선을 보호한 효과가 있다.

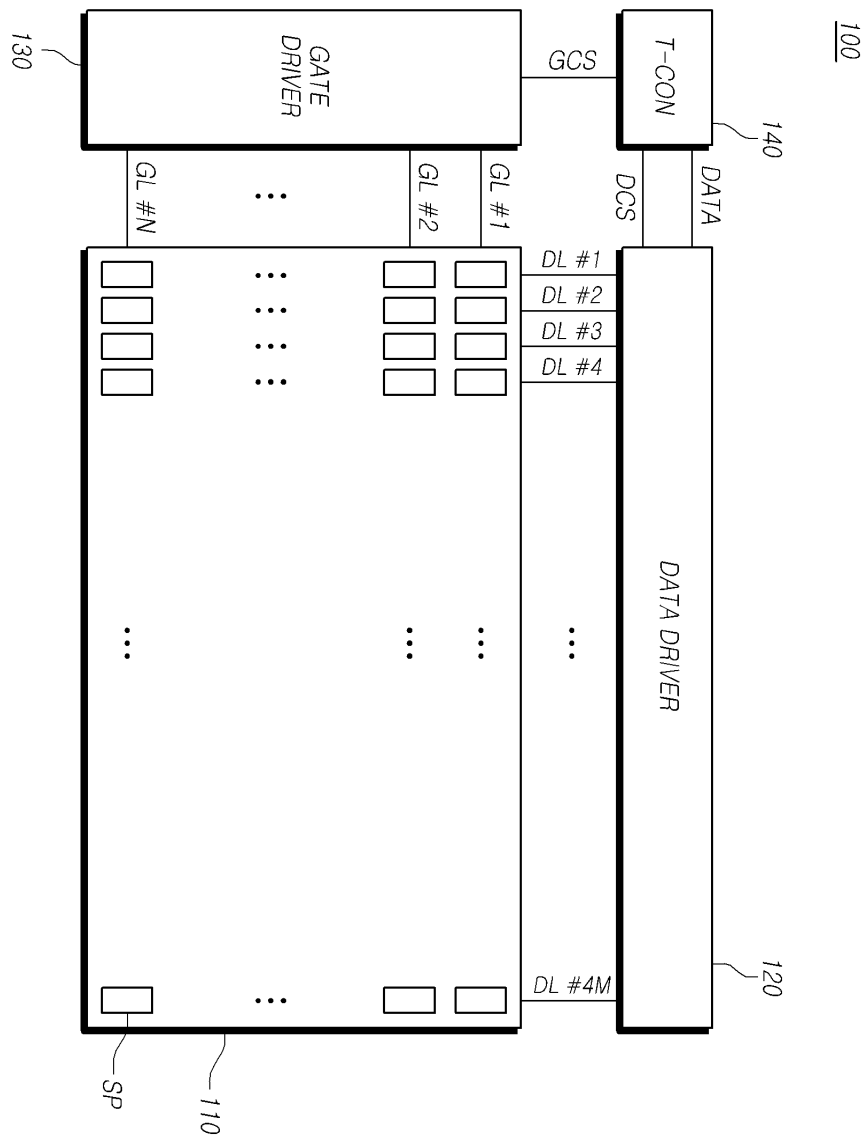
[0167] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

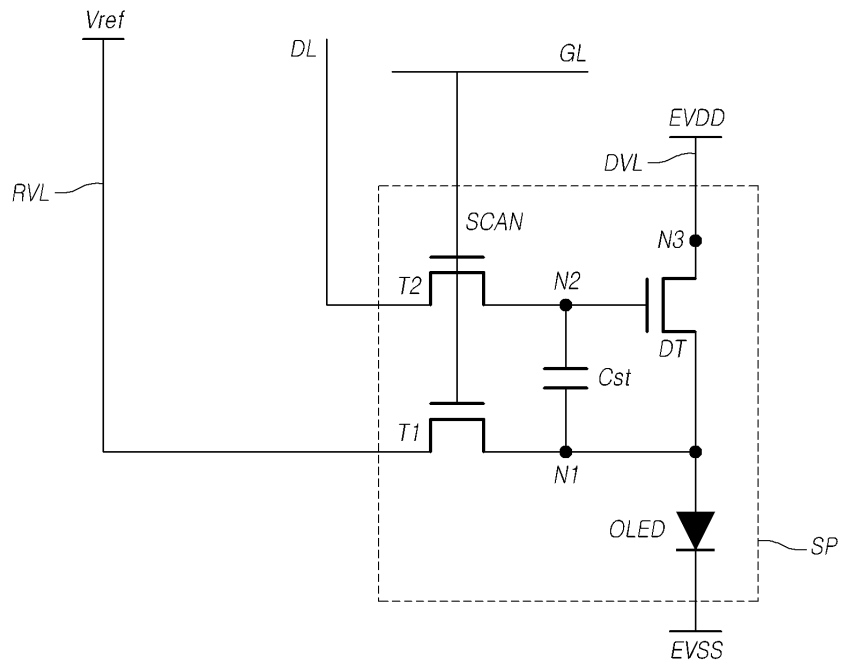
- [0168] 100: 유기발광 표시장치
110: 표시패널
120: 데이터 드라이버
130: 게이트 드라이버
140: 타이밍 컨트롤러

도면

도면1

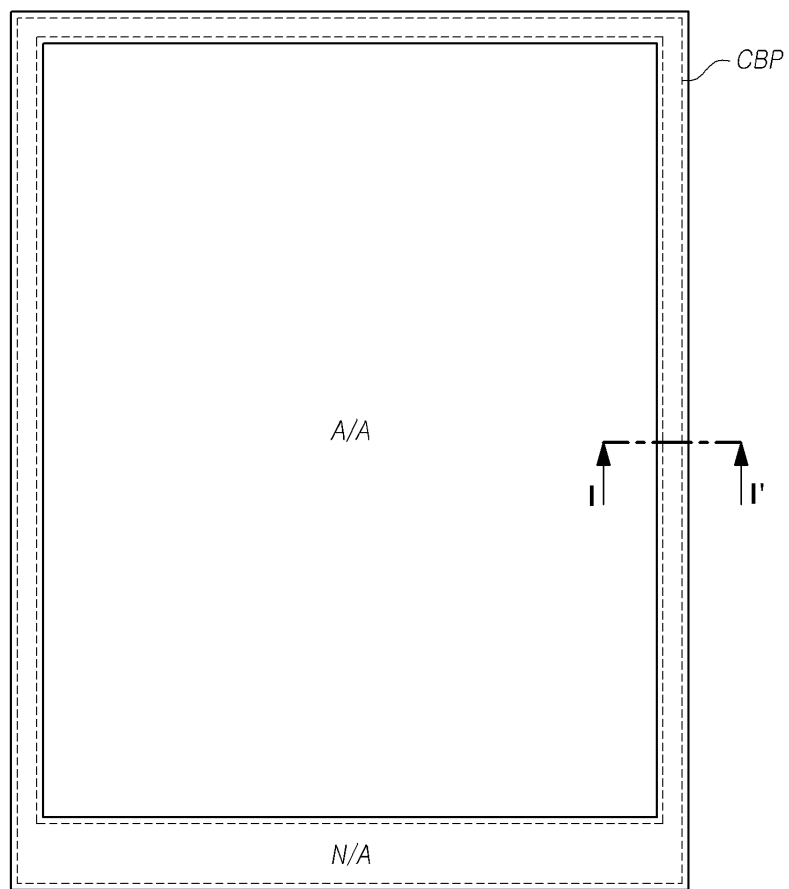


도면2

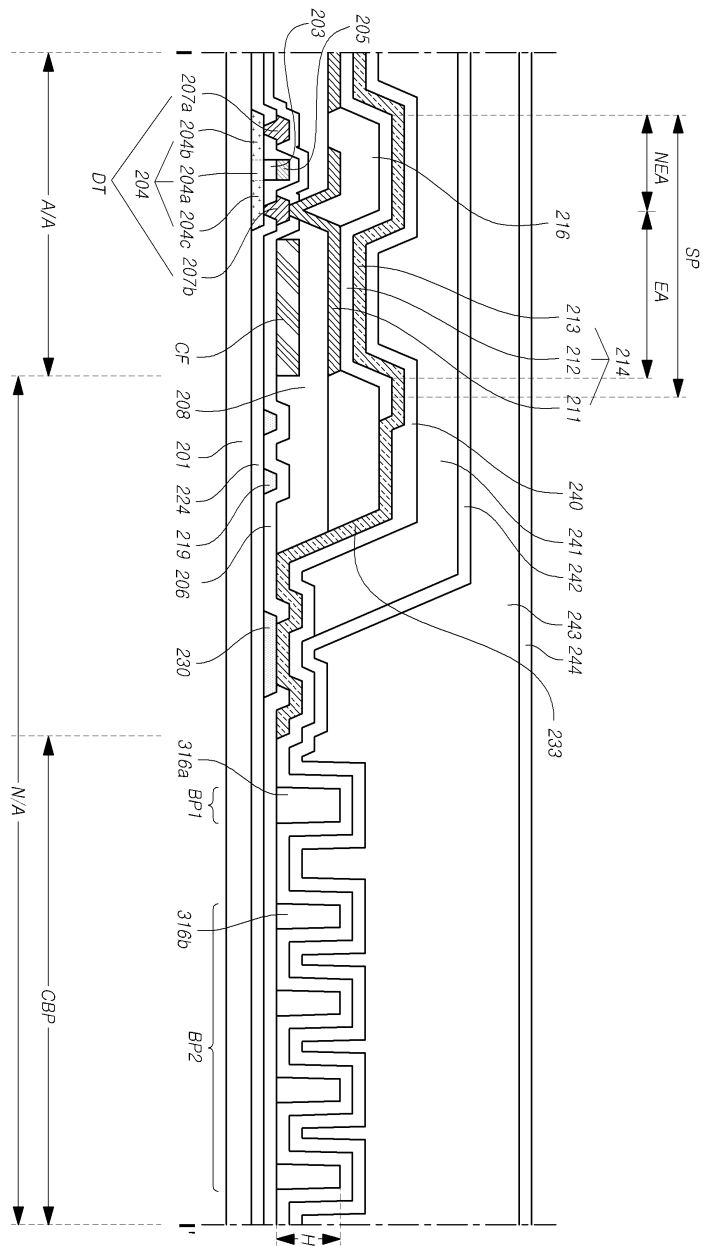


도면3

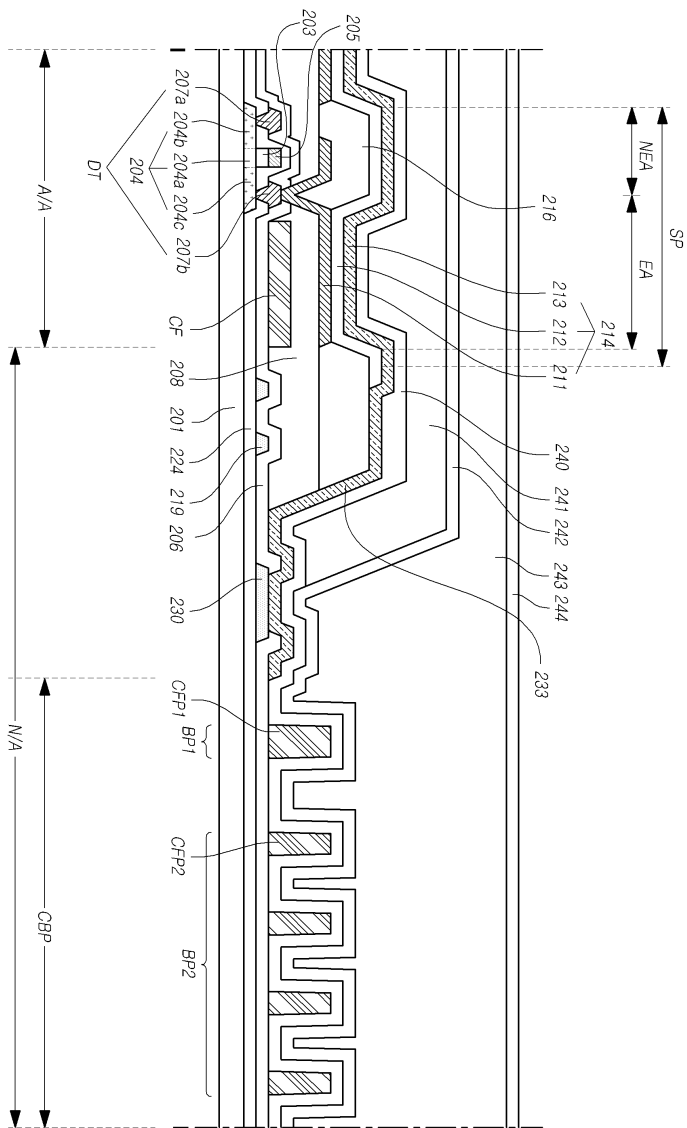
110



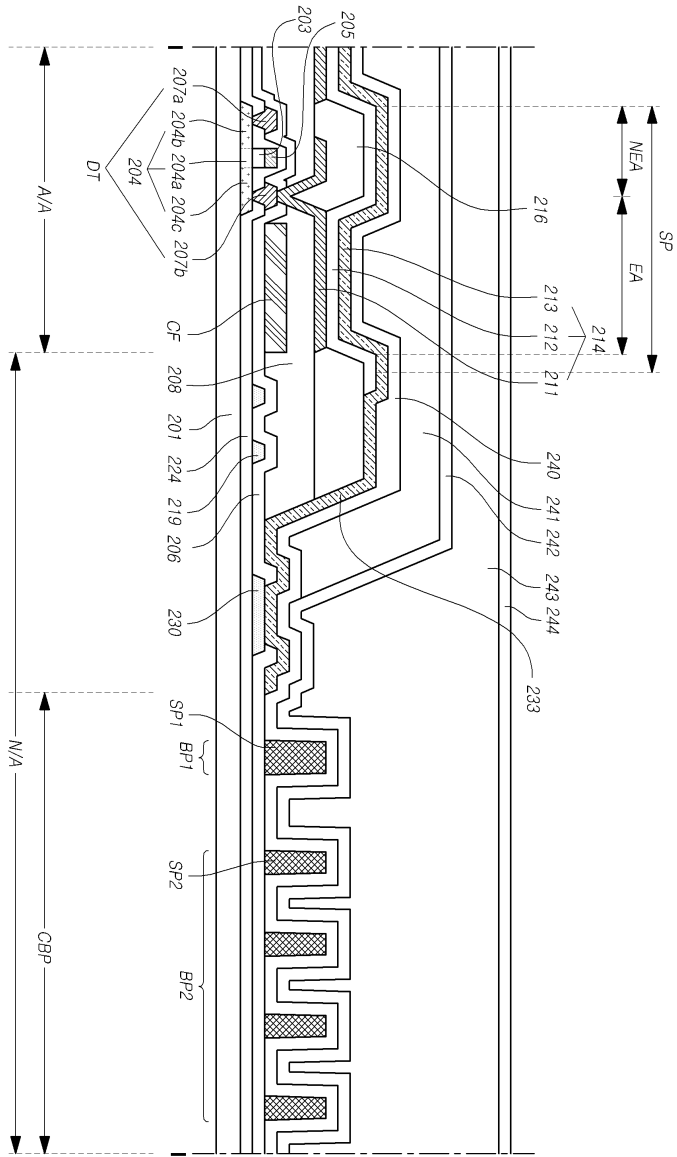
도면4



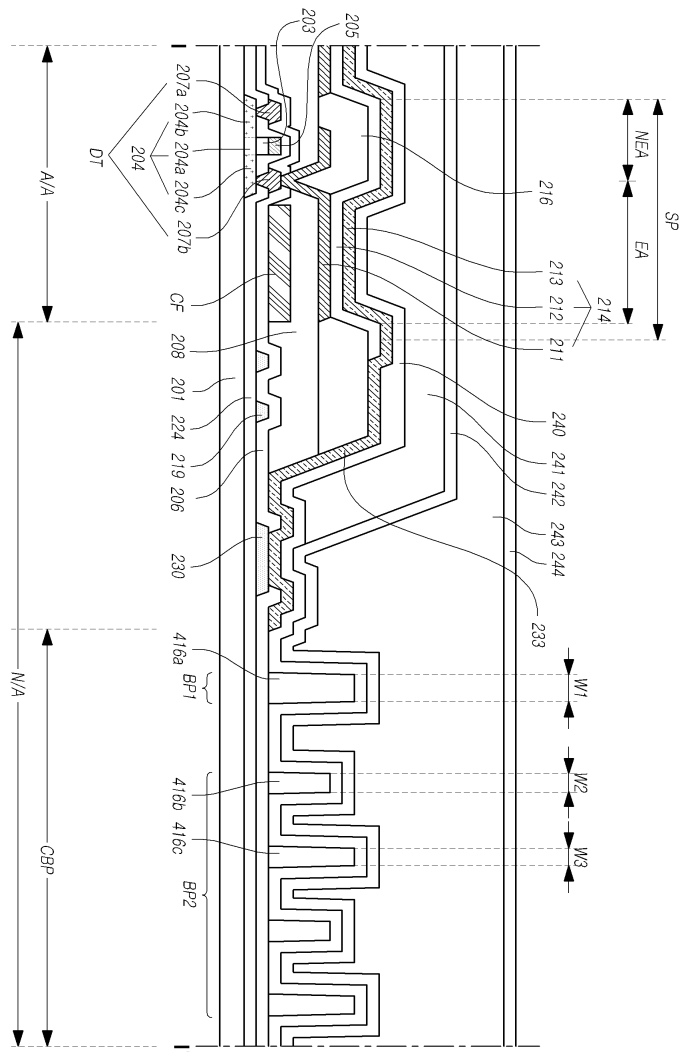
도면5



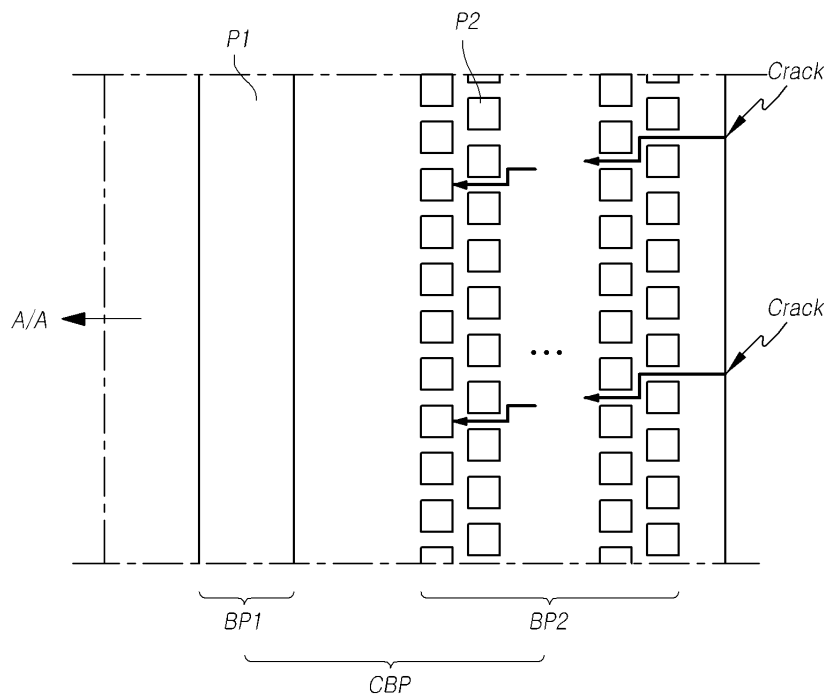
도면6



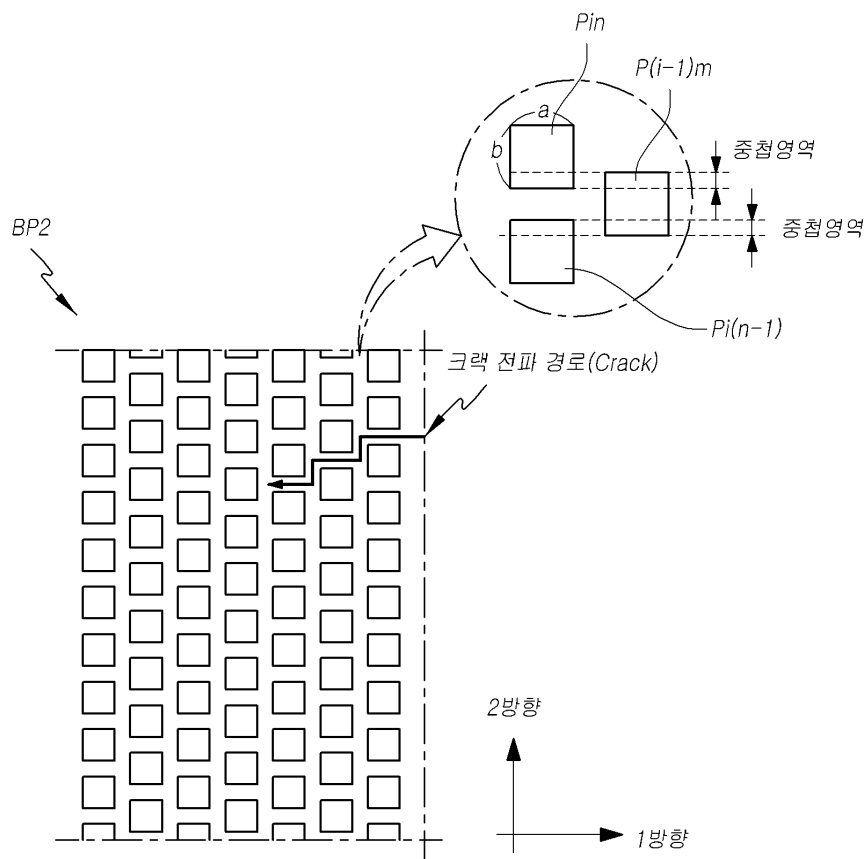
도면7



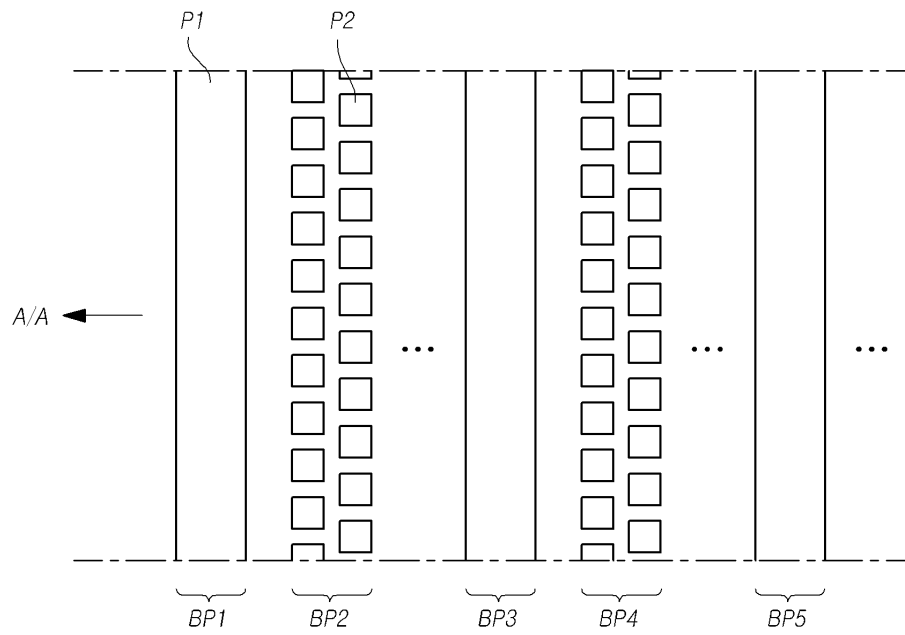
도면8



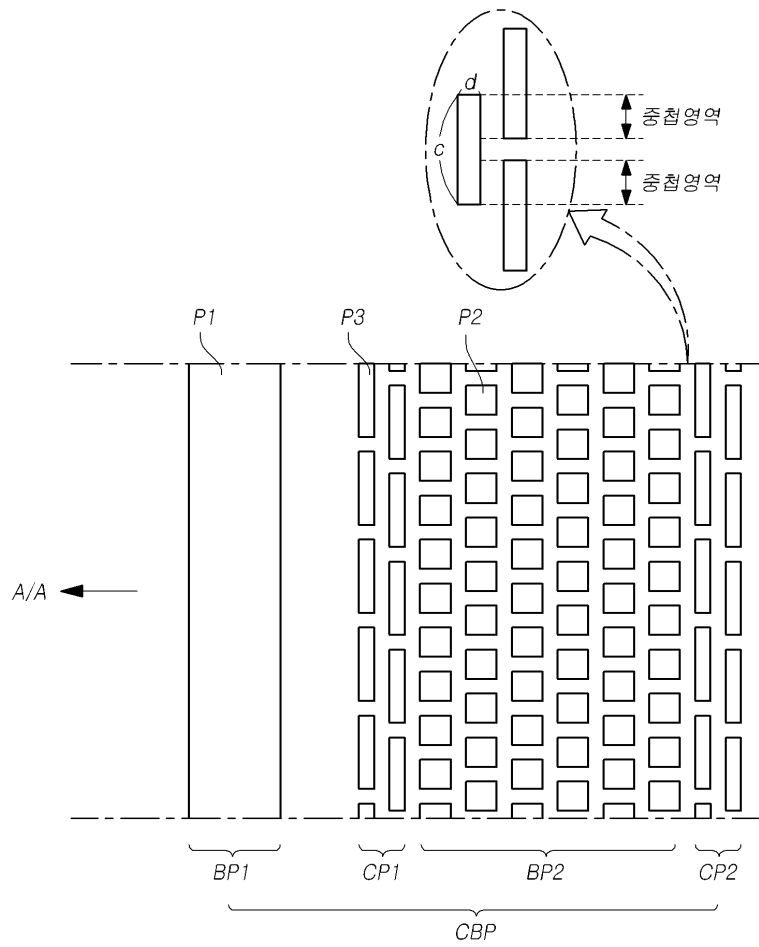
도면9



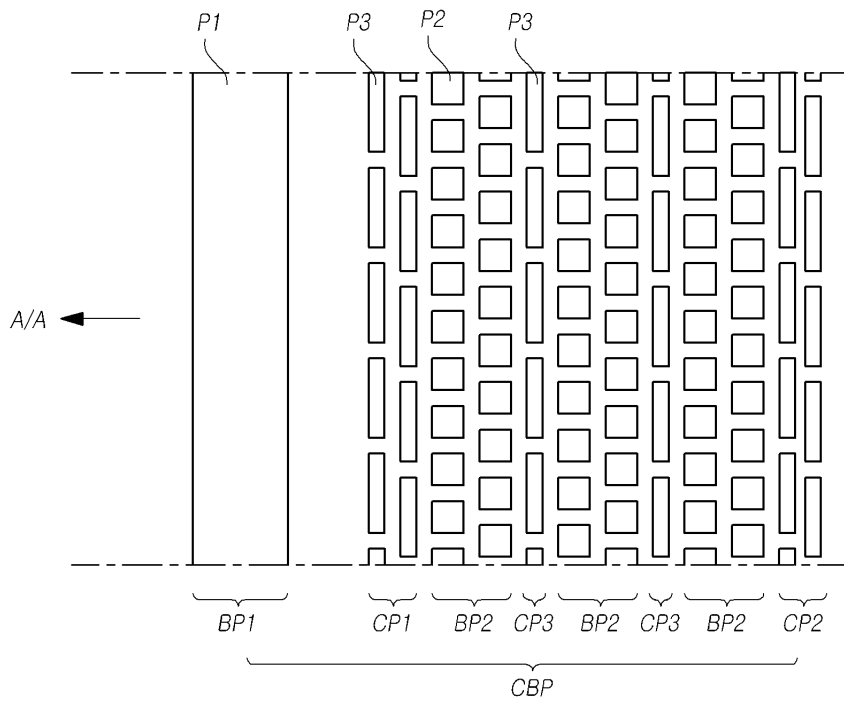
도면10



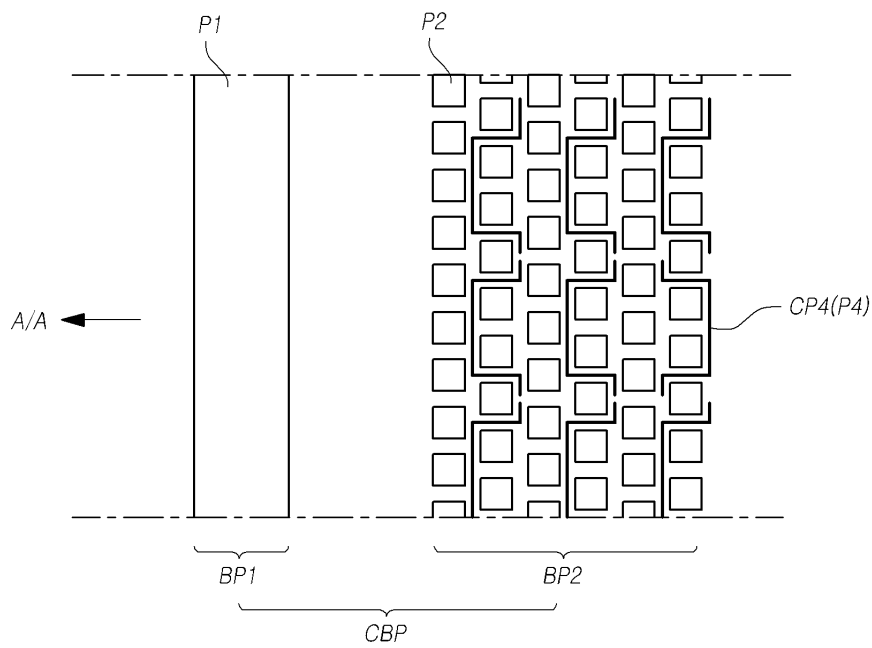
도면11



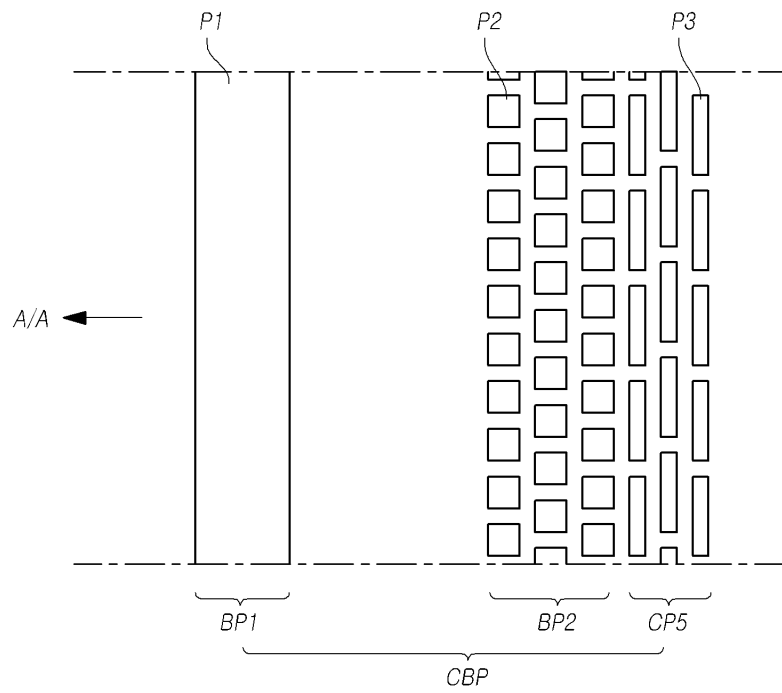
도면12



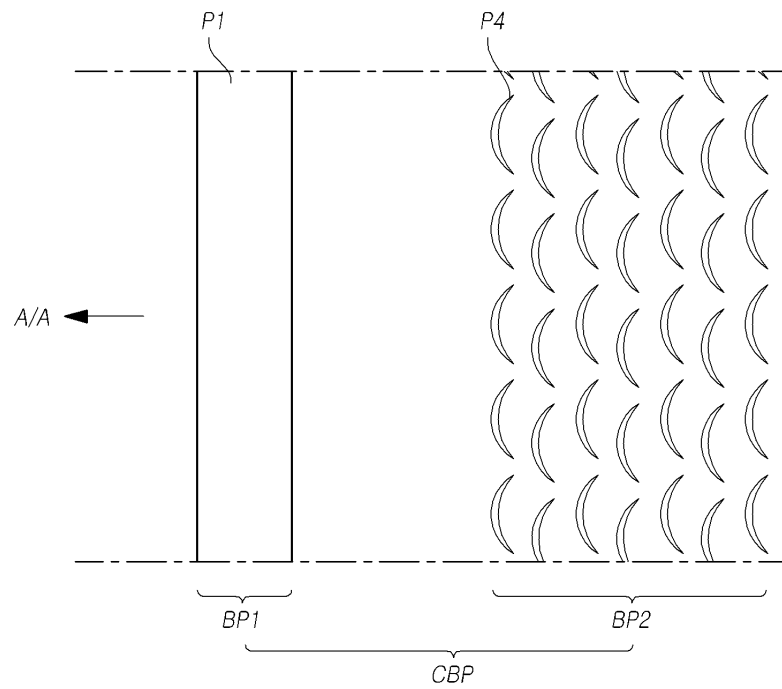
도면13



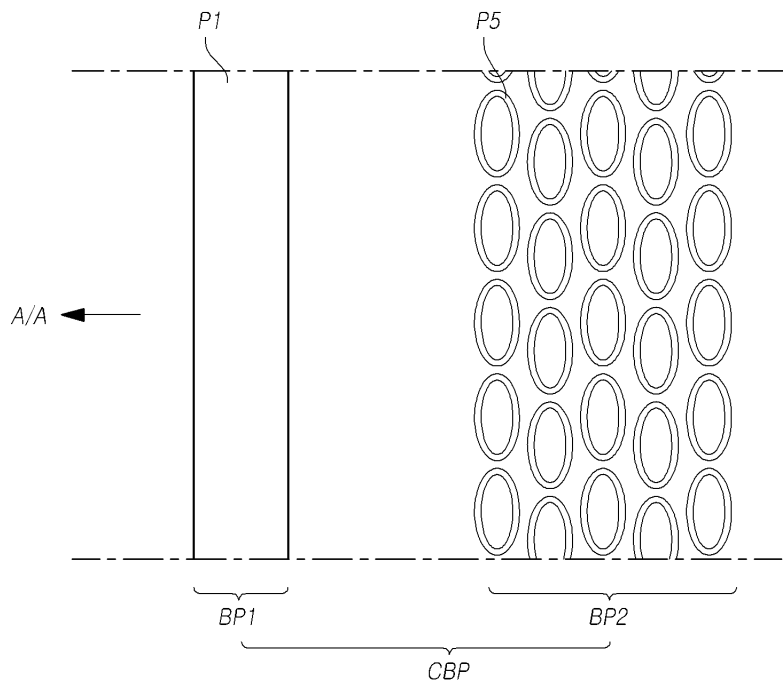
도면14



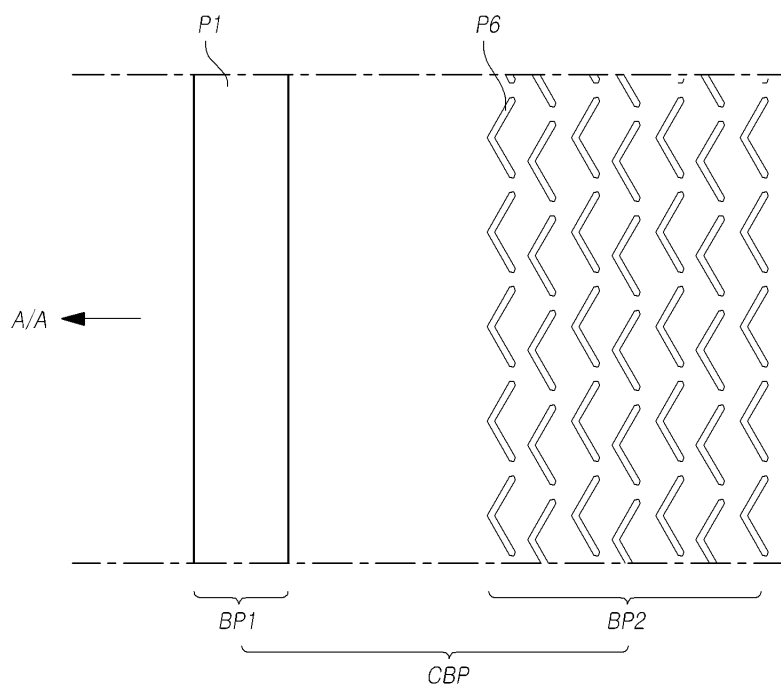
도면15



도면16



도면17



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020170038984A	公开(公告)日	2017-04-10
申请号	KR1020150137599	申请日	2015-09-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM CHI WOONG 김치웅 CHOI SIE HYUG 최시혁 SON HAE JOON 손해준 KIM MOON GOO 김문구		
发明人	김치웅 최시혁 손해준 김문구		
IPC分类号	H01L51/52 H01L27/32		
CPC分类号	H01L51/5253 H01L27/3211 H01L27/3225 H01L27/322 H01L2227/32		
代理人(译)	Gimeungu 宋.		
外部链接	Espacenet		

摘要(译)

本发明公开了一种有机发光显示器。本发明的有机发光显示器包括：基板，其上限定显示区域和非显示区域；以及裂缝阻挡部分，设置在非显示区域中，其中，裂缝阻挡部分包括具有第一阻挡图案的第一阻挡部分，并且第二阻挡部分与第一阻挡部分间隔开并且具有沿第一方向和垂直于第一方向的第二方向布置的多个第二阻挡图案，可以防止传播到显示区域。 金月固

