



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0061579
(43) 공개일자 2015년06월04일

- | | |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/56 (2006.01)</p> <p>(21) 출원번호 10-2014-0162848</p> <p>(22) 출원일자 2014년11월20일
심사청구일자 없음</p> <p>(30) 우선권주장
1020130144341 2013년11월26일 대한민국(KR)</p> | <p>(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)</p> <p>(72) 발명자
추교섭
경기 수원시 팔달구 권광로 373, 105동 603호 (우만동, 월드메르디앙아파트)</p> <p>배종욱
서울 양천구 신목로 7, 104동 1802호 (신정동, 목동삼성아파트)</p> <p>조보경
서울특별시 영등포구 가마산로 312, 1동 507호(대림동, 신동아아파트)</p> <p>(74) 대리인
특허법인네이트</p> |
|---|---|

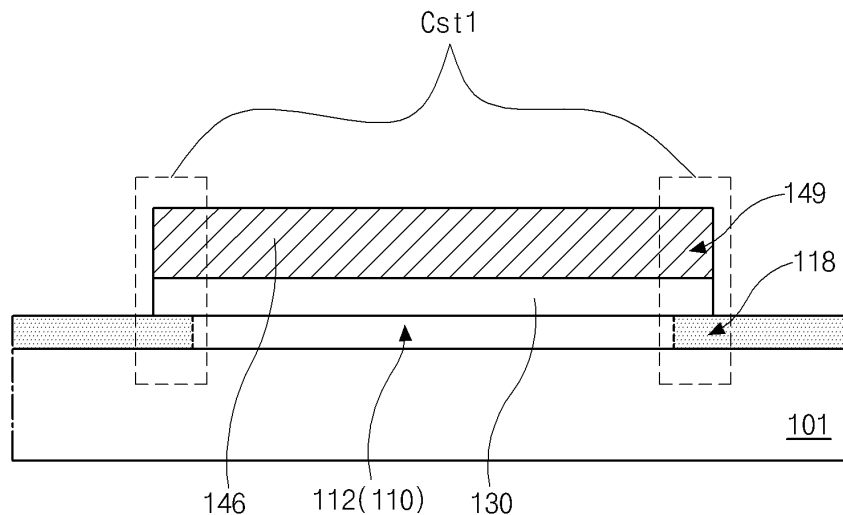
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 유기발광다이오드 표시장치 및 그 제조 방법

(57) 요약

본 발명에서, 상부 스토리지 전극의 가장자리와 중첩하는 산화물 반도체층이 도체화되어 하부 스토리지 전극을 이루게 되고, 상부 및 하부 스토리지 전극과 이들 사이의 게이트 절연층이 스토리지 캐패시터를 구성하게 된다. 게이트 절연막은 비교적 작은 두께를 가지므로, 스토리지 용량이 향상된다.

대표도 - 도4b



명세서

청구범위

청구항 1

제 1 산화물 반도체층과;

상기 제 1 산화물 반도체층 상에 위치하는 제 1 절연막과;

상기 제 1 절연막 상에 위치하며, 상기 제 1 산화물 반도체층의 제 1 영역과 완전히 중첩하는 제 1 게이트 전극과;

상기 제 1 게이트 전극에서 연장되며 상기 제 1 산화물 반도체층의 제 2 영역과 중첩하는 제 1 스토리지 전극과;

상기 제 1 게이트 전극과 상기 제 1 스토리지 전극을 덮고 상기 제 1 산화물 반도체층의 상기 제 1 영역 양측의 제 3 및 제 4 영역을 노출하는 제 2 절연막과;

상기 제 2 절연막 상에 위치하며 상기 제 3 및 제 4 영역과 각각 접촉하는 제 1 소스 전극 및 제 1 드레인 전극과;

상기 제 1 드레인 전극에 연결되는 발광다이오드를 포함하고,

상기 제 2 영역은 상기 제 1 스토리지 전극의 중앙부에 대응하는 부분을 제외하고 가장자리에 대응하는 부분이 도체화되어 제 2 스토리지 전극을 이루고,

상기 제 1 및 제 2 스토리지 전극과 상기 제 1 절연막은 제 1 스토리지 캐패시터를 구성하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 2

제 1 항에 있어서,

상기 제 1 산화물 반도체층을 따라 상기 제 1 소스 전극과 상기 제 1 드레인 전극을 연결하는 제 1 방향과 교차하는 제 2 방향에 대하여 상기 제 2 영역은 제 1 길이를 가지며, 상기 제 1 스토리지 전극과 상기 제 2 영역의 중첩 영역은 상기 제 2 방향에 대하여 상기 제 1 길이보다 작은 제 2 길이를 갖는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 3

제 1 항에 있어서,

상기 제 1 절연막은 제 1 두께를 갖고 상기 제 2 절연막은 상기 제 1 두께보다 큰 제 2 두께를 갖는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 4

제 1 항에 있어서,

상기 제 1 절연막 하부에 위치하는 제 2 산화물 반도체층과;

상기 제 1 절연막 상에 위치하고 상기 제 2 절연막 하부에 위치하며 상기 제 2 산화물 반도체층과 중첩하는 제 2 게이트 전극과;

상기 제 2 절연막 상에 위치하며 상기 제 2 산화물 반도체층의 양측과 각각 접촉하는 제 2 소스 전극 및 제 2

드레인 전극과;

상기 제 2 드레인 전극으로부터 연장되며, 상기 제 2 드레인 전극과 상기 제 1 게이트 전극을 연결하는 연장부를 포함하고,

상기 연장부는 상기 제 1 산화물 반도체층의 제 5 영역과 중첩하며, 상기 제 5 영역은 도체화되고, 상기 연장부와 상기 제 5 영역 및 상기 제 2 절연막은 제 2 스토리지 캐패시터를 구성하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 5

제 4 항에 있어서,

제 3 방향으로 연장되는 게이트 배선과;

제 4 방향으로 연장되어 상기 게이트 배선과 교차하는 데이터 배선과;

상기 게이트 배선 및 상기 데이터 배선 중 어느 하나와 평행하게 연장되는 파워 배선을 포함하고,

상기 제 2 게이트 전극은 상기 게이트 배선에 연결되고 상기 제 2 소스 전극은 상기 데이터 배선에 연결되며,

상기 제 1 소스 전극은 상기 파워 배선에 연결되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 6

제 5 항에 있어서,

상기 제 1 산화물 반도체층, 제 1 게이트 전극, 상기 제 1 소스 전극, 상기 제 1 드레인 전극은 구동 박막트랜지스터를 구성하고,

상기 제 2 산화물 반도체층, 제 2 게이트 전극, 상기 제 2 소스 전극, 상기 제 2 드레인 전극은 구동 박막트랜지스터를 구성하며,

상기 게이트 배선 및 상기 데이터 배선 중 다른 하나와 평행하게 연장되는 기준 배선과, 상기 게이트 배선과, 상기 제 1 드레인 전극 및 상기 기준 배선에 전기적으로 연결되어 상기 구동 박막트랜지스터의 문턱 전압을 조절하는 기준 박막트랜지스터를 더 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 7

제 4 항에 있어서,

상기 제 1 게이트 전극에서 연장되며 상기 제 1 산화물 반도체층의 제 6 영역과 중첩하는 제 3 스토리지 전극을 포함하고,

상기 제 6 영역은 상기 제 3 스토리지 전극의 중앙부에 대응하는 부분을 제외하고 가장자리에 대응하는 부분이 도체화되어 제 4 스토리지 전극을 이루고,

상기 제 3 및 제 4 스토리지 전극과 상기 제 1 절연막은 제 3 스토리지 캐패시터를 구성하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 8

기판 상에 산화물 반도체물질을 증착하여 산화물 반도체층을 형성하는 단계와;

상기 산화물 반도체층의 제 1 영역에 대응하여 제 1 절연 패턴 및 게이트 전극과 상기 산화물 반도체층의 제 2 영역에 대응하여 제 2 절연 패턴 및 제 1 스토리지 전극을 형성하는 단계와;

상기 산화물 반도체층에 대하여 플라즈마 공정을 진행함으로써 상기 제 1 스토리지 전극의 가장자리 내측으로 상기 제 2 영역의 일부를 환원시키는 단계와;

상기 게이트 전극과 상기 제 1 스토리지 전극을 덮고 상기 산화물 반도체층의 상기 제 1 영역 양측의 제 3 및 제 4 영역을 노출하는 절연막을 형성하는 단계와;

상기 절연막 상에 상기 제 3 및 제 4 영역과 각각 접촉하는 소스 전극 및 드레인 전극을 형성하는 단계와;

상기 드레인 전극과 연결되는 발광다이오드를 형성하는 단계

를 포함하는 유기발광다이오드 표시장치의 제조 방법.

청구항 9

제 8항에 있어서,

상기 산화물 반도체층에 대하여 플라즈마 공정을 진행함으로써 상기 제 1 스토리지 전극의 가장자리 내측으로 상기 산화물 반도체층의 일부를 환원시키는 단계에서, 상기 제 2 영역은 상기 제 1 스토리지 전극의 중앙부에 대응하는 부분을 제외하고 가장자리에 대응하는 부분이 도체화되어 제 2 스토리지 전극을 이루고,

상기 제 1 및 제 2 스토리지 전극과 상기 제 1 절연막은 스토리지 캐패시터를 구성하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 10

제 8항에 있어서,

상기 산화물 반도체층의 제 1 영역에 대응하여 제 1 절연 패턴 및 게이트 전극과 상기 산화물 반도체층의 제 2 영역에 대응하여 제 2 절연 패턴 및 제 1 스토리지 전극을 형성하는 단계는,

상기 산화물 반도체층 상에 절연막과 금속층을 순차적으로 형성하는 단계와;

상기 제 1 및 제 2 영역에 대응하는 제 1 및 제 2 포토레지스트 패턴을 상기 금속층 상에 형성하는 단계와;

상기 제 1 및 제 2 포토레지스트 패턴을 이용하여 상기 금속층과 상기 절연막을 식각하여 상기 제 1 및 제 2 절연 패턴과, 상기 게이트 전극과 상기 제 1 스토리지 전극을 형성하는 단계를 포함하고,

상기 플라즈마 공정은, 상기 제 2 포토레지스트 패턴과 상기 제 1 스토리지 전극 중 적어도 어느 하나를 블로킹 마스크로 이용하며 SF6 또는 CF4 가스를 이용하는 것을 특징으로 하는 유기발광다이오드 표시장치의 제조 방법.

발명의 설명

기술분야

[0001] 본 발명은 유기발광다이오드 표시장치에 관한 것으로, 특히 한정된 하나의 화소영역 내에서 스토리지 캐패시터의 면적 증가 없이도 스토리지 캐패시터의 정전용량을 향상시킬 수 있는 유기발광다이오드 표시장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 근래에 들어 사회가 본격적인 정보화 시대로 접어들어 따라 대량의 정보를 처리 및 표시하는 디스플레이(display) 분야가 급속도로 발전해 왔고, 이에 부응하여 여러 가지 다양한 평판표시장치가 개발되어 각광받고 있다.

[0003] 이 같은 평판표시장치의 구체적인 예로는 액정표시장치(Liquid Crystal Display device : LCD), 플라즈마표시장

치(Plasma Display Panel device : PDP), 전계방출표시장치(Field Emission Display device : FED), 전기발광 표시장치(Electroluminescence Display device : ELD), 유기발광다이오드 표시장치(organic light emitting diode display device : OLED) 등을 들 수 있는데, 이들 평판표시장치는 박형화, 경량화, 저소비전력화의 우수한 성능을 보여 기존의 브라운관(Cathode Ray Tube : CRT)을 빠르게 대체하고 있다.

- [0004] 위와 같은 평판표시장치 중에서, 유기발광다이오드 표시장치는 자발광소자로서, 비발광소자인 액정표시장치에 사용되는 백라이트를 필요로 하지 않기 때문에 경량 박형이 가능하다.
- [0005] 그리고, 액정표시장치에 비해 시야각 및 대비비가 우수하며, 소비전력 측면에서도 유리하며, 직류 저전압 구동이 가능하고, 응답속도가 빠르며, 내부 구성요소가 고체이기 때문에 외부충격에 강하고, 사용 온도범위도 넓은 장점을 가지고 있다.
- [0006] 특히, 제조공정이 단순하기 때문에 생산원가를 기존의 액정표시장치 보다 많이 절감할 수 있는 장점이 있다.
- [0007] 도 1은 일반적인 유기발광다이오드 표시장치의 한 화소에 대한 회로도이다.
- [0008] 도시한 바와 같이 유기발광다이오드 표시장치의 하나의 화소영역(P)에는 제 1 방향으로 게이트배선(GL)이 형성되어 있고, 이 제 1 방향과 교차되는 제 2 방향으로 배치되어 화소영역(P)을 정의하는 데이터배선(DL)이 형성되어 있으며, 각각의 화소영역(P)에는 스위칭 박막트랜지스터(Tsw)와 구동 박막트랜지스터(Tdr), 스토리지 캐패시터(Cst), 그리고 발광다이오드(E)가 형성된다.
- [0009] 데이터배선(DL)과 게이트배선(GL)이 교차하는 부분에는 스위칭 박막트랜지스터(Tsw)가 형성되어 있으며, 각 화소영역(P) 내부에는 스위칭 박막트랜지스터(Tsw)와 전기적으로 연결된 구동 박막트랜지스터(Tdr)가 형성되어 있다.
- [0010] 이때, 구동 박막트랜지스터(Tdr)와 스토리지 캐패시터(Cst)는 스위칭 박막트랜지스터(Tsw)와 고전위 전압(VDD) 사이에 연결되며, 발광다이오드(E)는 구동 박막트랜지스터(Tdr)와 저전위 전압(VSS) 사이에 연결된다.
- [0011] 따라서, 게이트배선(GL)을 통해 게이트신호가 인가되면 스위칭 박막트랜지스터(Tsw)가 온(on) 되고, 이때, 데이터배선(DL)으로 인가된 데이터신호가 스위칭 박막트랜지스터(Tsw)를 통해 구동 박막트랜지스터(Tdr)의 게이트전극과 스토리지 캐패시터(Cst)의 일전극으로 인가된다.
- [0012] 구동 박막트랜지스터(DTr)는 데이터신호에 따라 온(on) 되어, 발광다이오드(E)를 흐르는 전류를 제어하는 역할을 표시하게 된다. 즉, 발광다이오드(E)를 흐르는 전류의 양은 데이터신호의 크기에 비례하고, 발광다이오드(E)가 방출하는 빛의 세기는 발광다이오드(E)를 흐르는 전류의 양에 비례하므로, 화소영역(P)은 데이터신호의 크기에 따라 상이한 계조를 표시하고, 그 결과 유기발광다이오드 표시장치는 영상을 표시하게 된다.
- [0013] 이때, 스토리지 캐패시터(Cst)는 데이터 신호에 대응되는 전하를 일 프레임(frame) 동안 유지하여 발광다이오드(E)를 흐르는 전류의 양을 일정하게 하고 발광다이오드(E)가 표시하는 계조를 일정하게 유지시키는 역할을 한다.
- [0014] 한편, 최근에는 표시장치의 고해상도화가 급격히 진행되고 있어, 표시장치의 고해상도를 실현시키기 위해서는 단위면적당 화소영역(P)의 수를 늘려야 하며, 이는 곧 하나의 화소영역(P)의 크기가 작아짐을 의미한다.
- [0015] 그러나, 하나의 화소영역(P)의 크기가 작아지는 경우, 이를 구성하는 구성요소의 크기가 작아짐으로써 스토리지 캐패시터(Cst)의 면적이 작아지게 되며, 이는 곧 스토리지 용량의 저하를 의미하게 된다.
- [0016] 따라서, 하나의 화소영역(P)에 있어 스토리지 캐패시터(Cst) 형성을 위한 영역을 더욱 증가시켜야 하나, 하나의 화소영역(P) 전체 면적대비 화상을 구현할 수 있는 영역의 비를 개구율이라 하는데, 스토리지 캐패시터(Cst)의 면적을 증가시킬 경우 개구율이 저감되는 문제점이 발생하게 된다.

발명의 내용

해결하려는 과제

- [0017] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 유기발광다이오드 표시장치의 스토리지 캐패시터의 정전용량을 최대로 확보하면서도 개구율이 저하되지 않는 유기발광다이오드 표시장치를 제공하고자 하는 것을 목적으로 한다.

과제의 해결 수단

- [0018] 전술한 과제를 달성하기 위해, 본 발명은, 제 1 산화물 반도체층과, 상기 제 1 산화물 반도체층 상에 위치하는 제 1 절연막과, 상기 제 1 절연막 상에 위치하며, 상기 제 1 산화물 반도체층의 제 1 영역과 완전히 중첩하는 제 1 게이트 전극과, 상기 제 1 게이트 전극에서 연장되며 상기 제 1 산화물 반도체층의 제 2 영역과 중첩하는 제 1 스토리지 전극과, 상기 제 1 게이트 전극과 상기 제 1 스토리지 전극을 덮고 상기 제 1 산화물 반도체층의 상기 제 1 영역 양측의 제 3 및 제 4 영역을 노출하는 제 2 절연막과, 상기 제 2 절연막 상에 위치하며 상기 제 3 및 제 4 영역과 각각 접촉하는 제 1소스 전극 및 제 1드레인 전극과, 상기 제 1드레인 전극에 연결되는 발광 다이오드를 포함하고, 상기 제 2 영역은 상기 제 1 스토리지 전극의 중앙부에 대응하는 부분을 제외하고 가장자리에 대응하는 부분이 도체화되어 제 2 스토리지 전극을 이루고, 상기 제 1 및 제 2 스토리지 전극과 상기 제 1 절연막은 제 1 스토리지 캐패시터를 구성하는 것을 특징으로 하는 유기발광다이오드 표시장치를 제공한다.
- [0019] 본 발명의 유기발광다이오드 표시장치에 있어서, 상기 제 1 산화물 반도체층을 따라 상기 제 1 소스 전극과 상기 제 1 드레인 전극을 연결하는 제 1 방향과 교차하는 제 2 방향에 대하여 상기 제 2 영역은 제 1 길이를 가지며, 상기 제 1 스토리지 전극과 상기 제 2 영역의 중첩 영역은 상기 제 2 방향에 대하여 상기 제 1 길이보다 작은 제 2 길이를 갖는 것을 특징으로 한다.
- [0020] 본 발명의 유기발광다이오드 표시장치에 있어서, 상기 제 1 절연막은 제 1 두께를 갖고 상기 제 2 절연막은 상기 제 1 두께보다 큰 제 2 두께를 갖는 것을 특징으로 한다.
- [0021] 본 발명의 유기발광다이오드 표시장치는, 상기 제 1 절연막 하부에 위치하는 제 2 산화물 반도체층과, 상기 제 1 절연막 상에 위치하고 상기 제 2 절연막 하부에 위치하며 상기 제 2 산화물 반도체층과 중첩하는 제 2 게이트 전극과, 상기 제 2 절연막 상에 위치하며 상기 제 2 산화물 반도체층의 양측과 각각 접촉하는 제 2 소스 전극 및 제 2 드레인 전극과, 상기 제 2 드레인 전극으로부터 연장되며, 상기 제 2 드레인 전극과 상기 제 1 게이트 전극을 연결하는 연장부를 포함하고, 상기 연장부는 상기 제 1 산화물 반도체층의 제 5 영역과 중첩하며, 상기 제 5 영역은 도체화되고, 상기 연장부와 상기 제 5 영역 및 상기 제 2 절연막은 제 2 스토리지 캐패시터를 구성하는 것을 특징으로 한다.
- [0022] 본 발명의 유기발광다이오드 표시장치는, 제 3 방향으로 연장되는 게이트 배선과, 제 4 방향으로 연장되어 상기 게이트 배선과 교차하는 데이터 배선과, 상기 게이트 배선 및 상기 데이터 배선 중 어느 하나와 평행하게 연장되는 파워 배선을 포함하고, 상기 제 2 게이트 전극은 상기 게이트 배선에 연결되고 상기 제 2 소스 전극은 상기 데이터 배선에 연결되며, 상기 제 1 소스 전극은 상기 파워 배선에 연결되는 것을 특징으로 한다.
- [0023] 본 발명의 유기발광다이오드 표시장치에 있어서, 상기 제 1 산화물 반도체층, 제 1 게이트 전극, 상기 제 1 소스 전극, 상기 제 1 드레인 전극은 구동 박막트랜지스터를 구성하고, 상기 제 2 산화물 반도체층, 제 2 게이트 전극, 상기 제 2 소스 전극, 상기 제 2 드레인 전극은 구동 박막트랜지스터를 구성하며, 상기 게이트 배선 및 상기 데이터 배선 중 다른 하나와 평행하게 연장되는 기준 배선과, 상기 게이트 배선과, 상기 제 1 드레인 전극 및 상기 기준 배선에 전기적으로 연결되어 상기 구동 박막트랜지스터의 문턱 전압을 조절하는 기준 박막트랜지스터를 더 포함하는 것을 특징으로 한다.
- [0024] 본 발명의 유기발광다이오드 표시장치는, 상기 제 1 게이트 전극에서 연장되며 상기 제 1 산화물 반도체층의 제 6 영역과 중첩하는 제 3 스토리지 전극을 포함하고, 상기 제 6 영역은 상기 제 3 스토리지 전극의 중앙부에 대응하는 부분을 제외하고 가장자리에 대응하는 부분이 도체화되어 제 4 스토리지 전극을 이루고, 상기 제 3 및 제 4 스토리지 전극과 상기 제 1 절연막은 제 3 스토리지 캐패시터를 구성하는 것을 특징으로 한다.
- [0025] 다른 관점에서, 본 발명은, 기판 상에 산화물 반도체물질을 증착하여 산화물 반도체층을 형성하는 단계와, 상기 산화물 반도체층의 제 1 영역에 대응하여 제 1 절연 패턴 및 게이트 전극과 상기 산화물 반도체층의 제 2 영역에 대응하여 제 2 절연 패턴 및 제 1 스토리지 전극을 형성하는 단계와, 상기 산화물 반도체층에 대하여 플라즈마 공정을 진행함으로써 상기 제 1 스토리지 전극의 가장자리 내측으로 상기 제 2 영역의 일부를 환원시키는 단계와, 상기 게이트 전극과 상기 제 1 스토리지 전극을 덮고 상기 산화물 반도체층의 상기 제 1 영역 양측의 제 3 및 제 4 영역을 노출하는 절연막을 형성하는 단계와, 상기 절연막 상에 상기 제 3 및 제 4 영역과 각각 접촉하는 소스 전극 및 드레인 전극을 형성하는 단계와, 상기 드레인 전극과 연결되는 발광다이오드를 형성하는 단

계를 포함하는 유기발광다이오드 표시장치의 제조 방법을 제공한다.

- [0026] 본 발명의 유기발광다이오드 표시장치 제조 방법에 있어서, 상기 산화물 반도체층에 대하여 플라즈마 공정을 진행함으로써 상기 제 1 스토리지 전극의 가장자리 내측으로 상기 산화물 반도체층의 일부를 환원시키는 단계에서, 상기 제 2 영역은 상기 제 1 스토리지 전극의 중앙부에 대응하는 부분을 제외하고 가장자리에 대응하는 부분이 도체화되어 제 2 스토리지 전극을 이루고, 상기 제 1 및 제 2 스토리지 전극과 상기 제 1 절연막은 스토리지 캐패시터를 구성하는 것을 특징으로 한다.
- [0027] 본 발명의 유기발광다이오드 표시장치 제조 방법에 있어서, 상기 산화물 반도체층의 제 1 영역에 대응하여 제 1 절연 패턴 및 게이트 전극과 상기 산화물 반도체층의 제 2 영역에 대응하여 제 2 절연 패턴 및 제 1 스토리지 전극을 형성하는 단계는, 상기 산화물 반도체층 상에 절연막과 금속층을 순차적으로 형성하는 단계와, 상기 제 1 및 제 2 영역에 대응하는 제 1 및 제 2 포토레지스트 패턴을 상기 금속층 상에 형성하는 단계와, 상기 제 1 및 제 2 포토레지스트 패턴을 이용하여 상기 금속층과 상기 절연막을 식각하여 상기 제 1 및 제 2 절연 패턴과, 상기 게이트 전극과 상기 제 1 스토리지 전극을 형성하는 단계를 포함하고, 상기 플라즈마 공정은, 상기 제 2 포토레지스트 패턴과 상기 제 1 스토리지 전극 중 적어도 어느 하나를 블로킹 마스크로 이용하며 SF6 또는 CF4 가스를 이용하는 것을 특징으로 한다.

발명의 효과

- [0028] 본 발명에서는, 산화물 반도체층이 구동 박막트랜지스터의 게이트 전극으로부터 연장되는 제 1 스토리지 전극을 마스크로 하여 환원됨으로써, 제 1 스토리지 전극의 가장자리에 대응하는 산화물 반도체층의 일부가 도전 특성을 갖게 되어 제 2 스토리지 전극으로 기능하게 된다. 즉, 게이트 전극으로부터 연장되는 제 1 스토리지 전극과 산화물 반도체층의 일부인 제 2 스토리지 전극으로 구성되는 스토리지 캐패시터를 형성할 수 있다.
- [0029] 이때, 제 1 스토리지 전극과 제 2 스토리지 전극 사이에는 작은 두께의 게이트 절연막만이 존재하기 때문에, 스토리지 전극의 면적을 최소화하면서 스토리지 용량을 최대화할 수 있다. 또한, 또한, 셀링 박막트랜지스터에 의해 구동 박막트랜지스터의 문턱전압 편차를 감소시켜 화소들 간 휘도의 불균일이 발생하는 것을 방지할 수 있는 효과가 있다.
- [0030] 또한, 고해상도 구현시 스토리지 캐패시터의 면적이 작아진다 하여도 충분한 스토리지 캐패시터의 정전용량을 갖는 스토리지 캐패시터 형성이 가능하므로, 안정적인 표시품질을 갖는 고해상도의 유기발광다이오드 표시장치를 제공할 수 있는 효과가 있다.
- [0031] 또한, 기존과 동일한 스토리지 캐패시터의 정전용량을 구현할 경우에는, 스토리지 캐패시터가 형성되는 영역을 작게 할 수 있으므로, 하나의 화소영역 내에 타 구성요소의 배치에 여유를 가질 수 있어 설계 자유도를 향상시키게 되며, 나아가 개구율을 향상시킬 수 있는 효과가 있다.

도면의 간단한 설명

- [0032] 도 1은 일반적인 유기발광다이오드 표시장치의 한 화소에 대한 회로도이다.
- 도 2는 본 발명의 실시예에 따른 유기발광다이오드 표시장치의 하나의 화소영역에 대한 회로도이다.
- 도 3은 본 발명의 제 1 실시예에 따른 유기발광다이오드 표시장치의 화소영역의 일부를 개략적으로 도시한 평면도이다.
- 도 4a 및 도 4b 각각은 도 3의 제 1 스토리지 캐패시터를 보여주는 평면도 및 단면도이다.
- 도 5는 도 3의 V-V'선을 따라 절단한 단면도이다.
- 도 6은 도 3의 VI-VI'선을 따라 절단한 단면도이다.
- 도 7은 제 1 스토리지 캐패시터에서 발생될 수 있는 문제점을 설명하기 위한 평면도이다.
- 도 8a 내지 도 8d는 본 발명의 제 1 실시예에 따른 유기발광다이오드 표시장치의 제 1 스토리지 캐패시터의 제조 공정을 보여주는 단면도이다.

도 9는 본 발명의 제 2 실시예에 따른 유기발광다이오드 표시장치의 화소영역의 일부를 개략적으로 도시한 평면도이다.

도 10은 도 9의 제 3 스토리지 캐패시터를 보여주는 평면도이다.

도 11은 도 9의 XI-XI'선을 따라 절단한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 이하, 도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다.
- [0034] 도 2는 본 발명의 실시예에 따른 유기발광다이오드 표시장치의 하나의 화소영역에 대한 회로도이다.
- [0035] 도 2에 도시된 바와 같이, 본 발명의 제 1 실시예에 따른 유기발광다이오드 표시장치는, 스위칭 박막트랜지스터(Ts)와, 구동 박막트랜지스터(Td)와, 기준 박막트랜지스터(Tr)와, 스토리지 캐패시터(Cst)와, 발광다이오드(E)를 포함한다.
- [0036] 이에 대해 좀더 자세히 살펴보면 제 1 방향으로 게이트배선(GL)이 형성되어 있고, 제 1 방향과 교차되는 제 2 방향으로 배치되어 화소영역(P)을 정의하며 데이터배선(DL)이 형성되어 있다. 또한, 데이터 배선(DL)과 이격하며 구동 박막트랜지스터(Td)에 고전위 전압을 인가하기 위한 파워배선(VDD)과, 기준 박막트랜지스터(Tr)에 기준 전압을 인가하기 위한 기준 배선(RL)이 형성된다.
- [0037] 스위칭 박막트랜지스터(Ts)와, 구동 박막트랜지스터(Td)와, 기준 박막트랜지스터(Tr)와, 스토리지 캐패시터(Cst)와, 발광다이오드(E)는 각각의 화소영역에 형성된다.
- [0038] 스위칭 박막트랜지스터(Ts)의 게이트전극 및 소스전극은 각각 게이트배선(GL) 및 데이터배선(DL)에 연결되어 각각 게이트신호 및 데이터신호를 공급받고, 구동 박막트랜지스터(Td)의 게이트전극은 스위칭 박막트랜지스터(Ts)의 드레인전극에 연결되어 데이터신호를 공급받는다.
- [0039] 구동 박막트랜지스터(Td)의 드레인 전극은 기준 박막트랜지스터(Tr)의 드레인전극 및 발광다이오드(E)의 애노드인 제 1 전극에 연결되며, 구동 박막트랜지스터(Td)의 소스 전극은 파워배선(VDD)에 연결된다. 발광다이오드(E)의 캐소드인 제 2 전극은 저전위 전압에 연결된다.
- [0040] 기준 박막트랜지스터(Tr)의 게이트전극은 게이트 배선(GL)에 연결되고, 기준 박막트랜지스터(Tr)의 소스전극은 기준배선(RL)에 연결된다. 여기서, 기준 박막트랜지스터(Tr)의 소스전극과 드레인전극은 그 위치가 바뀔 수도 있다. 즉, 기준 박막트랜지스터(Tr)의 소스전극이 구동박막트랜지스터(Td)의 드레인전극과 연결되고, 기준 박막트랜지스터(Tr)의 드레인전극이 기준배선(RL)에 연결될 수도 있다. 또한, 기준 박막트랜지스터(Tr)의 게이트 전극은 게이트 배선(GL)이 아닌 별도의 신호 배선에 연결될 수도 있다.
- [0041] 스토리지 캐패시터(Cst)는 제 1 스토리지 캐패시터(도 3의 Cst1) 및 제 2 스토리지 캐패시터(도 3의 Cst2)를 포함한다.
- [0042] 제 1 스토리지 캐패시터(도 3의 Cst1)의 제 1 스토리지 전극은 스위칭박막트랜지스터(Ts)의 드레인전극 및 구동 박막트랜지스터(Td)의 게이트전극에 전기적으로 연결되며, 제 1 스토리지 캐패시터(도 3의 Cst1)의 제 2 스토리지 전극은 구동 박막트랜지스터(Td)의 드레인 전극에 전기적으로 연결된다.
- [0043] 또한, 제 2 스토리지 캐패시터(도 3의 Cst2)의 제 1 스토리지 전극은 구동 박막트랜지스터(Td)의 드레인 전극에 전기적으로 연결되며, 제 2 스토리지 캐패시터(도 3의 Cst2)의 제 2 스토리지 전극은 스위칭박막트랜지스터(Ts)의 드레인전극 및 구동박막트랜지스터(Td)의 게이트전극에 전기적으로 연결된다.
- [0044] 스위칭 박막트랜지스터(Ts)는 게이트신호에 따라 스위칭 되어 데이터신호를 구동 박막트랜지스터(Td)의 게이트 전극으로 공급하고, 구동 박막트랜지스터(Td)는 데이터신호에 따라 스위칭 되어 발광다이오드(E)의 전류를 제어한다. 이때, 스토리지 캐패시터(Cst)는 데이터신호에 대응되는 전하를 일 프레임(frame) 동안 유지하여 발광다이오드(E)를 흐르는 전류의 양을 일정하게 하고 발광다이오드(E)가 표시하는 계조를 일정하게 유지시키는 역할을 한다.
- [0045] 따라서, 게이트배선(GL)을 통해 게이트신호가 인가되면 스위칭박막트랜지스터(Ts)가 온(on) 되고, 데이터배선(DL)의 신호가 구동 박막트랜지스터(Td)의 게이트전극으로 전달되어 구동박막트랜지스터(Td)가 스위칭되며, 구동 박막트랜지스터(Td)에 연결된 발광다이오드(E)로부터 빛이 출력된다.

- [0046] 이 때, 구동 박막트랜지스터(Td)가 온 상태가 되면, 발광다이오드(E)에 흐르는 전류의 레벨이 정해지며 이로 인해 발광다이오드(E)는 그레이 스케일(gray scale)을 구현할 수 있게 된다.
- [0047] 또한, 스토리지 캐패시터 (Cst)는 스위칭 박막트랜지스터(Ts)가 오프(off) 되었을 때, 구동 박막트랜지스터(Td)의 게이트전압을 일정하게 유지시키는 역할을 한다. 따라서, 스위칭 박막트랜지스터(Ts)가 오프(off) 상태가 되더라도 다음 프레임(frame)까지 발광다이오드(E)에 흐르는 전류의 레벨을 일정하게 유지시킬 수 있게 된다.
- [0048] 이 때, 기준 박막트랜지스터(Tr)를 온시키게 되면, 기준 박막트랜지스터(Tr)의 드레인 전극과 구동 박막트랜지스터(Td)의 드레인전극이 연결되어 구동 박막트랜지스터(Td)의 특성 편차를 감소시킬 수 있게 된다. 즉, 하나의 화소영역에 3개의 박막트랜지스터만을 형성하더라도 구동 박막트랜지스터(Td)의 특성 편차를 최소화할 수 있기 때문에, 유기발광다이오드 표시장치의 개구율이 향상된다. 이와 달리, 기준 박막트랜지스터(Tr)는 생략될 수 있다.
- [0049] 여기서, 본 발명의 유기발광다이오드 표시장치는 개구율이 저하되지 않으면서도 스토리지 캐패시터 (Cst)의 정전용량을 최대로 확보할 수 있다. 이를 통해, 개구율이 저하되지 않은 고해상도의 유기발광다이오드 표시장치를 제공하는 동시에 유기발광다이오드 표시장치의 구동박막트랜지스터(Td)의 문턱전압 편차를 감소시켜 화소들 간 휘도의 불균일이 발생하는 것을 방지할 수 있다.
- [0050] 이에 대해 아래 도 3 내지 도 6을 참조하여 좀더 자세히 살펴보도록 하겠다.
- [0051] 도 3은 본 발명의 제 1 실시예에 따른 유기발광다이오드 표시장치의 화소영역의 일부를 개략적으로 도시한 평면도이고, 도 4a 및 도 4b 각각은 도 3의 제 1 스토리지 캐패시터를 보여주는 평면도 및 단면도이다.
- [0052] 도 3에 도시된 바와 같이, 본 발명의 제 1 실시예에 따른 유기발광다이오드 표시장치에서는, 게이트 배선(GL)과 데이터 배선(DL)이 교차하여 화소영역을 정의하고 있다. 또한, 파워 배선(VDD)이 데이터 배선(DL)과 평행하게 이격하여 게이트 배선(GL)과 교차하고 있으며, 기준 배선(RL)이 게이트 배선(GL)과 평행하게 이격하여 데이터 배선(DL) 및 파워 배선(VDD)과 교차하고 있다.
- [0053] 각 화소영역에는 스위칭 박막트랜지스터(도 2의 Ts)와, 구동 박막트랜지스터(도 2의 Td)와, 기준 박막트랜지스터(도 2의 Tr)와, 스토리지 캐패시터(Cst)와, 발광다이오드(도 2의 E)가 형성된다.
- [0054] 구동 박막트랜지스터(Td)는 제 1 산화물 반도체층(110)과, 제 1 게이트 전극(142)과, 제 1 소스 전극(162)과, 제 1 드레인 전극(164)을 포함하고, 스위칭 박막트랜지스터(Ts)는 제 2 산화물 반도체층(120)과, 제 2 게이트 전극(144)과, 제 2 소스 전극(166)과, 제 2 드레인 전극(168)을 포함한다.
- [0055] 도 3의 V-V'선을 따라 절단한 단면도인 도 5를 참조하면, 제 1 산화물 반도체층(110)의 제 1 영역(111)은 제 1 게이트 전극(142)과 중첩하여 구동 박막트랜지스터(Td)의 채널(channel)을 이루게 되고, 제 1 소스 전극(162)과 제 1 드레인 전극(164)은 제 1 산화물 반도체층(110)의 제 1 영역(111)의 양 측에 위치하는 제 3 및 제 4 영역(113, 114)과 접촉한다. 이때, 제 3 및 제 4 영역(113, 114)의 산화물 반도체 물질은 환원되어 도체 특성을 갖는다.
- [0056] 즉, 제 1 산화물 반도체층(110)의 제 1 영역(111) 상에 제 1 절연막(130)과 제 1 게이트 전극(142)이 적층되고, 제 1 산화물 반도체층(110)의 제 3 및 제 4 영역(113, 114)을 각각 노출하는 제 1 및 제 2 반도체층 콘택홀(151, 152)을 갖는 제 2 절연막(150)이 제 1 게이트 전극(142)을 덮으며 형성된다. 제 1 소스 전극(162)과 제 1 드레인 전극(164)은 제 2 절연막(150) 상에 형성되며 제 1 및 제 2 반도체층 콘택홀(151, 152)을 통해 제 1 산화물 반도체층(110)의 제 3 및 제 4 영역(113, 114) 각각과 접촉한다. 이때, 제 1 산화물 반도체층(110)의 제 3 및 제 4 영역(113, 114) 각각은 제 1 절연막(130)과 제 1 게이트 전극(142) 형성 과정에서 플라즈마 처리에 의해 환원됨으로써, 도체화된다. 제 1 절연막(130)은 게이트 절연막이고, 제 2 절연막(150)은 층간 절연막일 수 있다.
- [0057] 또한, 도 3의 VI-VI'선을 따라 절단한 단면도인 도 6을 참조하면, 제 2 산화물 반도체층(120)의 제 1 영역(121)은 제 2 게이트 전극(144)과 중첩하여 스위칭 박막트랜지스터(Ts)의 채널(channel)을 이루게 되고, 제 2 소스 전극(166)과 제 2 드레인 전극(168)은 제 2 산화물 반도체층(120)의 제 1 영역(121)의 양 측에 위치하는 제 2 및 제 3 영역(122, 123)과 접촉한다. 이때, 제 2 및 제 3 영역(122, 123)의 산화물 반도체 물질은 환원되어 도

체 특성을 갖는다.

- [0058] 즉, 제 2 산화물 반도체층(120)의 제 1 영역(121) 상에 제 1 절연막(130)과 제 2 게이트 전극(144)이 적층되고, 제 2 산화물 반도체층(120)의 제 2 및 제 3 영역(122, 123)을 각각 노출하는 제 3 및 제 4 반도체층 콘택홀(153, 154)을 갖는 제 2 절연막(150)이 제 2 게이트 전극(144)을 덮으며 형성된다. 제 2 소스 전극(166)과 제 2 드레인 전극(168)은 제 2 절연막(150) 상에 형성되며 제 3 및 제 4 반도체층 콘택홀(153, 154)을 통해 제 2 산화물 반도체층(120)의 제 2 및 제 3 영역(122, 123) 각각과 접촉한다. 이때, 제 2 산화물 반도체층(120)의 제 2 및 제 3 영역(122, 123) 각각은 제 1 절연막(130)과 제 2 게이트 전극(144) 형성 공정에서 플라즈마 처리에 의해 환원됨으로써, 도체화된다.
- [0059] 다시 도 3을 참조하면, 기준 박막트랜지스터(Tr)는 제 3 산화물 반도체층과, 제 3 게이트 전극(148)과, 제 3 소스 전극(172)과, 제 3 드레인 전극(174)을 포함한다. 도 3 에서 기준 박막트랜지스터(Tr)의 제 3 드레인 전극(174)과 구동 박막트랜지스터(Td)의 제 1 드레인 전극(164)이 동일한 구성으로 보여지고 있으나, 이들은 서로 이격되어 형성되고 연결 패턴을 통해 서로 전기적으로 연결될 수 있다. 이 경우, 제 3 산화물 반도체층과 제 1 산화물 반도체층(110) 역시 서로 이격되어 형성될 수 있다.
- [0060] 다시 도 5를 참조하면, 제 1 산화물 반도체층(110)의 제 6 영역(116)은 제 3 게이트 전극(148)과 중첩하여 기준 박막트랜지스터(Tr)의 채널(channel)을 이루게 되고, 제 3 소스 전극(172)과 제 3 드레인 전극(174)은 제 1 산화물 반도체층(110)의 제 6 영역(116)의 양 측에 위치하는 제 4 및 제 7 영역(114, 117)과 접촉한다. 제 3 소스 전극(172)의 일단은 제 5 반도체층 콘택홀(156)을 통해 제 1 산화물 반도체층(110)과 접촉하고, 제 3 소스 전극(172)의 타단은 기준배선 콘택홀(157)을 통해 기준배선(RL)과 접촉한다. 이때, 제 4 및 제 7 영역(114, 117)의 산화물 반도체 물질은 환원되어 도체 특성을 갖는다.
- [0061] 다시 도 3을 참조하면, 스위칭 박막트랜지스터(Ts)는 게이트 배선(GL)과 데이터 배선(DL)에 전기적으로 연결되며, 이들의 교차 지점에 위치한다. 즉, 스위칭 박막트랜지스터(Ts)의 제 2 게이트 전극(144)은 게이트 배선(GL)에 연결되고, 스위칭 박막트랜지스터(Ts)의 제 2 소스 전극(166) 데이터 배선(DL)에 연결된다.
- [0062] 구동 박막트랜지스터(Td)의 제 1 게이트 전극(142)은 스위칭 박막트랜지스터(Ts)의 제 2 드레인 전극(168)에 전기적으로 연결된다. 즉, 스위칭 박막트랜지스터(Ts)의 제 2 드레인 전극(168)으로부터 연장되는 연장부(170)와 구동 박막트랜지스터(Td)의 제 1 게이트 전극(142)이 게이트 콘택홀(155)을 통해 접촉함으로써, 구동 박막트랜지스터(Td)의 제 1 게이트 전극(142)은 스위칭 박막트랜지스터(Ts)의 제 2 드레인 전극(168)에 전기적으로 연결된다. 다시 말해, 스위칭 박막트랜지스터(Ts)의 제 2 드레인 전극(168)의 연장부(170)와 구동 박막트랜지스터(Td)의 제 1 게이트 전극(142)의 연장부(146)가 서로 접촉하게 된다. 또한, 구동 박막트랜지스터(Td)의 제 1 소스 전극(162)은 파워 배선(VDD)에 연결되고, 구동 박막트랜지스터(Td)의 제 1 드레인 전극(164)은 기준 박막트랜지스터(Tr)의 제 3 드레인 전극(174)과 연결된다.
- [0063] 도 3에서는, 구동 박막트랜지스터(Td)와 기준 박막트랜지스터(Tr)가 드레인 전극을 공유하는 것이 보여지고 있으나, 이와 달리 구동 박막트랜지스터(Td)의 제 1 드레인 전극(164)과 기준 박막트랜지스터(Tr)의 제 3 드레인 전극(174)은 서로 이격되며 형성되고 서로 전기적으로 연결될 수 있다.
- [0064] 기준 박막트랜지스터(Tr)의 제 3 게이트 전극(148)은 게이트 배선(GL)에 연결되고, 기준 박막트랜지스터(Tr)의 제 3 소스 전극(172)은 기준 배선(RL)에 연결된다.
- [0065] 제 1 내지 제 3 게이트 전극(142, 144, 148)과, 제 1 게이트 전극(142)의 연장부(146)와, 제 1 내지 제 3 소스 전극(162, 166, 172)과, 제 1 내지 제 3 드레인 전극(164, 168, 174)과, 제 2 드레인 전극(168)의 연장부(170)는 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 티타늄(Ti), 크롬(Cr) 및 이들의 합금과 같은 저저항 금속 물질로 이루어질 수 있다.
- [0066] 발광다이오드(E)는 구동 박막트랜지스터(Td)의 제 1 드레인 전극(164)에 연결되며, 애노드와, 유기발광층과, 캐소드를 포함할 수 있다. 예를 들어, 발광다이오드(E)의 애노드가 구동 박막트랜지스터(Td)의 제 1 드레인 전극(164)에 연결될 수 있다. 본 발명에서, 유기발광다이오드 표시장치는, 유기발광층으로부터의 빛이 애노드와 기판(101)을 통과하여 영상을 표시하는 하부 발광(bottom-emission) 방식이거나, 유기발광층으로부터의 빛이 캐소드를 통과하여 영상을 표시하는 상부 발광(top-emission) 방식일 수 있다.
- [0067] 애노드는 비교적 일함수 값이 큰 도전성 물질로 이루어지고, 캐소드는 비교적 일함수 값이 작은 도전성 물질로 이루어진다. 예를 들어, 애노드는 인듐-틴-옥사이드(indium tin oxide: IZO)나 인듐-징크-옥사이드(indium zinc oxide: IZO)와 같은 투명 도전성 물질로 형성될 수 있다. 캐소드는 알루미늄(aluminum, Al), 마그네슘

(magnesium, Mg), 은(silver, Ag), 금(gold, Au) 또는 이들의 합금으로 형성될 수 있다.

- [0068] 상부 발광 방식의 경우, 캐소드는 빛이 투과되도록 비교적 얇은 두께를 가진다. 이때, 캐소드의 빛 투과도는 약 45-50%일 수 있다. 상부 발광 방식의 경우, 애노드는 불투명 도전성 물질로 이루어진 반사층(도시하지 않음)을 더 포함할 수 있다. 일례로, 반사층은 알루미늄-팔라듐-구리(aluminum-palladium-copper: APC) 합금으로 형성될 수 있으며, 애노드는 ITO/APC/ITO의 3중층 구조를 가질 수 있다.
- [0069] 또한, 유기발광층은 단일층 구조를 갖거나, 발광 효율을 높이기 위해 애노드 상부로부터 순차적으로 적층된 정공주입층(hole injecting layer), 정공수송층(hole transporting layer), 발광물질층(light-emitting material layer), 전자수송층(electron transporting layer), 전자주입층(electron injecting layer)의 다층 구조를 가질 수 있다.
- [0070] 유기발광층은 화소영역에 형성되는 적색, 녹색, 청색의 유기발광패턴을 포함할 수 있다.
- [0071] 발광다이오드(E)에서는, 애노드로부터 주입된 정공과 캐소드로부터 주입된 전자가 유기발광층에서 결합되어 엑시톤(exciton)을 이루고, 엑시톤이 여기상태에서 기저상태로 천이되면서 유기발광층으로부터 빛이 방출된다.
- [0072] 발광다이오드(E)는 구동 박막트랜지스터(Td)가 형성되는 기판(도 5의 101)에 형성되거나, 기판(101)과 마주하는 대향 기판(counter substrate)에 형성될 수 있다.
- [0073] 스토리지 캐패시터(Cst)는 제 1 스토리지 캐패시터(Cst1)를 포함한다. 제 1 스토리지 캐패시터(Cst1)는 제 1 산화물 반도체층(110)의 일부와 제 1 게이트 전극(142)의 연장부(146)가 중첩하여 형성된다.
- [0074] 즉, 도 4a 및 도 4b를 참조하면, 제 1 스토리지 캐패시터(Cst1)는 제 1 게이트 전극(142)의 연장부(146) 가장자리 부분인 제 1 스토리지 전극(149)과, 제 1 게이트 전극(142)의 연장부(146)와 중첩하는 제 1 산화물 반도체층(110)의 제 2 영역(112) 가장자리인 제 2 스토리지 전극(118)을 포함한다. 제 1 산화물 반도체층(110)은 제 1 게이트 전극(142)의 연장부(146) 형성 공정에서 플라즈마 처리에 의해 환원되는데, 제 1 게이트 전극(142)의 연장부(146)가 블로킹 마스크로 이용되기 때문에 제 1 산화물 반도체층(110)의 제 2 영역(112)의 중앙부를 제외한 제 2 영역(112)의 가장자리만이 환원되어 도체화된다. 즉, 제 1 산화물 반도체층(110)의 제 2 영역(112) 중앙부는 제 1 게이트 전극(142)의 연장부(146) 및 제 1 절연막(130)에 의해 가려져 있기 때문에 도체화되지 않는다.
- [0075] 이때, 제 2 스토리지 전극(118)은 제 1 게이트 전극(142)의 연장부(146) 가장자리 끝단으로부터 약 1.5 μ m의 폭을 갖도록 형성된다.
- [0076] 따라서, 제 1 게이트 전극(142)의 연장부(146) 가장자리인 제 1 스토리지 전극(149)과, 제 1 스토리 전극(149)과 중첩하는 제 1 산화물 반도체층(110)의 제 2 영역(112) 가장자리인 제 2 스토리지 전극(118)과, 이들 사이에 위치하는 제 1 절연막(130)은 제 1 스토리지 캐패시터(Cst1)를 구성한다.
- [0077] 또한, 스토리지 캐패시터(Cst)는 제 2 스토리지 캐패시터(Cst2)를 더 포함할 수 있다. 도 5 및 도 6을 참조하면, 제 2 스토리지 캐패시터(Cst2)는 제 1 산화물 반도체층(110) 중 도체화된 제 5 영역(115)인 제 3 스토리지 전극과, 제 2 드레인 전극(168)의 연장부(170)인 제 4 스토리지 전극과, 제 3 및 제 4 스토리지 전극 사이에 위치하는 제 2 절연막(150)을 유전체층으로서 포함한다.
- [0078] 본 발명의 제 1 실시예에 따른 유기발광다이오드 표시장치에서, 제 1 및 제 2 스토리지 캐패시터(Cst1, Cst2)는 제 1 산화물 반도체층(110)의 제 2 및 제 5 영역(112, 115)을 제 2 및 제 3 스토리지 전극으로 이용하기 때문에, 개구율 저하 없이 정전 용량을 최대화할 수 있다.
- [0079] 이때, 제 1 스토리지 캐패시터(Cst1)는 제 1 게이트 전극(142)의 연장부(146) 가장자리를 따라 형성되기 때문에, 제 1 스토리 전극(149)과 제 2 스토리지 전극(118)의 면적은 비교적 작다. 그러나, 제 1 스토리지 캐패시터(Cst1)의 유전체층인 제 1 게이트 절연막(130)이 비교적 작은 두께를 갖기 때문에, 제 1 스토리지 캐패시터(Cst1)는 충분한 정전 용량을 갖는다.
- [0080] 즉, 제 2 스토리지 캐패시터(Cst1)는 제 3 및 제 4 스토리지 전극 사이의 제 2 절연막(150)을 유전체층으로 포함하는 반면, 제 1 스토리지 캐패시터(Cst1)는 제 1 및 제 2 스토리지 전극(149, 118) 사이의 제 1 절연막(130)을 유전체층으로 포함한다. 이때, 제 1 절연막(130)은 무기 절연물질로 이루어지고 제 1 두께를 가지며, 제 2 절연막(150)은 유기 절연물질로 이루어지고 제 1 두께보다 큰 제 2 두께를 갖는다. 따라서, 제 1 스토리지 캐패시터(Cst1)의 제 1 및 제 2 스토리지 전극(149, 118)의 면적이 제 2 스토리지 캐패시터(Cst2)의 제 3 및 제 4 스토리지 전극보다 작더라도, 제 1 스토리지 캐패시터(Cst1)는 제 2 스토리지 캐패시터(Cst2)와 유사한 정전 용

량을 갖는다.

[0081] 이에 대해 좀더 자세히 살펴보면, 제 1 절연막(130)은 산화실리콘 또는 질화실리콘과 같은 무기 절연물질로 이루어지며 제 1 두께는 100Å 내지 200Å 정도가 된다. 한편, 제 2 절연막(150)은 포토아크릴과 같은 유기 절연물질로 이루어지며 제 2 두께는 300Å 내지 600Å 정도가 된다. 여기서, 소스 및 드레인전극과 게이트전극이 중첩하게 되는 경우 그 기생용량을 최소화하고 하부에 위치하는 구성요소의 의해 발생하는 단차를 최소화하기 위해, 제 2 절연막(150)은 유기절연물질로 비교적 두껍게 형성된다.

[0082] 제 1 절연막(130)과 제 2 절연막(150)은 제 1 및 제 스토리지 캐패시터(Cst1, Cst2)의 유전체층 역할을 하게 되는데, 정전용량 C는 다음과 같은 식으로 나타낼 수 있다.

$$C = \epsilon * A/d$$

[0083] (ϵ 는 유전율, A는 전극의 면적, d는 두 전극간 거리)?

[0085] 즉, 스토리지 캐패시터의 정전용량(C)은 전극의 면적(A)과 전극 유전체층의 유전율(ϵ)에 비례하며, 두 전극간의 거리(d)에 반비례함을 알 수 있다. 전극의 면적(A)이 넓을수록, 두 전극 사이에 위치하는 유전체층의 유전율(ϵ)이 높을수록, 두 전극간 거리(d)가 가까울수록 더 큰 정전용량(C)을 갖게된다.

[0086] 제 1 두께(100Å 내지 200Å)를 갖는 제 1 절연막(130)을 포함하는 제 1 스토리지 캐패시터(Cst1)에서 제 1 및 제 2 전극(149, 118) 사이 거리는 제 2 두께((300Å 내지 600Å)를 갖는 제 2 절연막(150)을 포함하는 제 2 스토리지 캐패시터(Cst2)에서 제 3 및 제 4 전극 사이 거리의 1/3 정도이다. 따라서, 제 1 및 제 2 스토리지 캐패시터(Cst1, Cst2)의 면적이 동일하다고 가정하면, 제 1 스토리지 캐패시터(Cst1)의 정전 용량은 제 2 스토리지 캐패시터(Cst2)의 정전 용량의 3배 정도가 된다.

[0087] 따라서, 제 1 스토리지 캐패시터(Cst1)의 면적이 제 2 스토리지 캐패시터(Cst2)에 비해 작더라도, 제 1 스토리지 캐패시터(Cst1)는 충분한 정전 용량을 갖게 된다. 이에 따라, 개구율의 저하를 최소화하면서 충분한 정전 용량을 확보할 수 있다.

[0088] 다시 도 4a를 참조하면, 제 1 스토리지 캐패시터(Cst1)는 제 1 산화물 반도체층(110)의 일부에 형성되는데, 제 1 스토리지 캐패시터(Cst1)에 의해 구동 박막트랜지스터(Td)의 전류 패스(path)가 막히지 않도록 제 1 스토리지 전극(149)을 포함하는 제 1 게이트 전극(142)의 연장부(146)는 제 1 산화물 반도체층(110)을 가로지르지 않아야 한다. 즉, 구동 박막트랜지스터(Td)의 전류 패스(path)에 위치하는 제 1 게이트 전극(142)의 연장부(146)의 두 측면은 제 1 산화물 반도체층(110) 내측에 위치하여야 한다.

[0089] 예를 들어, 제 1 스토리지 캐패시터에서 발생할 수 있는 문제점을 설명하기 위한 평면도인 도 7에서 보여지는 바와 같이, 제 1 게이트 전극(142)의 연장부(146)의 일측면이 제 1 산화물 반도체층(110)의 외측으로 돌출되도록 제 1 산화물 반도체층(110)을 가로지르는 경우, 제 1 소스 전극(162)에서 제 1 드레인 전극(164)으로의 전류 흐름이 방해된다. 이 경우, 제 1 게이트 전극(142)의 연장부(146) 역시 제 1 게이트 전극(142)으로 작용하고, 제 1 산화물 반도체층(110)의 제 2 영역(112)은 채널이 된다. 따라서, 원하는 채널 폭을 얻을 수 없고, 구동 박막트랜지스터(Td)의 특성이 변화된다.

[0090] 이러한 문제의 발생을 방지하기 위해서는, 제 1 스토리지 전극(149)을 포함하는 제 1 게이트 전극(142)의 연장부(146)는 제 1 산화물 반도체층(110)을 가로지르지 않아야 한다.

[0091] 다시 말해, 제 1 산화물 반도체층(110)을 따라 제 1 소스 전극(162)과 제 1 드레인 전극(164)을 연결하는 제 1 방향과 교차하는 제 2 방향에 대하여 제 1 산화물 반도체층(110)의 제 2 영역(112)은 제 1 길이(d1)를 가지며, 제 1 게이트 전극(142)의 연장부(146), 즉 제 1 스토리지 전극(149)과 상기 제 2 영역(112)의 중첩 영역은 제 2 방향에 대하여 제 1 길이(d1)보다 작은 제 2 길이(d2)를 갖도록 구성된다.

[0092] 도 7에서와 같이, 제 2 영역(112)의 제 3 길이(d3)와 제 1 스토리지 전극(149)과 상기 제 2 영역(112)의 중첩 영역의 제 4 길이(d4)가 같은 경우, 제 1 소스 전극(162)으로부터 제 1 드레인 전극(164)으로의 전류 패스가 차단되어 구동 박막트랜지스터(Td)의 특성이 저하된다.

[0093] 도 8a 내지 도 8d는 본 발명의 제 1 실시예에 따른 유기발광다이오드 표시장치의 제 1 스토리지 캐패시터의 제조 공정을 보여주는 단면도이다.

- [0094] 도 8a에 도시된 바와 같이, 기판(101) 상에 산화물 반도체 물질을 증착하고 마스크 공정에 의해 패턴함으로써, 제 1 산화물 반도체층(도 5의 110)의 제 2 영역(112)을 형성한다. 예를 들어, 상기 산화물 반도체 물질은 인듐-갈륨-징크-옥사이드(indium-gallium-zinc-oxide, IGZO), 인듐-틴-징크-옥사이드(indium-tin-zinc-oxide, ITZO), 인듐-징크-옥사이드(indium-zinc-oxide, IZO), 인듐-갈륨-옥사이드(indium-gallium-oxide, IGO), 인듐-알루미늄-징크-옥사이드(indium-aluminum-zinc-oxide, IAZO) 중 어느 하나일 수 있다.
- [0095] 다음, 도 8b에 도시된 바와 같이, 제 1 산화물 반도체층(110)의 제 2 영역(112) 상에 무기 절연물질층(132)과 금속 물질층(134)을 순차 적층하고, 제 1 게이트 전극(도 5의 142)의 연장부(도 5의 146)에 대응하여 포토레지스트 패턴(190)을 형성한다. 이때, 무기 절연물질층(132)은 산화실리콘 또는 질화실리콘과 같은 무기 절연물질로 이루어진다.
- [0096] 다음, 도 8c에 도시된 바와 같이, 포토레지스트 패턴(190)을 식각 마스크로 하여 무기 절연물질층(도 8b의 132)과 금속 물질층(도 8b의 134)을 식각함으로써, 제 1 게이트 전극(도 5의 142)의 연장부(146)와 제 1 절연막(130)을 형성한다.
- [0097] 다음, 도 8d에 도시된 바와 같이, 포토레지스트 패턴(190), 제 1 게이트 전극(도 5의 142)의 연장부(146), 제 1 절연막(130) 중 적어도 어느 하나를 블로킹 마스크로 하여 플라즈마 공정을 진행함으로써, 제 1 산화물 반도체층(110)을 환원시킨다. 이때, 플라즈마 공정은 육불화황(sulfur hexafluoride, SF₆) 또는 사불화탄소(carbon tetrafluoride, CF₄) 가스를 이용할 수 있다. 이때, 포토레지스트 패턴(190)이 제거된 후, 플라즈마 공정이 진행될 수도 있다.
- [0098] 플라즈마 공정에 의해 제 1 산화물 반도체층(110)이 환원되어야 하기 때문에, 제 1 절연막(130)은 제 1 게이트 전극(도 5의 142)의 연장부(146)와 동일 형상을 가져야 한다. 즉, 제 1 절연막(130)은 제 1 게이트 전극(도 5의 142)의 연장부(146)와 동일하게 섬 형상을 갖는다.
- [0099] 플라즈마 공정에 의해 제 1 산화물 반도체층(110)이 환원됨으로써, 제 1 게이트 전극(도 5의 142)의 연장부(146) 외측에 위치하는 제 1 산화물 반도체층(110)은 도체 특성을 갖게 된다. 이때, 제 1 게이트 전극(도 5의 142)의 연장부(146) 가장자리 내측 일부도 플라즈마 공정의 가스에 의해 환원된다. 즉, 플라즈마 공정에 의해 제 1 산화물 반도체층(110)의 제 2 영역(112)은 환원되지 않은 중앙 영역(112a)과 환원되어 도체 특성을 갖는 가장자리 영역(112b)으로 나뉘게 되고, 가장자리 영역(112b)은 제 2 스토리지 전극(도 4b의 118)이 된다.
- [0100] 따라서, 제 1 절연막(130)만을 유전체층으로 포함하는 제 1 스토리지 캐패시터(Cst1)를 형성할 수 있으며, 전술한 바와 같이 개구율 저하를 최소화하면서 충분한 정전 용량을 얻을 수 있다.
- [0101] 도 9는 본 발명의 제 2 실시예에 따른 유기발광다이오드 표시장치의 화소영역의 일부를 개략적으로 도시한 평면도이고, 도 10은 도 9의 제 3 스토리지 캐패시터를 보여주는 평면도이며, 도 11은 도 9의 XI-XI'선을 따라 절단한 단면도이다.
- [0102] 도 9 내지 도 11에 도시된 바와 같이, 본 발명의 제 2 실시예에 따른 유기발광다이오드 표시장치에서는, 게이트 배선(GL)과 데이터 배선(DL)이 교차하여 화소영역을 정의하고 있다. 또한, 파워 배선(VDD)이 데이터 배선(DL)과 평행하게 이격하여 게이트 배선(GL)과 교차하고 있으며, 기준 배선(RL)이 게이트 배선(GL)과 평행하게 이격하여 데이터 배선(DL) 및 파워 배선(VDD)과 교차하고 있다.
- [0103] 각 화소영역에는 스위칭 박막트랜지스터(도 2의 Ts)와, 구동 박막트랜지스터(도 2의 Td)와, 기준 박막트랜지스터(도 2의 Tr)와, 스토리지 캐패시터(Cst)와, 발광다이오드(도 2의 E)가 형성된다.
- [0104] 구동 박막트랜지스터(Td)는 제 1 산화물 반도체층(210)과, 제 1 게이트 전극(242)과, 제 1 소스 전극(262)과, 제 1 드레인 전극(264)을 포함하고, 스위칭 박막트랜지스터(Ts)는 제 2 산화물 반도체층(220)과, 제 2 게이트 전극(244)과, 제 2 소스 전극(266)과, 제 2 드레인 전극(268)을 포함한다.
- [0105] 제 1 산화물 반도체층(210)의 제 1 영역(미도시)은 제 1 게이트 전극(242)과 중첩하여 채널(channel)을 이루게 되고, 제 1 소스 전극(262)과 제 1 드레인 전극(264)은 제 1 산화물 반도체층(210)의 제 1 영역(미도시)의 양측에 위치하는 제 3 및 제 4 영역(미도시)과 접촉한다. 이때, 제 3 및 제 4 영역(미도시)의 산화물 반도체 물질은 환원되어 도체 특성을 갖는다.
- [0106] 즉, 제 1 산화물 반도체층(210)의 제 1 영역(미도시) 상에 제 1 절연막(230)과 제 1 게이트 전극(242)이 적층되

고, 제 1 산화물 반도체층(210)의 제 3 및 제 4 영역(미도시)을 각각 노출하는 제 1 및 제 2 반도체층 콘택홀(251, 252)을 갖는 제 2 절연막(250)이 제 1 게이트 전극(242)을 덮으며 형성된다. 제 1 소스 전극(262)과 제 1 드레인 전극(264)은 제 2 절연막(250) 상에 형성되며 제 1 및 제 2 반도체층 콘택홀(251, 252)을 통해 제 1 산화물 반도체층(210)의 제 3 및 제 4 영역(미도시) 각각과 접촉한다. 이때, 제 1 산화물 반도체층(210)의 제 3 및 제 4 영역(미도시) 각각은 제 1 절연막(230)과 제 1 게이트 전극(242) 형성 공정에서 플라즈마 처리에 의해 환원됨으로써, 도체화된다. 제 1 절연막(230)은 게이트 절연막이고, 제 2 절연막(250)은 층간 절연막일 수 있다.

[0107] 또한, 제 2 산화물 반도체층(220)의 제 1 영역(미도시)은 제 2 게이트 전극(244)과 중첩하여 채널(channel)을 이루게 되고, 제 2 소스 전극(266)과 제 2 드레인 전극(268)은 제 2 산화물 반도체층(220)의 제 1 영역(미도시)의 양 측에 위치하는 제 2 및 제 3 영역(미도시)과 접촉한다. 이때, 제 2 및 제 3 영역(미도시)의 산화물 반도체 물질은 환원되어 도체 특성을 갖는다.

[0108] 즉, 제 2 산화물 반도체층(220)의 제 1 영역(미도시) 상에 제 1 절연막(230)과 제 2 게이트 전극(244)이 적층되고, 제 2 산화물 반도체층(220)의 제 2 및 제 3 영역(미도시)을 각각 노출하는 제 3 및 제 4 반도체층 콘택홀(253, 254)을 갖는 제 2 절연막(250)이 제 2 게이트 전극(244)을 덮으며 형성된다. 제 2 소스 전극(266)과 제 2 드레인 전극(268)은 제 2 절연막(250) 상에 형성되며 제 3 및 제 4 반도체층 콘택홀(253, 254)을 통해 제 2 산화물 반도체층(220)의 제 2 및 제 3 영역(222, 223) 각각과 접촉한다. 이때, 제 2 산화물 반도체층(220)의 제 2 및 제 3 영역(미도시) 각각은 제 1 절연막(230)과 제 2 게이트 전극(244) 형성 공정에서 플라즈마 처리에 의해 환원됨으로써, 도체화된다.

[0109] 기준 박막트랜지스터(Tr)는 제 3 산화물 반도체층(미도시)과, 제 3 게이트 전극(248)과, 제 3 소스 전극(272)과, 제 3 드레인 전극(274)을 포함한다. 도 9 에서 기준 박막트랜지스터(Tr)의 제 3 드레인 전극(274)과 구동 박막트랜지스터(Td)의 제 1 드레인 전극(264)이 동일한 구성으로 보여지고 있으나, 이들은 서로 이격되어 형성되고 연결 패턴을 통해 서로 전기적으로 연결될 수 있다. 이 경우, 제 3 산화물 반도체층과 제 1 산화물 반도체층(210) 역시 서로 이격되어 형성될 수 있다.

[0110] 제 1 산화물 반도체층(210)의 제 6 영역(미도시)은 제 3 게이트 전극(248)과 중첩하여 채널(channel)을 이루게 되고, 제 3 소스 전극(272)과 제 3 드레인 전극(274)은 제 1 산화물 반도체층(210)의 제 6 영역(미도시)의 양 측에 위치하는 제 4 및 제 7 영역(미도시)과 접촉한다. 제 3 소스 전극(272)의 일단은 제 5 반도체층 콘택홀(256)을 통해 제 1 산화물 반도체층(210)과 접촉하고, 제 3 소스 전극(272)의 타단은 기준배선 콘택홀(257)을 통해 기준배선(RL)과 접촉한다. 이때, 제 4 및 제 7 영역(미도시)의 산화물 반도체 물질은 환원되어 도체 특성을 갖는다.

[0111] 스위칭 박막트랜지스터(Ts)는 게이트 배선(GL)과 게이트 배선(DL)에 전기적으로 연결되며, 이들의 교차 지점에 위치한다. 즉, 스위칭 박막트랜지스터(Ts)의 제 2 게이트 전극(244)은 게이트 배선(GL)에 연결되고, 스위칭 박막트랜지스터(Ts)의 제 2 소스 전극(266) 데이터 배선(DL)에 연결된다.

[0112] 구동 박막트랜지스터(Td)의 제 1 게이트 전극(242)은 스위칭 박막트랜지스터(Ts)의 제 2 드레인 전극(268)에 전기적으로 연결된다. 즉, 스위칭 박막트랜지스터(Ts)의 제 2 드레인 전극(268)으로부터 연장되는 연장부(270)와 구동 박막트랜지스터(Td)의 제 1 게이트 전극(242) 게이트 콘택홀(255)를 통해 접촉함으로써, 구동 박막트랜지스터(Td)의 제 1 게이트 전극(242)은 스위칭 박막트랜지스터(Ts)의 제 2 드레인 전극(268)에 전기적으로 연결된다. 또한, 구동 박막트랜지스터(Td)의 제 1 소스 전극(262)은 소스 콘택홀(251)을 통해 파워 배선(VDD)에 연결되고, 구동 박막트랜지스터(Td)의 제 1 드레인 전극(264)은 기준 박막트랜지스터(Tr)의 제 3 드레인 전극(274)과 연결된다. 도 9에서는, 구동 박막트랜지스터(Td)와 기준 박막트랜지스터(Tr)가 드레인 전극을 공유하는 것이 보여지고 있으나, 이와 달리 구동 박막트랜지스터(Td)의 제 1 드레인 전극(264)과 기준 박막트랜지스터(Tr)의 제 3 드레인 전극(274)은 서로 이격되며 형성되고 서로 전기적으로 연결될 수 있다.

[0113] 기준 박막트랜지스터(Tr)의 제 3 게이트 전극(248)은 게이트 배선(GL)에 연결되고, 기준 박막트랜지스터(Tr)의 제 3 소스 전극(272)은 기준 배선(RL)에 연결된다.

[0114] 발광다이오드(E)는 구동 박막트랜지스터(Td)의 제 1 드레인 전극(264)에 연결되며, 애노드와, 유기발광층과, 캐소드를 포함할 수 있다. 예를 들어, 발광다이오드(E)의 애노드가 구동 박막트랜지스터(Td)의 제 1 드레인 전극(264)에 연결될 수 있다. 본 발명에서, 유기발광다이오드 표시장치는, 유기발광층으로부터의 빛이 애노드와 기판(201)을 통과하여 영상을 표시하는 하부 발광(bottom-emission) 방식이거나, 유기발광층으로부터의 빛이 캐소

드를 통과하여 영상을 표시하는 상부 발광(top-emission) 방식일 수 있다.

- [0115] 발광다이오드(E)는 구동 박막트랜지스터(Td)가 형성되는 기판(201)에 형성되거나, 기판(201)과 마주하는 대향 기판(counter substrate)에 형성될 수 있다.
- [0116] 스토리지 캐패시터(Cst)는 제 1 스토리지 캐패시터(Cst1)를 포함한다. 제 1 스토리지 캐패시터(Cst1)는 제 1 산화물 반도체층(210)의 일부와 제 1 게이트 전극(242)의 제 1 연장부(246)가 중첩하여 형성된다.
- [0117] 제 1 스토리지 캐패시터(Cst1)는 제 1 게이트 전극(242)의 제 1 연장부(246) 가장자리 부분인 제 1 스토리지 전극(미도시)과, 제 1 게이트 전극(242)의 제 1 연장부(246)와 중첩하는 제 1 산화물 반도체층(210)의 제 2 영역(미도시) 가장자리인 제 2 스토리지 전극(미도시)을 포함한다. 제 1 산화물 반도체층(210)은 제 1 게이트 전극(242)의 제 1 연장부(246) 형성 공정에서 플라즈마 처리에 의해 환원되는데, 제 1 게이트 전극(242)의 제 1 연장부(246)가 블로킹 마스크로 이용되기 때문에 제 1 산화물 반도체층(210)의 제 2 영역(미도시) 가장자리만이 환원되어 도체화된다. 즉, 제 1 산화물 반도체층(210)의 제 2 영역(미도시) 중앙부는 제 1 게이트 전극(242)의 제 1 연장부(246) 및 제 1 절연막(230)에 의해 가려져 있기 때문에 도체화되지 않는다.
- [0118] 이때, 제 2 스토리지 전극(미도시)은 제 1 게이트 전극(242)의 제 1 연장부(246) 가장자리 끝단으로부터 약 1.5 μm 의 폭을 갖도록 형성된다.
- [0119] 따라서, 제 1 게이트 전극(242)의 제 1 연장부(246) 가장자리인 제 1 스토리지 전극(미도시)과, 제 1 스토리 전극(미도시)과 중첩하는 제 1 산화물 반도체층(210)의 제 2 영역(미도시) 가장자리인 제 2 스토리지 전극(미도시)과, 이들 사이에 위치하는 제 1 절연막(230)은 제 1 스토리지 캐패시터(Cst1)를 구성한다.
- [0120] 또한, 스토리지 캐패시터(Cst)는 제 2 스토리지 캐패시터(Cst2)를 더 포함할 수 있다. 제 2 스토리지 캐패시터(Cst2)는 제 1 산화물 반도체층(210) 중 도체화된 제 5 영역(미도시)인 제 3 스토리지 전극과, 제 2 드레인 전극(268)의 연장부(270)인 제 4 스토리지 전극과, 제 3 및 제 4 스토리지 전극 사이에 위치하는 제 2 절연막(250)을 유전체층으로서 포함한다.
- [0121] 또한, 스토리지 캐패시터(Cst)는 제 3 스토리지 캐패시터(Cst3)를 더 포함한다. 제 3 스토리지 캐패시터(Cst3)는 제 1 산화물 반도체층(210)의 일부와 제 1 게이트 전극(242)의 제 2 연장부(247)가 중첩하여 형성된다.
- [0122] 즉, 제 3 스토리지 캐패시터(Cst3)는 제 1 게이트 전극(242)의 제 2 연장부(247) 가장자리 부분인 제 5 스토리지 전극(282)과, 제 1 게이트 전극(242)의 제 2 연장부(247)와 중첩하는 제 1 산화물 반도체층(210)의 가장자리인 제 6 스토리지 전극(284)을 포함한다. 제 1 산화물 반도체층(210)은 제 1 게이트 전극(242)의 제 2 연장부(247) 형성 공정에서 플라즈마 처리에 의해 환원되는데, 제 1 게이트 전극(242)의 제 2 연장부(247)가 블로킹 마스크로 이용되기 때문에 제 1 산화물 반도체층(210)의 가장자리만이 환원되어 도체화된다. 즉, 제 1 게이트 전극(242)의 제 2 연장부(247)와 중첩하는 제 1 산화물 반도체층(210)의 중앙부는 제 1 게이트 전극(242)의 제 2 연장부(247) 및 제 1 절연막(230)에 의해 가려져 있기 때문에 도체화되지 않는다.
- [0123] 이때, 제 6 스토리지 전극(284)은 제 1 게이트 전극(242)의 제 2 연장부(247) 가장자리 끝단으로부터 약 1.5 μm 의 폭을 갖도록 형성된다.
- [0124] 따라서, 제 1 게이트 전극(242)의 제 2 연장부(247) 가장자리인 제 5 스토리지 전극(282)과, 제 5 스토리 전극(282)과 중첩하는 제 1 산화물 반도체층(210)의 가장자리인 제 6 스토리지 전극(284)과, 이들 사이에 위치하는 제 1 절연막(230)은 제 3 스토리지 캐패시터(Cst3)를 구성한다.
- [0125] 본 발명의 제 2 실시예에 따른 유기발광다이오드 표시장치에서, 제 1 내지 제 3 스토리지 캐패시터(Cst1, Cst2, Cst3)는 제 1 산화물 반도체층(210)의 일부를 제 2, 제 3 및 제 6 스토리지 전극으로 이용하기 때문에, 개구율 저하 없이 정전 용량을 최대화할 수 있다.
- [0126] 이때, 제 1 스토리지 캐패시터(Cst1)와 제 3 스토리지 캐패시터(Cst3) 각각은 제 1 게이트 전극(242)의 제 1 및 제 2 연장부(246, 247) 가장자리를 따라 형성되기 때문에, 제 1 스토리지 캐패시터(Cst1)와 제 3 스토리지 캐패시터(Cst3) 각각의 면적은 비교적 작다. 그러나, 제 1 게이트 절연막(230)이 비교적 작은 두께를 갖기 때문에, 제 1 스토리지 캐패시터(Cst1) 및 제 3 스토리지 캐패시터(Cst3)는 충분한 정전 용량을 갖는다.
- [0127] 즉, 제 1 스토리지 캐패시터(Cst1) 및 제 3 스토리지 캐패시터(Cst3)는 제 1 절연막(130)을 유전체층으로 포함하는데, 제 1 절연막(130)은 무기 절연물질로 이루어지고 비교적 얇은 두께를 갖는다. 따라서, 제 1 스토리지 캐패시터(Cst1) 및 제 3 스토리지 캐패시터(Cst3)의 면적이 비교적 작더라도, 충분한 정전 용량을 얻을 수

있다.

[0128] 전술한 바와 같이, 본 발명의 유기발광다이오드 표시장치에서는, 상부 스토리지 전극을 블로킹 마스크로 하여 하부의 산화물 반도체층이 환원되고, 산화물 반도체층의 환원된 부분이 하부 스토리지 전극으로 이용되기 때문에, 별도의 하부 전극을 형성할 필요가 없다. 따라서, 유기발광다이오드 표시장치의 개구율 감소 없이 정전 용량을 늘릴 수 있다.

[0129] 또한, 제 1 및 제 3 스토리지 캐패시터는 얇은 두께의 제 1 절연막을 유전체층으로 포함하기 때문에, 스토리지 전극이 비교적 작은 면적을 갖더라도 충분한 정전 용량을 얻을 수 있다. 따라서, 유기발광다이오드 표시장치의 개구율 저하를 최소화할 수 있다.

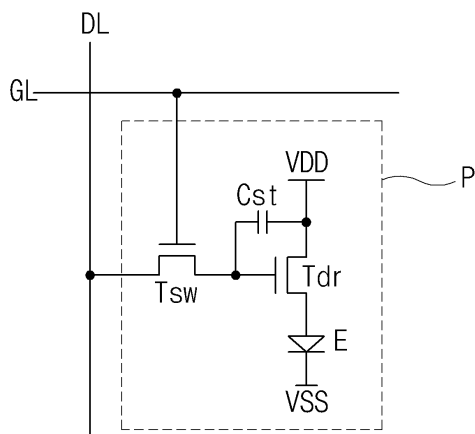
[0130] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 통상의 기술자는 하기의 특허청구범위에 기재된 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

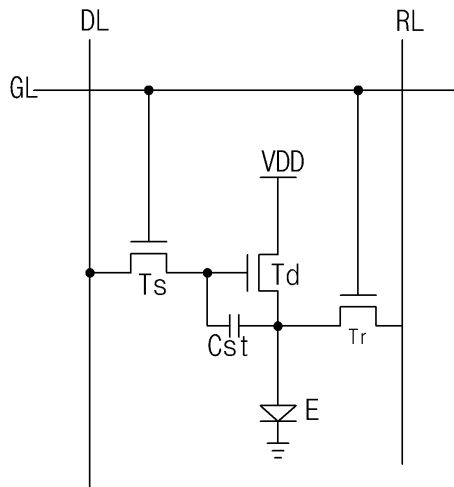
- [0131] 110, 120, 210, 220: 제 1 및 제 2 산화물 반도체층
- 130: 제 1 절연막
- 142, 144, 148, 242, 244, 248: 제 1 내지 제 3 게이트 전극
- 146, 246, 247: 제 1 게이트 전극의 연장부
- 150: 제 2 절연막
- 151, 152, 153, 154, 155: 제 1 내지 제 5 콘택홀
- 162, 166, 172, 262, 266, 272: 제 1 내지 제 3 소스 전극
- 164, 168, 174, 264, 268, 274: 제 1 내지 제 3 드레인 전극
- 170, 270: 제 2 드레인 전극의 연장부
- 149: 제 1 스토리지 전극 118: 제 2 스토리지 전극
- 282: 제 5 스토리지 전극 284: 제 6 스토리지 전극
- Cst1, Cst2, Cst3: 제 1 내지 제 3 스토리지 캐패시터

도면

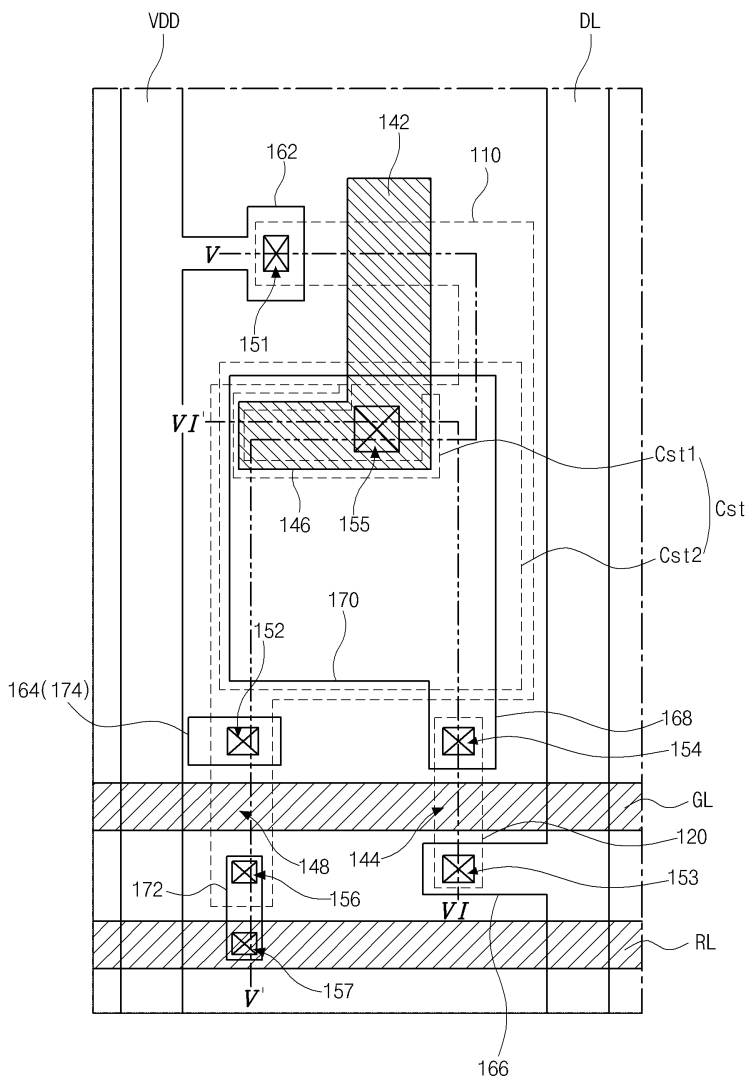
도면1



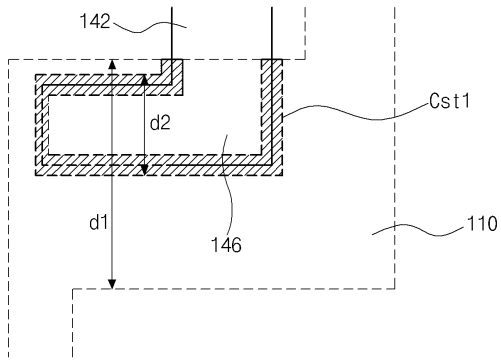
도면2



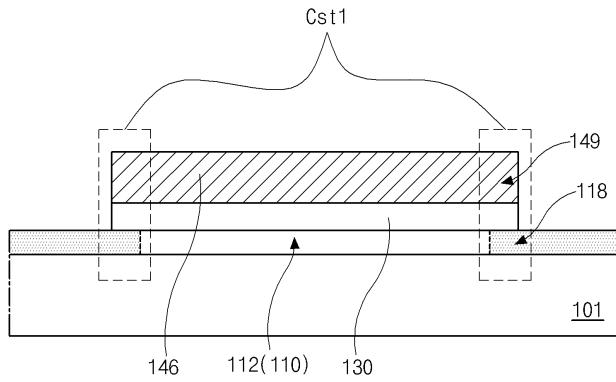
도면3



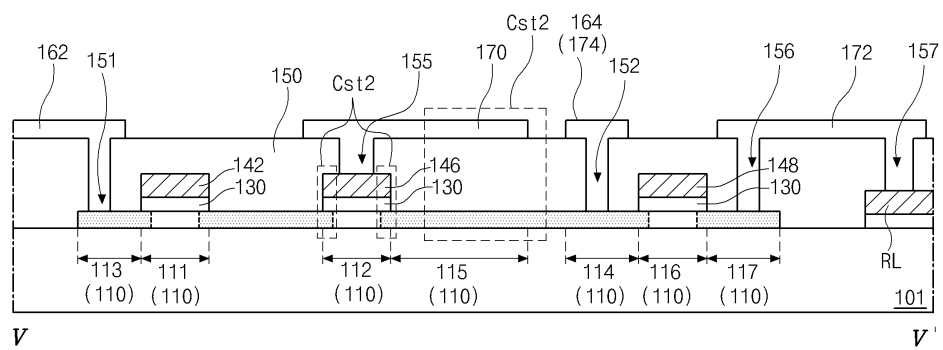
도면4a



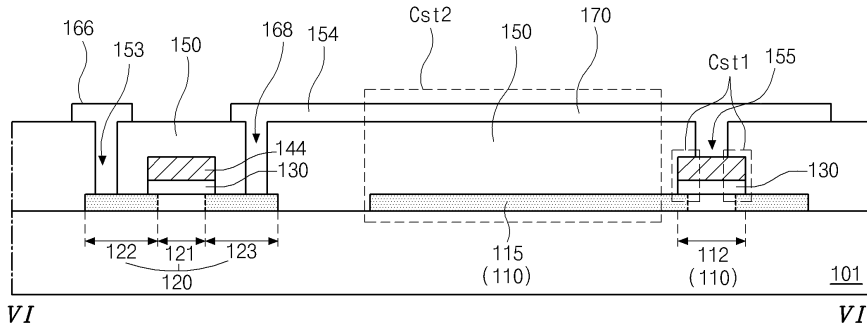
도면4b



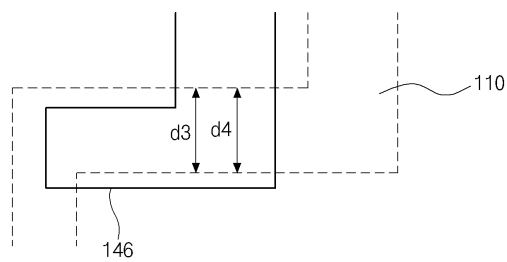
도면5



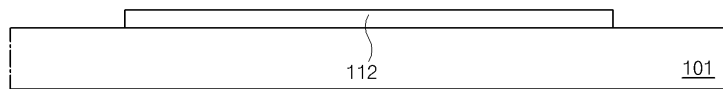
도면6



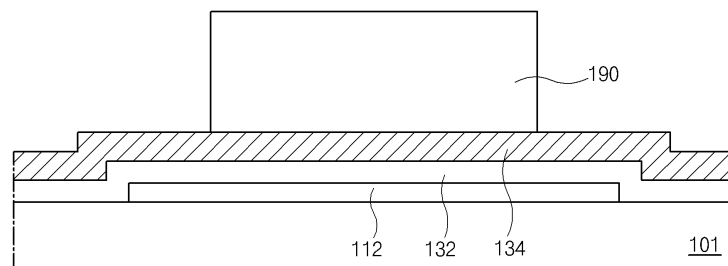
도면7



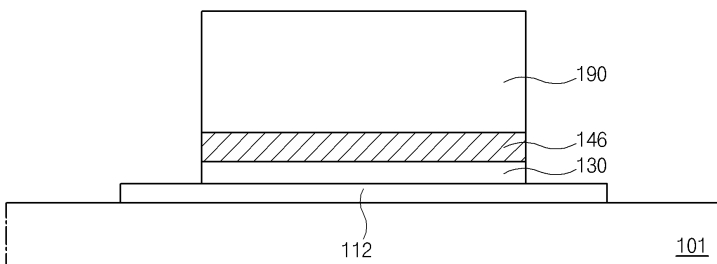
도면8a



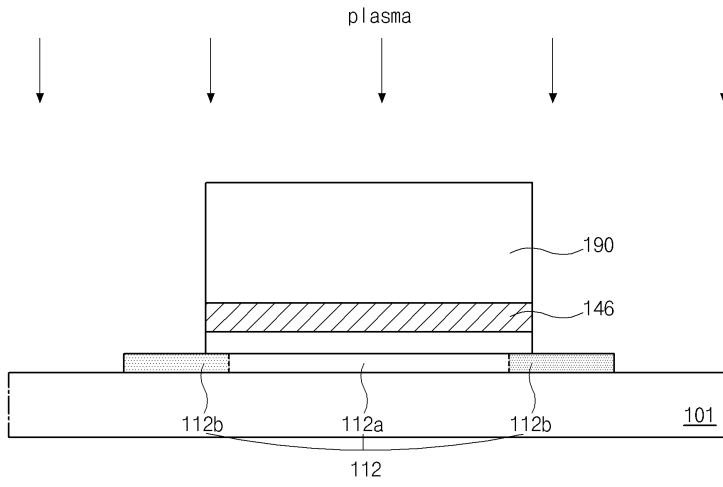
도면8b



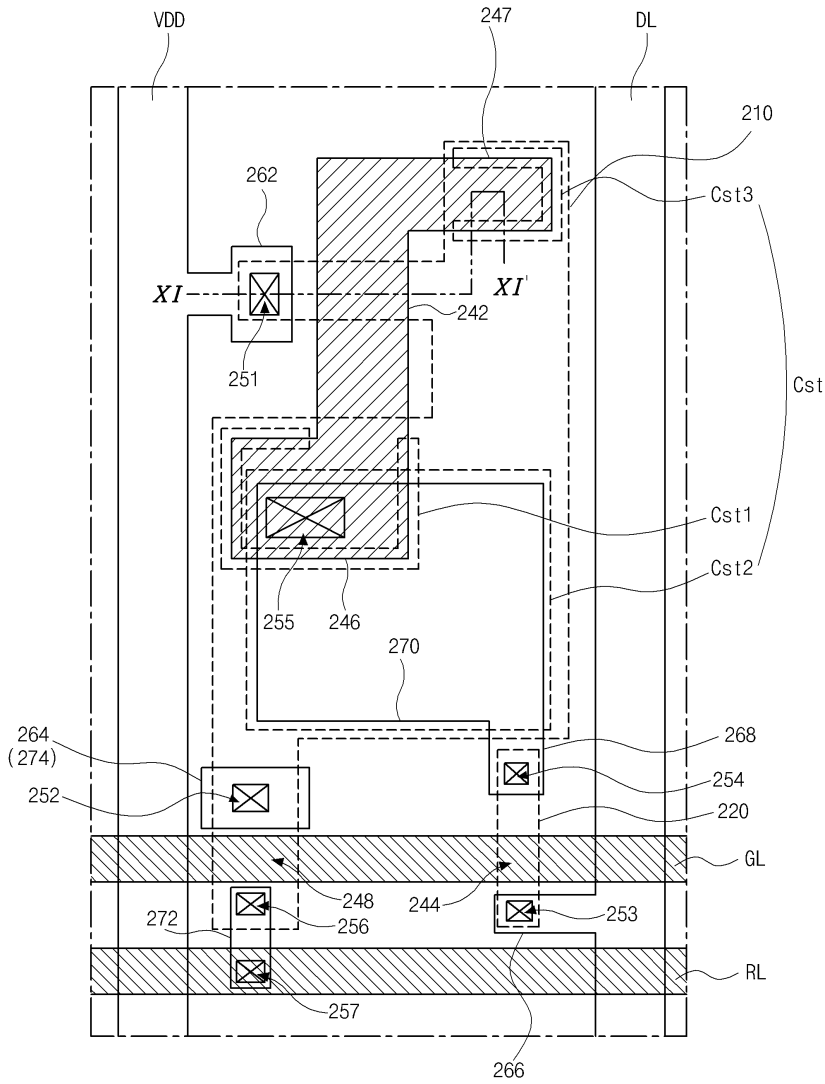
도면8c



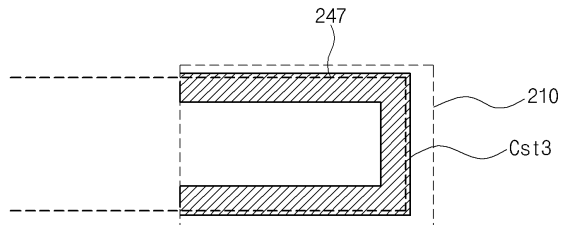
도면8d



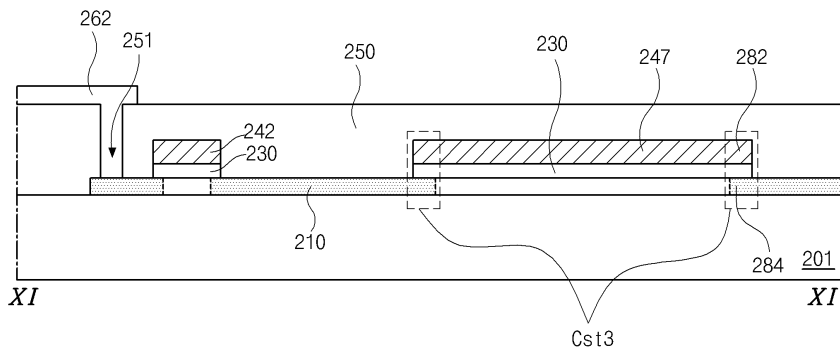
도면9



도면10



도면11



专利名称(译)	标题 : OLED显示装置及其制造方法		
公开(公告)号	KR1020150061579A	公开(公告)日	2015-06-04
申请号	KR1020140162848	申请日	2014-11-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOO KYO SEOP 추교섭 BAE JONG UK 배종욱 CHO BO KYOUNG 조보경		
发明人	추교섭 배종욱 조보경		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	H01L27/1225 H01L27/124 H01L27/1255 H01L27/1288 H01L27/3265		
优先权	1020130144341 2013-11-26 KR		
外部链接	Espacenet		

摘要(译)

根据本发明，底部存储电极通过导电氧化物半导体层形成，该氧化物半导体层与顶部存储电极的边缘重叠。存储电容器由顶部存储电极，底部存储电极和顶部存储电极与底部存储电极之间的栅极绝缘层组成。栅极绝缘层具有相对薄的厚度。从而，提高了存储容量.COPYRIGHT KIPO 2015

