



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0086174
(43) 공개일자 2014년07월08일

(51) 국제특허분류(Int. Cl.)

G09G 3/30 (2006.01)

(21) 출원번호 10-2012-0156337

(22) 출원일자 2012년12월28일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

권명호

충청남도 천안시 동남구 신촌4로 16 초원아파트
107동 609호

이창진

부산광역시 금정구 학산로21번길 19 한성빌라 50
2호

(뒷면에 계속)

(74) 대리인

박영우

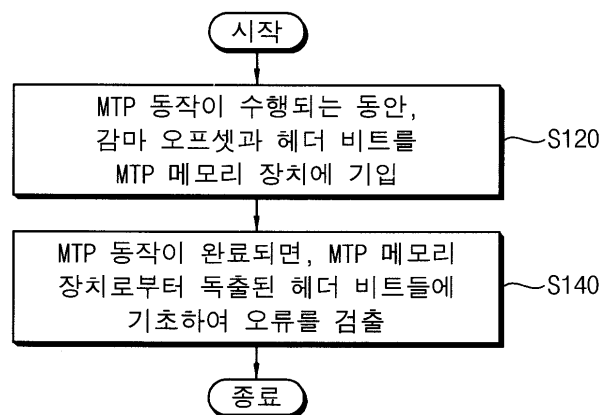
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 멀티-타임 프로그래머블 동작의 오류 검출 방법 및 이를 채용한 유기 발광 표시 장치

(57) 요약

멀티-타임 프로그래머블(multi-time programmable; MTP) 동작의 오류 검출 방법은 화소 회로에 대하여 MTP 동작이 수행되는 동안에, 기준 계조들 별로 감마 오프셋 및 감마 오프셋의 기입 여부를 나타내는 헤더 비트를 MTP 메모리 장치에 기입하고, 화소 회로에 대하여 MTP 동작이 완료되면, 기준 계조들 별로 MTP 메모리 장치로부터 독출된 헤더 비트들에 대한 논리 연산에 기초하여 MTP 동작이 수행되었는지 여부를 확인할 수 있다.

대표도 - 도1



(72) 발명자

이창길

경기도 화성시 동탄시범한빛길 10 한화꿈에그린 아파트 234동 704호

김태식

서울특별시 광진구 자양로26길 70 한양빌라 1동 301호

특허청구의 범위

청구항 1

화소 회로에 대하여 멀티-타임 프로그래머블(multi-time programmable; MTP) 동작이 수행되는 동안에, 기 설정된 기준 계조들 별로 감마 오프셋(gamma offset) 및 상기 감마 오프셋의 기입 여부를 나타내는 헤더 비트(header bit)를 MTP 메모리 장치에 기입하는 단계; 및

상기 화소 회로에 대하여 상기 MTP 동작이 완료되면, 상기 기준 계조들 별로 상기 MTP 메모리 장치로부터 독출된 헤더 비트들에 대한 논리 연산에 기초하여 상기 MTP 동작이 수행되었는지 여부를 확인하는 단계를 포함하는 멀티-타임 프로그래머블 동작의 오류 검출 방법.

청구항 2

제 1 항에 있어서, 상기 화소 회로는 적색(red) 화소 회로, 녹색(green) 화소 회로 및 청색(blue) 화소 회로를 포함하는 것을 특징으로 하는 멀티-타임 프로그래머블 동작의 오류 검출 방법.

청구항 3

제 2 항에 있어서, 상기 화소 회로는 백색(white) 화소 회로를 더 포함하는 것을 특징으로 하는 멀티-타임 프로그래머블 동작의 오류 검출 방법.

청구항 4

제 1 항에 있어서, 상기 MTP 메모리 장치에 각각 기입하는 단계는

상기 기준 계조들 별로, 감마 오프셋이 상기 MTP 메모리 장치에 기입되면, 상기 헤더 비트가 제 1 논리 레벨을 갖도록 설정하는 단계; 및

상기 기준 계조들 별로, 상기 감마 오프셋이 상기 MTP 메모리 장치에 기입되지 않으면, 상기 헤더 비트가 제 2 논리 레벨을 갖도록 설정하는 단계를 포함하는 것을 특징으로 하는 멀티-타임 프로그래머블 동작의 오류 검출 방법.

청구항 5

제 4 항에 있어서, 상기 논리 연산에 기초하여 상기 MTP 동작이 수행되었는지 여부를 확인하는 단계는

상기 독출된 헤더 비트들 중에서 적어도 하나 이상이 상기 제 2 논리 레벨을 가지면, 상기 MTP 동작이 수행되지 않은 것으로 판단하는 단계; 및

상기 독출된 헤더 비트들 모두가 상기 제 1 논리 레벨을 가지면, 상기 MTP 동작이 수행된 것으로 판단하는 단계를 포함하는 것을 특징으로 하는 멀티-타임 프로그래머블 동작의 오류 검출 방법.

청구항 6

제 5 항에 있어서, 상기 제 1 논리 레벨은 이진 '1'에 상응하고, 상기 제 2 논리 레벨은 이진 '0'에 상응하는 것을 특징으로 하는 멀티-타임 프로그래머블 동작의 오류 검출 방법.

청구항 7

제 6 항에 있어서, AND 게이트를 이용하여 상기 독출된 헤더 비트들에 대한 AND 연산을 수행함에 따라 상기 AND 게이트로부터 결과 비트가 출력되면,

상기 결과 비트가 이진 '0'인 경우, 상기 화소 회로에 대하여 상기 MTP 동작이 수행되지 않은 것으로 판단되고,

상기 결과 비트가 이진 '1'인 경우, 상기 화소 회로에 대하여 상기 MTP 동작이 수행된 것으로 판단되는 것을 특징으로 하는 멀티-타임 프로그래머블 동작의 오류 검출 방법.

청구항 8

화소 회로에 대하여 멀티-타임 프로그래머블(multi-time programmable; MTP) 동작이 수행되는 동안에, 기 설정된 기준 계조들 별로 감마 오프셋(gamma offset) 및 상기 감마 오프셋의 기입 여부를 나타내는 헤더 비트(header bit)를 MTP 버퍼 장치에 갱신(update)하여 기입하는 단계;

상기 화소 회로에 대하여 상기 MTP 동작이 완료되면, 상기 MTP 버퍼 장치에서 최종적으로 갱신된 상기 감마 오프셋과 상기 헤더 비트를 상기 기준 계조들 별로 MTP 메모리 장치에 기입하는 단계; 및

상기 MTP 버퍼 장치에 기입된 상기 감마 오프셋의 각 비트(bit)와 상기 MTP 메모리 장치에 기입된 상기 감마 오프셋의 각 비트에 대한 논리 연산에 기초하여 상기 MTP 메모리 장치에 상기 감마 오프셋이 제대로 기입되었는지 여부를 확인하는 단계를 포함하는 멀티-타임 프로그래머블 동작의 오류 검출 방법.

청구항 9

제 8 항에 있어서, 상기 화소 회로는 적색(red) 화소 회로, 녹색(green) 화소 회로 및 청색(blue) 화소 회로를 포함하는 것을 특징으로 하는 멀티-타임 프로그래머블 동작의 오류 검출 방법.

청구항 10

제 9 항에 있어서, 상기 화소 회로는 백색(white) 화소 회로를 더 포함하는 것을 특징으로 하는 멀티-타임 프로그래머블 동작의 오류 검출 방법.

청구항 11

제 8 항에 있어서, 상기 논리 연산에 기초하여 상기 감마 오프셋이 제대로 기입되었는지 여부를 확인하는 단계는

상기 MTP 버퍼 장치에 기입된 상기 감마 오프셋의 각 비트와 상기 MTP 메모리 장치에 기입된 상기 감마 오프셋의 각 비트가 서로 일치하면, 상기 감마 오프셋이 제대로 기입된 것으로 판단하는 단계; 및

상기 MTP 버퍼 장치에 기입된 상기 감마 오프셋의 각 비트와 상기 MTP 메모리 장치에 기입된 상기 감마 오프셋의 각 비트가 서로 일치하지 않으면, 상기 감마 오프셋이 제대로 기입되지 않은 것으로 판단하는 단계를 포함하는 것을 특징으로 하는 멀티-타임 프로그래머블 동작의 오류 검출 방법.

청구항 12

제 11 항에 있어서, XOR 게이트들을 이용하여 상기 MTP 버퍼 장치에 기입된 상기 감마 오프셋의 각 비트와 상기 MTP 메모리 장치에 기입된 상기 감마 오프셋의 각 비트에 대한 XOR 연산을 수행함에 따라 상기 XOR 게이트들로부터 제 1 결과 비트들이 출력되고, OR 게이트를 이용하여 상기 제 1 결과 비트들에 대한 OR 연산을 수행함에 따라 상기 OR 게이트로부터 제 2 결과 비트가 출력되면,

상기 제 2 결과 비트가 이진 '1'인 경우, 상기 화소 회로에 대하여 상기 감마 오프셋이 제대로 기입되지 않은 것으로 판단되고,

상기 제 2 결과 비트가 이진 '0'인 경우, 상기 화소 회로에 대하여 상기 감마 오프셋이 제대로 기입된 것으로 판단되는 것을 특징으로 하는 멀티-타임 프로그래머블 동작의 오류 검출 방법.

청구항 13

복수의 화소 회로들을 구비한 표시 패널;

상기 화소 회로들에 스캔 신호를 제공하는 스캔 구동부;

상기 화소 회로들에 데이터 신호를 제공하는 데이터 구동부;

상기 화소 회로들에 고전원 전압과 저전원 전압을 제공하는 전원 공급부;

상기 화소 회로들에 대하여 기 설정된 기준 계조들 별로 멀티-타임 프로그래머블(multi-time programmable; MTP) 동작을 수행하여 생성되는 감마 오프셋(gamma offset)들에 기초하여 상기 데이터 신호를 조절하고, 상기 감마 오프셋들의 기입 여부를 나타내는 헤더 비트(header bit)들 또는 상기 감마 오프셋들에 기초하여 상기 MTP 동작의 오류를 검출하는 MTP 처리부; 및

상기 스캔 구동부, 상기 데이터 구동부, 상기 전원 공급부 및 상기 MTP 처리부를 제어하는 타이밍 제어부를 포함하는 유기 발광 표시 장치.

청구항 14

제 13 항에 있어서, 상기 MTP 처리부는 상기 데이터 구동부 또는 상기 타이밍 제어부 내에 위치하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 15

제 13 항에 있어서, 상기 화소 회로들은 적색(red) 화소 회로들, 녹색(green) 화소 회로들 및 청색(blue) 화소 회로들을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 16

제 15 항에 있어서, 상기 화소 회로들은 백색(white) 화소 회로들을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 17

제 13 항에 있어서, 상기 MTP 처리부는

상기 화소 회로들에 대하여 상기 MTP 동작이 수행되는 동안에, 상기 감마 오프셋들과 상기 헤더 비트들을 갱신(update)하여 저장하는 MTP 버퍼 장치;

상기 화소 회로들에 대하여 상기 MTP 동작이 완료되면, 상기 MTP 버퍼 장치에서 최종적으로 갱신된 상기 감마 오프셋들과 상기 헤더 비트들을 상기 MTP 버퍼 장치로부터 수신하여 저장하는 MTP 메모리 장치;

상기 MTP 메모리 장치에 저장된 상기 감마 오프셋들에 기초하여 상기 데이터 신호를 조절하는 데이터 신호 조절 장치; 및

상기 MTP 버퍼 장치 또는 상기 MTP 메모리 장치로부터 상기 감마 오프셋들과 상기 헤더 비트들을 독출하여 상기 MTP 동작의 오류를 검출하는 오류 검출 장치를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 18

제 17 항에 있어서, 상기 헤더 비트들은 상기 감마 오프셋들이 상기 MTP 메모리 장치에 기입되면, 제 1 논리 레벨을 갖도록 설정되고, 상기 감마 오프셋들이 상기 MTP 메모리 장치에 기입되지 않으면, 제 2 논리 레벨을 갖도록 설정되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 19

제 18 항에 있어서, 상기 오류 검출 장치는 상기 MTP 메모리 장치에 기입된 상기 헤더 비트들 중에서 적어도 하나 이상이 상기 제 2 논리 레벨을 가지면, 상기 MTP 동작이 수행되지 않은 것으로 판단하고, 상기 MTP 메모리 장치에 기입된 상기 헤더 비트들 모두가 상기 제 1 논리 레벨을 가지면, 상기 MTP 동작이 수행된 것으로 판단하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 20

제 18 항에 있어서, 상기 오류 검출 장치는 상기 MTP 버퍼 장치에 기입된 상기 감마 오프셋들의 각 비트와 상기 MTP 메모리 장치에 기입된 상기 감마 오프셋들의 각 비트가 서로 일치하면, 상기 감마 오프셋이 제대로 기입된 것으로 판단하고, 상기 MTP 버퍼 장치에 기입된 상기 감마 오프셋들의 각 비트와 상기 MTP 메모리 장치에 기입된 상기 감마 오프셋들의 각 비트가 서로 일치하지 않으면, 상기 감마 오프셋이 제대로 기입되지 않은 것으로 판단하는 것을 특징으로 하는 유기 발광 표시 장치.

명세서

기술분야

[0001] 본 발명은 표시 장치에 관한 것이다. 보다 상세하게는, 본 발명은 멀티-타임 프로그래머블(multi-time

programmable; MTP) 동작의 오류 검출 방법 및 이를 채용한 유기 발광 표시 장치에 관한 것이다.

배경 기술

- [0002] 최근, 전자 기기의 표시 장치로서 휘도 및 색순도가 뛰어나고, 얇고 가볍게 제조되는 유기 발광 표시 장치가 크게 주목받고 있다. 하지만, 유기 발광 표시 장치가 제조됨에 있어서 제조 공정 상의 편차 등으로 인하여 완성 제품의 화질이 목표치에 도달하지 못하는 경우 해당 제품은 불량으로 판정될 수 있다. 그러나, 화질이 목표치에 미치지 못하는 완성 제품을 모두 불량으로 판정하여 폐기하는 것은 효율적이지 못하므로, 유기 발광 표시 장치의 화질을 목표치에 맞게 후보정하는 것이 요구된다.
- [0003] 일반적으로, 유기 발광 표시 장치의 화질을 목표치에 맞추기 위해 화소 회로들 각각에 대하여 색좌표 및 휘도 측면에서 반복적으로 후보정하는 MTP 동작이 수행될 수 있다. 그러나, 특정 화소 회로에 대하여 MTP 동작이 수행되지 않거나 또는 감마 오프셋(gamma offset)이 잘못 기입(즉, MTP 동작의 오류가 발생)될 수 있다. 그 결과, 정상 상태인 완성 제품이 불량으로 판정받거나 또는 불량 상태인 완성 제품이 정상으로 판정받을 수 있다. 그러나, 종래에는 이러한 오류를 검사자가 직접 눈으로 검출하였기 때문에 MTP 동작의 오류 검출에 있어 정확도가 떨어진다는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0004] 본 발명의 일 목적은 유기 발광 표시 장치의 화질을 목표치에 맞추고자 화소 회로에 대하여 멀티-타임 프로그래머블 동작을 수행함에 있어서, 멀티-타임 프로그래머블 동작이 수행되었는지 여부를 정확하게 검출할 수 있는 멀티-타임 프로그래머블 동작의 오류 검출 방법을 제공하는 것이다.
- [0005] 본 발명의 다른 목적은 유기 발광 표시 장치의 화질을 목표치에 맞추고자 화소 회로에 대하여 멀티-타임 프로그래머블 동작을 수행함에 있어서, 감마 오프셋이 MTP 메모리 장치에 제대로 기입되었는지 여부를 정확하게 검출할 수 있는 멀티-타임 프로그래머블 동작의 오류 검출 방법을 제공하는 것이다.
- [0006] 본 발명의 또 다른 목적은 상기 멀티-타임 프로그래머블 동작의 오류 검출 방법을 채용한 유기 발광 표시 장치를 제공하는 것이다.
- [0007] 다만, 본 발명이 해결하고자 하는 과제는 상술한 과제들에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

- [0008] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 멀티-타임 프로그래머블 동작의 오류 검출 방법은 화소 회로에 대하여 멀티-타임 프로그래머블(multi-time programmable; MTP) 동작이 수행되는 동안에, 기 설정된 기준 계조들 별로 감마 오프셋(gamma offset) 및 상기 감마 오프셋의 기입 여부를 나타내는 헤더 비트(header bit)를 MTP 메모리 장치에 기입하는 단계, 및 상기 화소 회로에 대하여 상기 MTP 동작이 완료되면, 상기 기준 계조들 별로 상기 MTP 메모리 장치로부터 독출된 헤더 비트들에 대한 논리 연산에 기초하여 상기 MTP 동작이 수행되었는지 여부를 확인하는 단계를 포함할 수 있다.
- [0009] 일 실시예에 의하면, 상기 화소 회로는 적색(red) 화소 회로, 녹색(green) 화소 회로 및 청색(blue) 화소 회로를 포함할 수 있다.
- [0010] 일 실시예에 의하면, 상기 화소 회로는 백색(white) 화소 회로를 더 포함할 수 있다.
- [0011] 일 실시예에 의하면, 상기 MTP 메모리 장치에 각각 기입하는 단계는 상기 기준 계조들 별로, 감마 오프셋이 상기 MTP 메모리 장치에 기입되면, 상기 헤더 비트가 제 1 논리 레벨을 갖도록 설정하는 단계, 및 상기 기준 계조들 별로, 상기 감마 오프셋이 상기 MTP 메모리 장치에 기입되지 않으면, 상기 헤더 비트가 제 2 논리 레벨을 갖도록 설정하는 단계를 포함할 수 있다.
- [0012] 일 실시예에 의하면, 상기 논리 연산에 기초하여 상기 MTP 동작이 수행되었는지 여부를 확인하는 단계는 상기 독출된 헤더 비트들 중에서 적어도 하나 이상이 상기 제 2 논리 레벨을 가지면, 상기 MTP 동작이 수행되지 않은 것으로 판단하는 단계, 및 상기 독출된 헤더 비트들 모두가 상기 제 1 논리 레벨을 가지면, 상기 MTP 동작이 수행된 것으로 판단하는 단계를 포함할 수 있다.

- [0013] 일 실시예에 의하면, 상기 제 1 논리 레벨은 이진 '1'에 상응하고, 상기 제 2 논리 레벨은 이진 '0'에 상응할 수 있다.
- [0014] 일 실시예에 의하면, AND 게이트를 이용하여 상기 독출된 헤더 비트들에 대한 AND 연산을 수행함에 따라 상기 AND 게이트로부터 결과 비트가 출력되면, 상기 결과 비트가 이진 '0'인 경우, 상기 화소 회로에 대하여 상기 MTP 동작이 수행되지 않은 것으로 판단될 수 있고, 상기 결과 비트가 이진 '1'인 경우, 상기 화소 회로에 대하여 상기 MTP 동작이 수행된 것으로 판단될 수 있다.
- [0015] 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 멀티-타임 프로그래머블 동작의 오류 검출 방법은 화소 회로에 대하여 멀티-타임 프로그래머블(multi-time programmable; MTP) 동작이 수행되는 동안에, 기 설정된 기준 계조들 별로 감마 오프셋(gamma offset) 및 상기 감마 오프셋의 기입 여부를 나타내는 헤더 비트(header bit)를 MTP 버퍼 장치에 갱신(update)하여 기입하는 단계, 상기 화소 회로에 대하여 상기 MTP 동작이 완료되면, 상기 MTP 버퍼 장치에서 최종적으로 갱신된 상기 감마 오프셋과 상기 헤더 비트를 상기 기준 계조들 별로 MTP 메모리 장치에 기입하는 단계, 및 상기 MTP 버퍼 장치에 기입된 상기 감마 오프셋의 각 비트(bit)와 상기 MTP 메모리 장치에 기입된 상기 감마 오프셋의 각 비트에 대한 논리 연산에 기초하여 상기 MTP 메모리 장치에 상기 감마 오프셋이 제대로 기입되었는지 여부를 확인하는 단계를 포함할 수 있다.
- [0016] 일 실시예에 의하면, 상기 화소 회로는 적색(red) 화소 회로, 녹색(green) 화소 회로 및 청색(blue) 화소 회로를 포함할 수 있다.
- [0017] 일 실시예에 의하면, 상기 화소 회로는 백색(white) 화소 회로를 더 포함할 수 있다.
- [0018] 일 실시예에 의하면, 상기 논리 연산에 기초하여 상기 감마 오프셋이 제대로 기입되었는지 여부를 확인하는 단계는 상기 MTP 버퍼 장치에 기입된 상기 감마 오프셋의 각 비트와 상기 MTP 메모리 장치에 기입된 상기 감마 오프셋의 각 비트가 서로 일치하면, 상기 감마 오프셋이 제대로 기입된 것으로 판단하는 단계, 및 상기 MTP 버퍼 장치에 기입된 상기 감마 오프셋의 각 비트와 상기 MTP 메모리 장치에 기입된 상기 감마 오프셋의 각 비트가 서로 일치하지 않으면, 상기 감마 오프셋이 제대로 기입되지 않은 것으로 판단하는 단계를 포함할 수 있다.
- [0019] 일 실시예에 의하면, XOR 게이트들을 이용하여 상기 MTP 버퍼 장치에 기입된 상기 감마 오프셋의 각 비트와 상기 MTP 메모리 장치에 기입된 상기 감마 오프셋의 각 비트에 대한 XOR 연산을 수행함에 따라 상기 XOR 게이트들로부터 제 1 결과 비트들이 출력되고, OR 게이트를 이용하여 상기 제 1 결과 비트들에 대한 OR 연산을 수행함에 따라 상기 OR 게이트로부터 제 2 결과 비트가 출력되면, 상기 제 2 결과 비트가 이진 '1'인 경우, 상기 화소 회로에 대하여 상기 감마 오프셋이 제대로 기입되지 않은 것으로 판단될 수 있고, 상기 제 2 결과 비트가 이진 '0'인 경우, 상기 화소 회로에 대하여 상기 감마 오프셋이 제대로 기입된 것으로 판단될 수 있다.
- [0020] 본 발명의 또 다른 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 유기 발광 표시 장치는 복수의 화소 회로들을 구비한 표시 패널, 상기 화소 회로들에 스캔 신호를 제공하는 스캔 구동부, 상기 화소 회로들에 데이터 신호를 제공하는 데이터 구동부, 상기 화소 회로들에 고전원 전압과 저전원 전압을 제공하는 전원 공급부, 상기 화소 회로들에 대하여 기 설정된 기준 계조들 별로 멀티-타임 프로그래머블(multi-time programmable; MTP) 동작을 수행하여 생성되는 감마 오프셋(gamma offset)들에 기초하여 상기 데이터 신호를 조절하고, 상기 감마 오프셋들의 기입 여부를 나타내는 헤더 비트(header bit)들 또는 상기 감마 오프셋들에 기초하여 상기 MTP 동작의 오류를 검출하는 MTP 처리부, 및 상기 스캔 구동부, 상기 데이터 구동부, 상기 전원 공급부 및 상기 MTP 처리부를 제어하는 타이밍 제어부를 포함할 수 있다.
- [0021] 일 실시예에 의하면, 상기 MTP 처리부는 상기 데이터 구동부 또는 상기 타이밍 제어부 내에 위치할 수 있다.
- [0022] 일 실시예에 의하면, 상기 화소 회로들은 적색(red) 화소 회로들, 녹색(green) 화소 회로들 및 청색(blue) 화소 회로들을 포함할 수 있다.
- [0023] 일 실시예에 의하면, 상기 화소 회로들은 백색(white) 화소 회로들을 더 포함할 수 있다.
- [0024] 일 실시예에 의하면, 상기 MTP 처리부는 상기 화소 회로들에 대하여 상기 MTP 동작이 수행되는 동안에, 상기 감마 오프셋들과 상기 헤더 비트들을 갱신하여 저장하는 MTP 버퍼 장치, 상기 화소 회로들에 대하여 상기 MTP 동작이 완료되면, 상기 MTP 버퍼 장치에서 최종적으로 갱신된 상기 감마 오프셋들과 상기 헤더 비트들을 상기 MTP 버퍼 장치로부터 수신하여 저장하는 MTP 메모리 장치, 상기 MTP 메모리 장치에 저장된 상기 감마 오프셋들에 기초하여 상기 데이터 신호를 조절하는 데이터 신호 조절 장치, 및 상기 MTP 버퍼 장치 또는 상기 MTP 메모리 장치로부터 상기 감마 오프셋들과 상기 헤더 비트들을 독출하여 상기 MTP 동작의 오류를 검출하는 오류 검출 장

치를 포함할 수 있다.

[0025] 일 실시예에 의하면, 상기 헤더 비트들은 상기 감마 오프셋들이 상기 MTP 메모리 장치에 기입되면, 제 1 논리 레벨을 갖도록 설정되고, 상기 감마 오프셋들이 상기 MTP 메모리 장치에 기입되지 않으면, 제 2 논리 레벨을 갖도록 설정될 수 있다.

[0026] 일 실시예에 의하면, 상기 오류 검출 장치는 상기 MTP 메모리 장치에 기입된 상기 헤더 비트들 중에서 적어도 하나 이상이 상기 제 2 논리 레벨을 가지면, 상기 MTP 동작이 수행되지 않은 것으로 판단하고, 상기 MTP 메모리 장치에 기입된 상기 헤더 비트들 모두가 상기 제 1 논리 레벨을 가지면, 상기 MTP 동작이 수행된 것으로 판단할 수 있다.

[0027] 일 실시예에 의하면, 상기 오류 검출 장치는 상기 MTP 버퍼 장치에 기입된 상기 감마 오프셋들의 각 비트와 상기 MTP 메모리 장치에 기입된 상기 감마 오프셋들의 각 비트가 서로 일치하면, 상기 감마 오프셋이 제대로 기입된 것으로 판단하고, 상기 MTP 버퍼 장치에 기입된 상기 감마 오프셋들의 각 비트와 상기 MTP 메모리 장치에 기입된 상기 감마 오프셋들의 각 비트가 서로 일치하지 않으면, 상기 감마 오프셋이 제대로 기입되지 않은 것으로 판단할 수 있다.

발명의 효과

[0028] 본 발명의 실시예들에 따른 멀티-타임 프로그래머블 동작의 오류 검출 방법은 유기 발광 표시 장치의 화질을 목표치에 맞추고자 화소 회로에 대하여 멀티-타임 프로그래머블 동작을 수행함에 있어서, MTP 메모리 장치로부터 독출된 헤더 비트들에 대한 논리 연산에 기초하여 멀티-타임 프로그래머블 동작이 수행되었는지 여부를 정확하게 검출할 수 있다.

[0029] 본 발명의 실시예들에 따른 멀티-타임 프로그래머블 동작의 오류 검출 방법은 유기 발광 표시 장치의 화질을 목표치에 맞추고자 화소 회로에 대하여 멀티-타임 프로그래머블 동작을 수행함에 있어서, MTP 버퍼 장치에 기입된 감마 오프셋의 각 비트와 MTP 메모리 장치에 기입된 감마 오프셋의 각 비트에 대한 논리 연산에 기초하여 MTP 메모리 장치에 감마 오프셋이 제대로 기입되었는지 여부를 정확하게 검출할 수 있다.

[0030] 본 발명의 실시예들에 따른 유기 발광 표시 장치는 상기 멀티-타임 프로그래머블 동작의 오류 검출 방법을 채용함으로써, 정상 상태인 완성 제품이 불량으로 판정받거나 또는 불량 상태인 완성 제품이 정상으로 판정받는 가능성을 줄일 수 있다.

[0031] 다만, 본 발명의 효과는 이에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0032] 도 1은 본 발명의 실시예들에 따른 멀티-타임 프로그래머블(MTP) 동작의 오류 검출 방법을 나타내는 순서도이다.

도 2는 도 1의 MTP 동작의 오류 검출 방법에서 MTP 메모리 장치에 기입되는 감마 오프셋과 헤더 비트를 나타내는 도면이다.

도 3은 도 1의 MTP 동작의 오류 검출 방법에서 멀티-타임 프로그래머블 동작이 수행되었는지 여부가 검출되는 일 예를 나타내는 순서도이다.

도 4는 도 1의 MTP 동작의 오류 검출 방법에서 멀티-타임 프로그래머블 동작이 수행되었는지 여부가 검출되는 일 예를 나타내는 블록도이다.

도 5는 본 발명의 실시예들에 따른 멀티-타임 프로그래머블(MTP) 동작의 오류 검출 방법을 나타내는 순서도이다.

도 6은 도 5의 MTP 동작의 오류 검출 방법에서 MTP 메모리 장치에 감마 오프셋이 제대로 기입되었는지 여부가 검출되는 일 예를 나타내는 순서도이다.

도 7은 도 5의 MTP 동작의 오류 검출 방법에서 MTP 메모리 장치에 감마 오프셋이 제대로 기입되었는지 여부가 검출되는 일 예를 나타내는 블록도이다.

도 8은 본 발명의 실시예들에 따른 유기 발광 표시 장치를 나타내는 블록도이다.

도 9는 도 8의 유기 발광 표시 장치에 구비된 MTP 처리부를 나타내는 블록도이다.

도 10은 본 발명의 실시예들에 따른 유기 발광 표시 장치를 나타내는 블록도이다.

도 11은 본 발명의 실시예들에 따른 유기 발광 표시 장치를 구비한 전자 기기를 나타내는 블록도이다.

도 12는 도 11의 전자 기기가 스마트폰으로 구현된 일 예를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.
- [0034] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0035] 제 1, 제 2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로 사용될 수 있다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제 1 구성요소는 제 2 구성요소로 명명될 수 있고, 유사하게 제 2 구성요소도 제 1 구성요소로 명명될 수 있다.
- [0036] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0037] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0038] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미이다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미인 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0039] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0040] 도 1은 본 발명의 실시예들에 따른 멀티-타임 프로그래머블(multi-time programmable; MTP) 동작의 오류 검출 방법을 나타내는 순서도이고, 도 2는 도 1의 MTP 동작의 오류 검출 방법에서 MTP 메모리 장치에 기입되는 감마 오프셋(gamma offset)과 헤더 비트(header bit)를 나타내는 도면이다.
- [0041] 도 1 및 도 2를 참조하면, 도 1의 MTP 동작의 오류 검출 방법은 화소 회로에 대하여 MTP 동작이 수행되는 동안에, 기 설정된 기준 계조들 별로 감마 오프셋(D0, ..., D7) 및 감마 오프셋(D0, ..., D7)의 기입 여부를 나타내는 헤더 비트(H)를 MTP 메모리 장치(10)에 기입(Step S120)하고, 화소 회로에 대하여 MTP 동작이 완료되면, 기 설정된 기준 계조들 별로 MTP 메모리 장치(10)로부터 독출된 헤더 비트(H)들에 대한 논리 연산에 기초하여 MTP 동작이 수행되었는지 여부를 확인(Step S140)할 수 있다.
- [0042] 일반적으로, 유기 발광 표시 장치의 화질을 목표치에 맞추기 위해 화소 회로들 각각에 대하여 색좌표 및 휘도 측면에서 반복적으로 후보정하는 MTP 동작이 수행될 수 있다. 이 때, 도 2에 도시된 바와 같이, 도 1의 MTP 동작의 오류 검출 방법은 화소 회로에 대하여 MTP 동작이 수행되는 동안에, 기 설정된 기준 계조들(예를 들어, 15

계조, 35 계조, 255 계조 등) 별로 감마 오프셋(D0, ..., D7) 뿐만 아니라, 감마 오프셋(D0, ..., D7)의 기입 여부를 나타내는 헤더 비트(H)까지 MTP 메모리 장치(10)에 기입할 수 있다. 이 때, 어드레스(ADDRESS_N)는 화소 회로에 대한 감마 오프셋(D0, ..., D7) 및 이의 기입 여부를 나타내는 헤더 비트(H)의 MTP 메모리 장치(10) 내에서의 저장 위치를 나타내는데, MTP 동작이 반복적으로 수행되어 화소 회로에 대한 감마 오프셋(D0, ..., D7) 및 이의 기입 여부를 나타내는 헤더 비트(H)도 반복적으로 기입되는 것이므로, 어드레스(ADDRESS_N)는 실질적으로 화소 회로에 대한 MTP 동작의 횟수에 상응할 수 있다.

[0043] 일반적으로, MTP 동작은 표시 패널 내의 복수의 화소 회로들 각각에 대하여 수행될 수 있다. 일 실시예에서, 화소 회로들은 적색(red) 화소 회로들, 녹색(green) 화소 회로들 및 청색(blue) 화소 회로들을 포함할 수 있다. 이 경우, 도 2에 도시된 바와 같이, 도 1의 MTP 동작의 오류 검출 방법은 적색 화소 회로들 각각에 대하여 기 설정된 기준 계조들 별로 감마 오프셋(D0, ..., D7) 및 헤더 비트(H)를 MTP 메모리 장치(10)에 기입하고, 녹색 화소 회로들 각각에 대하여 기 설정된 기준 계조들 별로 감마 오프셋(D0, ..., D7) 및 헤더 비트(H)를 MTP 메모리 장치(10)에 기입하며, 청색 화소 회로들 각각에 대하여 기 설정된 기준 계조들 별로 감마 오프셋(D0, ..., D7) 및 헤더 비트(H)를 MTP 메모리 장치(10)에 기입할 수 있다. 다른 실시예에서, 화소 회로들은 적색 화소 회로들, 녹색 화소 회로들, 청색 화소 회로들 및 백색 화소 회로들을 포함할 수 있다. 이 경우, 도 1의 MTP 동작의 오류 검출 방법은 적색 화소 회로들 각각에 대하여 기 설정된 기준 계조들 별로 감마 오프셋(D0, ..., D7) 및 헤더 비트(H)를 MTP 메모리 장치(10)에 기입하고, 녹색 화소 회로들 각각에 대하여 기 설정된 기준 계조들 별로 감마 오프셋(D0, ..., D7) 및 헤더 비트(H)를 MTP 메모리 장치(10)에 기입하며, 청색 화소 회로들 각각에 대하여 기 설정된 기준 계조들 별로 감마 오프셋(D0, ..., D7) 및 헤더 비트(H)를 MTP 메모리 장치(10)에 기입하고, 백색 화소 회로들 각각에 대하여 기 설정된 기준 계조들 별로 감마 오프셋(D0, ..., D7) 및 헤더 비트(H)를 MTP 메모리 장치(10)에 기입할 수 있다.

[0044] 한편, 도 1의 MTP 동작의 오류 검출 방법은 화소 회로에 대하여 MTP 동작이 수행되는 동안에, 기 설정된 기준 계조들 별로 감마 오프셋(D0, ..., D7) 및 감마 오프셋(D0, ..., D7)의 기입 여부를 나타내는 헤더 비트(H)를 MTP 메모리 장치(10)에 기입함에 있어서, 기 설정된 기준 계조들 별로, 감마 오프셋(D0, ..., D7)이 MTP 메모리 장치(10)에 기입되면, 헤더 비트(H)가 제 1 논리 레벨(예를 들어, 이진(binary) '1')을 갖도록 설정하고, 기 설정된 기준 계조들 별로, 감마 오프셋(D0, ..., D7)이 MTP 메모리 장치(10)에 기입되지 않으면, 헤더 비트(H)가 제 2 논리 레벨(예를 들어, 이진 '0')을 갖도록 설정할 수 있다. 이후, 도 1의 MTP 동작의 오류 검출 방법은 화소 회로에 대하여 MTP 동작이 완료되면, 기 설정된 기준 계조들 별로 MTP 메모리 장치(10)로부터 독출된 헤더 비트(H)들에 대한 논리 연산에 기초하여 MTP 동작이 수행되었는지 여부를 확인함에 있어서, MTP 메모리 장치(10)로부터 독출된 헤더 비트(H)들 중에서 적어도 하나 이상이 제 2 논리 레벨을 가지면, MTP 동작이 수행되지 않은 것으로 판단하고, MTP 메모리 장치(10)로부터 독출된 헤더 비트(H)들 모두가 제 1 논리 레벨을 가지면, MTP 동작이 수행된 것으로 판단할 수 있다.

[0045] 일 실시예에서, 제 1 논리 레벨이 이진 '1'에 상응하고, 제 2 논리 레벨이 이진 '0'에 상응할 수 있다. 이 경우, 도 1의 MTP 동작의 오류 검출 방법은 독출된 헤더 비트(H)들에 대한 논리 연산을 수행함에 있어서 AND 게이트를 이용할 수 있다. 구체적으로, 도 1의 MTP 동작의 오류 검출 방법은 AND 게이트를 이용하여 독출된 헤더 비트(H)들에 대한 AND 연산을 수행함에 따라 AND 게이트로부터 결과 비트가 출력되면, 상기 결과 비트가 이진 '0'인 경우, 화소 회로에 대하여 MTP 동작이 수행되지 않은 것으로 판단하고, 상기 결과 비트가 이진 '1'인 경우, 화소 회로에 대하여 MTP 동작이 수행된 것으로 판단할 수 있다. 이에 대해서는 도 3 및 도 4를 참조하여 자세하게 후술하기로 한다. 그러나, 도 1의 MTP 동작의 오류 검출 방법이 독출된 헤더 비트(H)들에 대한 논리 연산을 수행하는 방식이 이에 한정되는 것은 아니다.

[0046] 이와 같이, 도 1의 MTP 동작의 오류 검출 방법은 유기 발광 표시 장치의 화질을 목표치에 맞추고자 화소 회로에 대하여 MTP 동작을 수행함에 있어서, MTP 메모리 장치(10)로부터 독출된 헤더 비트(H)들에 대한 논리 연산에 기초하여 MTP 동작이 수행되었는지 여부를 정확하게 검출할 수 있다. 즉, 종래에는 MTP 동작의 오류를 검사자가 직접 눈으로 검출하였기 때문에 MTP 동작의 오류 검출에 있어 정확도가 떨어지는 문제점이 있었다. 그 결과, 특정 화소 회로에 대하여 MTP 동작이 수행되지 않거나 또는 감마 오프셋이 잘못 기입되어, 정상 상태인 완성 제품이 불량으로 판정받거나 또는 불량 상태인 완성 제품이 정상으로 판정받을 수 있었다. 그러나, 도 1의 MTP 동작의 오류 검출 방법은 화소 회로에 대하여 MTP 동작이 수행되는 동안에, 기 설정된 기준 계조들 별로 감마 오프셋(D0, ..., D7) 뿐만 아니라, 감마 오프셋(D0, ..., D7)의 기입 여부를 나타내는 헤더 비트(H)까지 MTP 메모리 장치(10)에 기입한 후, MTP 메모리 장치(10)로부터 독출된 헤더 비트(H)들에 대한 논리 연산에 기초하여 MTP 동작이 수행되었는지 여부를 검출하기 때문에, 종래에 비하여 MTP 동작의 오류 검출에 있어 정확도를 향상시킬 수

있다.

- [0047] 도 3은 도 1의 MTP 동작의 오류 검출 방법에서 멀티-타임 프로그래머블 동작이 수행되었는지 여부가 검출되는 일 예를 나타내는 순서도이고, 도 4는 도 1의 MTP 동작의 오류 검출 방법에서 멀티-타임 프로그래머블 동작이 수행되었는지 여부가 검출되는 일 예를 나타내는 블록도이다.
- [0048] 도 3 및 도 4를 참조하면, 도 1의 MTP 동작의 오류 검출 방법은 기 설정된 기준 계조들 별로 MTP 메모리 장치(10)에서 헤더 비트(H)들을 독출(Step S210)한 후, 독출된 헤더 비트들(H)이 모두 제 1 논리 레벨을 갖는지 여부를 확인(Step S220)할 수 있다. 이 때, 도 1의 MTP 동작의 오류 검출 방법은 독출된 헤더 비트(H)들 모두가 제 1 논리 레벨을 가지면, MTP 동작이 수행된 것으로 판단(Step S230)할 수 있고, 독출된 헤더 비트(H)들 중에서 적어도 하나 이상이 제 2 논리 레벨을 가지면, MTP 동작이 수행되지 않은 것으로 판단(Step S240)할 수 있다.
- [0049] 도 4는 화소 회로들이 적색 화소 회로들, 녹색 화소 회로들 및 청색 화소 회로들을 포함하고, 화소 회로들 각각에 대하여 기 설정된 기준 계조들(예를 들어, 15, ..., 255 등) 별로 감마 오프셋 및 감마 오프셋의 기입 여부를 나타내는 헤더 비트(H)가 MTP 메모리 장치(10)에 기입되는 경우, 도 1의 MTP 동작의 오류 검출 방법이 기 설정된 기준 계조들(예를 들어, 15, ..., 255 등) 별로 MTP 메모리 장치(10)로부터 독출된 헤더 비트(H)들에 대한 논리 연산에 기초하여 MTP 동작이 수행되었는지 여부를 확인하는 일 예를 보여주고 있다. 다만, 도 4에서는 적색 화소 회로, 녹색 화소 회로 및 청색 화소 회로에 대하여 동시에 MTP 동작이 수행되었는지 여부를 확인하는 것으로 도시되어 있다. 일 실시예에서, 도 1의 MTP 동작의 오류 검출 방법은 독출된 헤더 비트(H)들에 대한 논리 연산을 수행함에 있어서 AND 게이트(50)를 이용할 수 있다. 이 때, 화소 회로들 각각에 대하여 감마 오프셋의 기입되면, 헤더 비트는 이진 '1'로 설정되고, 화소 회로들 각각에 대하여 감마 오프셋의 기입되지 않으면, 헤더 비트가 이진 '0'으로 설정된다고 가정한다.
- [0050] 구체적으로, AND 게이트(50)는 적색 화소 회로, 녹색 화소 회로 및 청색 화소 회로에 대한 15 계조에서의 헤더 비트들(ADDRESS_N_R15_H, ADDRESS_N_G15_H, ADDRESS_N_B15_H)을 입력받고, 적색 화소 회로, 녹색 화소 회로 및 청색 화소 회로에 대한 255 계조에서의 헤더 비트들(ADDRESS_N_R255_H, ADDRESS_N_G255_H, ADDRESS_N_B255_H)을 입력받는 방식으로, 적색 화소 회로, 녹색 화소 회로 및 청색 화소 회로에 대한 기 설정된 기준 계조들에서의 헤더 비트(H)들을 각각 입력받을 수 있다. 이에, AND 게이트(50)는 기 설정된 기준 계조들에서의 헤더 비트(H)들에 대하여 AND 연산을 수행함으로써 결과 비트(OB)를 출력할 수 있다. 그 결과, 도 1의 MTP 동작의 오류 검출 방법은 상기 결과 비트(OB)가 이진 '0'인 경우, 화소 회로에 대하여 MTP 동작이 수행되지 않은 것으로 판단하고, 상기 결과 비트(OB)가 이진 '1'인 경우, 화소 회로들 각각에 대하여 MTP 동작이 수행된 것으로 판단할 수 있다. 다만, 이것은 하나의 예시에 불과한 것으로서, 도 1의 MTP 동작의 오류 검출 방법이 헤더 비트(H)들에 대한 논리 연산을 수행하는 방식은 다양하게 설계 변경될 수 있다. 이와 같이, 도 1의 MTP 동작의 오류 검출 방법은 유기 발광 표시 장치의 화질을 목표치에 맞추고자 화소 회로에 대하여 MTP 동작을 수행함에 있어서, MTP 메모리 장치(10)로부터 독출된 헤더 비트(H)들에 대한 논리 연산에 기초하여 MTP 동작이 수행되었는지 여부를 정확하게 검출할 수 있다.
- [0051] 도 5는 본 발명의 실시예들에 따른 멀티-타임 프로그래머블 동작의 오류 검출 방법을 나타내는 순서도이다.
- [0052] 도 5를 참조하면, 도 5의 MTP 동작의 오류 검출 방법은 화소 회로에 대하여 MTP 동작이 수행되는 동안에, 기 설정된 기준 계조들 별로 감마 오프셋 및 감마 오프셋의 기입 여부를 나타내는 헤더 비트를 MTP 버퍼 장치에 갱신(update)하여 기입(Step S320)하고, 화소 회로에 대하여 MTP 동작이 완료되면, MTP 버퍼 장치에서 최종적으로 갱신된 감마 오프셋과 헤더 비트를 기 설정된 기준 계조들 별로 MTP 메모리 장치에 기입(Step S340)하며, MTP 버퍼 장치에 기입된 감마 오프셋의 각 비트(bit)와 MTP 메모리 장치에 기입된 감마 오프셋의 각 비트에 대한 논리 연산에 기초하여 MTP 메모리 장치에 감마 오프셋이 제대로 기입되었는지 여부를 확인(Step S360)할 수 있다.
- [0053] 상술한 바와 같이, 유기 발광 표시 장치의 화질을 목표치에 맞추기 위해 화소 회로들 각각에 대하여 색좌표 및 휘도 측면에서 반복적으로 후보정하는 MTP 동작이 수행될 수 있고, MTP 동작은 표시 패널 내의 복수의 화소 회로들 각각에 대하여 수행될 수 있다. 일 실시예에서, 화소 회로들은 적색 화소 회로들, 녹색 화소 회로들 및 청색 화소 회로들을 포함할 수 있다. 이 경우, 도 5의 MTP 동작의 오류 검출 방법은 적색 화소 회로들 각각에 대하여 기 설정된 기준 계조들 별로 감마 오프셋 및 헤더 비트를 MTP 메모리 장치에 기입하고, 녹색 화소 회로들 각각에 대하여 기 설정된 기준 계조들 별로 감마 오프셋 및 헤더 비트를 MTP 메모리 장치에 기입하며, 청색 화소 회로들 각각에 대하여 기 설정된 기준 계조들 별로 감마 오프셋 및 헤더 비트를 MTP 메모리 장치에 기입할 수 있다. 다른 실시예에서, 화소 회로들은 적색 화소 회로들, 녹색 화소 회로들, 청색 화소 회로들 및 백색 화

소 회로들 포함할 수 있다. 이 경우, 도 5의 MTP 동작의 오류 검출 방법은 적색 화소 회로들 각각에 대하여 기 설정된 기준 계조들 별로 감마 오프셋 및 헤더 비트를 MTP 메모리 장치에 기입하고, 녹색 화소 회로들 각각에 대하여 기 설정된 기준 계조들 별로 감마 오프셋 및 헤더 비트를 MTP 메모리 장치에 기입하며, 청색 화소 회로들 각각에 대하여 기 설정된 기준 계조들 별로 감마 오프셋 및 헤더 비트를 MTP 메모리 장치에 기입하고, 백색 화소 회로들 각각에 대하여 기 설정된 기준 계조들 별로 감마 오프셋 및 헤더 비트를 MTP 메모리 장치에 기입할 수 있다.

[0054] 이 때, 감마 오프셋은 기 설정된 기준 계조들 별로 MTP 버퍼 장치에 갱신되면서 기입되고, 최종적으로 갱신된 감마 오프셋과 헤더 비트가 기 설정된 기준 계조들 별로 MTP 메모리 장치에 기입된다. 그러나, 감마 오프셋이 MTP 버퍼 장치에서 MTP 메모리 장치로 전달됨에 있어서 오류가 발생하여, MTP 버퍼 장치에 기입된 감마 오프셋과 MTP 메모리 장치에 기입된 감마 오프셋이 서로 상이할 수 있다. 이러한 오류를 방지하기 위하여, 도 5의 MTP 동작의 오류 검출 방법은 화소 회로에 대하여 MTP 동작이 수행되는 동안에, 기 설정된 기준 계조들 별로 감마 오프셋과 헤더 비트를 MTP 버퍼 장치에 갱신하여 기입하고, 화소 회로에 대하여 MTP 동작이 완료되면, MTP 버퍼 장치에서 최종적으로 갱신된 감마 오프셋과 헤더 비트를 기 설정된 기준 계조들 별로 MTP 메모리 장치에 기입할 수 있다. 이후, 도 5의 MTP 동작의 오류 검출 방법은 MTP 버퍼 장치에 기입된 감마 오프셋의 각 비트와 MTP 메모리 장치에 기입된 감마 오프셋의 각 비트에 대한 논리 연산에 기초하여 MTP 메모리 장치에 감마 오프셋이 제대로 기입되었는지 여부를 확인함에 있어서, MTP 버퍼 장치에 기입된 감마 오프셋의 각 비트와 MTP 메모리 장치에 기입된 상기 감마 오프셋의 각 비트가 서로 일치하면, 감마 오프셋이 제대로 기입된 것으로 판단하고, MTP 버퍼 장치에 기입된 감마 오프셋의 각 비트와 MTP 메모리 장치에 기입된 감마 오프셋의 각 비트가 서로 일치하지 않으면, 감마 오프셋이 제대로 기입되지 않은 것으로 판단할 수 있다.

[0055] 일 실시예에서, 도 5의 MTP 동작의 오류 검출 방법은 MTP 버퍼 장치에 기입된 감마 오프셋의 각 비트와 MTP 메모리 장치에 기입된 감마 오프셋의 각 비트에 대한 논리 연산을 수행함에 있어서 XOR 게이트들과 OR 게이트를 이용할 수 있다. 예를 들어, XOR 게이트들의 개수는 감마 오프셋의 비트 수(bit number)에 상응할 수 있다. 구체적으로, 도 5의 MTP 동작의 오류 검출 방법은 XOR 게이트들을 이용하여 MTP 버퍼 장치에 기입된 감마 오프셋의 각 비트와 MTP 메모리 장치에 기입된 감마 오프셋의 각 비트에 대한 XOR 연산을 수행함에 따라 XOR 게이트들로부터 제 1 결과 비트들이 출력되고, OR 게이트를 이용하여 제 1 결과 비트들에 대한 OR 연산을 수행함에 따라 OR 게이트로부터 제 2 결과 비트가 출력되면, 제 2 결과 비트가 이진 '1'인 경우, 화소 회로에 대하여 감마 오프셋이 제대로 기입되지 않은 것으로 판단하고, 제 2 결과 비트가 이진 '0'인 경우, 화소 회로에 대하여 감마 오프셋이 제대로 기입된 것으로 판단할 수 있다. 이에 대해서는 도 6 및 도 7을 참조하여 자세하게 후술하기로 한다. 그러나, 도 5의 MTP 동작의 오류 검출 방법이 독출된 헤더 비트들에 대한 논리 연산을 수행하는 방식이 이에 한정되는 것은 아니다.

[0056] 이와 같이, 도 5의 MTP 동작의 오류 검출 방법은 유기 발광 표시 장치의 화질을 목표치에 맞추고자 화소 회로에 대하여 MTP 동작을 수행함에 있어서, MTP 버퍼 장치에 기입된 감마 오프셋의 각 비트와 MTP 메모리 장치에 기입된 감마 오프셋의 각 비트에 대한 논리 연산에 기초하여 MTP 메모리 장치에 감마 오프셋이 제대로 기입되었는지 여부를 정확하게 검출할 수 있다. 즉, 종래에는 MTP 동작의 오류를 검사자가 직접 눈으로 검출하였기 때문에 MTP 동작의 오류 검출에 있어 정확도가 떨어지는 문제점이 있었다. 그 결과, 특정 화소 회로에 대하여 MTP 동작이 수행되지 않거나 또는 감마 오프셋이 잘못 기입되어, 정상 상태인 완성 제품이 불량으로 판정받거나 또는 불량 상태인 완성 제품이 정상으로 판정받을 수 있었다. 그러나, 도 5의 MTP 동작의 오류 검출 방법은 화소 회로에 대하여 MTP 동작이 수행되는 동안에, 기 설정된 기준 계조들 별로 감마 오프셋 뿐만 아니라, 감마 오프셋의 기입 여부를 나타내는 헤더 비트까지 MTP 버퍼 장치를 거쳐 MTP 메모리 장치에 기입한 후, MTP 버퍼 장치에 기입된 감마 오프셋의 각 비트와 MTP 메모리 장치에 기입된 감마 오프셋의 각 비트에 대한 논리 연산에 기초하여 MTP 메모리 장치에 감마 오프셋이 제대로 기입되었는지 여부를 검출하기 때문에, 종래에 비하여 MTP 동작의 오류 검출에 있어 정확도를 향상시킬 수 있다.

[0057] 도 6은 도 5의 MTP 동작의 오류 검출 방법에서 MTP 메모리 장치에 감마 오프셋이 제대로 기입되었는지 여부가 검출되는 일 예를 나타내는 순서도이고, 도 7은 도 5의 MTP 동작의 오류 검출 방법에서 MTP 메모리 장치에 감마 오프셋이 제대로 기입되었는지 여부가 검출되는 일 예를 나타내는 블록도이다.

[0058] 도 6 및 도 7을 참조하면, 도 5의 MTP 동작의 오류 검출 방법은 기 설정된 기준 계조들 별로 MTP 버퍼 장치(71)의 감마 오프셋과 MTP 메모리 장치(72)의 감마 오프셋을 독출(Step S410)한 후, MTP 버퍼 장치(71)의 감마 오프셋과 MTP 메모리 장치(72)의 감마 오프셋이 서로 일치하는지 여부를 확인(Step S420)할 수 있다. 이 때, 도 5의 MTP 동작의 오류 검출 방법은 MTP 버퍼 장치(71)의 감마 오프셋과 MTP 메모리 장치(72)의 감마 오프셋이 서로

로 일치하는 경우, MTP 메모리 장치(72)에 감마 오프셋이 제대로 기입된 것으로 판단(Step S430)할 수 있고, MTP 버퍼 장치(71)의 감마 오프셋과 MTP 메모리 장치(72)의 감마 오프셋이 서로 일치하지 않는 경우, MTP 메모리 장치(72)에 감마 오프셋이 제대로 기입된 것으로 판단(Step S440)할 수 있다. 다만, 도 7에는 기 설정된 기준 계조들 중에 하나로서 255 계조가 도시되어 있다.

[0059] 일 실시예에서, 도 7에 도시된 바와 같이, 도 5의 MTP 동작의 오류 검출 방법은 MTP 버퍼 장치(71)에 기입된 감마 오프셋의 각 비트(R255_D7, ..., R255_D0)와 MTP 메모리 장치(72)에 기입된 감마 오프셋의 각 비트(ADDRESS_N_R255_D7, ..., ADDRESS_N_R255_D0)에 대한 논리 연산을 수행함에 있어서 XOR 게이트(73)들과 OR 게이트(74)를 이용할 수 있다. 이 때, XOR 게이트(73)들의 개수는 감마 오프셋의 비트 수(예를 들어, 도 7에서는 8개)에 상응할 수 있다. 구체적으로, XOR 게이트(73)들은 MTP 버퍼 장치(71)에 기입된 감마 오프셋의 각 비트(R255_D7, ..., R255_D0)와 MTP 메모리 장치(72)에 기입된 감마 오프셋의 각 비트(ADDRESS_N_R255_D7, ..., ADDRESS_N_R255_D0)에 대한 XOR 연산을 수행하여 제 1 결과 비트들(FOB_0, ..., FOB_7)을 각각 출력할 수 있다. 이후, OR 게이트(74)는 제 1 결과 비트들(FOB_0, ..., FOB_7)을 입력받아 이들에 대한 OR 연산을 수행하여 제 2 결과 비트(SOB)를 출력할 수 있다. 이에, 도 5의 MTP 동작의 오류 검출 방법은 제 2 결과 비트(SOB)가 이진 '1'인 경우, 화소 회로에 대하여 감마 오프셋이 제대로 기입되지 않은 것으로 판단할 수 있고, 제 2 결과 비트(SOB)가 이진 '0'인 경우, 화소 회로에 대하여 감마 오프셋이 제대로 기입된 것으로 판단할 수 있다.

[0060] 예를 들어, 도 7에서 XOR 게이트(73)들 각각은 [표 1]과 같은 제 1 결과 비트(FOB_x)를 출력할 수 있다.

표 1

R255_Dx	ADDRESS_N_R255_Dx	FOB_x	RESULT
0	0	0	OK
0	1	1	ERROR
1	0	1	ERROR
1	1	0	OK

[0062] [표 1]에 도시된 바와 같이, XOR 게이트(73)들 각각은 MTP 버퍼 장치(71)에 기입된 감마 오프셋의 각 비트(R255_Dx)와 MTP 메모리 장치(72)에 기입된 감마 오프셋의 각 비트(ADDRESS_N_R255_Dx)가 일치하면, 제 1 결과 비트(FOB)로서 이진 '0'을 출력할 수 있고, MTP 버퍼 장치(71)에 기입된 감마 오프셋의 각 비트(R255_Dx)와 MTP 메모리 장치(72)에 기입된 감마 오프셋의 각 비트(ADDRESS_N_R255_Dx)가 일치하지 않으면, 제 1 결과 비트(FOB)로서 이진 '1'을 출력할 수 있다. 따라서, OR 게이트(74)가 제 1 결과 비트들(FOB_0, ..., FOB_7)을 입력받고, 이들에 대한 OR 연산을 수행하여 제 2 결과 비트(SOB)를 출력하는 경우, 제 2 결과 비트(SOB)가 이진 '1'이면, 화소 회로에 대하여 감마 오프셋이 제대로 기입되지 않은 것으로 판단하고, 제 2 결과 비트(SOB)가 이진 '0'이면, 화소 회로에 대하여 감마 오프셋이 제대로 기입된 것으로 판단하는 것이다. 다만, 이것은 하나의 예시에 불과한 것으로서, 도 5의 MTP 동작의 오류 검출 방법이 MTP 버퍼 장치(71)에 기입된 감마 오프셋의 각 비트(R255_D7, ..., R255_D0)와 MTP 메모리 장치(72)에 기입된 감마 오프셋의 각 비트(ADDRESS_N_R255_D7, ..., ADDRESS_N_R255_D0)에 대한 논리 연산을 수행하는 방식은 다양하게 설계 변경될 수 있다. 이와 같이, 도 5의 MTP 동작의 오류 검출 방법은 유기 발광 표시 장치의 화질을 목표치에 맞추고자 화소 회로에 대하여 MTP 동작을 수행함에 있어서, MTP 버퍼 장치(71)에 기입된 감마 오프셋의 각 비트(R255_D7, ..., R255_D0)와 MTP 메모리 장치(72)에 기입된 감마 오프셋의 각 비트(ADDRESS_N_R255_D7, ..., ADDRESS_N_R255_D0)에 대한 논리 연산에 기초하여 MTP 메모리 장치(72)에 감마 오프셋이 제대로 기입되었는지 여부를 정확하게 검출할 수 있다.

[0063] 도 8은 본 발명의 실시예들에 따른 유기 발광 표시 장치를 나타내는 블록도이고, 도 9는 도 8의 유기 발광 표시 장치에 구비된 MTP 처리부를 나타내는 블록도이다.

[0064] 도 8 및 도 9를 참조하면, 유기 발광 표시 장치(100)는 표시 패널(110), 스캔 구동부(120), 데이터 구동부(130), 전원 공급부(140), MTP 처리부(150) 및 타이밍 제어부(160)를 포함할 수 있다. 예를 들어, 유기 발광 표시 장치(100)는 순차 발광 구동 방식 또는 디지털 구동 방식으로 동작할 수 있다.

[0065] 표시 패널(110)은 화소 회로(111)들을 포함할 수 있다. 표시 패널(110)은 스캔 라인들(SL1, ..., SLn)을 통해 스캔 구동부(120)에 연결될 수 있고, 데이터 라인들(DL1, ..., DLm)을 통해 데이터 구동부(130)에 연결될 수 있다. 이 때, 화소 회로(111)들은 스캔 라인들(SL1, ..., SLn)과 데이터 라인들(DL1, ..., DLm)의 교차점들에 위치하기 때문에, 표시 패널(110)은 n*m개의 화소 회로(111)들을 포함할 수 있다. 일 실시예에서, 화소 회로(11

1)들은 적색 화소 회로들, 녹색 화소 회로들 및 청색 화소 회로들을 포함할 수 있다. 다른 실시예에서, 화소 회로(111)들은 적색 화소 회로들, 녹색 화소 회로들, 청색 화소 회로들 및 백색 화소 회로들을 포함할 수 있다. 스캔 구동부(120)는 표시 패널(110)에 스캔 신호를 제공할 수 있다. 데이터 구동부(130)는 표시 패널(110)에 데이터 신호를 제공할 수 있다. 전원 공급부(140)는 표시 패널(110)에 고전원 전압(ELVDD)과 저전원 전압(ELVSS)을 제공할 수 있다.

[0066] MTP 처리부(150)는 화소 회로(111)들에 대하여 기 설정된 기준 계조들 별로 MTP 동작을 수행하여 생성되는 감마 오프셋들에 기초하여 데이터 신호를 조절하고, 감마 오프셋들의 기입 여부를 나타내는 헤더 비트들 및/또는 감마 오프셋들에 기초하여 MTP 동작의 오류를 정확하게 검출할 수 있다. 구체적으로, MTP 처리부(150)는 유기 발광 표시 장치(100)의 화질을 목표치에 맞추고자 화소 회로(111)에 대하여 MTP 동작을 수행함에 있어서, MTP 메모리 장치(154)로부터 독출된 헤더 비트들에 대한 논리 연산에 기초하여 MTP 동작이 수행되었는지 여부를 정확하게 검출할 수 있고, MTP 버퍼 장치(152)에 기입된 감마 오프셋의 각 비트와 MTP 메모리 장치(154)에 기입된 감마 오프셋의 각 비트에 대한 논리 연산에 기초하여 MTP 메모리 장치(154)에 감마 오프셋이 제대로 기입되었는지 여부를 정확하게 검출할 수 있다. 다만, 이에 대해서는 도 1 내지 도 7을 참조하여 설명한 바 있으므로, 그에 대한 중복되는 설명은 생략하기로 한다. 일 실시예에서, 도 8에 도시된 바와 같이, MTP 처리부(150)는 타이밍 제어부(160) 및 데이터 구동부(130) 외부에 독립적으로 구현될 수 있다. 다른 실시예에서, MTP 처리부(150)은 타이밍 제어부(160) 내부에 구현되거나 또는 데이터 구동부(130) 내부에 구현될 수 있다.

[0067] 한편, 도 9에 도시된 바와 같이, MTP 처리부(150)는 화소 회로(111)들에 대하여 기 설정된 기준 계조들 별로 MTP 동작을 수행하여 생성되는 감마 오프셋들에 기초하여 데이터 신호를 조절하고, 감마 오프셋들의 기입 여부를 나타내는 헤더 비트들 및/또는 감마 오프셋들에 기초하여 MTP 동작의 오류를 검출하기 위하여, 화소 회로(111)들에 대하여 MTP 동작이 수행되는 동안에, 감마 오프셋들과 헤더 비트들을 갱신하여 저장하는 MTP 버퍼 장치(152), 화소 회로(111)들에 대하여 MTP 동작이 완료되면, MTP 버퍼 장치(152)에서 최종적으로 갱신된 감마 오프셋들과 헤더 비트들을 MTP 버퍼 장치(152)로부터 수신하여 저장하는 MTP 메모리 장치(154), MTP 메모리 장치(154)에 저장된 감마 오프셋들에 기초하여 데이터 신호를 조절(즉, 입력 데이터 신호(IN_DATA)를 조절하여 출력 데이터 신호(OUT_DATA)를 생성)하는 데이터 신호 조절 장치(156), 및 MTP 버퍼 장치(152) 및/또는 MTP 메모리 장치(154)로부터 감마 오프셋들과 헤더 비트들을 독출하여 MTP 동작의 오류를 검출하는 오류 검출 장치(158)를 포함할 수 있다. 한편, 타이밍 제어부(160)는 제 1 내지 제 4 제어 신호들(CTL1, CTL2, CTL3, CTL4)에 기초하여 스캔 구동부(120), 데이터 구동부(130), 전원 공급부(140) 및 MTP 처리부(150)를 제어할 수 있다.

[0068] 이와 같이, 유기 발광 표시 장치(100)는 MTP 메모리 장치(154)로부터 독출된 헤더 비트들에 대한 논리 연산에 기초하여 MTP 동작이 수행되었는지 여부를 검출하고, MTP 버퍼 장치(152)에 기입된 감마 오프셋의 각 비트와 MTP 메모리 장치(154)에 기입된 감마 오프셋의 각 비트에 대한 논리 연산에 기초하여 MTP 메모리 장치(154)에 감마 오프셋이 제대로 기입되었는지 여부를 검출하는 MTP 동작의 오류 검출 방법을 채용함으로써, 정상 상태인 완성 제품이 불량으로 판정받거나 또는 불량 상태인 완성 제품이 정상으로 판정받는 가능성을 줄일 수 있다.

[0069] 도 10은 본 발명의 실시예들에 따른 유기 발광 표시 장치를 나타내는 블록도이다.

[0070] 도 10을 참조하면, 유기 발광 표시 장치(200)는 표시 패널(210), 스캔 구동부(220), 데이터 구동부(230), 전원 공급부(240), MTP 처리부(250), 제어 신호 생성부(255) 및 타이밍 제어부(260)를 포함할 수 있다. 예를 들어, 유기 발광 표시 장치(200)는 동시 발광 구동 방식으로 동작할 수 있다.

[0071] 표시 패널(210)은 화소 회로(211)들을 포함할 수 있다. 표시 패널(210)은 스캔 라인들(SL1, ..., SLn)을 통해 스캔 구동부(220)에 연결될 수 있고, 데이터 라인들(DL1, ..., DLm)을 통해 데이터 구동부(230)에 연결될 수 있다. 일 실시예에서, 화소 회로(211)들은 적색 화소 회로들, 녹색 화소 회로들 및 청색 화소 회로들을 포함할 수 있다. 다른 실시예에서, 화소 회로(211)들은 적색 화소 회로들, 녹색 화소 회로들, 청색 화소 회로들 및 백색 화소 회로들을 포함할 수 있다. 스캔 구동부(220)는 표시 패널(210)에 스캔 신호를 제공할 수 있다. 데이터 구동부(230)는 표시 패널(210)에 데이터 신호를 제공할 수 있다. 전원 공급부(240)는 표시 패널(210)에 고전원 전압(ELVDD)과 저전원 전압(ELVSS)을 제공할 수 있다. MTP 처리부(250)는 화소 회로(211)들에 대하여 기 설정된 기준 계조들 별로 MTP 동작을 수행하여 생성되는 감마 오프셋들에 기초하여 데이터 신호를 조절하고, 감마 오프셋들의 기입 여부를 나타내는 헤더 비트들 및/또는 감마 오프셋들에 기초하여 MTP 동작의 오류를 정확하게 검출할 수 있다. 일 실시예에서, 도 10에 도시된 바와 같이, MTP 처리부(250)는 타이밍 제어부(260) 및 데이터 구동부(230) 외부에 독립적으로 구현될 수 있다. 다른 실시예에서, MTP 처리부(250)은 타이밍 제어부(260) 내부에 구현되거나 또는 데이터 구동부(230) 내부에 구현될 수 있다. 제어 신호 생성부(255)는 표시 패널(210)에 화소

회로(211)들을 동시에 발광시키기 위한 발광 제어 신호(ECS)를 제공할 수 있다. 타이밍 제어부(260)는 제 1 내지 제 5 제어 신호들(CTL1, CTL2, CTL3, CTL4, CTL5)에 기초하여 스캔 구동부(220), 데이터 구동부(230), 전원 공급부(240), MTP 처리부(250) 및 제어 신호 생성부(255)를 제어할 수 있다. 이와 같이, 유기 발광 표시 장치(200)는 상술한 MTP 동작의 오류 검출 방법을 채용함으로써, 정상 상태인 완성 제품이 불량으로 판정받거나 또는 불량 상태인 완성 제품이 정상으로 판정받는 가능성을 줄일 수 있다.

[0072] 도 11은 본 발명의 실시예들에 따른 유기 발광 표시 장치를 구비한 전자 기기를 나타내는 블록도이고, 도 12는 도 11의 전자 기기가 스마트폰으로 구현된 일 예를 나타내는 도면이다.

[0073] 도 11 및 도 12를 참조하면, 전자 기기(500)는 프로세서(510), 메모리 장치(520), 저장 장치(530), 입출력 장치(540), 파워 서플라이(550) 및 유기 발광 표시 장치(560)를 포함할 수 있다. 이 때, 유기 발광 표시 장치(560)는 도 8의 유기 발광 표시 장치(100) 또는 도 10의 유기 발광 표시 장치(200)에 상응할 수 있다. 나아가, 전자 기기(500)는 비디오 카드, 사운드 카드, 메모리 카드, USB 장치 등과 통신하거나, 또는 다른 시스템들과 통신할 수 있는 여러 포트(port)들을 더 포함할 수 있다. 일 실시예에서, 도 12에 도시된 바와 같이, 전자 기기(500)는 스마트폰으로 구현될 수 있다.

[0074] 프로세서(510)는 특정 계산들 또는 태스크(task)들을 수행할 수 있다. 실시예에 따라, 프로세서(510)는 마이크로프로세서(micro processor), 중앙 처리 장치(CPU) 등일 수 있다. 프로세서(510)는 어드레스 버스(address bus), 제어 버스(control bus) 및 데이터 버스(data bus) 등을 통하여 다른 구성 요소들에 연결될 수 있다. 실시예에 따라, 프로세서(510)는 주변 구성요소 상호연결(Peripheral Component Interconnect; PCI) 버스와 같은 확장 버스에도 연결될 수 있다. 메모리 장치(520)는 전자 기기(500)의 동작에 필요한 데이터들을 저장할 수 있다. 예를 들어, 메모리 장치(520)는 EPROM(Erasable Programmable Read-Only Memory), EEPROM(Electrically Erasable Programmable Read-Only Memory), 플래시 메모리(Flash Memory), PRAM(Phase Change Random Access Memory), RRAM(Resistance Random Access Memory), NFGM(Nano Floating Gate Memory), PoRAM(Polymer Random Access Memory), MRAM(Magnetic Random Access Memory), FRAM(Ferroelectric Random Access Memory) 등과 같은 비휘발성 메모리 장치 및/또는 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory), 모바일 DRAM 등과 같은 휘발성 메모리 장치를 포함할 수 있다. 저장 장치(530)는 솔리드 스테이트 드라이브(Solid State Drive; SSD), 하드 디스크 드라이브(Hard Disk Drive; HDD), 씨디롬(CD-ROM) 등을 포함할 수 있다.

[0075] 입출력 장치(540)는 키보드, 키패드, 터치패드, 터치스크린, 마우스 등과 같은 입력 수단, 및 스피커, 프린터 등과 같은 출력 수단을 포함할 수 있다. 실시예에 따라, 유기 발광 표시 장치(560)는 입출력 장치(540) 내에 구비될 수도 있다. 파워 서플라이(550)는 전자 기기(500)의 동작에 필요한 파워를 공급할 수 있다. 유기 발광 표시 장치(560)는 상기 버스들 또는 다른 통신 링크를 통해서 다른 구성 요소들에 연결될 수 있다. 일 실시예에서, 유기 발광 표시 장치(560)는 표시 패널, 스캔 구동부, 데이터 구동부, 전원 공급부, MTP 처리부 및 타이밍 제어부를 포함할 수 있다. 다른 실시예에서, 유기 발광 표시 장치(560)는 표시 패널, 스캔 구동부, 데이터 구동부, 전원 공급부, MTP 처리부, 제어 신호 생성부 및 타이밍 제어부를 포함할 수 있다. 유기 발광 표시 장치(560)에 구비되는 MTP 처리부는 화소 회로들에 대하여 기 설정된 기준 계조들 별로 MTP 동작을 수행하여 생성되는 감마 오프셋들에 기초하여 데이터 신호를 조절하고, 감마 오프셋들의 기입 여부를 나타내는 헤더 비트들 및/또는 감마 오프셋들에 기초하여 MTP 동작의 오류를 정확하게 검출할 수 있다. 이상, 본 발명의 실시예들에 따른 MTP 동작의 오류 검출 방법 및 이를 채용한 유기 발광 표시 장치에 대하여 도면을 참조하여 설명하였지만, 상기 설명은 예시적인 것으로서 본 발명의 기술적 사상을 벗어나지 않는 범위에서 해당 기술 분야에서 통상의 지식을 가진 자에 의하여 수정 및 변경될 수 있을 것이다. 예를 들어, 본 발명은 액정 표시(liquid crystal display; LCD) 장치 등에도 적용될 수 있을 것이다.

산업상 이용가능성

[0076] 본 발명은 표시 장치를 구비하는 모든 전자 기기에 적용될 수 있다. 예를 들어, 본 발명은 텔레비전, 컴퓨터 모니터, 노트북, 디지털 카메라, 휴대폰, 스마트폰, 스마트패드, 피디에이(PDA), 피엠퍼(PMP), MP3 플레이어, 네비게이션 시스템, 캠코더, 휴대용 게임기 등에 적용될 수 있다.

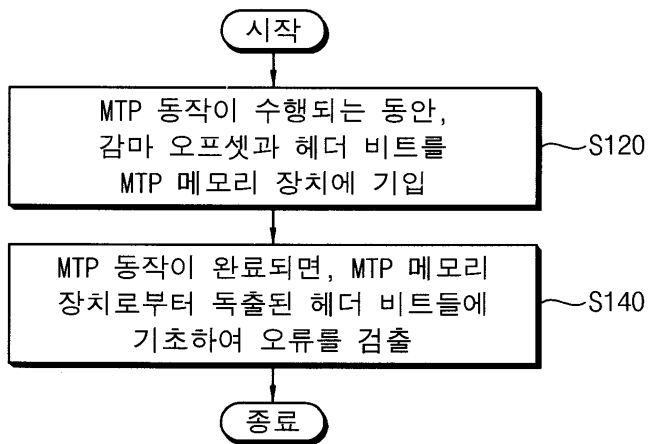
[0077] 이상에서는 본 발명의 예시적인 실시예들을 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

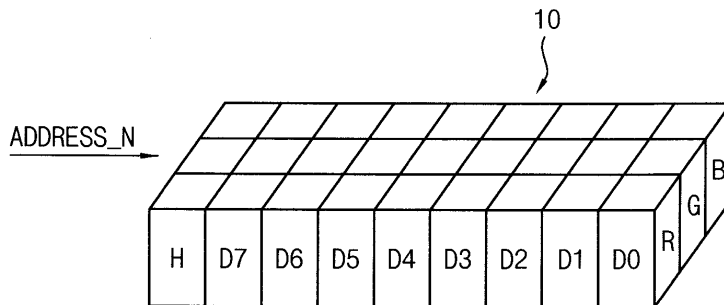
[0078]	100: 유기 발광 표시 장치	110: 표시 패널
	120: 스캔 구동부	130: 데이터 구동부
	140: 전원 공급부	150: MTP 처리부
	160: 타이밍 제어부	

도면

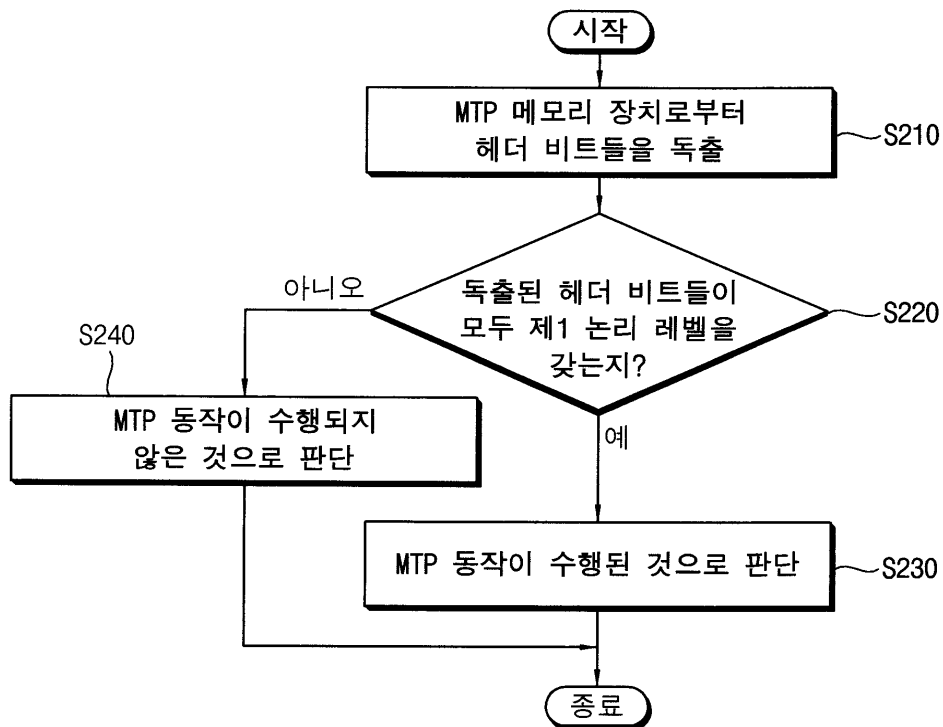
도면1



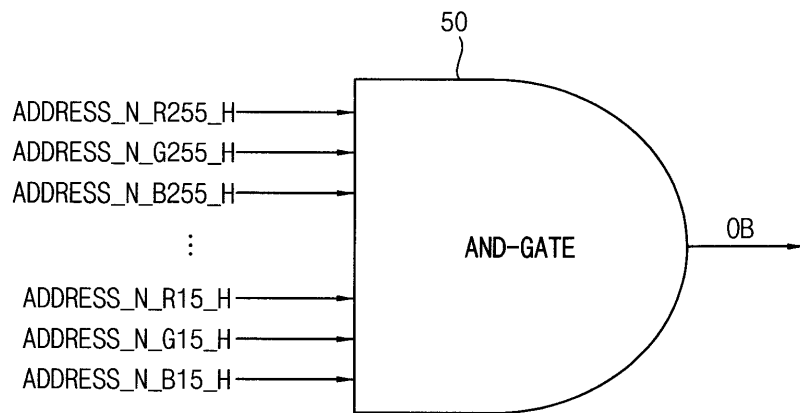
도면2



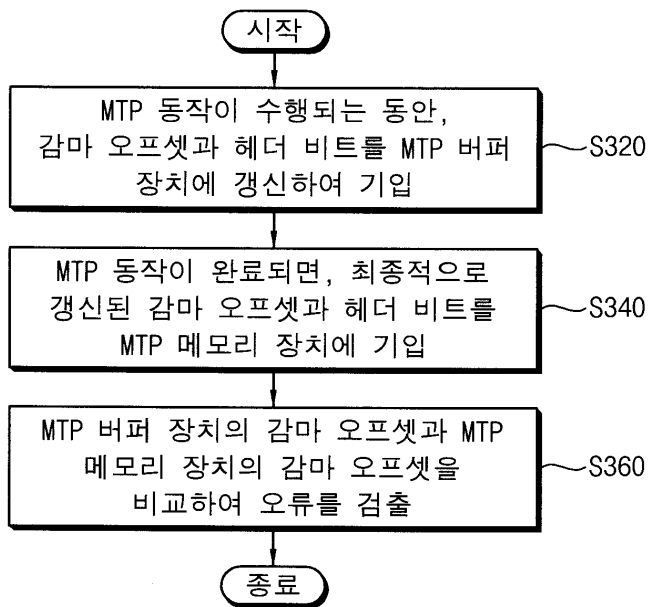
도면3



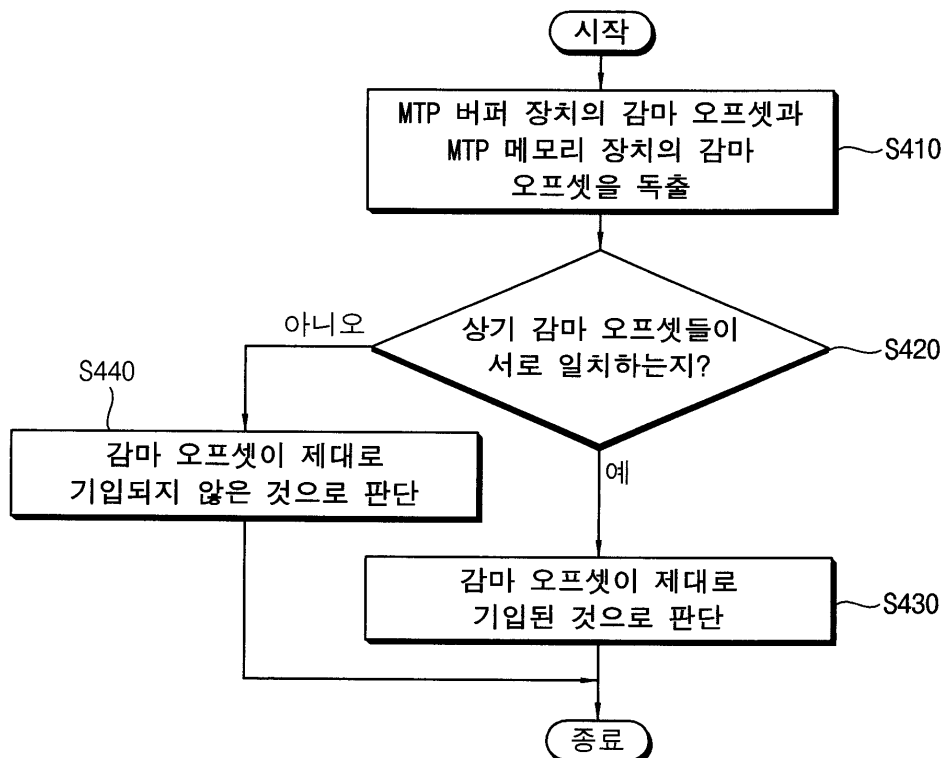
도면4



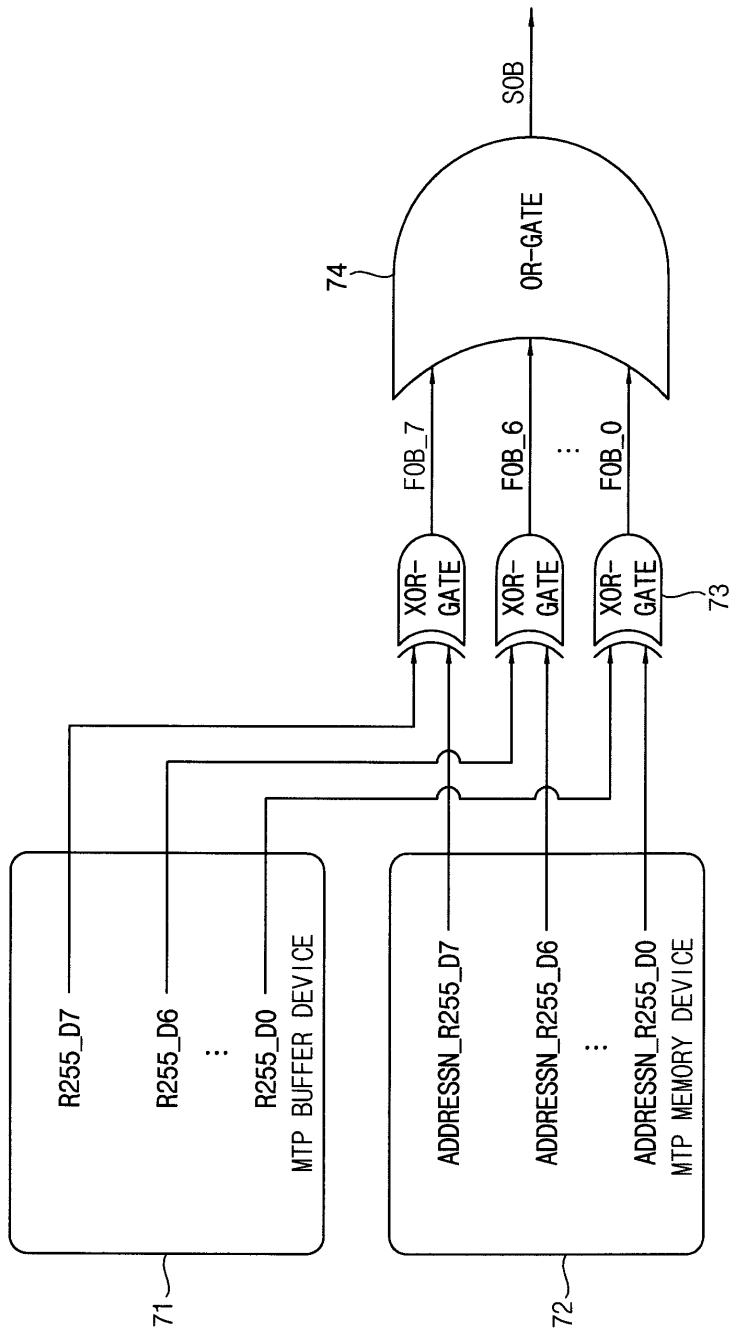
도면5



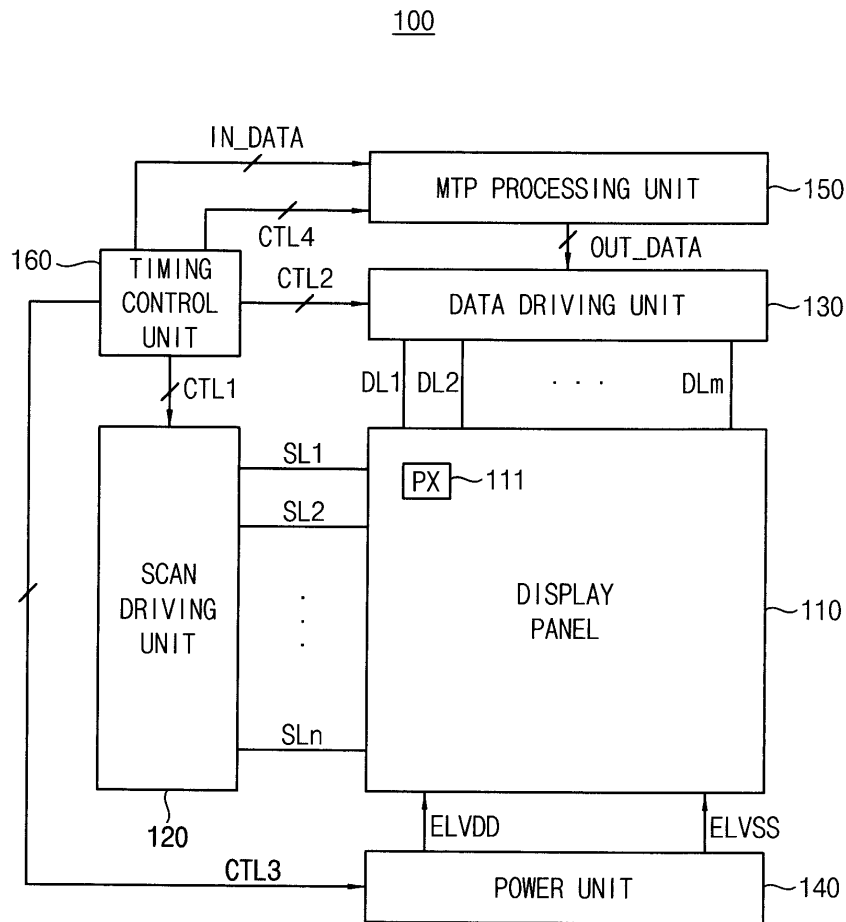
도면6



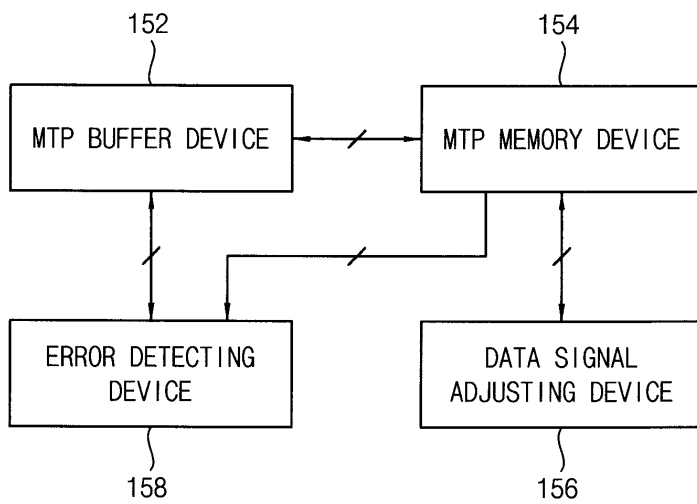
도면7



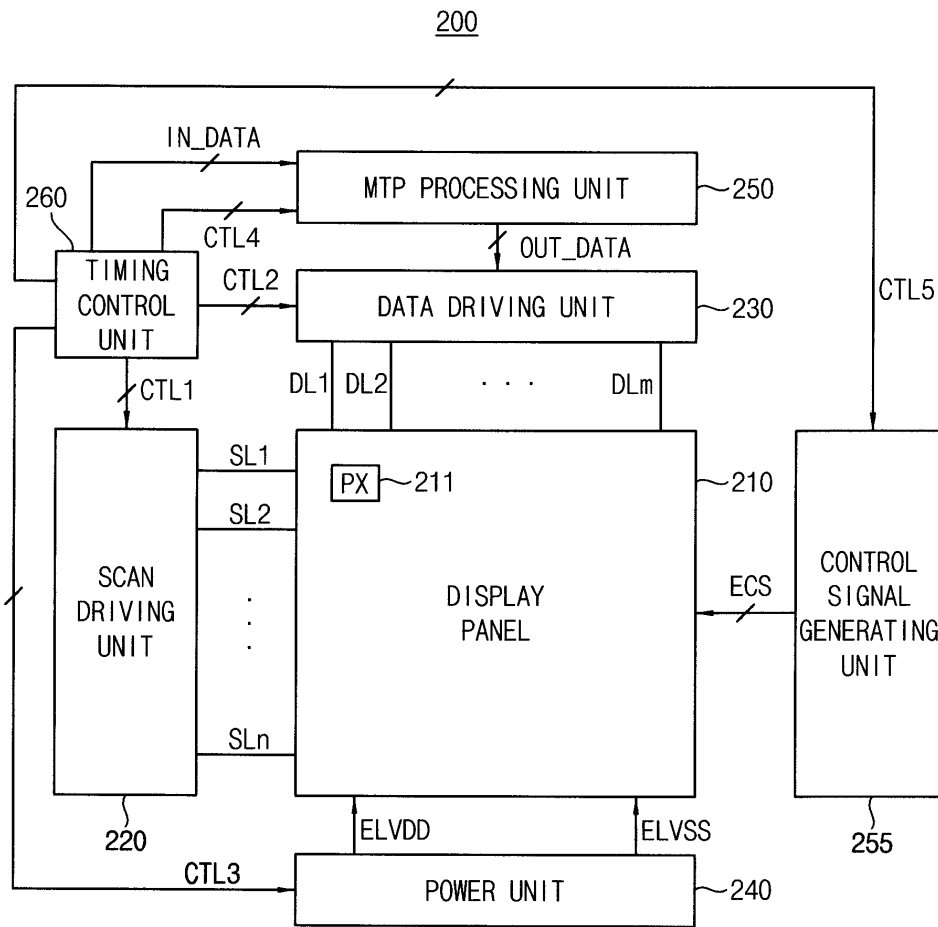
도면8



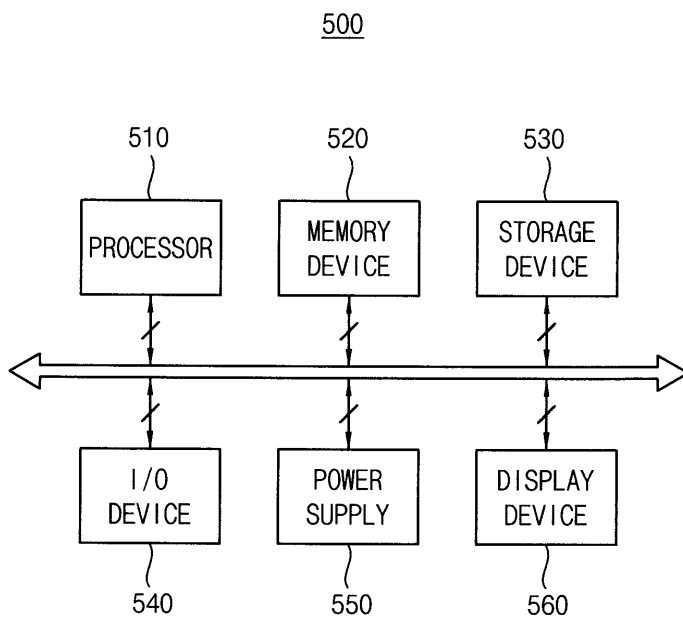
도면9



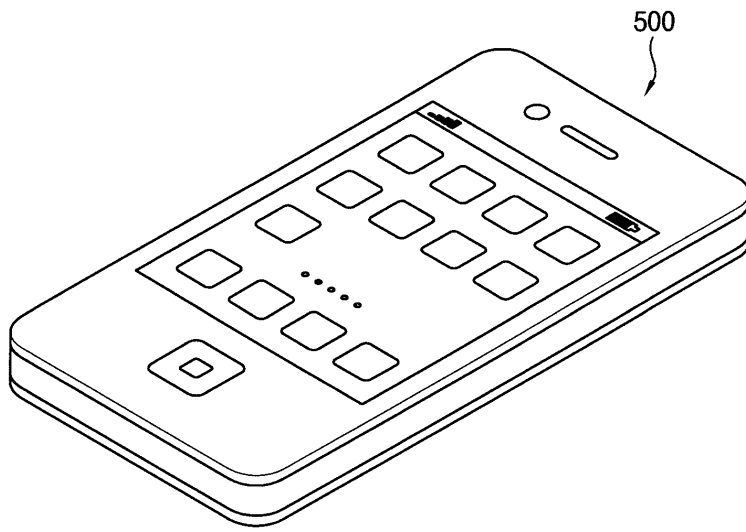
도면10



도면11



도면12



专利名称(译)	多次可编程操作的错误检测方法和使用该方法的有机发光显示器		
公开(公告)号	KR1020140086174A	公开(公告)日	2014-07-08
申请号	KR1020120156337	申请日	2012-12-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KWON MYOUNG HO 권명호 LEE CHANG JIN 이창진 LEE CHANG KIL 이창길 KIM TAE SIK 김태식		
发明人	권명호 이창진 이창길 김태식		
IPC分类号	G09G3/30		
CPC分类号	G06F11/0751 G06F11/0763 G06F11/0736 G09G3/006 G09G3/3208 G09G5/06 G09G2320/0276 G09G2330/12		
代理人(译)	英西湖公园		
其他公开文献	KR101994350B1		
外部链接	Espacenet		

摘要(译)

检测多次可编程 (MTP) 操作的错误的方法在MTP存储器设备中的每个参考灰度级写入伽马偏移和头部比特, 同时执行对像素电路的MTP操作, 其中header-bit表示是否在MTP存储器件中写入了伽马偏移量;并且, 当对像素电路的MTP操作完成时, 基于对从MTP存储器件读取的每个参考灰度级的头部位的逻辑操作, 检测是否对像素电路执行MTP操作。

