



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0031099
(43) 공개일자 2013년03월28일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H05B 33/22 (2006.01)
H05B 33/10 (2006.01)
(21) 출원번호 10-2011-0094830
(22) 출원일자 2011년09월20일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
최희동
충청남도 서산시 음암면 음암로 499, 수림미소가
아파트 110-401
(74) 대리인
서교준

전체 청구항 수 : 총 13 항

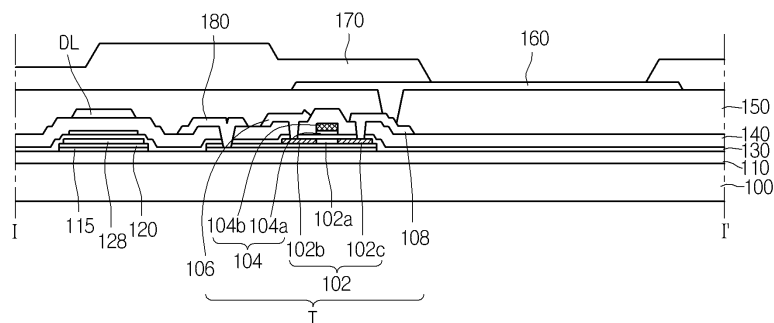
(54) 발명의 명칭 유기발광 다이오드 표시장치 및 그의 제조방법

(57) 요약

유기발광 다이오드 표시장치 및 그의 제조방법이 개시된다.

본 발명에 따른 유기발광 다이오드 표시장치는 기판과, 상기 기판 상에 형성된 버퍼층과, 상기 버퍼층 상에서 패터닝된 박막층과, 상기 패터닝된 박막층 상에 상기 박막층과 일정 부분 중첩되도록 형성된 제1 게이트 절연층과, 상기 기판 중 상기 박막층과 대응되는 상기 제1 게이트 절연층에 형성된 액티브층과, 상기 액티브층 상에 형성되는 제2 게이트 절연층과, 상기 제2 게이트 절연층 상에서 상기 액티브층과 일정부분 중첩되도록 형성된 게이트 전극과, 상기 게이트 전극 상에 형성된 층간 절연막과, 상기 층간 절연막 상에 형성되며 일정 부분 이격된 소스 및 드레인 전극 및 상기 드레인 전극과 전기적으로 접속된 애노드 전극을 포함한다.

대표도 - 도2



특허청구의 범위

청구항 1

기관;

상기 기관 상에 형성된 버퍼층;

상기 버퍼층 상에서 패터닝된 박막층;

상기 패터닝된 박막층 상에 상기 박막층과 일정 부분 중첩되도록 형성된 제1 게이트 절연층;

상기 기관 중 상기 박막층과 대응되는 상기 제1 게이트 절연층에 형성된 액티브층;

상기 액티브층 상에 형성되는 제2 게이트 절연층;

상기 제2 게이트 절연층 상에서 상기 액티브층과 일정부분 중첩되도록 형성된 게이트 전극;

상기 게이트 전극 상에 형성된 층간 절연막;

상기 층간 절연막 상에 형성되며 일정 부분 이격된 소스 및 드레인 전극; 및

상기 드레인 전극과 전기적으로 접속된 애노드 전극;을 포함하는 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 2

제1 항에 있어서,

컨택홀을 통해 상기 박막층과 전기적으로 접속되는 도전성 패턴을 더 포함하는 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 3

제2 항에 있어서,

상기 도전성 패턴은 상기 게이트 전극에 인가되는 스캔 신호가 제공되며 상기 박막층에도 상기 스캔 신호가 인가되는 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 4

제2 항에 있어서,

상기 도전성 패턴은 그라운드(GND) 전압이 제공되며 상기 박막층에도 상기 그라운드(GND) 전압이 인가되는 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 5

제1 항에 있어서,

상기 박막층은 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 코발트(Co), 카드뮴(Cd), 티타늄(Ti) 중 선택된 하나의 금속으로 이루어지는 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 6

제1 항에 있어서,

상기 게이트 전극은 불투명한 금속으로 이루어진 게이트 하부 전극 및 투명한 금속으로 이루어진 게이트 상부 전극을 포함하는 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 7

제1 항에 있어서,

상기 애노드 전극 상에 형성되어 인가되는 전류의 양에 의해 광을 발생하는 유기 발광층 및 상기 유기 발광층 상에 형성된 캐소드 전극을 더 포함하는 것을 특징으로 하는 유기발광 다이오드 표시장치.

청구항 8

기관을 제공하는 단계;

상기 기관 상에 버퍼층을 형성하는 단계;

상기 버퍼층 상에 박막층을 형성하는 단계;

상기 박막층 상에 상기 박막층과 일정 부분 중첩되는 제1 게이트 절연층을 형성하는 단계;

상기 기관에서 상기 박막층과 대응되는 상기 제1 게이트 절연층에 액티브층을 형성하는 단계;

상기 액티브층 상에 제2 게이트 절연층을 형성하는 단계;

상기 제2 게이트 절연층을 사이에 두고 상기 액티브층과 일정부분 중첩되는 게이트 전극을 형성하는 단계;

상기 게이트 전극 상에 층간 절연막을 형성하는 단계;

상기 층간 절연막 상에 일정 부분 이격된 소스 및 드레인 전극을 형성하는 단계; 및

상기 드레인 전극과 전기적으로 접속된 애노드 전극을 형성하는 단계;를 포함하는 것을 특징으로 하는 유기발광 다이오드 표시장치의 제조방법.

청구항 9

제8 항에 있어서,

상기 게이트 전극 상에 층간 절연막을 형성하는 단계는,

상기 층간 절연막, 제1 및 제2 게이트 절연층을 순차적으로 패터닝하여 상기 박막층의 일부를 노출시키는 컨택홀을 형성하는 단계를 포함하는 것을 특징으로 하는 유기발광 다이오드 표시장치의 제조방법.

컨택홀을 통해 상기 박막층과 전기적으로 접속되는 도전성 패턴을 더 포함하는 것을 특징으로 하는 유기발광 다이오드 표시장치의 제조방법.

청구항 10

제9 항에 있어서,

상기 컨택홀을 통해 상기 노출된 박막층과 전기적으로 접속되는 도전성 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기발광 다이오드 표시장치의 제조방법.

청구항 11

제9 항에 있어서,

상기 도전성 패턴은 상기 소스 및 드레인 전극과 동일한 물질 및 동일한 공정에 의해 형성되는 것을 특징으로 하는 유기발광 다이오드 표시장치의 제조방법.

청구항 12

제8 항에 있어서,

상기 박막층은 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 코발트(Co), 카드뮴(Cd), 티타늄(Ti) 중 선택된 하나의 금속으로 이루어지는 것을 특징으로 하는 유기발광 다이오드 표시장치의 제조방법.

청구항 13

제8 항에 있어서,

상기 애노드 전극 상에 인가되는 전류의 양에 의해 광을 발생하는 유기 발광층을 형성하는 단계; 및

상기 유기 발광층 상에 캐소드 전극 형성하는 단계;를 더 포함하는 것을 특징으로 하는 유기발광 다이오드 표시

장치.

명세서

기술분야

[0001] 본 발명은 유기발광 다이오드 표시장치에 관한 것으로, 신뢰성을 향상시킬 수 있는 유기발광 다이오드 표시장치 및 그의 제조방법에 관한 것이다.

배경기술

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판표시장치들이 개발되고 있다.

[0003] 이러한 평판표시장치에는 액정표시장치(Liquid Crystal Display, LCD), 전계방출표시장치(Field Emission Display, FED), 플라즈마 디스플레이 패널(Plasma Display Panel, PDP) 및 전계발광소자(Electroluminescence Device, EL) 등이 있다.

[0004] 전계발광소자는 발광층의 재료에 따라 무기전계발광소자와 유기전계발광소자(이하, "OLED"라 함)로 대별되며 스스로 발광하는 자발광소자로서 응답속도가 빠르고 발광 효율, 휘도 및 시야각이 큰 장점이 있다.

[0005] OLED는 전계발광하는 유기 전계발광 화합물층과 상기 유기 전계발광 화합물층을 사이에 두고 대향하는 캐소드 전극 및 애노드 전극을 포함한다.

[0006] OLED는 캐소드 전극과 음극에 주입된 정공과 전자가 발광층(EML)에서 재결합할 때의 여기 과정에서 여기자(excitation)가 형성되고 여기자로부터의 에너지로 인하여 발광한다.

[0007] 유기발광 다이오드 표시장치는 OLED의 발광층(EML)으로부터 발생하는 빛의 양을 전기적으로 제어하여 영상을 표시한다.

[0008] 상기 유기발광 다이오드 표시장치는 다결정 실리콘층을 이용한 트랜지스터를 포함한다.

[0009] 한편, 비정질 실리콘을 다결정 실리콘으로 결정화하는 방법은 고상 결정화법(Solied Phase Crystallization), 엑시머 레이저 결정화법(Excimer Laser Crystallization), 금속 유도 결정화법(Metal Induced Crystallization) 등이 있다.

[0010] 이 중에서 상기 엑시머 레이저 결정화법은 엑시머 레이저를 비정질 실리콘층에 주사하여 매우 짧은 시간 동안 국부적으로 높은 온도로 가열하여 결정화하는 방법이다.

[0011] 이러한 방법을 통해 결정화된 다결정 실리콘층을 포함한 트랜지스터는 높은 이동도를 갖게 되기 때문에 공정 변화에 의해 그 특성이 달라져서 표시패널 상에서 얼룩으로 표시되는 경우가 발생한다.

발명의 내용

해결하려는 과제

[0012] 본 발명은 상술한 문제점을 해결하기 위한 것으로, 반도체층 하부에 박막층 및 절연층을 형성하여 상기 반도체층 상부뿐만 아니라 하부에서도 상기 반도체층을 제어함으로써 트랜지스터의 특성을 개선하여 신뢰성을 향상시킬 수 있는 유기발광 다이오드 표시장치 및 그의 제조방법을 제공함에 그 목적이 있다.

과제의 해결 수단

[0013] 상술한 기술적 과제를 달성하기 위한 본 발명에 따른 유기발광 다이오드 표시장치는 기판과, 상기 기판 상에 형성된 버퍼층과, 상기 버퍼층 상에서 패터닝된 박막층과, 상기 패터닝된 박막층 상에 상기 박막층과 일정 부분 중첩되도록 형성된 제1 게이트 절연층과, 상기 기판 중 상기 박막층과 대응되는 상기 제1 게이트 절연층에 형성된 액티브층과, 상기 액티브층 상에 형성되는 제2 게이트 절연층과, 상기 제2 게이트 절연층 상에서 상기 액티브층과 일정부분 중첩되도록 형성된 게이트 전극과, 상기 게이트 전극 상에 형성된 층간 절연막과, 상기 층간 절연막 상에 형성되며 일정 부분 이격된 소스 및 드레인 전극 및 상기 드레인 전극과 전기적으로 접속된 애노드 전극을 포함한다.

[0014] 상술한 기술적 과제를 달성하기 위한 본 발명에 따른 유기발광 다이오드 표시장치의 제조방법은 기판을 제공하는 단계와, 상기 기판 상에 버퍼층을 형성하는 단계와, 상기 버퍼층 상에 박막층을 형성하는 단계와, 상기 박막층 상에 상기 박막층과 일정 부분 중첩되는 제1 게이트 절연층을 형성하는 단계와, 상기 기판에서 상기 박막층과 대응되는 상기 제1 게이트 절연층에 액티브층을 형성하는 단계와, 상기 액티브층 상에 제2 게이트 절연층을 형성하는 단계와, 상기 제2 게이트 절연층을 사이에 두고 상기 액티브층과 일정부분 중첩되는 게이트 전극을 형성하는 단계와, 상기 게이트 전극 상에 층간 절연막을 형성하는 단계와, 상기 층간 절연막 상에 일정 부분 이격된 소스 및 드레인 전극을 형성하는 단계 및 상기 드레인 전극과 전기적으로 접속된 애노드 전극을 형성하는 단계를 포함한다.

발명의 효과

[0015] 상술한 바와 같이, 본 발명에 따른 유기발광 다이오드 표시장치 및 그의 제조방법은 반도체층 상부 및 하부에 각각 절연층과 박막층을 형성하여 상기 반도체층의 하부 및 상부에 위치하는 박막층에 전압을 인가하여 상기 반도체층을 제어함으로써 트랜지스터의 특성을 개선하여 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

[0016] 도 1은 본 발명에 따른 유기발광 다이오드 표시장치의 서브 픽셀의 회로 구성을 나타낸 도면이다.

도 2는 도 1의 서브 픽셀의 단면을 나타낸 도면이다.

도 3a 내지 도 3i는 도 2의 서브 픽셀을 공정 순서대로 나타낸 도면이다.

도 4는 다른 실시예에 따른 도 1의 서브 픽셀의 단면을 나타낸 도면이다.

도 5a 내지 도 5h는 도 4의 서브 픽셀을 공정 순서대로 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명한다.

[0018] 도 1은 본 발명에 따른 유기발광 다이오드 표시장치의 서브 픽셀의 회로 구성을 나타낸 도면이다.

[0019] 도 1에 도시된 바와 같이, 본 발명에 따른 유기발광 다이오드 표시장치는 매트릭스 형태로 배치된 다수의 서브 픽셀들을 포함한다.

[0020] 상기 서브 픽셀들 각각은 스위칭 트랜지스터, 구동 트랜지스터, 캐패시터 및 유기발광 다이오드를 포함하는 2T(Transistor)1C(Capacitor) 구조로 구성되거나 트랜지스터 및 캐패시터가 더 추가된 구조로 형성될 수 있다.

[0021] 2T1C 구조의 경우, 서브 픽셀(SP)에 포함된 소자들은 다음과 같이 연결될 수 있다.

[0022] 스위칭 트랜지스터(SW, T1)는 스캔신호가 공급되는 스캔라인(SL)에 게이트가 연결되고 데이터 신호가 공급되는 데이터라인(DL)에 일단이 연결되며 제1 노드에 타단이 연결된다.

[0023] 구동 트랜지스터(DR, T1)는 상기 제1 노드에 게이트가 연결되고 고전위의 전원이 공급되는 제1 전원 배선(VDD)에 일단이 연결되며 유기 발광 다이오드(OLED)에 타단이 연결된다.

[0024] 이때, 상기 구동 트랜지스터(DR, T1)는 바텀 게이트 및 탑 게이트 전극을 모두 구비한 듀얼 게이트 트랜지스터로 구성될 수 있다.

[0025] 캐패시터(Cst)는 제1 노드에 일단이 연결되고 상기 제1 전원 배선(VDD)에 타단이 연결된다. 상기 유기 발광 다이오드(OLED)는 상기 구동 트랜지스터(DR, T1)의 타단에 애노드가 연결되고 저전위 전원이 공급되는 제2 전원 배선(VSS)에 캐소드가 연결된다.

[0026] 위의 설명에서는 서브 픽셀에 포함되는 트랜지스터들(T1, T2)이 P-Type 으로 구성된 것을 일례로 설명하였으나 본 발명의 실시예는 이에 한정되지 않는다.

[0027] 그리고 제1 전원 배선(VDD)을 통해 공급되는 고전위의 전원은 제2 전원 배선(VSS)을 통해 공급되는 저전위의 전압보다 높을 수 있으며, 제1 전원배선(VDD) 및 제2 전원배선(VSS)을 통해 공급되는 전원의 레벨은 구동방법에 따라 스위칭이 가능하다.

- [0028] 앞서 설명한 서브 픽셀은 다음과 같이 동작할 수 있다.
- [0029] 스캔라인(SL)을 통해 스캔신호가 공급되며 스위칭 트랜지스터(T1)가 턴-온된다. 다음, 데이터라인(DL)을 통해 공급된 데이터 신호가 턴-온된 스위칭 트랜지스터(T1)를 거쳐 제1 노드에 공급되면 상기 데이터 신호는 캐패시터(Cst)에 데이터 전압으로 저장된다.
- [0030] 다음, 스캔신호가 차단되고 스위칭 트랜지스터(T1)가 턴-오프되면 구동 트랜지스터(T2)는 캐패시터(Cst)에 저장된 데이터 전압에 대응하여 구동된다.
- [0031] 다음, 제1 전원배선(VDD)을 통해 공급된 고전위의 전원이 제2 전원배선(VSS)을 통해 흐르게 되면 유기 발광 다이오드(OLED)는 빛을 발광하게 된다.
- [0032] 그러나 이는 구동방법의 일례에 따른 것일 뿐, 본 발명의 실시예는 이에 한정되지 않는다.
- [0033] 도 2는 도 1의 서브 픽셀의 단면을 나타낸 도면이다.
- [0034] 도 1 및 도 2에 도시된 바와 같이, 본 발명의 실시예에 따른 유기발광 다이오드 표시장치는 기판(100) 상에 형성된 트랜지스터(T)와, 상기 트랜지스터(T2) 상에 형성된 보호층(140)과, 평탄화막(150)과, 애노드 전극(160) 및 बैं크층(170)을 포함한다. 여기서, 상기 트랜지스터(T)는 구동 트랜지스터(T2)를 의미한다.
- [0035] 또한, 상기 기판(100) 상에는 버퍼층(110)과, 박막층(115)과, 제1 게이트 절연층(120)과, 반도체층(128)과, 제2 게이트 절연층(130) 및 게이트 금속 패턴이 형성된다.
- [0036] 이때, 상기 게이트 금속 패턴은 서브 픽셀의 스캔라인(SL)과, 상기 트랜지스터(T)의 게이트 전극(104)을 포함한다.
- [0037] 상기 트랜지스터(T)는 상기 제1 게이트 절연층(120) 상에 형성된 액티브층(102)과, 상기 제2 게이트 절연층(130)을 사이에 두고 액티브층(102) 상에 형성된 게이트 전극(104)과, 층간 절연막(140)을 사이에 두고 상기 게이트 전극(104) 상에 형성되며 서로 일정 간격 이격된 소스 및 드레인 전극(106, 108)을 포함한다.
- [0038] 이와 더불어, 상기 트랜지스터(T)는 상기 제1 게이트 절연층(120) 하부에 형성된 박막층(115)과 전기적으로 접속되는 도전 패턴(180)을 더 포함한다. 상기 도전 패턴(180)은 상기 소스 및 드레인 전극(106, 108)과 동일한 재질 및 동일한 공정을 통해 형성될 수 있다.
- [0039] 상기 도전 패턴(180)은 상기 박막층(115)과 콘택홀을 통해 전기적으로 접속된다. 또한, 상기 도전 패턴(180)은 상기 게이트 전극(104)으로 스캔 신호를 제공하는 스캔라인(SL) 또는 상기 저전위 배선(VSS) 중 어느 하나와 전기적으로 접속된다.
- [0040] 예를 들어, 상기 도전 패턴(180)이 상기 스캔라인(SL)과 전기적으로 접속되면 상기 스캔라인(SL)을 통해 스캔신호가 상기 도전 패턴(180)을 거쳐 상기 박막층(115)으로 제공된다.
- [0041] 또한, 상기 도전 패턴(180)이 상기 저전위 배선(VSS) 배선과 전기적으로 접속되면, 상기 도전 패턴(180)으로 저전위 전압이 공급되고 상기 박막층(115)에도 상기 저전위 전압이 공급된다.
- [0042] 상기 도전 패턴(180)과 전기적으로 접속된 박막층(115)에 일정한 전압이 인가되면 상기 박막층(115) 상에 형성된 액티브층(102)의 하부 표면에 전자 또는 정공이 이동된다. 이와 더불어, 상기 게이트 전극(104)에 스캔신호가 인가되면 상기 액티브층(102)의 상부 표면에 전자 또는 정공이 이동하게 된다.
- [0043] 상기 액티브층(102)의 하부 및 상부에 각각 위치한 박막층(115) 및 게이트 전극(104)에 일정한 전압이 인가되면 상기 액티브층(102)의 하부 및 상부 표면에 전자 또는 정공의 이동도를 향상시킬 수 있다.
- [0044] 상기 액티브층(102)의 전자 또는 정공의 이동도가 향상되면 상기 액티브층(102)의 채널영역(102a)로 전류가 신속히 흐를 수 있고 이와 반대로 전류를 신속히 차단시킬 수 있어 트랜지스터(T)의 소자 특성이 향상된다.
- [0045] 따라서, 본 발명에 따른 유기발광 다이오드 표시장치의 신뢰성을 향상시킬 수 있다.
- [0046] 도 3a 내지 도 3i는 도 2의 서브 픽셀을 공정 순서대로 나타낸 도면이다.
- [0047] 도 3a에 도시된 바와 같이, 기판(100) 전면에서 버퍼층(110)과, 금속층(113)과, 제1 게이트 절연층(120) 및 비정질 실리콘층(125)을 형성한다.
- [0048] 여기서, 상기 버퍼층(110)은 상기 트랜지스터(T)로 습기, 수소 또는 산소 등이 상기 기판(100)을 관통하여 침투

하지 않도록 하는 역할을 한다. 이를 위해, 상기 버퍼층(110)은 반도체 공정 중 쉽게 형성할 수 있는 실리콘 산화막(SiO₂), 실리콘 질화막(Si₃N₄), 무기막 및 그 등가물 중 선택된 적어도 어느 하나로 형성할 수 있으나, 이러한 재질로 본 발명을 한정하는 것은 아니다.

- [0049] 이어, 상기 비정질 실리콘층(125)에 레이저를 조사하여 상기 비정질 실리콘층(125)을 다결정 실리콘으로 결정화한다.
- [0050] 연속하여, 상기 다결정 실리콘이 형성된 기판(100) 상에 포토레지스트 층(도시하지 않음)을 도포한 후 포토리소그래피 공정을 통해 포토레지스트 패턴(200)을 형성한다.
- [0051] 상기 기판(100) 상에서 상기 포토레지스트 패턴(200)과 대응되는 부분을 제외한 나머지 부분의 다결정 실리콘층 및 제1 게이트 절연층(120)을 제거하여 반도체층(125) 및 패턴닝된 제1 게이트 절연층(120)을 형성한다.
- [0052] 이때, 상기 금속층(113)은 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 코발트(Co), 카드뮴(Cd), 티타늄(Ti) 및 그 등가물 중 선택된 하나일 수 있으며 그 종류를 한정하는 것은 아니다. 상기 제1 게이트 절연층(120)은 실리콘 산화막(SiO₂), 실리콘 질화막(Si₃N₄) 중 어느 하나로 구성될 수 있다.
- [0053] 도 3b에 도시된 바와 같이, 애싱 공정을 통해 상기 기판(100) 상에 형성된 상기 반도체층(125)의 일부를 노출시키고, 상기 노출된 반도체층(125)을 식각하여 제거한다.
- [0054] 이어, 상기 금속층(113)을 부분적으로 식각하고 제거함으로써 패턴닝된 박막층(115)을 형성한다.
- [0055] 도 3c에 도시된 바와 같이, 상기 패턴닝된 박막층(115)이 형성된 기판(100) 전면에서 제2 게이트 절연층(130)을 형성한다. 상기 제2 게이트 절연층(130)은 실리콘 산화막(SiO₂), 실리콘 질화막(Si₃N₄) 중 어느 하나로 구성될 수 있다.
- [0056] 이어, 상기 기판(100) 상에 상기 불투명한 금속층, 투명한 금속층 및 포토레지스트를 순차적으로 형성한다. 연속하여, 포토리소그래피 공정을 통해 상기 기판(100) 상에 높이가 상이한 제1 및 제2 포토레지스트 패턴(300a, 300b)을 형성한다.
- [0057] 상기 제1 및 제2 포토레지스트 패턴(300a, 300b)을 형성한 후, 상기 제1 및 제2 포토레지스트 패턴(300a, 300b)을 마스크로 하여 상기 제1 및 제2 포토레지스트 패턴(300a, 300b)과 대응되지 않는 불투명 금속층 및 투명한 금속층을 제거하여 게이트 상부 전극(104b) 및 게이트 하부 전극(104a)을 형성한다.
- [0058] 도 3d에 도시된 바와 같이, 상기 기판(100) 상에 형성된 제1 및 제2 포토레지스트 패턴(300a, 300b)을 제거한 후 상기 반도체층(125)의 일정 부분에 이온을 도핑하여 채널 영역(102a), 소스 및 드레인 영역(102b, 102c)를 구비한 액티브층(102)을 형성한다.
- [0059] 이어서, 상기 기판(100) 상에 도 3e에 도시된 바와 같이, 층간 절연막(140)을 형성하고 포토리소그래피 공정을 통해 상기 층간 절연막(140)을 패턴닝하여 상기 소스 영역(102b)의 일부를 노출시키는 제2 콘택홀(H2) 및 상기 드레인 영역(102c)의 일부를 노출시키는 제3 콘택홀(H3)을 형성한다.
- [0060] 이와 동시에, 상기 층간 절연막(140)과 제1 및 제2 게이트 절연층(120, 130)을 패턴닝하여 상기 박막층(115)의 일부를 노출시키는 제1 콘택홀(H1)이 형성된다.
- [0061] 도 3f에 도시된 바와 같이, 상기 제1 내지 제3 콘택홀(H1 ~ H3)을 포함하는 층간 절연막(140) 상에 알루미늄(Al), 알루미늄네오듐(AlNd), 몰리브덴(Mo) 중에서 어느 한 금속 또는 2 이상의 금속이나 합금을 스퍼터링(Sputtering)으로 증착한다.
- [0062] 이어서, 포토리소그래피 공정으로 패턴닝하여 상기 제1 내지 제3 콘택홀(H1 ~ H3)을 통해 각각 박막층(115), 소스 영역(102a) 및 드레인 영역(102c)에 접속되는 도전성 패턴(180), 소스 및 드레인 전극(106, 108)을 상기 층간 절연막(140) 상에 형성한다.
- [0063] 이와 더불어, 상기 층간 절연막(140) 상에는 상기 소스 전극(106)과 전기적으로 접속되는 데이터 라인(DL)이 더 형성된다.
- [0064] 여기서, 상기 소스 및 드레인 전극(106, 108)과, 상기 소스 및 드레인 전극(106, 108) 하부에 형성된 게이트 전극(104) 및 상기 게이트 전극(104) 상에 형성된 액티브층(102)은 트랜지스터(T)를 구성한다.
- [0065] 도 3g에 도시된 바와 같이, 상기 소스 및 드레인 전극(106, 108)이 형성된 기판(100) 상에 유기재료로 이루어진

보호층(150)을 형성한다.

- [0066] 상기 보호층(150)은 상기 드레인 전극(108)의 일부를 노출시키는 제4 컨택홀(H4)을 구비하도록 패턴닝된다.
- [0067] 도 3h에 도시된 바와 같이, 제4 컨택홀(H4)을 구비한 보호층(150) 상에 스퍼터링 방법으로 투명한 도전막으로 이루어진 애노드 전극(160)을 형성한다.
- [0068] 이때, 상기 애노드 전극(160)은 유기발광 다이오드 표시장치가 탑 에미션(Top Emission) 구조 또는 바텀 에미션(Bottom Emission) 구조임에 따라 복합층 또는 단일층으로 구성될 수 있다.
- [0069] 유기발광 다이오드 표시장치가 탑 에미션(Top Emission) 구조인 경우 상기 애노드 전극(160)은 제1 및 제2 투명 도전막과, 상기 제1 및 제2 투명 도전막 사이에 형성된 반사층을 구비한 3중 구조의 복합층으로 이루어진다.
- [0070] 또한, 유기발광 다이오드 표시장치가 바텀 에미션(Bottom Emission) 구조인 경우 상기 애노드 전극(160)은 투명 도전막을 구비한 단일층으로 이루어진다.
- [0071] 상기 애노드 전극(160)이 형성된 기판(100) 상에 도 3i에 도시된 바와 같이, 폴리이미드(polyimide) 또는 포토 레지스트(photoresist) 등의 감광성 유기재료를 전면 도포한 후에 포토리소그래피 공정으로 상기 유기재료를 패턴닝하여 발광 셀들을 구획하기 위한 뱅크층(170)을 형성한다.
- [0072] 상기 뱅크층(170)은 스페이서를 포함하여 단차진 구조로 형성된다.
- [0073] 이와 같이, 본 발명에 따른 유기발광 다이오드 표시장치는 액티브층(102) 하부에 박막층(115)을 형성하여 상기 박막층(115)에 전압을 인가하여 상기 액티브층(102)의 하부 표면에서도 전자 또는 정공이 이동되게 함으로써 트랜지스터(T)의 특성을 개선하여 신뢰성을 향상시킬 수 있다.
- [0074] 도 4는 다른 실시예에 따른 도 1의 서브 픽셀의 단면을 나타낸 도면이다. 도 4에 있어서, 전술한 유기발광 다이오드 표시장치와 동일한 구성요소들에 대하여는 동일한 도면 부호를 붙이고 그에 대한 상세한 설명을 생략하기로 한다.
- [0075] 도 4에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 유기발광 다이오드 표시장치는 기판(100) 상에 형성된 트랜지스터(T)와, 상기 트랜지스터(T) 상에 형성된 애노드 전극(260) 및 상기 애노드 전극(260)의 일부분과 중첩된 뱅크층(270)을 포함한다.
- [0076] 또한, 상기 기판(100) 상에는 버퍼층(110)과, 박막층(115)과, 제1 게이트 절연층(120)과, 반도체층(128)과, 제2 게이트 절연층(130) 및 게이트 금속 패턴이 형성된다.
- [0077] 이때, 상기 게이트 금속 패턴은 서브 픽셀의 스캔라인(도 1의 SL)과, 상기 트랜지스터(T)의 게이트 전극(104)을 포함한다.
- [0078] 상기 트랜지스터(T)는 상기 제1 게이트 절연층(120) 상에 형성된 액티브층(102)과, 상기 제2 게이트 절연층(130)을 사이에 두고 액티브층(102) 상에 형성된 게이트 전극(104)과, 층간 절연막(140)을 사이에 두고 상기 게이트 전극(104) 상에 형성되며 서로 일정 간격 이격된 소스 및 드레인 전극(106, 108)을 포함한다.
- [0079] 이와 더불어, 상기 트랜지스터(T)는 상기 제1 절연층(120) 하부에 형성된 박막층(115)과 전기적으로 접속되는 도전 패턴(180)을 더 포함한다. 상기 도전 패턴(180)은 상기 소스 및 드레인 전극(106, 108)과 동일한 재질 및 동일한 공정을 통해 형성될 수 있다.
- [0080] 상기 도전 패턴(180)은 상기 박막층(115)과 컨택홀을 통해 전기적으로 접속된다. 또한, 상기 도전 패턴(180)은 상기 게이트 전극(104)으로 스캔 신호를 제공하는 스캔라인(SL) 또는 상기 저전위 배선(VSS) 중 어느 하나와 전기적으로 접속된다.
- [0081] 상기 도전 패턴(180)과 전기적으로 접속된 박막층(115)에 일정한 전압이 인가되면 상기 박막층(115) 상에 형성된 액티브층(102)의 하부 표면에 전자 또는 정공이 이동된다. 이와 더불어, 상기 게이트 전극(104)에 스캔신호가 인가되면 상기 액티브층(102)의 상부 표면에도 전자 또는 정공이 이동하게 된다.
- [0082] 상기 액티브층(102)의 하부 및 상부에 각각 위치한 박막층(115) 및 게이트 전극(104)에 일정한 전압이 인가되면 상기 액티브층(102)의 하부 및 상부 표면에 전자 또는 정공이 이동하는 이동도를 향상시킬 수 있다.
- [0083] 상기 액티브층(102)의 전자 또는 정공의 이동도가 향상되면 상기 액티브층(102)의 채널영역(102a)로 전류가 신속히 흐를 수 있고 이와 반대로 전류를 신속히 차단시킬 수 있어 트랜지스터(T)의 소자 특성이 향상된다.

- [0084] 따라서, 본 발명에 따른 유기발광 다이오드 표시장치의 신뢰성을 향상시킬 수 있다.
- [0085] 도 5a 내지 도 5h는 도 4의 서브 픽셀을 공정 순서대로 나타낸 도면이다. 도 5a 내지 도 5f에 있어서, 전술한 도 3a 내지 도 3f의 제조 공정 순서와 동일하므로 이에 대한 설명을 간략히 하기로 한다.
- [0086] 도 5a에 도시된 바와 같이, 기판(100) 전면에 버퍼층(110)과, 금속층(113)과, 제1 게이트 절연층(120) 및 비정질 실리콘층(125)을 형성한다.
- [0087] 이어, 상기 비정질 실리콘층(125)에 레이저를 조사하여 상기 비정질 실리콘층(125)을 다결정 실리콘으로 결정화한다.
- [0088] 연속하여, 상기 다결정 실리콘이 형성된 기판(100) 상에 포토레지스트 층(도시하지 않음)을 도포한 후 포토리소그래피 공정을 통해 포토레지스트 패턴(200)을 형성한다.
- [0089] 상기 기판(100) 상에서 상기 포토레지스트 패턴(200)과 대응되는 부분을 제외한 나머지 부분의 다결정 실리콘층 및 제1 게이트 절연층(120)을 제거하여 반도체층(125) 및 패터닝된 제1 게이트 절연층(120)을 형성한다.
- [0090] 도 5b에 도시된 바와 같이, 애싱 공정을 통해 상기 기판(100) 상에 형성된 상기 반도체층(125)의 일부를 노출시키고, 상기 노출된 반도체층(125)을 식각하여 제거한다.
- [0091] 이어, 상기 금속층(113)을 부분적으로 식각하고 제거함으로써 패터닝된 박막층(115)을 형성한다.
- [0092] 도 5c에 도시된 바와 같이, 상기 패터닝된 박막층(115)이 형성된 기판(100) 전면에 제2 게이트 절연층(130)을 형성한다.
- [0093] 이어, 상기 기판(100) 상에 상기 불투명한 금속층, 투명한 금속층 및 포토레지스트를 순차적으로 형성한다. 연속하여, 포토리소그래피 공정을 통해 상기 기판(100) 상에 높이가 상이한 제1 및 제2 포토레지스트 패턴(300a, 300b)을 형성한다.
- [0094] 상기 제1 및 제2 포토레지스트 패턴(300a, 300b)을 형성한 후, 상기 제1 및 제2 포토레지스트 패턴(300a, 300b)을 마스크로 하여 상기 제1 및 제2 포토레지스트 패턴(300a, 300b)과 대응되지 않는 불투명 금속층 및 투명한 금속층을 제거하여 게이트 상부 전극(104b) 및 게이트 하부 전극(104a)을 형성한다.
- [0095] 도 5d에 도시된 바와 같이, 상기 기판(100) 상에 형성된 제1 및 제2 포토레지스트 패턴(300a, 300b)을 제거한 후 상기 반도체층(125)의 일정 부분에 이온을 도핑하여 채널 영역(102a), 소스 및 드레인 영역(102b, 102c)를 구비한 액티브층(102)을 형성한다.
- [0096] 이어서, 상기 기판(100) 상에 도 5e에 도시된 바와 같이, 층간 절연막(140)을 형성하고 포토리소그래피 공정을 통해 상기 층간 절연막(140)을 패터닝하여 상기 소스 영역(102b)의 일부를 노출시키는 제2 콘택홀(H2) 및 상기 드레인 영역(102c)의 일부를 노출시키는 제3 콘택홀(H3)을 형성한다.
- [0097] 이와 동시에, 상기 층간 절연막(140)과 제1 및 제2 게이트 절연층(120, 130)을 패터닝하여 상기 박막층(115)의 일부를 노출시키는 제1 콘택홀(H1)이 형성된다.
- [0098] 도 5f에 도시된 바와 같이, 상기 제1 내지 제3 콘택홀(H1 ~ H3)을 포함하는 층간 절연막(140) 상에 알루미늄(Al), 알루미늄네오듐(AlNd), 몰리브덴(Mo) 중에서 어느 한 금속 또는 2 이상의 금속이나 합금을 스퍼터링(Sputtering)으로 증착한다.
- [0099] 이어서, 포토리소그래피 공정으로 패터닝하여 상기 제1 내지 제3 콘택홀(H1 ~ H3)을 통해 각각 박막층(115), 소스 영역(102a) 및 드레인 영역(102c)에 접속되는 도전성 패턴(180), 소스 및 드레인 전극(106, 108)을 상기 층간 절연막(140) 상에 형성한다.
- [0100] 이와 더불어, 상기 층간 절연막(140) 상에는 상기 소스 전극(106)과 전기적으로 접속되는 데이터 라인(DL)이 더 형성된다.
- [0101] 여기서, 상기 소스 및 드레인 전극(106, 108)과, 상기 소스 및 드레인 전극(106, 108) 하부에 형성된 게이트 전극(104) 및 상기 게이트 전극(104) 상에 형성된 액티브층(102)은 트랜지스터(T)를 구성한다.
- [0102] 도 5g에 도시된 바와 같이, 상기 드레인 전극(108)이 형성된 기판(100) 상에 상기 드레인 전극(108)과 전기적으로 접속되는 애노드 전극(260)을 형성한다.
- [0103] 이때, 상기 애노드 전극(260)은 유기발광 다이오드 표시장치가 탑 에미션(Top Emission) 구조 또는 바텀 에미션

(Bottom Emission) 구조임에 따라 복합층 또는 단일층으로 구성될 수 있다.

[0104] 유기발광 다이오드 표시장치가 탑 에미션(Top Emission) 구조인 경우 상기 애노드 전극(260)은 제1 및 제2 투명 도전막과, 상기 제1 및 제2 투명 도전막 사이에 형성된 반사층을 구비한 3중 구조의 복합층으로 이루어진다.

[0105] 또한, 유기발광 다이오드 표시장치가 바텀 에미션(Bottom Emission) 구조인 경우 상기 애노드 전극(260)은 투명 도전막을 구비한 단일층으로 이루어진다.

[0106] 상기 애노드 전극(260)이 형성된 기판(100) 상에 도 5h에 도시된 바와 같이, 폴리이미드(polyimide) 또는 포토 레지스트(photoresist) 등의 감광성 유기재료를 전면 도포한 후에 포토리소그래피 공정으로 상기 유기재료를 패터닝하여 발광 셀들을 구획하기 위한 बैं크층(270)을 형성한다.

[0107] 상기 뱅크층(270)은 스페이서를 포함하여 단차진 구조로 형성된다.

[0108] 이와 같이, 본 발명에 따른 유기발광 다이오드 표시장치는 액티브층(102) 하부에 박막층(115)을 형성하여 상기 박막층(115)에 전압을 인가하여 상기 액티브층(102)의 하부 표면에서도 전자 또는 정공이 이동되게 함으로써 트랜지스터(T)의 특성을 개선하여 신뢰성을 향상시킬 수 있다.

[0109] 본 발명이 속하는 기술 분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다.

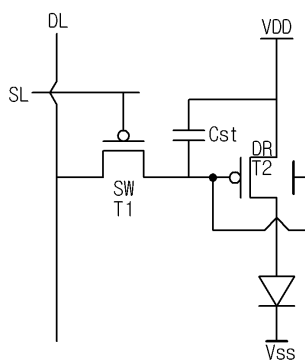
[0110] 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 등가 개념으로부터 도출되는 모든 변경 및 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

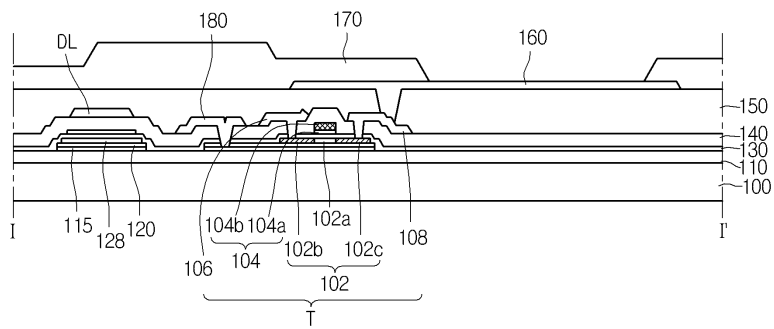
- [0111] 102: 액티브층 104: 게이트 전극
- 115: 박막층 120: 제1 게이트 절연층
- 130: 제2 게이트 절연층

도면

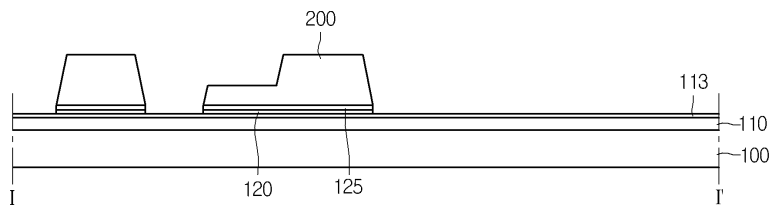
도면1



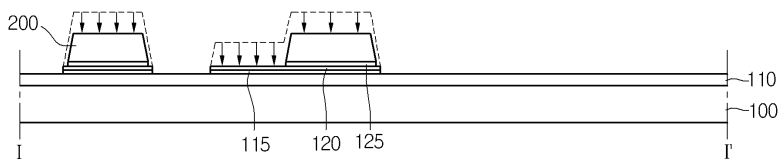
도면2



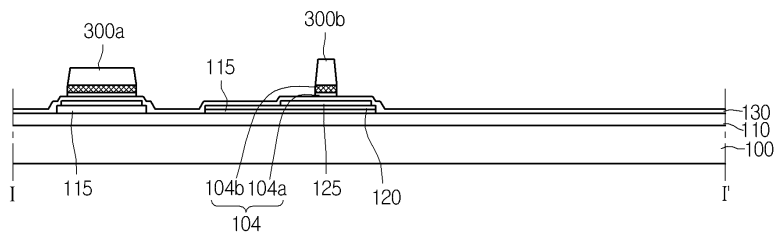
도면3a



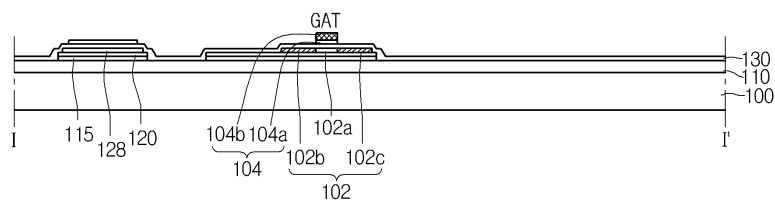
도면3b



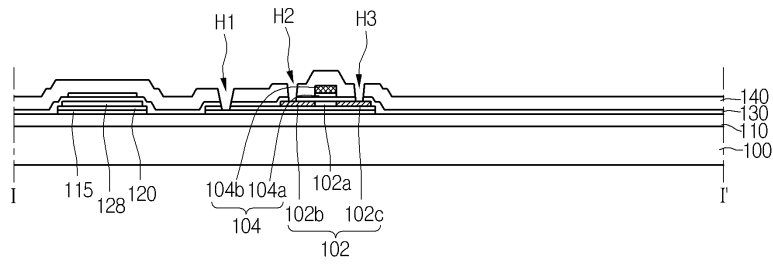
도면3c



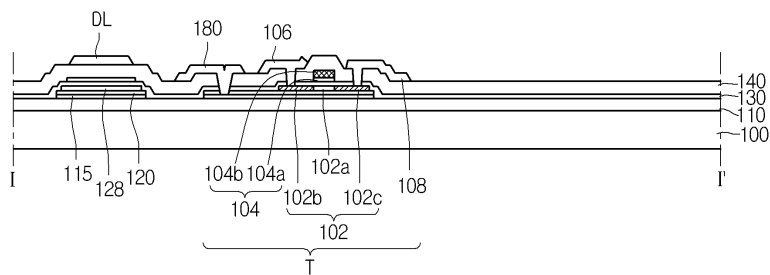
도면3d



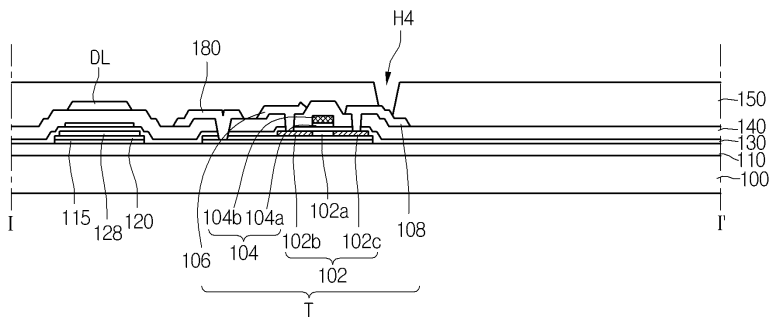
도면3e



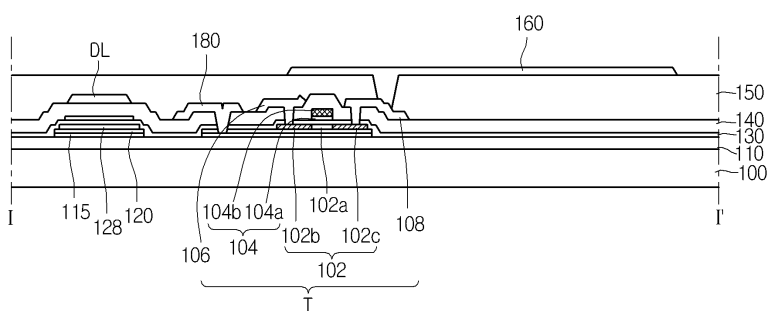
도면3f



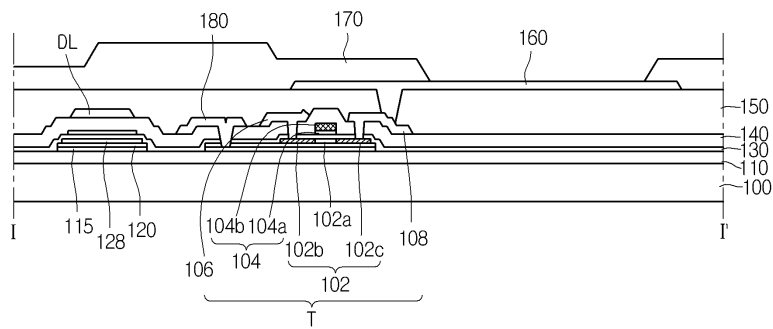
도면3g



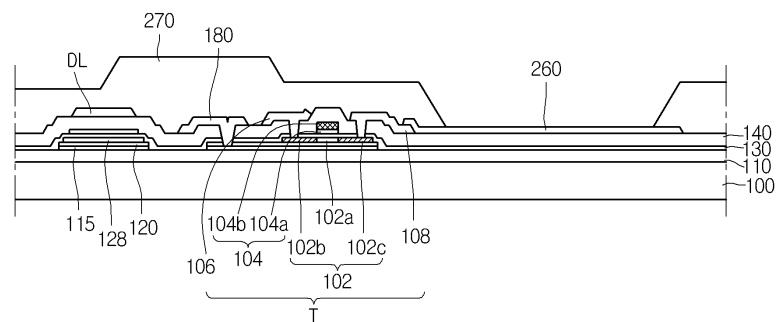
도면3h



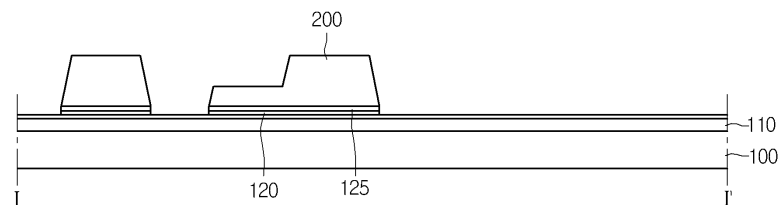
도면3i



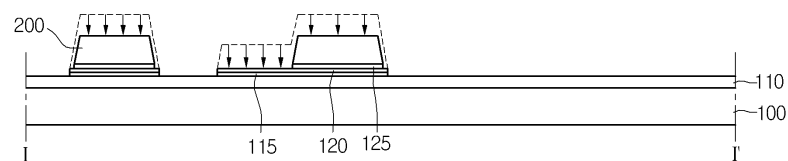
도면4



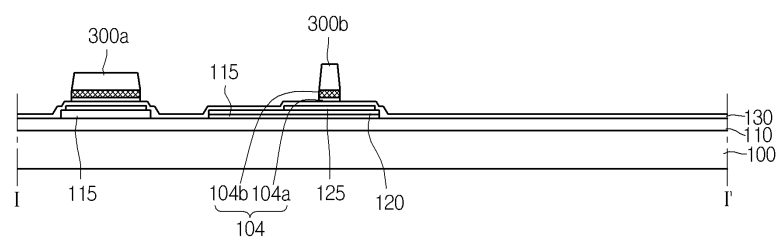
도면5a



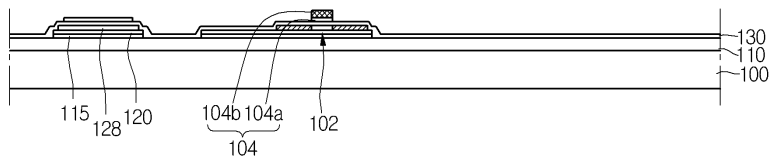
도면5b



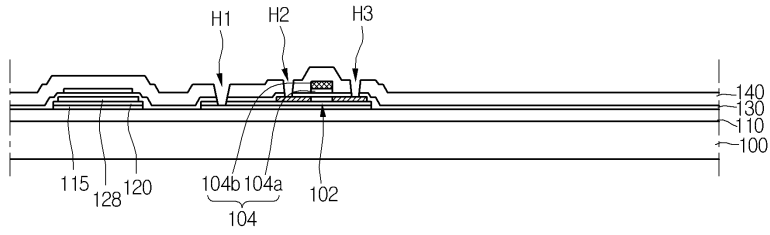
도면5c



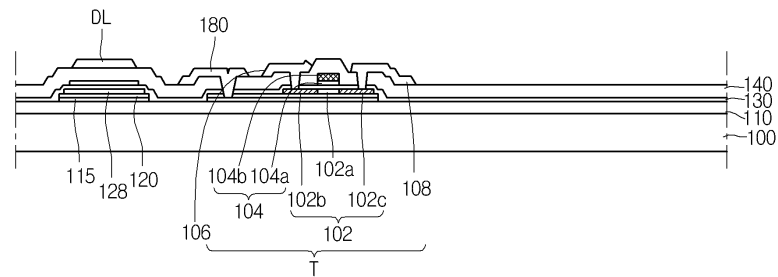
도면5d



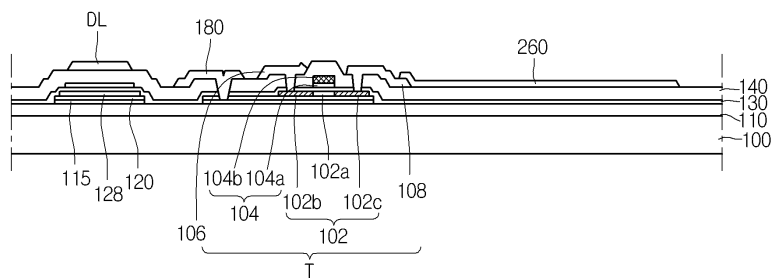
도면5e



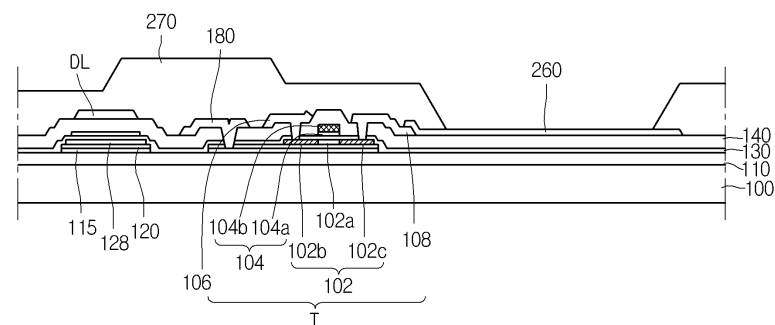
도면5f



도면5g



도면5h



专利名称(译)	OLED显示装置及其制造方法		
公开(公告)号	KR1020130031099A	公开(公告)日	2013-03-28
申请号	KR1020110094830	申请日	2011-09-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI HEE DONG 최희동		
发明人	최희동		
IPC分类号	H01L51/50 H05B33/22 H05B33/10		
CPC分类号	H01L27/124 H01L27/1259 H01L27/1237 H01L29/786		
其他公开文献	KR101843191B1		
外部链接	Espacenet		

摘要(译)

用途：提供有机发光二极管显示器及其制造方法，以提高晶体管的可靠性和性能。组成：在基板（100）上形成缓冲层（110）。在缓冲层上图案化薄膜层（115）。第一栅极绝缘层（120）与薄膜层重叠。在第一栅极绝缘层中形成有源层（102）。在有源层上形成第二栅极绝缘层（130）。栅电极（104）与第二栅极绝缘层重叠。在栅电极上形成源电极和漏电极（106,108）。

