



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2019년12월02일

(11) 등록번호 10-2050581

(24) 등록일자 2019년11월25일

(51) 국제특허분류(Int. Cl.)

G09G 3/30 (2006.01)

(21) 출원번호 10-2013-0071302

(22) 출원일자 2013년06월21일

심사청구일자 2018년05월16일

(65) 공개번호 10-2014-0147998

(43) 공개일자 2014년12월31일

(56) 선행기술조사문헌

KR1020130003248 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

김지혜

경기도 용인시 기흥구 삼성2로 95 (농서동)

이승규

경기도 용인시 기흥구 삼성2로 95 (농서동)

엄기명

경기도 용인시 기흥구 삼성2로 95 (농서동)

(74) 대리인

김두식, 오종한, 문용호

전체 청구항 수 : 총 18 항

심사관 : 하정균

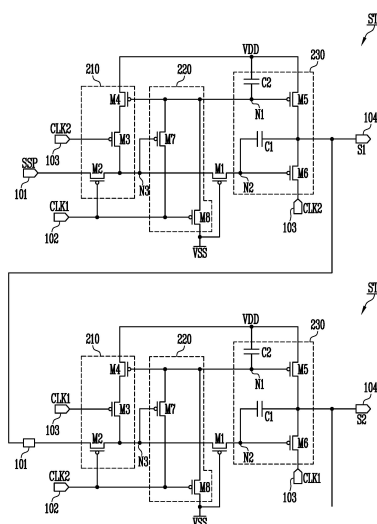
(54) 발명의 명칭 스테이지 회로 및 이를 이용한 유기전계발광 표시장치

(57) 요약

본 발명은 안정성을 향상시킬 수 있도록 한 스테이지 회로에 관한 것이다.

본 발명의 스테이지 회로는 제 1노드 및 제 2노드에 인가된 전압에 대응하여 출력단자로 제 1전원 또는 제 3입력 단자의 신호를 출력하기 위한 출력부와; 제 1입력단자, 제 2입력단자 및 상기 제 3입력단자의 신호에 대응하여 제 3노드의 전압을 제어하기 위한 제 1구동부와; 상기 제 2입력단자 및 상기 제 3노드의 전압에 대응하여 상기 제 1노드의 전압을 제어하기 위한 제 2구동부와; 상기 제 2노드 및 제 3노드 사이에 접속되어 턴-온 상태를 유지하는 제 1트랜지스터를 구비한다.

대표도 - 도3



명세서

청구범위

청구항 1

제 1노드 및 제 2노드에 인가된 전압에 대응하여 출력단자로 제 1전원 또는 제 3입력단자의 신호를 출력하기 위한 출력부와;

제 1입력단자, 제 2입력단자 및 상기 제 3입력단자의 신호에 대응하여 제 3노드의 전압을 제어하기 위한 제 1구동부와;

상기 제 2입력단자 및 상기 제 3노드의 전압에 대응하여 상기 제 1노드의 전압을 제어하기 위한 제 2구동부와;

상기 제 2노드 및 제 3노드 사이에 접속되어 턴-온 상태를 유지하는 제 1트랜지스터를 구비하는 것을 특징으로 하는 스테이지 회로.

청구항 2

제 1항에 있어서,

상기 제 1입력단자는 이전단 스테이지의 출력신호 또는 시작신호, 상기 제 2입력단자는 제 1클럭신호, 상기 제 3입력단자는 제 2클럭신호를 공급받는 것을 특징으로 하는 스테이지 회로.

청구항 3

제 2항에 있어서,

상기 제 1클럭신호 및 제 2클럭신호는 동일한 주기를 가지며 위상이 서로 중첩되지 않는 것을 특징으로 하는 스테이지 회로.

청구항 4

제 3항에 있어서,

상기 제 1클럭신호 및 제 2클럭신호는 2 수평기간(2H)의 주기를 가지며, 로우신호가 서로 다른 수평기간에 공급되는 것을 특징으로 하는 스테이지 회로.

청구항 5

제 2항에 있어서,

상기 시작신호는 상기 제 1클럭신호와 중첩되게 공급되는 것을 특징으로 하는 스테이지 회로.

청구항 6

제 2항에 있어서,

상기 제 1구동부는

상기 제 1입력단자와 상기 제 3노드 사이에 위치되며, 게이트전극이 상기 제 2입력단자에 접속되는 제 2트랜지스터와;

상기 제 3노드와 상기 제 1전원 사이에 직렬로 위치되는 제 3트랜지스터 및 제 4트랜지스터를 구비하며;

상기 제 3트랜지스터의 게이트전극은 상기 제 3입력단자에 접속되고, 상기 제 4트랜지스터의 게이트전극은 상기 제 1노드에 접속되는 것을 특징으로 하는 스테이지 회로.

청구항 7

제 2항에 있어서,

상기 출력부는

상기 제 1전원과 상기 출력단자 사이에 위치되며, 게이트전극이 상기 제 1노드에 접속되는 제 5트랜지스터와;

상기 출력단자와 상기 제 3입력단자 사이에 접속되며, 게이트전극이 상기 제 2노드에 접속되는 제 6트랜지스터와;

상기 제 2노드와 상기 출력단자 사이에 접속되는 제 1커패시터와;

상기 제 1노드와 상기 제 1전원 사이에 접속되는 제 2커패시터를 구비하는 것을 특징으로 하는 스테이지 회로.

청구항 8

제 2항에 있어서,

상기 제 2구동부는

상기 제 1노드와 상기 제 2입력단자 사이에 위치되며, 게이트전극이 상기 제 3노드에 접속되는 제 7트랜지스터와;

상기 제 1노드와 상기 제 1전원보다 낮은 전압으로 설정되는 제 2전원 사이에 위치되며, 게이트전극이 상기 제 2입력단자에 접속되는 제 8트랜지스터를 구비하는 것을 특징으로 하는 스테이지 회로.

청구항 9

제 8항에 있어서,

상기 제 1트랜지스터의 게이트전극은 상기 제 2전원에 접속되는 것을 특징으로 하는 스테이지 회로.

청구항 10

주사선들 및 데이터선들에 의하여 구획된 영역에 위치되는 화소들과;

상기 데이터선들로 데이터신호를 공급하기 위한 데이터 구동부와;

상기 주사선들로 주사신호를 공급하기 위하여 상기 주사선들과 각각 접속되는 스테이지를 포함하는 주사 구동부를 구비하며;

상기 스테이지들 각각은

제 1노드 및 제 2노드에 인가된 전압에 대응하여 출력단자로 제 1전원 또는 제 3입력단자의 신호를 공급하기 위한 출력부와;

제 1입력단자, 제 2입력단자 및 상기 제 3입력단자의 신호에 대응하여 제 3노드의 전압을 제어하기 위한 제 1구동부와;

상기 제 2입력단자 및 상기 제 3노드의 전압에 대응하여 상기 제 1노드의 전압을 제어하기 위한 제 2구동부와;

상기 제 2노드 및 상기 제 3노드 사이에 접속되어 턴-온 상태를 유지하는 제 1트랜지스터를 구비하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 11

제 10항에 있어서,

상기 제 3입력단자로 공급되는 클럭신호가 상기 주사신호로 이용되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 12

제 10항에 있어서,

상기 제 1입력단자는 이전단 스테이지의 주사신호 또는 시작신호를 공급받는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 13

제 10항에 있어서,

홀수번째 스테이지의 제 2입력단자는 제 1클럭신호, 제 3입력단자는 제 2클럭신호를 공급받고,

짝수번째 스테이지의 제 2입력단자는 제 2클럭신호, 제 3입력단자는 제 1클럭신호를 공급받는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 14

제 13항에 있어서,

상기 제 1클럭신호 및 제 2클럭신호는 동일한 주기를 가지며 위상이 서로 중첩되지 않는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 15

제 13항에 있어서,

상기 제 1구동부는

상기 제 1입력단자와 상기 제 3노드 사이에 위치되며, 게이트전극이 상기 제 2입력단자에 접속되는 제 2트랜지스터와;

상기 제 3노드와 상기 제 1전원 사이에 직렬로 위치되는 제 3트랜지스터 및 제 4트랜지스터를 구비하며;

상기 제 3트랜지스터의 게이트전극은 상기 제 3입력단자에 접속되고, 상기 제 4트랜지스터의 게이트전극은 상기 제 1노드에 접속되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 16

제 13항에 있어서,

상기 출력부는

상기 제 1전원과 상기 출력단자 사이에 위치되며, 게이트전극이 상기 제 1노드에 접속되는 제 5트랜지스터와;

상기 출력단자와 상기 제 3입력단자 사이에 접속되며, 게이트전극이 상기 제 2노드에 접속되는 제 6트랜지스터와;

상기 제 2노드와 상기 출력단자 사이에 접속되는 제 1커패시터와;

상기 제 1노드와 상기 제 1전원 사이에 접속되는 제 2커패시터를 구비하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 17

제 13항에 있어서,

상기 제 2구동부는

상기 제 1노드와 상기 제 2입력단자 사이에 위치되며, 게이트전극이 상기 제 3노드에 접속되는 제 7트랜지스터와;

상기 제 1노드와 상기 제 1전원보다 낮은 전압으로 설정되는 제 2전원 사이에 위치되며, 게이트전극이 상기 제 2입력단자에 접속되는 제 8트랜지스터를 구비하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 18

제 17항에 있어서,

상기 제 1트랜지스터의 게이트전극은 상기 제 2전원에 접속되는 것을 특징으로 하는 유기전계발광 표시장치.

발명의 설명

기술 분야

- [0001] 본 발명의 실시예는 스테이지 회로 및 이를 이용한 유기전계발광 표시장치에 관한 것으로, 특히 안정성을 향상시킬 수 있도록 한 스테이지 회로 및 이를 이용한 유기전계발광 표시장치에 관한 것이다.

배경 기술

- [0002] 평판 표시장치로는 액정 표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시패널(Plasma Display Panel) 및 유기전계발광 표시장치(Organic Light Emitting Display Device) 등이 있다.
- [0003] 평판표시장치 중 유기전계발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 영상을 표시한다. 이러한, 유기전계발광 표시장치는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다. 일반적인 유기전계발광 표시장치는 화소마다 형성되는 트랜지스터를 이용하여 데이터신호에 대응하는 전류를 유기 발광 다이오드로 공급함으로써 유기 발광 다이오드에서 빛이 발생되게 한다.
- [0004] 이와 같은 종래의 유기전계발광 표시장치는 데이터선들로 데이터신호를 공급하기 위한 데이터 구동부, 주사선들로 주사신호를 순차적으로 공급하기 위한 주사 구동부, 주사선들 및 데이터선들에 접속되는 복수의 화소를 포함하는 화소부를 구비한다.
- [0005] 화소부에 포함된 화소들은 주사선으로 주사신호가 공급될 때 선택되어 데이터선으로부터 데이터신호를 공급받는다. 데이터신호를 공급받은 화소들은 데이터신호에 대응하는 소정 휘도의 빛을 생성하면서 영상을 표시한다.
- [0006] 한편, 주사 구동부는 주사선들과 각각 접속되는 스테이지 회로를 구비한다. 스테이지는 자신에게 공급되는 신호에 대응하여 자신과 접속된 주사선으로 주사신호를 공급한다. 여기서, 종래의 스테이지 회로는 주사신호를 공급하기 위하여 다수의 트랜지스터들(예를 들면, 10개 이상) 및 커패시터가 포함되고, 이에 따라 안정성이 저하되는 문제점이 있다. 다시 말하여, 스테이지에 다수의 트랜지스터들이 포함되는 경우 공정 수율이 저하되며, 이에 따라 구동의 안정성이 저하되는 문제점이 발생한다.

발명의 내용

해결하려는 과제

- [0007] 따라서, 본 발명의 실시예의 목적은 안정성을 향상시킬 수 있도록 한 스테이지 회로 및 이를 이용한 유기전계발광 표시장치를 제공하는 것이다.

과제의 해결 수단

- [0008] 본 발명의 실시예에 의한 스테이지 회로는 제 1노드 및 제 2노드에 인가된 전압에 대응하여 출력단자로 제 1전원 또는 제 3입력단자의 신호를 출력하기 위한 출력부와; 제 1입력단자, 제 2입력단자 및 상기 제 3입력단자의 신호에 대응하여 제 3노드의 전압을 제어하기 위한 제 1구동부와; 상기 제 2입력단자 및 상기 제 3노드의 전압에 대응하여 상기 제 1노드의 전압을 제어하기 위한 제 2구동부와; 상기 제 2노드 및 제 3노드 사이에 접속되어 턴-온 상태를 유지하는 제 1트랜지스터를 구비한다.
- [0009] 바람직하게, 상기 제 1입력단자는 이전단 스테이지의 출력신호 또는 시작신호, 상기 제 2입력단자는 제 1클럭신호, 상기 제 3입력단자는 제 2클럭신호를 공급받는다. 상기 제 1클럭신호 및 제 2클럭신호는 동일한 주기를 가지며 위상이 서로 중첩되지 않는다. 상기 제 1클럭신호 및 제 2클럭신호는 2 수평기간(2H)의 주기를 가지며, 로우신호가 서로 다른 수평기간에 공급된다. 상기 시작신호는 상기 제 1클럭신호와 중첩되게 공급된다.
- [0010] 상기 제 1구동부는 상기 제 1입력단자와 상기 제 3노드 사이에 위치되며, 게이트전극이 상기 제 2입력단자에 접

속되는 제 2트랜지스터와; 상기 제 3노드와 상기 제 1전원 사이에 직렬로 위치되는 제 3트랜지스터 및 제 4트랜지스터를 구비하며; 상기 제 3트랜지스터의 게이트전극은 상기 제 3입력단자에 접속되고, 상기 제 4트랜지스터의 게이트전극은 상기 제 1노드에 접속된다.

[0011] 상기 출력부는 상기 제 1전원과 상기 출력단자 사이에 위치되며, 게이트전극이 상기 제 1노드에 접속되는 제 5트랜지스터와; 상기 출력단자와 상기 제 3입력단자 사이에 접속되며, 게이트전극이 상기 제 2노드에 접속되는 제 6트랜지스터와; 상기 제 2노드와 상기 출력단자 사이에 접속되는 제 1커패시터와; 상기 제 1노드와 상기 제 1전원 사이에 접속되는 제 2커패시터를 구비한다.

[0012] 상기 제 2구동부는 상기 제 1노드와 상기 제 2입력단자 사이에 위치되며, 게이트전극이 상기 제 3노드에 접속되는 제 7트랜지스터와; 상기 제 1노드와 상기 제 1전원보다 낮은 전압으로 설정되는 제 2전원 사이에 위치되며, 게이트전극이 상기 제 2입력단자에 접속되는 제 8트랜지스터를 구비한다. 상기 제 1트랜지스터의 게이트전극은 상기 제 2전원에 접속된다.

[0013] 본 발명의 유기전계발광 표시장치는 주사선들 및 데이터선들에 의하여 구획된 영역에 위치되는 화소들과; 상기 데이터선들로 데이터신호를 공급하기 위한 데이터 구동부와; 상기 주사선들로 주사신호를 공급하기 위하여 상기 주사선들과 각각 접속되는 스테이지를 포함하는 주사 구동부를 구비하며; 상기 스테이지들 각각은 제 1노드 및 제 2노드에 인가된 전압에 대응하여 출력단자로 제 1전원 또는 제 3입력단자의 신호를 공급하기 위한 출력부와; 제 1입력단자, 제 2입력단자 및 상기 제 3입력단자의 신호에 대응하여 상기 제 3노드의 전압을 제어하기 위한 제 1구동부와; 상기 제 2입력단자 및 제 3노드의 전압에 대응하여 상기 제 1노드의 전압을 제어하기 위한 제 2구동부와; 상기 제 2노드 및 제 3노드 사이에 접속되어 턴-온 상태를 유지하는 제 1트랜지스터를 구비한다.

[0014] 바람직하게, 상기 제 3입력단자로 공급되는 클럭신호가 상기 주사신호로 이용된다. 상기 제 1입력단자는 이전 단 스테이지의 주사신호 또는 시작신호를 공급받는다. 홀수번째 스테이지의 제 2입력단자는 제 1클럭신호, 제 3입력단자는 제 2클럭신호를 공급받고, 짝수번째 스테이지의 제 2입력단자는 제 2클럭신호, 제 3입력단자는 제 1클럭신호를 공급받는다. 상기 제 1클럭신호 및 제 2클럭신호는 동일한 주기를 가지며 위상이 서로 중첩되지 않는다.

[0015] 상기 제 1구동부는 상기 제 1입력단자와 상기 제 3노드 사이에 위치되며, 게이트전극이 상기 제 2입력단자에 접속되는 제 2트랜지스터와; 상기 제 3노드와 상기 제 1전원 사이에 직렬로 위치되는 제 3트랜지스터 및 제 4트랜지스터를 구비하며; 상기 제 3트랜지스터의 게이트전극은 상기 제 3입력단자에 접속되고, 상기 제 4트랜지스터의 게이트전극은 상기 제 1노드에 접속된다.

[0016] 상기 출력부는 상기 제 1전원과 상기 출력단자 사이에 위치되며, 게이트전극이 상기 제 1노드에 접속되는 제 5트랜지스터와; 상기 출력단자와 상기 제 3입력단자 사이에 접속되며, 게이트전극이 상기 제 2노드에 접속되는 제 6트랜지스터와; 상기 제 2노드와 상기 출력단자 사이에 접속되는 제 1커패시터와; 상기 제 1노드와 상기 제 1전원 사이에 접속되는 제 2커패시터를 구비한다.

[0017] 상기 제 2구동부는 상기 제 1노드와 상기 제 2입력단자 사이에 위치되며, 게이트전극이 상기 제 3노드에 접속되는 제 7트랜지스터와; 상기 제 1노드와 상기 제 1전원보다 낮은 전압으로 설정되는 제 2전원 사이에 위치되며, 게이트전극이 상기 제 2입력단자에 접속되는 제 8트랜지스터를 구비한다. 상기 제 1트랜지스터의 게이트전극은 상기 제 2전원에 접속된다.

발명의 효과

[0018] 본 발명의 스테이지 회로 및 이를 이용한 유기전계발광 표시장치에 의하면 비교적 간략한 회로로 스테이지를 구현할 수 있고, 이에 따라 안정성을 향상시킬 수 있는 장점이 있다. 또한, 본원 발명의 스테이지 회로는 2개의 클럭신호만을 이용하여 주사신호를 생성할 수 있는 장점이 있다. 그리고, 본원 발명에서는 트랜지스터에 인가되는 전압을 최소화하여 소비전력, 제조비용을 낮춤과 동시에 구동의 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

[0019] 도 1은 본 발명의 실시예에 의한 유기전계발광 표시장치를 나타내는 도면이다.

도 2는 도 1에 도시된 주사 구동부의 실시예를 나타내는 도면이다.

도 3은 도 2에 도시된 스테이지의 실시예를 나타내는 회로도이다.

도 4는 도 3에 도시된 스테이지 회로의 구동방법을 나타내는 파형도이다.

도 5는 도 3의 스테이지 회로의 시뮬레이션 결과를 나타내는 파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시 예가 첨부된 도 1 내지 도 5를 참조하여 자세히 설명하면 다음과 같다.
- [0021] 도 1은 본 발명의 실시예에 의한 유기전계발광 표시장치를 나타내는 도면이다.
- [0022] 도 1을 참조하면, 본 발명의 실시예에 의한 유기전계발광 표시장치는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)의 교차부에 위치되는 화소들(30)을 포함하는 화소부(40)와, 주사선들(S1 내지 Sn)을 구동하기 위한 주사 구동부(10)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동부(20)와, 주사 구동부(10) 및 데이터 구동부(20)를 제어하기 위한 타이밍 제어부(50)를 구비한다.
- [0023] 주사 구동부(10)는 주사선들(S1 내지 Sn)로 주사신호를 공급한다. 일례로, 주사 구동부(10)는 주사선들(S1 내지 Sn)로 주사신호를 순차적으로 공급할 수 있다. 이 경우, 화소들(30)이 수평라인 단위로 선택된다. 이를 위하여, 주사 구동부(10)는 주사선들(S1 내지 Sn) 각각과 접속되는 스테이지 회로(미도시)를 구비한다.
- [0024] 데이터 구동부(20)는 주사신호에 동기되도록 데이터선들(D1 내지 Dm)로 데이터신호를 공급한다. 그러면, 주사신호에 의하여 선택된 화소들(30)로 데이터신호에 대응하는 전압이 충전된다.
- [0025] 타이밍 제어부(50)는 주사 구동부(10) 및 데이터 구동부(20)를 제어한다. 또한, 타이밍 제어부(50)는 외부로부터의 데이터(미도시)를 데이터 구동부(20)로 전달한다.
- [0026] 화소들(30)은 주사신호가 공급될 때 선택되어 데이터신호에 대응하는 전압을 충전하고, 충전된 전압에 대응하는 전류를 유기 발광 다이오드(미도시)로 공급하면서 소정 휘도의 빛을 생성한다.
- [0027] 도 2는 도 1에 도시된 주사 구동부의 실시예를 나타내는 도면이다. 도 2에서는 설명의 편의성을 위하여 4개의 스테이지를 도시하기로 한다.
- [0028] 도 2를 참조하면, 본 발명의 실시예에 의한 주사 구동부(10)는 복수의 스테이지(ST1 내지 ST4)를 구비한다. 스테이지(ST1 내지 ST4) 각각은 주사선들(S1 내지 S4) 중 어느 하나와 접속되며 클럭신호(CLK1, CLK2)에 대응하여 구동된다. 이와 같은 스테이지(ST1 내지 ST4)들은 동일한 회로로 구성된다.
- [0029] 스테이지(ST1 내지 ST4) 각각은 제 1입력단자(101) 내지 제 3입력단자(103), 출력단자(104)를 구비한다.
- [0030] 스테이지(ST1 내지 ST4) 각각의 제 1입력단자(101)는 이전단 스테이지의 출력신호(즉, 주사신호) 또는 시작신호(SSP)를 공급받는다. 일례로, 첫 번째 스테이지(ST1)의 제 1입력단자(101)는 시작신호(SSP)를 공급받고, 나머지 스테이지들(ST2 내지 ST4)의 제 1입력단자(101)는 이전단 스테이지의 출력신호를 공급받는다.
- [0031] i (i 는 홀수 또는 짝수)번째 스테이지(ST i)의 제 2입력단자(102)는 제 1클럭신호(CLK1), 제 3입력단자(103)는 제 2클럭신호(CLK2)를 공급받는다. $i+1$ 번째 스테이지(ST i)의 제 2입력단자(102)는 제 2클럭신호(CLK2), 제 3입력단자(103)는 제 1클럭신호(CLK1)를 공급받는다.
- [0032] 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2)는 동일한 주기를 가지며 위상이 서로 중첩되지 않는다. 일례로, 하나의 주사선으로 주사신호가 공급되는 기간을 1수평기간(1H) 이라고 할 때, 클럭신호(CLK1, CLK2) 각각은 2H의 주기를 가지며 서로 다른 수평기간에 공급된다.
- [0033] 도 3은 도 2에 도시된 스테이지의 실시예를 나타내는 회로도이다. 도 3에서는 설명의 편의성을 위하여 제 1스테이지(ST1) 및 제 2스테이지(ST2)를 도시하기로 한다. 그리고, 도 3에서는 트랜지스터들이 PMOS로 형성되는

것으로 도시되었지만, 본원 발명이 이에 한정되지는 않는다. 일례로, 트랜지스터들은 NMOS로 형성될 수 있다.

- [0034] 도 3을 참조하면, 본 발명의 제 1실시에에 의한 스테이지(ST1)는 제 1구동부(210), 제 2구동부(220), 출력부(230) 및 제 1트랜지스터(M1)를 구비한다.
- [0035] 출력부(230)는 제 1노드(N1) 및 제 2노드(N2)에 인가되는 전압에 대응하여 출력단자(104)로 공급되는 전압을 제어한다. 이를 위하여, 출력부(230)는 제 5트랜지스터(M5), 제 6트랜지스터(M6), 제 1커패시터(C1) 및 제 2커패시터(C2)를 구비한다.
- [0036] 제 5트랜지스터(M5)는 제 1전원(VDD)과 출력단자(104) 사이에 위치되며, 게이트전극이 제 1노드(N1)에 접속된다. 이와 같은 제 5트랜지스터(M5)는 제 1노드(N1)에 인가되는 전압에 대응하여 제 1전원(VDD)과 출력단자(104)의 접속을 제어한다. 여기서, 제 1전원(VDD)은 게이트 오프 전압, 예를 들면 하이레벨의 전압으로 설정된다.
- [0037] 제 6트랜지스터(M6)는 출력단자(104)와 제 3입력단자(103) 사이에 위치되며, 게이트전극이 제 2노드(N2)에 접속된다. 이와 같은 제 6트랜지스터(M6)는 제 2노드(N2)에 인가되는 전압에 대응하여 출력단자(104)와 제 3입력단자(103)의 접속을 제어한다.
- [0038] 제 1커패시터(C1)는 제 2노드(N2)와 출력단자(104) 사이에 접속된다. 이와 같은 제 1커패시터(C1)는 제 6트랜지스터(M6)의 턴-온 및 턴-오프에 대응하는 전압을 충전한다.
- [0039] 제 2커패시터(C2)는 제 1노드(N1)와 제 1전원(VDD) 사이에 접속된다. 이와 같은 제 2커패시터(C2)는 제 1노드(N1)에 인가되는 전압을 충전한다.
- [0040] 제 1구동부(210)는 제 1입력단자(101) 내지 제 3입력단자(103)로 공급되는 신호들에 대응하여 제 3노드(N3)의 전압을 제어한다. 이를 위하여, 제 1구동부(210)는 제 2트랜지스터(M2) 내지 제 4트랜지스터(M4)를 구비한다.
- [0041] 제 2트랜지스터(M2)는 제 1입력단자(101)와 제 3노드(N3) 사이에 위치되며, 게이트전극이 제 2입력단자(102)에 접속된다. 이와 같은 제 2트랜지스터(M2)는 제 2입력단자(102)로 공급되는 신호에 대응하여 제 1입력단자(101)와 제 3노드(N3)의 접속을 제어한다.
- [0042] 제 3트랜지스터(M3) 및 제 4트랜지스터(M4)는 제 3노드(N3)와 제 1전원(VDD) 사이에 직렬로 접속된다. 실제로, 제 3트랜지스터(M3)는 제 4트랜지스터(M4)와 제 3노드(N3) 사이에 위치되며, 게이트전극이 제 3입력단자(103)에 접속된다. 이와 같은 제 3트랜지스터(M3)는 제 3입력단자(103)로 공급되는 신호에 대응하여 제 4트랜지스터(M4)와 제 3노드(N3)의 접속을 제어한다.
- [0043] 제 4트랜지스터(M4)는 제 3트랜지스터(M3)와 제 1전원(VDD) 사이에 위치되며, 게이트전극이 제 1노드(N1)에 접속된다. 이와 같은 제 4트랜지스터(M4)는 제 1노드(N1)의 전압에 대응하여 제 3트랜지스터(M3)와 제 1전원(VDD)의 접속을 제어한다.
- [0044] 제 2구동부(220)는 제 2입력단자(102) 및 제 3노드(N3)의 전압에 대응하여 제 1노드(N1)의 전압을 제어한다. 이를 위하여, 제 2구동부(220)는 제 7트랜지스터(M7) 및 제 8트랜지스터(M8)를 구비한다.
- [0045] 제 7트랜지스터(M7)는 제 1노드(N1)와 제 2입력단자(102) 사이에 위치되며, 게이트전극이 제 3노드(N3)에 접속된다. 이와 같은 제 7트랜지스터(M7)는 제 3노드(N3)의 전압에 대응하여 제 1노드(N1)와 제 2입력단자(102)의 접속을 제어한다.
- [0046] 제 8트랜지스터(M8)는 제 1노드(N1)와 제 2전원(VSS) 사이에 위치되며, 게이트전극이 제 2입력단자(102)에 접속된다. 이와 같은 제 8트랜지스터(M8)는 제 2입력단자(102)의 신호에 대응하여 제 1노드(N1)와 제 2전원(VSS)의 접속을 제어한다. 여기서, 제 2전원(VSS)은 게이트 온 전압, 예를 들면 로우레벨의 전압으로 설정된다.
- [0047] 제 1트랜지스터(M1)는 제 3노드(N3)와 제 2노드(N2) 사이에 위치되며, 게이트전극이 제 2전원(VSS)에 접속된다. 이와 같은 제 1트랜지스터(M1)는 턴-온 상태를 유지하면서 제 3노드(N3) 및 제 2노드(N2)의 전기적 접속을 유지한다. 추가적으로 제 1트랜지스터(M1)는 제 2노드(N2)의 전압에 대응하여 제 3노드(N3)의 전압 하강폭을 제한한다. 다시 말하여, 제 2노드(N2)의 전압이 제 2전원(VSS)보다 낮은 전압으로 하강하더라도 제 3노드(N3)의 전압은 제 2전원(VSS)에서 제 1트랜지스터(M1)의 문턱전압을 감한 전압보다 낮아지지 않는다. 이와 관련하여 상세한 설명은 후술하기로 한다.

- [0048] 도 4는 도 3에 도시된 스테이지 회로의 구동방법을 나타내는 파형도이다. 도 4에서는 설명의 편의성을 위하여 제 1스테이지(ST1)를 이용하여 동작과정을 설명하기로 한다.
- [0049] 도 4를 참조하면, 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2)는 2수평기간(2H)의 주기를 가지며, 서로 다른 수평기간에 공급된다. 그리고, 제 2입력단자(102)로 공급되는 클럭신호(CLK1 또는 CLK2)와 동기되도록 시작신호(SSP)가 공급된다.
- [0050] 동작과정을 상세히 설명하면, 먼저 제 1클럭신호(CLK1)와 동기되도록 시작신호(SSP)가 공급된다.
- [0051] 제 1클럭신호(CLK1)가 공급되면 제 2트랜지스터(M2) 및 제 8트랜지스터(M8)가 턴-온된다. 제 2트랜지스터(M2)가 턴-온되면 제 1입력단자(101)와 제 3노드(N3)가 전기적으로 접속된다. 여기서, 제 1트랜지스터(M1)는 항상 턴-온 상태로 설정되기 때문에 제 2노드(N2)는 제 3노드(N3)와 전기적 접속을 유지한다.
- [0052] 제 1입력단자(101)와 제 3노드(N3)가 전기적으로 접속되면 제 1입력단자(101)로 공급되는 시작신호(SSP)에 의하여 제 3노드(N3) 및 제 2노드(N2)가 로우전압으로 설정된다. 제 3노드(N3) 및 제 2노드(N2)가 로우전압으로 설정되면 제 6트랜지스터(M6) 및 제 7트랜지스터(M7)가 턴-온된다.
- [0053] 제 6트랜지스터(M6)가 턴-온되면 제 3입력단자(103)와 출력단자(104)가 전기적으로 접속된다. 여기서, 제 3입력단자(103)는 하이전압으로 설정(즉, 제 2클럭신호(CLK2)가 공급되지 않음)되고, 이에 따라 출력단자(104)로도 하이전압이 출력된다. 제 7트랜지스터(M7)가 턴-온되면 제 2입력단자(102)와 제 1노드(N1)가 전기적으로 접속된다. 그러면, 제 2입력단자(102)로 공급되는 제 1클럭신호(CLK1)의 전압, 즉 로우전압이 제 1노드(N1)로 공급된다.
- [0054] 추가적으로, 제 1클럭신호(CLK1)가 공급되면 제 8트랜지스터(M8)가 턴-온된다. 제 8트랜지스터(M8)가 턴-온되면 제 1노드(N1)로 제 2전원(VSS)의 전압이 공급된다. 여기서, 제 2전원(VSS)의 전압은 제 1클럭신호(CLK1)와 동일(또는 유사)한 전압으로 설정되고, 이에 따라 제 1노드(N1)는 안정적으로 로우전압을 유지한다.
- [0055] 제 1노드(N1)가 로우전압으로 설정되면 제 4트랜지스터(M4) 및 제 5트랜지스터(M5)가 턴-온된다. 제 4트랜지스터(M4)가 턴-온되면 제 1전원(VDD)과 제 3트랜지스터(M3)가 전기적으로 접속된다. 여기서, 제 3트랜지스터(M3)가 턴-오프 상태로 설정되기 때문에 제 4트랜지스터(M4)가 턴-온되더라도 제 3노드(N3)는 안정적으로 로우전압을 유지한다. 제 5트랜지스터(M5)가 턴-온되면 출력단자(104)로 제 1전원(VDD)의 전압이 공급된다. 여기서, 제 1전원(VDD)의 전압은 제 3입력단자(103)로 공급되는 하이전압과 동일한 전압으로 설정되고, 이에 따라 출력단자(104)는 안정적으로 하이전압을 유지한다.
- [0056] 이후, 시작신호(SSP) 및 제 1클럭신호(CLK1)의 공급이 중단된다. 제 1클럭신호(CLK1)의 공급이 중단되면 제 2트랜지스터(M2) 및 제 8트랜지스터(M8)가 턴-오프된다. 이때, 제 1커패시터(C1)에 저장된 전압에 대응하여 제 6트랜지스터(M6) 및 제 7트랜지스터(M7)는 턴-온 상태를 유지한다. 즉, 제 1커패시터(C1)에 저장된 전압에 의하여 제 2노드(N2) 및 제 3노드(N3)는 로우전압을 유지한다.
- [0057] 제 6트랜지스터(M6)가 턴-온 상태를 유지하는 경우 출력단자(104)와 제 3입력단자(103)는 전기적 접속을 유지한다. 제 7트랜지스터(M7)가 턴-온 상태를 유지하는 경우 제 1노드(N1)는 제 2입력단자(102)와 전기적 접속을 유지한다. 여기서, 제 2입력단자(102)의 전압은 제 1클럭신호(CLK1)의 공급중단에 대응하여 하이전압으로 설정되고, 이에 따라 제 1노드(N1)도 하이전압으로 설정된다. 제 1노드(N1)로 하이전압이 공급되면 제 4트랜지스터(M4) 및 제 5트랜지스터(M5)가 턴-오프된다.
- [0058] 이후, 제 3입력단자(103)로 제 2클럭신호(CLK2)가 공급된다. 이때, 제 6트랜지스터(M6)가 턴-온 상태로 설정되기 때문에 제 3입력단자(103)로 공급된 제 2클럭신호(CLK2)는 출력단자(104)로 공급된다. 이 경우, 출력단자(104)는 제 2클럭신호(CLK2)를 주사신호로서 주사선(S1)으로 출력한다.
- [0059] 한편, 제 2클럭신호(CLK2)가 출력단자(104)로 공급되는 경우 제 1커패시터(C1)의 커플링에 의하여 제 2노드(N2)의 전압이 제 2전원(VSS)보다 낮은 전압으로 하강되고, 이에 따라 제 6트랜지스터(M6)는 안정적으로 턴-온 상태를 유지한다.
- [0060] 한편, 제 2노드(N2)의 전압이 하강되더라도 제 1트랜지스터(M1)에 의하여 제 3노드(N3)는 대략 제 2전원(VSS)(실제로, 제 2전원(VSS)에서 제 1트랜지스터(M1)의 문턱전압을 감한 전압)의 전압을 유지한다.
- [0061] 주사선(S1)으로 주사신호가 출력된 후 제 2클럭신호(CLK2)의 공급이 중단된다. 제 2클럭신호(CLK2)의 공급이 중단되면 출력단자(104)는 하이전압을 출력한다. 그리고, 제 2노드(N2)의 전압은 출력단자(104)의 하이전압에

대응하여 대략 제 2전원(VSS)의 전압으로 상승한다.

[0062] 이후, 제 1클럭신호(CLK1)가 공급된다. 제 1클럭신호(CLK1)가 공급되면 제 2트랜지스터(M2) 및 제 8트랜지스터(M8)가 턴-온된다. 제 2트랜지스터(M2)가 턴-온되면 제 1입력단자(101)와 제 3노드(N3)가 전기적으로 접속된다. 이때, 제 1입력단자(101)로는 시작신호(SSP)가 공급되지 않고, 이에 따라 하이전압으로 설정된다. 따라서, 제 1트랜지스터(M1)가 턴-온되면 제 3노드(N3) 및 제 2노드(N2)로 하이전압이 공급되고, 이에 따라 제 6트랜지스터(M6) 및 제 7트랜지스터(M7)가 턴-오프된다.

[0063] 제 8트랜지스터(M8)가 턴-온되면 제 2전원(VSS)이 제 1노드(N1)로 공급되고, 이에 따라 제 4트랜지스터(M4) 및 제 5트랜지스터(M5)가 턴-온된다. 제 5트랜지스터(M5)가 턴-온되면 출력단자(104)로 제 1전원(VDD)의 전압이 공급된다. 이후, 제 4트랜지스터(M4) 및 제 5트랜지스터(M5)는 제 2커패시터(C2)에 충전된 전압에 대응하여 턴-온 상태를 유지하고, 이에 따라 출력단자(104)는 제 1전원(VDD)의 전압을 안정적으로 공급받는다.

[0064] 추가적으로 제 2클럭신호(CLK2)가 공급될 때 제 3트랜지스터(M3)가 턴-온된다. 이때, 제 4트랜지스터(M4)가 턴-온 상태로 설정되기 때문에 제 3노드(N3) 및 제 2노드(N2)로 제 1전원(VDD)의 전압이 공급된다. 이 경우, 제 6트랜지스터(M6) 및 제 7트랜지스터(M7)는 안정적으로 턴-오프 상태를 유지한다.

[0065] 제 2스테이지(ST2)는 제 2클럭신호(CLK2)와 동기되도록 제 1스테이지(ST1)의 출력신호(즉, 주사신호)를 공급받는다. 이 경우, 제 2스테이지(ST2)는 제 1클럭신호(CLK1)와 동기되도록 제 2주사선(S2)으로 주사신호를 출력한다. 실제로, 본원 발명의 스테이지들(ST)은 상술한 과정을 반복하면서 주사선들로 주사신호를 순차적으로 출력한다.

[0066] 한편, 본원 발명에서 제 1트랜지스터(M1)는 제 2노드(N2)의 전압과 무관하게 제 3노드(N3)의 전압 최소폭을 제한하고, 이에 따라 제조비용 및 구동의 신뢰성을 확보할 수 있다.

[0067] 상세히 설명하면, 출력단자(104)로 주사신호가 공급될 때 제 2노드(N2)의 전압은 대략 $V_{SS} - (V_{DD} - V_{SS})$ 의 전압으로 하강된다. 여기서, 제 1전원(V_{DD}) 7V, 제 2전원(V_{SS}) -8V로 가정하는 경우 트랜지스터들의 문턱전압을 고려하더라도 제 2노드(N2)의 전압은 대략 -20V로 하강된다.

[0068] 여기서, 제 1트랜지스터(M1)가 삭제되는 경우 제 2트랜지스터(M2)의 V_{ds} 및 제 7트랜지스터(M7)의 V_{gs} 는 대략 -27V로 설정된다. 따라서, 제 2트랜지스터(M2) 및 제 7트랜지스터(M7)로 내압이 높은 부품을 사용해야 하는 문제점이 발생한다. 또한, 제 2트랜지스터(M2) 및 제 7트랜지스터(M7)로 높은 전압이 인가되는 경우 높은 소비전력이 소모됨과 아울러 구동의 신뢰성이 저하되는 문제점이 발생한다. 하지만, 본원 발명과 같이 제 3노드(N3)와 제 2노드(N2) 사이에 제 1트랜지스터(M1)를 추가하는 경우 제 3노드(N3)의 전압은 대략 제 2전원(VSS)의 전압을 유지하고, 이에 따라 제 2트랜지스터(M2)의 V_{ds} 및 제 7트랜지스터(M7)의 V_{gs} 는 대략 -14V로 설정된다.

[0069] 추가적으로, 제 1트랜지스터(M1)가 제 2노드(N2)와 접속되도록 형성되는 경우 제 2노드(N2)에 접속된 기생 커패시터를 최소화하여 출력단자(104)의 전압 하강시간, 즉 주사신호의 공급시간을 단축하여 구동의 신뢰성을 확보할 수 있다. 일례로, 제 1트랜지스터(M1)가 삭제되는 경우 제 2노드(N2)는 제 2트랜지스터(M2), 제 3트랜지스터(M3) 및 제 7트랜지스터(M7)의 기생 커패시터와 접속된다. 반면에, 제 1트랜지스터(M1)가 형성되면 제 2노드(N2)는 제 1트랜지스터(M1)의 기생 커패시터와 접속된다.

[0070] 도 5는 도 3의 스테이지 회로의 시뮬레이션 결과를 나타내는 파형도이다.

[0071] 도 5를 참조하면, 제 2노드(N2)의 전압 하강과 무관하게 제 3노드(N3)의 전압은 일정하게 유지된다. 추가적으로 본원 발명의 스테이지 회로는 2개의 클럭신호(CLK1, CLK2)만을 이용하여 주사선(S1)으로 주사신호를 안정적으로 출력할 수 있다.

[0072] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 지식을 가진 자라면 본 발명의 기술 사상의 범위 내에서 다양한 변형예가 가능함을 이해할 수 있을 것이다.

부호의 설명

[0073] 10 : 주사 구동부

20 : 데이터 구동부

- 30 : 화소

50 : 타이밍 제어부

104 : 출력단자

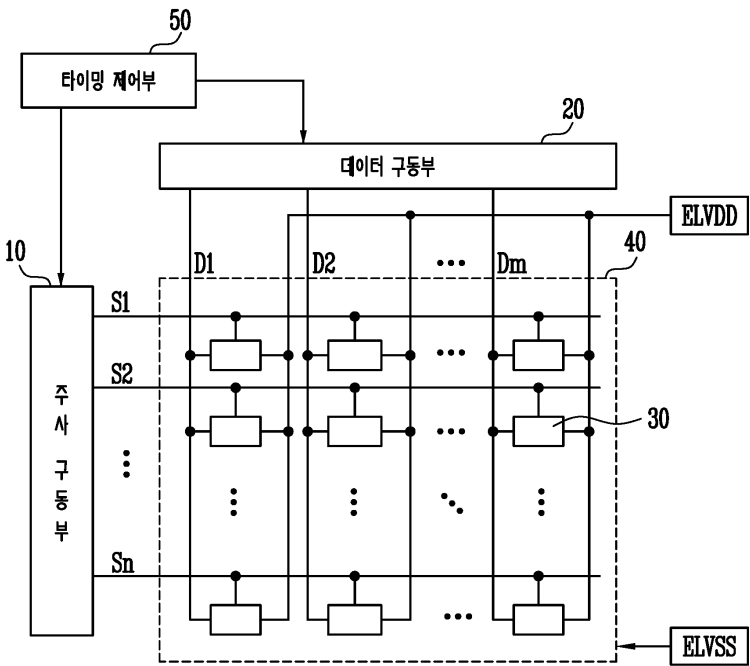
230 : 출력부
- 40 : 화소부

101,102,103, 입력단자

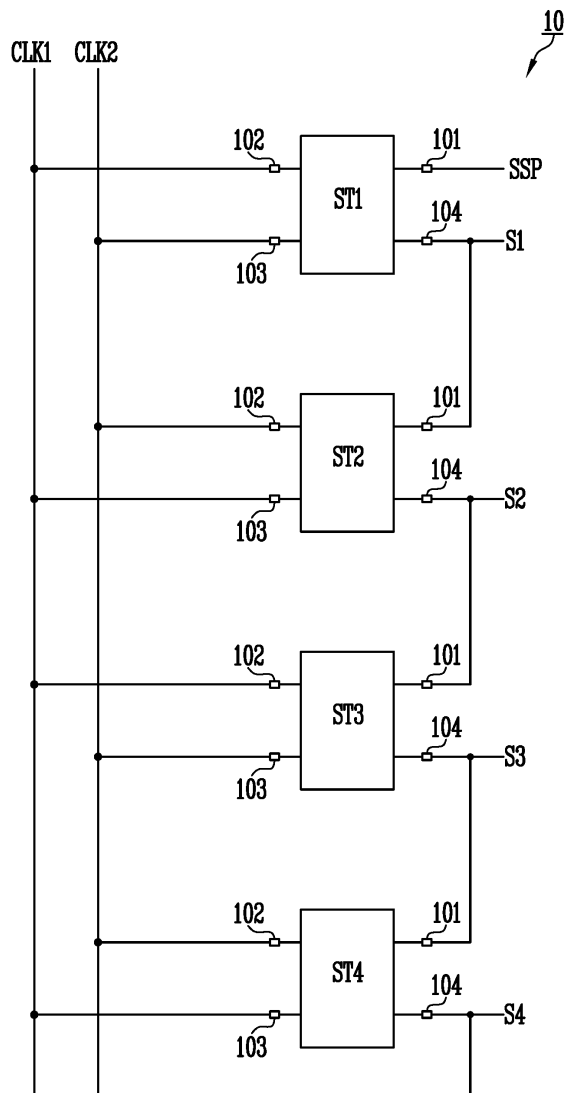
210,220 : 구동부

도면

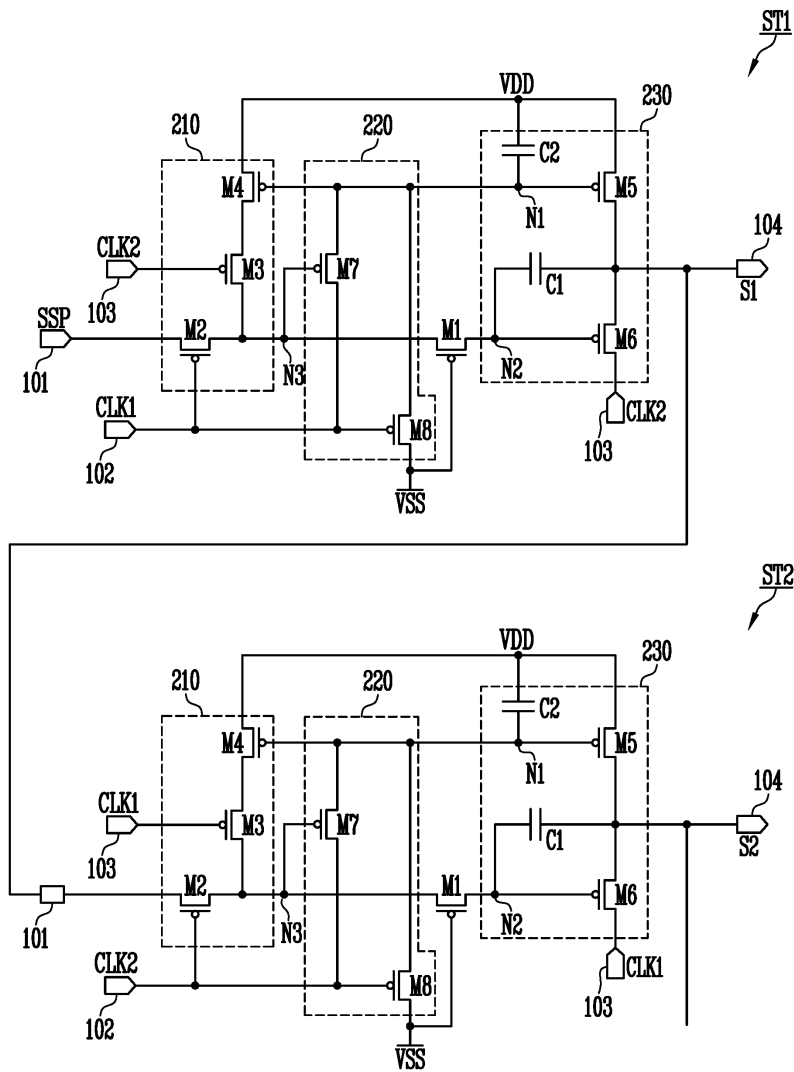
도면1



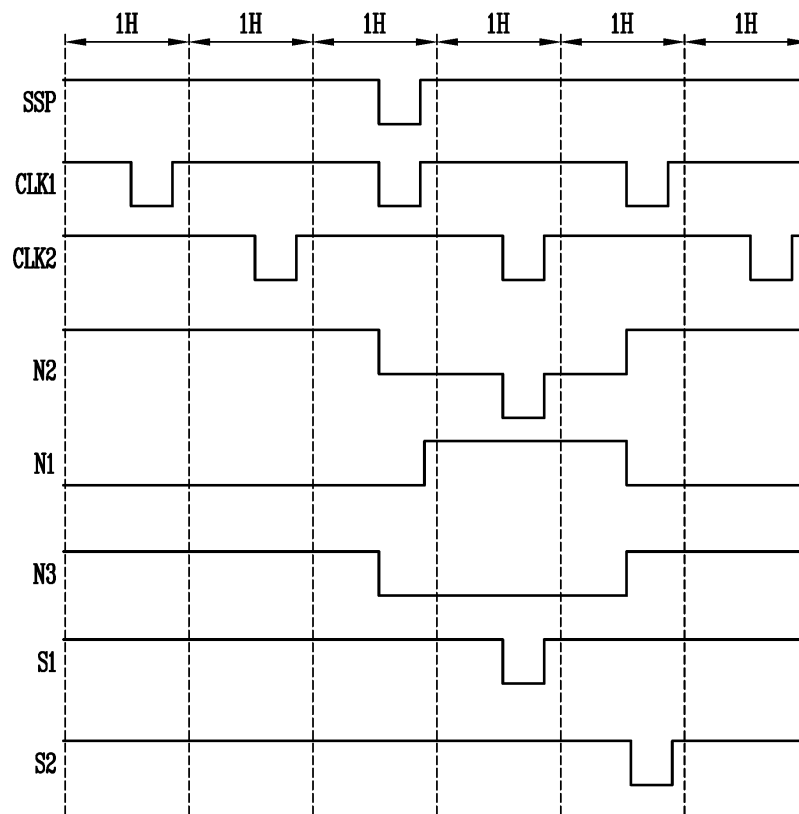
도면2



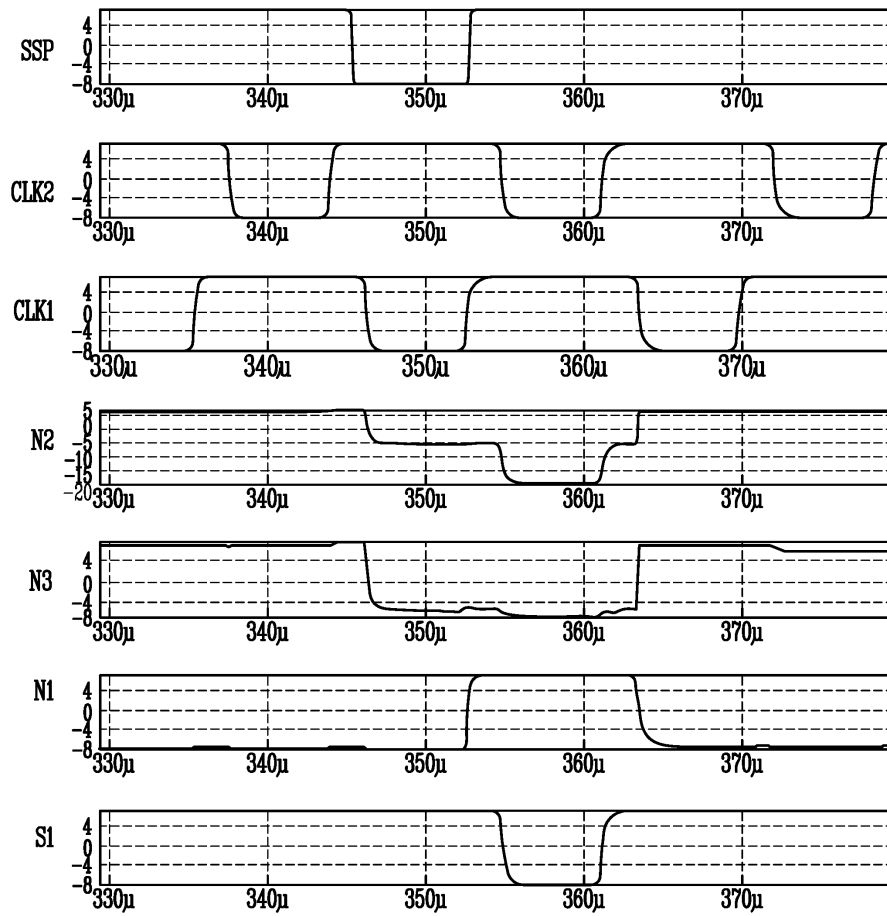
도면3



도면4



도면5



专利名称(译)	舞台电路和使用该电路的有机发光显示装置		
公开(公告)号	KR102050581B1	公开(公告)日	2019-12-02
申请号	KR1020130071302	申请日	2013-06-21
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	김지혜 이승규 엄기명		
发明人	김지혜 이승규 엄기명		
IPC分类号	G09G3/30		
CPC分类号	G09G3/3266 G09G3/3275 G09G3/3611 G09G3/3674 G09G2310/0286		
代理人(译)	Gimdusik Ohjonghan Mun Yongho		
审查员(译)	贞茵		
其他公开文献	KR1020140147998A		
外部链接	Espacenet		

摘要(译)

包括彼此连接的多个级的级电路，其中，每个级包括：输出单元，被配置为基于电压将第一电源的电压或第三输入端子的信号输出至输出端子应用于第一节点或第二节点；第一驱动器，被配置为基于第一输入端子，第二输入端子和第三输入端子的信号来控制第三节点处的电压；第二驱动器，被配置为基于第二输入端子的信号和第三节点的电压来控制第一节点的电压；第一晶体管，其连接在第二节点和第三节点之间并保持导通状态。

