



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0076911  
(43) 공개일자 2020년06월30일

(51) 국제특허분류(Int. Cl.)  
H01L 27/12 (2006.01)

(52) CPC특허분류  
H01L 27/1248 (2013.01)  
H01L 27/124 (2013.01)

(21) 출원번호 10-2018-0165883  
(22) 출원일자 2018년12월20일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자  
엄현철  
경기도 파주시 월롱면 엘지로 245  
박중찬  
경기도 파주시 월롱면 엘지로 245  
이대원  
경기도 파주시 월롱면 엘지로 245

(74) 대리인  
특허법인인벤싱크

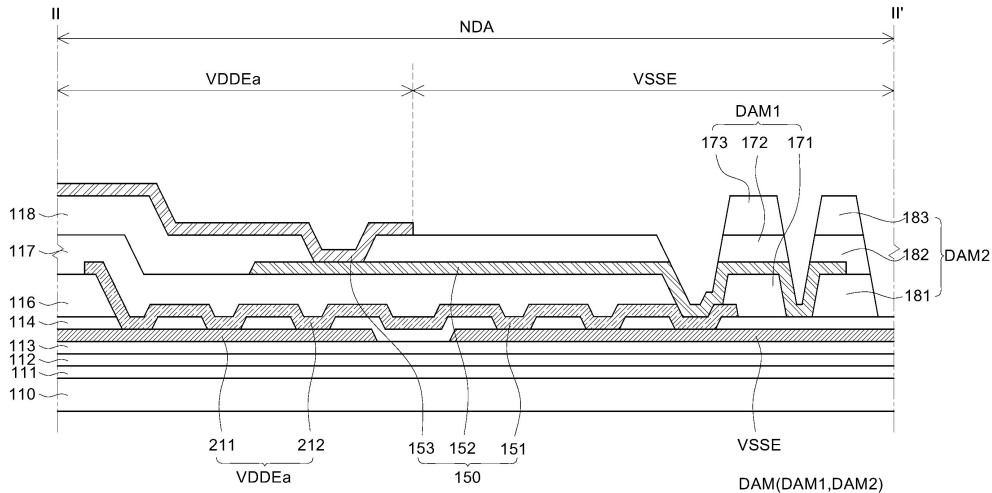
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 전계 발광 표시 장치

**(57) 요약**

본 명세서의 실시예에 따른 전계 발광 표시 장치는 표시 영역, 및 표시 영역을 둘러싸며 패드영역, 밴딩 영역, 및 링크 영역을 포함하는 비표시 영역, 밴딩 영역과 표시 영역 사이에 배치된 링크 영역에서 기관 상에 배치된 제1 전원 공급전극, 비표시 영역에서 기관 상에 배치된 제2 전원 공급전극, 비표시 영역에서 제2 전원 공급전극 및 표시 영역 사이에 배치된 게이트 구동부, 복수의 박막 트랜지스터, 게이트 구동부, 제1 전원 공급전극, 및 제2 전원 공급전극을 커버하는 보호층, 복수의 박막 트랜지스터 및 게이트 구동부를 커버하는 제1 평탄화층, 게이트 구동부가 배치된 비표시 영역에서 제1 평탄화층 상에 배치되며, 게이트 구동부와 중첩하는 영역에서 제1 평탄화층의 상부면을 노출하는 제1 오픈부를 포함하는 제2 평탄화층, 및 표시 영역에서 제2 평탄화층 상에 배치된 복수의 발광 소자를 포함할 수 있다.

**대표도**



## 명세서

### 청구범위

#### 청구항 1

표시 영역 및 상기 표시 영역을 둘러싸는 비표시 영역을 포함하는 기관, 상기 비표시 영역은 패드 영역, 벤딩 영역, 및 링크 영역을 포함하며;

상기 표시 영역에서 상기 기관 상에 배치된 복수의 박막 트랜지스터;

상기 벤딩 영역과 상기 표시 영역 사이에 배치된 상기 링크 영역에서, 상기 기관 상에 배치된 제1 전원 공급전극;

상기 비표시 영역에서 상기 기관 상에 배치된 제2 전원 공급전극;

상기 비표시 영역에서 상기 제2 전원 공급전극 및 상기 표시 영역 사이에 배치된 게이트 구동부;

상기 복수의 박막 트랜지스터, 상기 게이트 구동부, 상기 제1 전원 공급전극, 및 상기 제2 전원 공급전극을 커버하는 보호층;

상기 복수의 박막 트랜지스터, 및 상기 게이트 구동부를 커버하는 제1 평탄화층;

상기 게이트 구동부가 배치된 상기 비표시 영역에서, 상기 제1 평탄화층 상에 배치되며, 상기 게이트 구동부와 중첩하는 영역에서 상기 제1 평탄화층의 상부면을 노출하는 제1 오픈부를 포함하는 제2 평탄화층; 및

상기 표시 영역에서 상기 제2 평탄화층 상에 배치된 복수의 발광 소자를 포함하는, 전계 발광 표시 장치.

#### 청구항 2

제1항에 있어서,

상기 제1 전원 공급전극은 제1 선폭을 가지는 제1 영역과 상기 제1 선폭보다 큰 제2 선폭을 가지는 제2 영역을 포함하는, 전계 발광 표시 장치.

#### 청구항 3

제2항에 있어서,

상기 비표시 영역의 상기 링크 영역에서, 상기 제1 전원 공급전극의 상기 제1 영역은 상기 제2 전원 공급전극과 상기 표시 영역(DA)사이에 배치되는, 전계 발광 표시 장치.

#### 청구항 4

제1항에 있어서,

상기 비표시 영역에서, 상기 보호층은 상기 제2 전원 공급전극을 노출하는 컨택홀을 포함하는, 전계 발광 표시 장치.

#### 청구항 5

제4항에 있어서,

상기 비표시 영역에서, 상기 보호층의 상기 컨택홀을 통하여 노출된 상기 제2 전원 공급전극과 연결된 연결전극을 더 포함하는, 전계 발광 표시 장치.

#### 청구항 6

제5항에 있어서,

상기 비표시 영역에서, 상기 제1 평탄화층은 상기 제2 전원 공급전극과 중첩하는 영역에 배치된 상기 보호층의 상부면을 노출하는 제2 오픈부를 포함하는, 전계 발광 표시 장치.

**청구항 7**

제3항에 있어서,

상기 제2 전원 공급전극과 중첩하도록 배치되는 제1 댐 및 제2 댐을 더 포함하는, 전계 발광 표시 장치.

**청구항 8**

제1항에 있어서,

상기 비표시 영역의 상기 링크 영역에서, 상기 제2 전원 공급전극과 중첩하는 영역에는 상기 제1 평탄화층이 배치되지 않는, 전계 발광 표시 장치.

**청구항 9**

제7항에 있어서,

상기 비표시 영역의 상기 링크 영역에서, 상기 제1 댐 및 상기 제2 댐은 상기 제1 전원 공급전극의 상기 제2 영역과 중첩하도록 배치되는, 전계 발광 표시 장치.

**청구항 10**

제9항에 있어서,

상기 비표시 영역의 상기 링크 영역에서, 상기 제1 댐 및 상기 제2 댐은 상기 제1 전원 공급전극의 상기 제1 영역과는 중첩하지 않는, 전계 발광 표시 장치.

**청구항 11**

표시 영역, 및 비표시 영역을 포함하는 기관으로서, 상기 비표시 영역은 벤딩 영역과 상기 표시 영역 및 상기 벤딩 영역 사이에 배치되는 링크 영역을 포함하는, 상기 기관;

상기 비표시 영역의 상기 링크 영역에 배치된 제1 전원 공급전극;

상기 비표시 영역에서 상기 표시 영역의 적어도 3면을 둘러싸는 제2 전원 공급전극으로서, 상기 제2 전원 공급전극의 양 끝단은 상기 링크 영역에 배치되는, 상기 제2 전원 공급전극;

상기 비표시 영역의 상기 링크 영역에서, 상기 제1 전원 공급전극 및 상기 제2 전원 공급전극을 커버하는 보호층;

상기 제1 전원 공급전극의 일측을 커버하는 제1 평탄화층; 및

상기 제1 전원 공급전극 및 상기 제2 전원 공급전극을 노출하는 상기 보호층의 컨택홀 상에 배치된 제2 평탄화층을 포함하고,

상기 제1 전원 공급전극 및 상기 제2 전원 공급전극을 노출하는 상기 보호층의 상기 컨택홀 상에는 상기 제1 평탄화층이 배치되지 않은, 전계 발광 표시 장치.

**청구항 12**

제11항에 있어서,

상기 제1 전원 공급전극은 제1 선평을 가지는 양 끝단과 상기 제1 선평보다 큰 제2 선평을 가지는 중앙부를 포함하는, 전계 발광 표시 장치.

**청구항 13**

제12항에 있어서,

상기 제2 전원 공급전극의 양 끝단은 상기 링크 영역에서 서로 마주하도록 배치되며,

상기 링크 영역에서, 상기 제1 전원 공급전극의 일단은 상기 제2 전원 공급전극의 일단과 상기 표시 영역의 사이에 배치되고,

상기 제1 전원 공급전극의 타단은 상기 제2 전원 공급전극의 타단과 상기 표시 영역의 사이에 배치되는, 전계 발광 표시 장치.

**청구항 14**

제13항에 있어서,

상기 링크 영역에서, 상기 제2 전원 공급전극의 상기 일단과 상기 제1 전원 공급전극의 상기 일단은 서로 이격되어 배치되며,

상기 제2 전원 공급전극의 상기 일단과 상기 제1 전원 공급전극의 상기 일단이 이격된 공간에는 상기 보호층이 배치되는, 전계 발광 표시 장치.

**청구항 15**

제14항에 있어서,

상기 제2 평탄화층은 상기 제2 전원 공급전극의 상기 일단과 상기 제1 전원 공급전극의 상기 일단이 이격된 공간에 배치된 상기 보호층의 상부면과 직접 접촉하는, 전계 발광 표시 장치.

**청구항 16**

제11항에 있어서,

상기 제1 전원 공급전극은 하부 전극층 및 상기 하부 전극층 상에 배치된 상부 전극층으로 이루어진, 전계 발광 표시 장치.

**청구항 17**

제16항에 있어서,

상기 제1 평탄화층은 상기 제1 전원 공급전극의 상기 하부 전극층의 일측을 커버하며,

상기 하부 전극층은 상기 보호층의 상기 컨택홀을 통하여 노출되는, 전계 발광 표시 장치.

**청구항 18**

제17항에 있어서,

상기 제1 전원 공급전극의 상기 상부 전극층은 상기 보호층상에 배치되며,

상기 하부 전극층을 노출하는 상기 보호층의 상기 컨택홀을 통하여 상기 하부 전극층과 연결되는, 전계 발광 표시 장치.

**청구항 19**

제18항에 있어서,

상기 상부 전극층은 상기 제1 평탄화층의 일측을 덮도록 배치되는, 전계 발광 표시 장치.

**청구항 20**

제16항에 있어서,

상기 제1 전원 공급전극의 상기 하부 전극층은 상기 제2 전원 공급전극과 동일한 층상에 배치되며, 상기 제2 전원 공급전극과 동일한 물질로 이루어지는, 전계 발광 표시 장치.

**발명의 설명**

**기술 분야**

[0001] 본 명세서는 전계 발광 표시 장치에 관한 것으로서, 보다 상세하게는 평탄화층에서 아웃가싱(out-gassing)될 수 있는 가스를 최소화하여 신뢰성이 개선된 전계 발광 표시 장치에 관한 것이다.

**배경 기술**

[0002] 전계 발광 표시 장치는 자체 발광형 표시 장치로서, 액정 표시 장치와는 달리 별도의 광원이 필요하지 않아 경량 박형으로 제조 가능하다. 또한, 전계 발광 표시 장치는 저전압 구동에 따라 소비 전력 측면에서 유리할 뿐만 아니라, 응답 속도, 시야각 및 명암 대비비(contrast ratio)도 우수하여, 차세대 디스플레이로서 연구되고 있다.

[0003] 최근, 고해상도의 전계 발광 표시 장치에 대한 요구가 증대됨에 따라, 복수의 배선, 박막 트랜지스터, 커패시터 및 발광 소자 등을 조밀하게 배치하고자 하는 연구가 이루어지고 있다. 구체적으로, 고해상도가 요구됨에 따라 정해진 공간 내에 보다 많은 수의 배선이 배치되어야 하므로, 배선 간의 피치가 부족해지는 문제가 발생하였다. 또한, 보다 많은 수의 배선을 배치하기 위해 배선의 폭을 감소시키는 경우, 배선의 저항이 증가하는 문제가 발생하였다.

**발명의 내용**

**해결하려는 과제**

[0004] 이에, 본 명세서의 발명자들은 표시 영역 및 비표시 영역 모두에 2개의 평탄화층을 적용하는 기술을 발명하였다. 즉, 본 명세서의 발명자들은 표시 영역 및 비표시 영역에 2개의 평탄화층을 적용하여, 2개의 평탄화층 사이에 배선 등을 배치할 수 있는 추가적인 공간을 제공하였다. 이에, 1개의 층에 배치되어야 했던 배선들을 2개의 층에 배치함에 따라 배선 간의 피치를 여유 있게 설계할 수 있고, 저항이 높은 배선들의 경우 2개의 평탄화층 사이에 배치된 배선과 병렬로 연결시켜 배선 저항을 낮게 할 수 있었다.

[0005] 한편, 평탄화층의 가스성분을 제거하기 위해 오븐(oven)에서 경화 공정을 진행하더라도 평탄화층에는 여전히 미세 가스들이 남아있게 된다. 이러한 미세 가스들이 아웃개싱되어 발광 소자의 캐소드로 이동하는 경우, 캐소드가 산화될 수 있고, 이는 화소 수축(pixel shrinkage) 불량으로 이어질 수 있다.

[0006] 본 명세서의 발명자들은 상술한 바와 같은 화소 수축 불량은 비표시 영역에 배치된 평탄화층의 체적이 증가함에 따라 발생 확률이 증가한다는 것을 인식하였다. 이에, 본 명세서의 발명자들은 배선 간의 피치를 확보하며 낮은 배선 저항을 유지함과 동시에 평탄화층에서 아웃개싱될 수 있는 가스를 최소화하기 위한 새로운 구조의 전계 발광 표시 장치를 발명하였다.

[0007] 이에, 본 명세서가 해결하고자 하는 과제는 표시 영역에는 2개의 평탄화층을 적용하는 반면 비표시 영역에는 선택적으로 단일의 평탄화층을 적용하여 평탄화층에서 아웃개싱되는 가스 성분을 최소화할 수 있는 전계 발광 표시 장치를 제공하는 것이다.

[0008] 또한, 본 명세서가 해결하고자 하는 과제는 비표시 영역에 평탄화 패턴을 적용함으로써 게이트 구동부 영역에서의 아웃개싱되는 가스 성분을 최소화함과 동시에 배선이 배치될 수 있는 공간을 추가적으로 제공할 수 있는 전계 발광 표시 장치를 제공하는 것이다.

[0009] 본 명세서의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

[0010] 전술한 바와 같은 과제를 해결하기 위하여 본 명세서의 실시예에 따른 전계 발광 표시 장치는, 표시 영역, 및 비표시 영역을 둘러싸며 패드영역, 벤딩 영역, 및 링크 영역을 포함하는 비표시 영역, 벤딩 영역과 표시 영역 사이에 배치된 링크 영역에서 기판 상에 배치된 제1 전원 공급전극, 비표시 영역에서 기판 상에 배치된 제2 전원 공급전극, 비표시 영역에서 제2 전원 공급전극 및 표시 영역 사이에 배치된 게이트 구동부, 복수의 박막 트랜지스터, 게이트 구동부, 제1 전원 공급전극, 및 제2 전원 공급전극을 커버하는 보호층, 복수의 박막 트랜지스터 및 게이트 구동부를 커버하는 제1 평탄화층, 게이트 구동부가 배치된 비표시 영역에서 제1 평탄화층 상에 배치되며, 게이트 구동부와 중첩하는 영역에서 제1 평탄화층의 상부면을 노출하는 제1 오픈부를 포함하는 제2 평탄화층, 및 표시 영역에서 제2 평탄화층 상에 배치된 복수의 발광 소자를 포함할 수 있다.

[0011] 전술한 바와 같은 과제를 해결하기 위하여 본 명세서의 실시예에 따른 전계 발광 표시 장치는, 표시 영역, 및 비표시 영역을 포함하는 기판, 비표시 영역의 링크 영역에 배치된 제1 전원 공급전극, 비표시 영역에서 표시 영역의 적어도 3면을 둘러싸는 제2 전원 공급전극, 비표시 영역의 링크 영역에서 제1 전원 공급전극 및 제2 전원

공급전극을 커버하는 보호층, 제1 전원 공급전극의 일측을 커버하는 제1 평탄화층, 및 제1 전원 공급전극 및 제2 전원 공급전극을 노출하는 보호층의 컨택홀 상에 배치된 제2 평탄화층을 포함할 수 있다. 비표시 영역은 벤딩 영역과 표시 영역 및 벤딩 영역 사이에 배치되는 링크 영역을 포함할 수 있다. 제2 전원 공급전극의 양 끝단은 링크 영역에 배치될 수 있다. 그리고, 제1 전원 공급전극 및 제2 전원 공급전극을 노출하는 보호층의 컨택홀 상에는 제1 평탄화층이 배치되지 않을 수 있다.

[0012] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

**발명의 효과**

[0013] 본 명세서의 일 실시예에 따른 전계 발광 표시 장치에서는 표시 영역에 이층 구조의 평탄화층을 구성함으로써, 표시 영역에서의 배선 간의 피치 및 배선 저항이 자유롭게 설계될 수 있다.

[0014] 또한, 본 명세서의 일 실시예에 따른 전계 발광 표시 장치에서는 이층 구조의 평탄화층을 사용하되 비표시 영역에서는 선택적으로 단일층 구조의 평탄화층을 사용하여 가스 성분이 아웃개싱될 수 있는 평탄화층의 체적을 감소시킬 수 있다.

[0015] 또한, 본 명세서의 일 실시예에 따른 전계 발광 표시 장치에서는 평탄화층에서 아웃개싱되는 가스 성분을 최소화하여 발광 소자의 캐소드가 산화되는 것을 저감시킬 수 있고, 전계 발광 표시 장치의 신뢰성을 개선할 수 있다.

[0016] 본 명세서에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

**도면의 간단한 설명**

[0017] 도 1은 본 명세서의 일 실시예에 따른 전계 발광 표시 장치의 평면도이다.

도 2는 도 1의 I-I'에 대한 단면도이다.

도 3은 도 1의 II-II'에 대한 단면도이다.

도 4는 도 1의 III-III'에 대한 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0018] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 명세서는 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 실시예들은 본 명세서의 개시가 완전하도록 하며, 본 명세서가 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 명세서는 청구항의 범주에 의해 정의될 뿐이다.

[0019] 본 명세서의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 명세서에 도시된 사항에 한정되는 것은 아니다. 또한, 본 명세서를 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 명세서의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0020] 구성요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0021] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0022] 소자 또는 층이 다른 소자 또는 층 위 (on)로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.

[0023] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라

서, 이하에서 언급되는 제1 구성요소는 본 명세서의 기술적 사상 내에서 제2 구성요소일 수도 있다.

- [0024] 본 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0025] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 명세서에 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.
- [0026] 본 명세서의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0027] 이하, 첨부된 도면을 참조하여 본 명세서의 다양한 실시예들을 상세히 설명한다.
- [0028] 도 1은 본 명세서의 실시예에 따른 전계 발광 표시 장치의 개략적인 평면도이다. 도 1을 참조하면, 표시 장치(100)는 정보를 표시하는 표시 영역(DA)과, 정보가 표시되지 않는 비표시 영역(NDA)을 포함할 수 있다.
- [0029] 표시 영역(DA)은 입력 영상이 표시되는 영역으로 복수의 화소들(P)이 매트릭스 타입으로 배치되는 영역일 수 있다. 그리고, 비표시 영역(NDA)은 패드부가 배치된 패드 영역(PA), 기관(310)이 구부러지는 벤딩 영역(BA), 및 링크 영역(LA)을 포함할 수 있다.
- [0030] 링크 영역(LA)은 표시 영역(DA) 및 베젤 영역(BA) 사이에 배치될 수 있다. 그리고, 링크 영역(LA)은 표시 영역(DA)에 배치된 배선들로 신호를 전달하기 위한 링크 라인들이 배치되는 영역으로, 다양한 링크 라인들이 배치될 수 있다. 예를 들어, 게이트 링크 라인(GLLa, GLLb, 이하 GLL이라고 함), 데이터 링크 라인(DLL1~DLLn, 이하 DLL이라고 함), 제1 전원 링크라인(VDDLa, VDDLb, 이하 VDDL이라고 함), 제1 전원 공급라인(VDL1~VDLn, 이하 VDL이라고 함), 및 제2 전원 링크라인(VSSLa, VSSLb, 이하 VSSL이라고 함) 등이 링크 영역(LA)에 배치될 수 있다. 그리고, 링크 라인들은 벤딩 영역(BA) 및 패드 영역(PA)까지 배치될 수 있으며, 패드 영역(PA)의 패드(PAD)와 각각 연결될 수 있다.
- [0031] 벤딩 영역(BA)은 기관(110)이 벤딩되는 영역일 수 있다. 벤딩 영역(BA)은 링크 영역(LA)과 패드 영역(PA) 사이에 배치될 수 있다. 기관(110)은 벤딩 영역(BA)을 제외한 영역에서 벤딩되지 않고 평탄한 상태로 유지될 수 있으며, 벤딩 영역(BA)의 기관(110)이 벤딩되도록 구성될 수 있다. 이에 따라, 기관(110)의 벤딩 영역(BA)을 제외한 두 개의 벤딩되지 않는 영역의 기관(110)은 서로 마주보도록 표시 장치(100)가 벤딩될 수 있다.
- [0032] 패드 영역(PA)은 영상이 표시되지 않으며, 복수의 패드가 형성되는 영역일 수 있다. 패드 영역(PA)은 벤딩 영역(BA)의 일측으로부터 연장되는 영역일 수 있다. 패드 영역(PA)은 패드(PAD)가 배치되는 영역일 수 있다. 예를 들면, 제1 전원 공급 패드(VDDPa, VDDPb, 이하 VDDP라고 함), 데이터 패드(DP1~DPn, 이하 DP라고 함), 게이트 패드(GPa, GPb, 이하 GP라고 함), 및 제2 전원 공급 패드(VSSPa, VSSPb, 이하 VSSP라고 함) 등이 배치되는 영역일 수 있다.
- [0033] 비표시 영역(NDA)에는 게이트 구동회로의 게이트 구동부(GIPa, GIPb, 이하 GIP이라고 함), 게이트 전압 공급라인(GIPL1a~GIPLna: GIPLa, GIPL1b~GIPLnb: GIPLb, 이하 GIPL이라고 함), 제2 전원 공급전극(VSSE), 및 제1 전원 공급전극(VDDEa, VDDEb, 이하 VDDE라고 함), 댐(DAM1, DAM2, 이하 DAM이라고 함) 등이 배치될 수 있다.
- [0034] 그리고, 표시 영역(DA)에는 데이터라인(DL1~DLn, 이하 DL이라고 함) 및 게이트라인(GL1.a~GLna: GLa, GL1b~GLnb: GLb, 이하 GL이라고 함)이 서로 교차하도록 배치될 수 있다. 그리고, 이들의 교차영역마다 매트릭스 형태로 배치되는 화소(P)를 포함할 수 있다.
- [0035] 각각의 화소(P)는 발광 소자(LED), 발광 소자(LED)에 흐르는 전류량을 제어하는 구동 박막 트랜지스터(Thin Film Transistor, 이하 구동 TFT라 함), 구동 TFT(DT)의 게이트-소스간 전압을 세팅하기 위한 프로그래밍부(SC)를 포함할 수 있다. 표시장치(100)의 화소(P)는 비표시 영역(NDA)에 배치된 제1 전원 공급전극(VDDE)과 연결된 제1 전원 라인(VD1~VDn, 이하 VD라고 함)을 통해 고전위 전압인 제1 전원(Vdd)을 공급받을 수 있으며, 제2 전원 공급전극(VSSE)을 통해 저전위 전압인 제2 전원(Vss)을 공급받을 수 있다.
- [0036] 제1 전원라인(VD)은 비표시 영역(NDA)에 배치된 제1 전원 공급전극(VDDE)을 통해 제1 전원(Vdd)를 공급받을 수 있다. 제1 전원 공급전극(VDDE)을 통해 공급된 제1 전원(Vdd)은 제1 전원 링크라인(VDDL)을 통하여 표시 영역(DA)에 배치된 제1 전원 라인(VD)에 공급될 수 있다. 예를 들면, 제1 전원(Vdd)은 패드 영역(PA)의 제1 전원 공급패드(VDDP)에 공급될 수 있다. 그리고, 제1 전원 공급패드(VDDP)에 공급된 제1 전원(Vdd)은 제1 전원 링크라인(VDDL)을 통하여 링크 영역(LA)의 제1a 전원 공급전극(VDDEa)에 공급될 수 있으며, 제1a 전원 공급전극

(VDDEa)에 공급된 제1 전원(Vdd)은 링크 영역(LA)의 제1 전원 공급라인(VDL)을 통하여 표시 영역(DA)의 제1 전원 라인(VD)에 공급될 수 있다. 제1 전원 라인(VD)의 일측은 제1a 전원 공급전극(VDDEa)과 연결되고, 제1 전원 라인(VD)의 타측은 제1b 전원 공급전극(VDDEb)과 연결될 수 있다.

[0037] 그리고, 제1a 전원 공급전극(VDDEa)은 밴딩 영역(BA)과 표시 영역(DA)사이에서 배치될 수 있다. 그리고, 제1b 전원 공급전극(VDDEb)은 표시 영역(DA)을 사이에 두고 제1a 전원 공급전극(VDDEa)와 대향하며 배치될 수 있다. 또한, 제1a 전원 공급전극(VDDEa)의 양쪽 끝단의 두께는 제1a 전원 공급전극(VDDEa)의 중앙부의 두께보다 작을 수 있다. 그리고, 제1a 전원 공급전극(VDDEa)의 양쪽 끝단은 제2 전원 공급전극(VSSE)과 표시 영역(DA) 사이에 배치될 수 있다. 예를 들어, 제1a 전원 공급전극(VDDEa)는 제1 선편을 가지는 제1 영역과 제1 선편보다 큰 제2 영역을 포함할 수 있다. 제1 영역은 제1a 전원 공급전극(VDDEa)의 양끝단일 수 있으며, 제2 영역은 제1a 전원 공급전극(VDDEa)의 중앙부일 수 있다.

[0038] 그리고, 제2 전원(Vss)은 패드 영역(PA)의 제2 전원 공급패드(VSSP)를 통하여 비표시 영역(NDA)의 제2 전원 링크라인(VSSL)에 공급될 수 있다. 그리고, 제2 전원 링크라인(VSSL)에 공급된 제2 전원(Vss)은 제2 전원 공급전극(VSSE)을 통하여 표시 영역(DA)의 화소(P)에 공급될 수 있다. 예를 들어, 제2 전원(VSS)은 패드(PAD)에 위치하는 제2 전원 공급패드(VSSP)와 연결된 제2 전원 링크라인(VSSL)의 제2a 전원 링크라인(VSSLa) 및 제2b 전원 링크라인(VSSLb)에 공급될 수 있다. 그리고, 제2 전원 링크라인(VSSL)의 제2a 전원 링크라인(VSSLa) 및 제2b 전원 링크라인(VSSLb)에 공급된 제2 전원(Vss)은 제2 전원 공급전극(VSSE)을 통하여 표시 영역(DA)의 화소(P)에 공급될 수 있다. 제2 전원 링크라인(VSSL)의 제2a 전원 링크라인(VSSLa)은 제2 전원 공급전극(VSSE)의 일측과 연결되어 제2 전원(Vss)을 공급할 수 있다. 그리고, 제2 전원 링크라인(VSSL)의 제2b 전원 링크라인(VSSLb)은 제2 전원 공급전극(VSSE)의 타측과 연결되어 제2 전원(Vss)을 공급할 수 있다.

[0039] 도 1을 참조하면, 비표시 영역(NDA)에서, 제2 전원 공급전극(VSSE)은 표시 영역(DA)의 적어도 3면을 둘러싸도록 배치될 수 있다. 그리고, 제2 전원 공급전극(VSSE)의 양끝단은 링크 영역(LA)에서 서로 마주보도록 배치될 수 있다. 또한, 링크 영역(LA)에서, 제2 전원 공급전극(VSSE)의 일단과 표시 영역(DA)의 사이에는 제2 선편보다 작은 제1 선편을 가지는 제1a 전원 공급전극(VDDEa)의 일단이 배치될 수 있다. 그리고, 링크 영역(LA)에서, 제2 전원 공급전극(VSSE)의 타단과 표시 영역(DA)의 사이에는 제1 선편을 가지는 제1a 전원 공급전극(VDDEa)의 타단이 배치될 수 있다.

[0040] 그리고, 링크 영역(LA)에서, 제2 전원 공급전극(VSSE)의 일단과 제1a 전원 공급전극(VDDEa)의 일단은 서로 이격되어 배치될 수 있다. 그리고, 제2 전원 공급전극(VSSE)의 일단과 제1a 전원 공급전극(VDDEa)의 일단이 이격된 공간에는 보호층이 배치되어 절연될 수 있다. 그리고, 도 2를 참조하면, 보호층(114)상에는 제2 평탄화층(117)이 보호층(114)의 상부면과 직접 접촉하도록 배치될 수 있다.

[0041] 프로그래밍부(SC)는 적어도 하나 이상의 스위치 TFT와, 적어도 하나 이상의 스토리지 커패시터를 포함할 수 있다. 스위치 TFT는 게이트 라인들(GL)로부터의 스캔 신호에 응답하여 턴 온 됨으로써, 데이터라인들(DL)로부터의 데이터전압을 스토리지 커패시터의 일측 전극에 인가할 수 있다. 구동 TFT(DT)는 스토리지 커패시터에 충전된 전압의 크기에 따라 발광 소자(LED)로 공급되는 전류량을 제어하여 발광 소자(LED)의 발광량을 조절할 수 있다. 발광 소자(LED)의 발광량은 구동 TFT(DT)로부터 공급되는 전류량에 비례할 수 있다. 또한, 화소(P)를 구성하는 TFT들의 반도체층은, 비정질 실리콘 또는, 폴리 실리콘 또는, 산화물 반도체물질 중에 적어도 하나를 포함할 수 있다. 발광 소자(LED)는 애노드 전극, 캐소드 전극, 및 애노드 전극과 캐소드 전극 사이에 개재된 발광 구조물을 포함할 수 있다. 애노드 전극은 구동 TFT(DT)에 접속될 수 있다. 발광 구조물은 발광층(Emission layer, EML)을 포함하고, 발광층을 사이에 두고 그 일측에는 정공 주입층(Hole injection layer, HIL) 및 정공 수송층(Hole transport layer, HTL)이, 그 타측에는 전자 수송층(Electron transport layer, ETL) 및 전자 주입층(Electron injection layer, EIL)이 각각 배치될 수 있다.

[0042] 데이터 전압은 패드 영역(PA)의 데이터 패드(DP)를 통하여 비표시 영역(NDA)의 데이터 링크 라인(DLL)에 공급될 수 있다. 그리고, 데이터 링크 라인(DLL)에 공급된 데이터 전압은 표시 영역(AA)의 데이터 라인(DL)에 공급될 수 있다.

[0043] 게이트 구동 전압은 패드 영역(PA)의 게이트 패드(GP)를 통하여 비표시 영역(NDA)의 게이트 링크 라인(GLL)으로 공급될 수 있다. 그리고, 게이트 링크 라인(GLL)에 공급된 게이트 구동 전압은 게이트 구동부(GIP)에 공급될 수 있다. 그리고, 게이트 구동 전압은 게이트 구동부(GIP)에 연결된 게이트 전압 공급라인(GIPL)을 통하여 표시 영역(DA)의 게이트 라인(GL)에 공급될 수 있다. 게이트 구동 전압은 게이트 하이 전압(VGH) 및 게이트 로우 전압(VGL)을 포함할 수 있다. 그리고, 게이트 구동부(GIP)는 게이트 구동 전압 외에도 스타트 펄스, 게이트 쉬프트

클럭들, 및 플리커 신호등의 신호를 공급받을 수 있다. 스타트 펄스, 게이트 쉬프트 클럭 및 플리커 신호는 대략 0V와 3.3V 사이에서 스윙하는 신호들일 수 있다. 게이트 쉬프트 클럭은 소정의 위상차를 갖는 n 상 클럭신호들일 수 있다. 게이트 하이 전압(VGH)은 표시장치(100)의 박막 트랜지스터 어레이에 형성된 박막 트랜지스터(TFT)의 문턱 전압 이상의 전압으로서 대략 28V 정도의 전압일 수 있고, 게이트 로우 전압(VGL)은 표시장치(100)의 박막 트랜지스터 어레이에 형성된 박막 트랜지스터(TFT)의 문턱 전압보다 낮은 전압으로서 대략 -5V 내외의 전압일 수 있으며, 이에 한정되는 것은 아니다.

[0044] 게이트 구동부(GIP)는 표시 영역(DA)의 좌측에 배치된 제1 게이트 구동부(GIPa) 및 표시 영역(DA)의 우측에 배치된 제2 게이트 구동부(GIPb)를 포함할 수 있다. 그리고, 제1 게이트 구동부(GIPa)는 게이트 링크 라인(GLL)의 제1 게이트 링크 라인(GLLa)을 통하여 게이트 구동 전압을 공급 받을 수 있다. 제2 게이트 구동부(GIPb)는 게이트 링크 라인(GLL)의 제2 게이트 링크 라인(GLLb)을 통하여 게이트 구동 전압을 공급 받을 수 있다. 또한, 제1 게이트 구동부(GIPa)에 공급된 게이트 구동 전압은 게이트 전압 공급라인(GIPL)의 제1 게이트 전압 공급 라인(GIPL1a~GIPL1n, 이하 GIPLa 라고 함)을 통하여 게이트 라인(GL)의 제1 게이트 라인(GL1a~GL1n, 이하 GLa라고 함)에 공급될 수 있다. 제2 게이트 구동부(GIPb)에 공급된 게이트 구동 전압은 게이트 전압 공급라인(GIPL)의 제2 게이트 전압 공급라인(GIPL1b~GIPL1n, 이하 GIPLb라고 함)을 통하여 게이트 라인(GL)의 제2 게이트 라인(GL1b~GL1n, 이하 GLb 라고 함)에 공급될 수 있다.

[0045] 그리고, 게이트 구동부(GIP)는 제2 전원 공급전극(VSSE)과 표시 영역(DA)의 사이에 배치될 수 있다.

[0046] 도 1에서는 게이트 구동부(GIP)가 표시 영역(DA) 양측에 인접하도록 배치되어 표시 영역(DA)의 양단부에서 게이트 라인(GL)에 게이트 펄스를 공급하는 구성을 도시하고 있지만, 본 명세서가 이에 한정되는 것은 아니다. 게이트 구동부는 표시 영역(DA)의 일측에만 인접하도록 배치되어 표시 영역(DA)의 일측에서 게이트 라인(GL)에 게이트 펄스를 공급할 수도 있다. 게이트 구동부(GIP)가 표시 영역(DA) 외측의 양측에 배치되는 경우, 동일 수평 라인에 배치된 화소(P)에는 게이트 라인(GL)을 통하여 동일한 위상, 동일한 진폭의 게이트 펄스가 공급될 수 있다.

[0047] 그리고, 제2 전원 공급전극(VSSE)상에 댐(DAM)이 배치될 수 있다. 댐(DAM)은 제2 전원 공급전극(VSSE)과 증첩하도록 배치될 수 있다. 그리고, 댐(DAM)은 표시 영역(DA)의 4면을 둘러싸도록 배치되어, 화소(P)의 발광 소자(LED)상에 배치되는 봉지부의 유기막의 흐름을 차단할 수 있다. 그리고, 댐(DAM)은 제1 댐(DAM1) 및 제2 댐(DAM2)을 포함할 수 있다. 제1 댐(DAM1)과 제2 댐(DAM2)은 서로 이격되어 배치될 수 있으며, 제1 댐(DAM1)은 제2 댐(DAM2)과 표시 영역(DA)사이에 배치될 수 있다.

[0048] 이하에서는 본 명세서의 실시예에 따른 표시 장치(100)의 구성요소들에 대한 보다 상세한 설명을 위해 도 2 내지 도 4를 함께 참조한다

[0049] 도 2는 도 1의 I-I'에 대한 단면도이다. 도 2를 참조하면, 본 명세서의 실시예에 따른 표시장치(100)는 박막 트랜지스터(120), 발광 소자(140), 기관(110), 버퍼층(111), 게이트 절연층(112), 층간 절연층(113), 보호층(114), 제1 평탄화층(116), 제2 평탄화층(117), 보조 전극(161), 뱅크(118), 스페이서(119), 게이트 구동부(GIP)의 제1 게이트 구동부(GIPa), 제2 전원 공급전극(VSSE), 및 댐(DAM)을 포함할 수 있다. 기관(110)은 표시장치(100)의 다양한 구성 요소들을 지지할 수 있다.

[0050] 기관(110)은 플렉서블리티(flexibility)를 갖는 플라스틱 물질로 이루어질 수 있다. 기관(110)이 플라스틱 물질로 이루어지는 경우, 예를 들어, 폴리이미드(PI)로 이루어질 수도 있다. 기관(110)이 폴리이미드(PI)로 이루어지는 경우, 기관(110) 하부에 유리로 이루어지는 지지 기관이 배치된 상황에서 표시장치 제조 공정이 진행되고, 표시장치 제조 공정이 완료된 후 지지 기관이 릴리즈(release)될 수 있다. 또한, 지지 기관이 릴리즈된 후, 기관(110)을 지지하기 위한 백 플레이트(back plate)가 기관(110) 하부에 배치될 수도 있다. 기관(110)이 폴리이미드(PI)층으로 이루어지는 경우, 수분성분이 폴리이미드(PI)층으로 이루어진 기관(110)을 뚫고 박막트랜지스터(120) 또는 발광 소자(140)까지 투습이 진행되어 표시장치(100)의 성능을 저하시킬 수 있다. 본 명세서의 실시예에 따른 표시장치(100)는 투습에 의한 표시장치(100)의 성능이 저하되는 것을 방지하기 위해 기관(110)을 2층의 베이스층으로 구성할 수 있다. 그리고, 2개의 베이스층 사이에 투습 효과가 우수한 산화 실리콘(SiOx)층을 형성함으로써, 수분성분이 하부의 베이스층을 뚫고 지나가는 것을 차단하여 제품성능 신뢰성을 향상시킬 수가 있다.

[0051] 또한, 기관(110)을 구성하는 베이스층에 차지(charge)된 전하가 백 바이어스(Back Bias)를 형성하여 박막 트랜지스터(120)에 영향을 줄 수 있다. 따라서, 베이스층에 차지(charge)된 전하를 차단하기 위하여 기관(110)과 박

막 트랜지스터(120) 사이에 별도의 금속층을 배치할 수도 있다. 기판(110)이 구부러지는 벤딩영역(BA)을 가지는 경우, 기판(110)의 벤딩영역(BA)에서 2층의 베이스층 사이에 배치된 산화 실리콘(SiO<sub>x</sub>)층과 베이스층간의 접착력이 수분에 의해 저하될 수 있다. 그리고, 산화 실리콘(SiO<sub>x</sub>)층과 베이스층 간의 접착력 약화로 인하여, 기판(110)은 벤딩영역(BA)에서 응력(Stress)을 받게 되면서, 베이스층이 들뜨는 문제점이 발생할 수 있다. 그리고, 기판(110)의 베이스층의 들뜸 현상으로 인하여 제품의 신뢰성이 저하될 수 있다. 따라서, 본 명세서의 실시예에 따른 표시장치는 수분 침투와 같은 환경 신뢰성도 향상시키면서, 벤딩에도 강건한 구조를 가지도록, 2개의 베이스층 사이에 배치된 무기 절연층을 산화 실리콘(SiO<sub>x</sub>)층과 질화 실리콘(SiN<sub>x</sub>)층으로 이루어진 이중층으로 형성할 수 있다. 그러나, 이에 한정되지는 않으며, 산화 실리콘(SiO<sub>x</sub>)층과 질화 실리콘(SiN<sub>x</sub>)층으로 이루어진 3중층으로도 형성할 수 있다.

[0052] 도 2를 참조하면, 기판(110) 상에는 단층 또는 다층구조의 버퍼층(110)이 배치될 수 있다. 기판(110)상에 배치된 버퍼층(111)은 질화 실리콘(SiN<sub>x</sub>) 또는 산화 실리콘(SiO<sub>x</sub>)의 단일층 또는 이들의 다중층으로 이루어질 수 있다.

[0053] 버퍼층(111)은 버퍼층(111) 상에 형성되는 층들과 기판(110) 간의 접착력을 향상시키고, 기판(110)으로부터 유출되는 알칼리 성분 등을 차단하는 역할 등을 수행할 수 있다. 그리고, 버퍼층(111)은 필수적인 구성요소는 아니며, 기판(110)의 종류 및 물질, 박막 트랜지스터의 구조 및 타입 등에 기초하여 생략될 수도 있다.

[0054] 본 명세서의 실시예에 따르면, 버퍼층(111)은 이산화 규소(SiO<sub>2</sub>)와 질화 실리콘(SiN<sub>x</sub>)이 교번으로 형성된 다중층으로 형성될 수 있다.

[0055] 기판(110)의 표시영역(DA)에서, 발광 소자(140)를 구동하기 위한 박막 트랜지스터(120)는 버퍼층(111) 상에 배치될 수 있다. 박막 트랜지스터(120)는 액티브층(121), 게이트 전극(124), 소스 전극(122) 및 드레인 전극(123)을 포함할 수 있다. 여기에서, 화소 회로의 설계에 따라서, 소스 전극(122)이 드레인 전극이 될 수 있으며, 드레인 전극(123)이 소스 전극이 될 수 있다. 기판(110)의 표시영역(DA)에서, 버퍼층(111) 상에는 박막 트랜지스터(120)의 액티브층(121)이 배치될 수 있다.

[0056] 액티브층(121)은 저온 폴리 실리콘(Low Temperature Poly-Silicon; LTPS)을 포함할 수 있다. 폴리 실리콘 물질은 이동도가 높아(100cm<sup>2</sup>/Vs 이상), 에너지 소비 전력이 낮고 신뢰성이 우수하므로, 표시 소자용 박막 트랜지스터들을 구동하는 구동 소자용 게이트 드라이버 및/또는 멀티플렉서(MUX) 등에 적용될 수 있으며, 본 명세서의 실시예에 따른 표시장치에서 구동 박막 트랜지스터의 액티브층으로 적용될 수 있으며, 이에 한정되지는 않는다. 예를 들면, 표시장치의 특성에 따라 스위칭 박막 트랜지스터의 액티브층으로 적용될 수도 있다. 버퍼층(111) 상에 아몰퍼스 실리콘(a-Si) 물질을 증착하고, 탈수소화 공정 및 결정화 공정을 수행하는 방식으로 폴리 실리콘이 형성되고, 폴리 실리콘을 패터닝하여 액티브층(121)이 형성될 수 있다. 액티브층(121)은 박막 트랜지스터(120)의 구동 시 채널이 형성되는 채널 영역(121a), 채널 영역(121a) 양 측의 소스 영역(121b) 및 드레인 영역(121c)을 포함할 수 있다. 소스 영역(121b)은 소스 전극(122)과 연결된 액티브층(121)의 부분을 의미하며, 드레인 영역(121c)은 드레인 전극(123)과 연결된 액티브층(121)의 부분을 의미한다. 소스 영역(121b) 및 드레인 영역(121c)은 액티브층(121)의 이온 도핑(불순물 도핑)에 의해 구성될 수 있다. 소스 영역(121b) 및 드레인 영역(121c)은 폴리 실리콘 물질에 이온 도핑하여 생성될 수 있으며, 채널 영역(121a)은 이온 도핑되지 않고 폴리 실리콘 물질로 남겨진 부분을 의미할 수 있다.

[0057] 액티브층(121)은 산화물 반도체로 이루어질 수 있다. 산화물 반도체 물질은 실리콘 물질과 비교하여 밴드갭이 더 큰 물질이므로 오프(Off) 상태에서 전자가 밴드갭을 넘어가지 못하며, 이에 따라 오프-전류(Off-Current)가 낮다. 따라서, 산화물 반도체로 이루어진 액티브층을 포함하는 박막 트랜지스터는 온(On) 시간이 짧고 오프(Off) 시간을 길게 유지하는 스위칭 박막 트랜지스터에 적합할 수 있으며, 이에 한정되지는 않는다. 표시장치의 특성에 따라서, 구동 박막 트랜지스터로 적용될 수도 있다. 그리고, 오프-전류가 작아서 보조 용량의 크기가 감소될 수 있으므로, 고해상도 표시 소자에 적합하다. 예를 들면, 액티브층(121)은 금속 산화물로 이루어지고, 예를 들어, IGZO(indium-gallium-zinc-oxide) 등과 같은 다양한 금속 산화물로 이루어질 수 있다. 박막 트랜지스터(120)의 액티브층(121)은 다양한 금속 산화물 중 IGZO로 이루어지는 것을 가정하여 IGZO층을 기초로 형성되는 것으로 설명하였으나, 이에 제한되지 않고 IGZO가 아닌 IZO(indium-zinc-oxide), IGTO(indium-gallium-tin-oxide), 또는 IGO(indium-gallium-oxide) 등과 같은 다른 금속 산화물로 형성될 수도 있다. 액티브층(121)은, 금속 산화물을 버퍼층(111) 상에 증착하고, 안정화를 위한 열처리 공정을 수행한 후, 금속 산화물을 패터닝하여 형성될 수 있다.

[0058] 버퍼층(111)상에는 박막 트랜지스터(120)의 액티브층(121)의 상부면을 커버하는 게이트 절연층(112)이 배치될

수 있다. 게이트 절연층(112)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 이들의 다중층으로 구성될 수 있다. 게이트 절연층(112)에는 박막 트랜지스터(120)의 소스 전극(122) 및 드레인 전극(123) 각각이 박막 트랜지스터(120)의 액티브층(121)의 소스 영역(121b) 및 드레인 영역(121c) 각각에 연결되기 위한 컨택홀이 형성될 수 있다. 그리고, 게이트 절연층(112)은 기판(110)의 비표시영역(NDA)에서 밴딩영역(BA)에는 배치되지 않을 수 있다. 도 2를 참조하면, 표시 영역(DA)에서 게이트 절연층(112)이 액티브층(121) 상에 배치될 수 있다. 그리고, 비표시 영역(NDA)에서 게이트 절연층(112)이 버퍼층(111) 상에 배치될 수 있다. 게이트 절연층(112)은 도 2에 도시된 바와 같이 기판 전면에 걸쳐 형성될 수도 있다. 그러나 이에 한정되지는 않는다, 예를 들어 게이트 절연층(112)은 게이트 전극(122)과 동일한 폭을 갖도록 패터닝될 수도 있다. 또는, 게이트 절연층(112)은 기판(110)의 비표시영역(NDA)에서 밴딩영역(BA)에는 배치되지 않을 수 있다.

[0059] 기판(110)의 표시 영역(DA)에서, 게이트 절연층(112) 상에 박막 트랜지스터(120)의 게이트 전극(124), 게이트 전극(124)과 연결되는 게이트 라인(GL), 및 스토리지 커패시터(130)의 제1 커패시터 전극(131)이 배치될 수 있다. 게이트 전극(124), 게이트 라인(GL), 제1 커패시터 전극(131)은 몰리브덴(Mo), 구리(Cu), 티타늄(Ti), 알루미늄(Al), 크롬(Cr), 금(Au), 니켈(Ni), 및 네오디뮴(Nd) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 이루어질 수 있으며, 이에 한정되는 것은 아니다. 게이트 전극(124)은 박막 트랜지스터(120)의 액티브층(121)의 채널 영역(121a)과 중첩되도록 게이트 절연층(112) 상에 형성될 수 있다. 비표시 영역(NDA)에서, 게이트 절연층(112)상에 게이트 구동부(GIP)가 배치될 수 있다. 도 2를 참조하면, 게이트 절연층(112)상에 게이트 구동부(GIP)의 제1 게이트 구동부(GIPa)가 배치될 수 있다. 예를 들어, 비표시 영역(NDA)에서, 게이트 절연층(112) 상에 제1 게이트 구동부(GIPa)의 제1 게이트 구동요소(191)가 배치될 수 있다. 제1 게이트 구동요소(191)는 박막 트랜지스터(120)의 게이트 전극(124)과 동일한 층상에 배치될 수 있으며, 동일한 물질로 이루어질 수 있다.

[0060] 도 2를 참조하면, 게이트 절연층(112) 상에는 표시 영역(DA)의 게이트 전극(124) 및 게이트 라인(GL) 그리고 비표시 영역(NDA)의 제1 게이트 구동부(GIPa)의 제1 게이트 구동층(191)을 커버하도록 층간 절연층(113)이 배치될 수 있다. 층간 절연층(113)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 이들의 다중층으로 구성될 수 있다. 층간 절연층(113)에는 박막 트랜지스터(120)의 액티브층(121)의 소스 영역(121b) 및 드레인 영역(121c)을 노출시키기 위한 컨택홀이 형성될 수 있다. 그리고, 도 2에 도시된 바와 같이, 층간 절연층(113)은 기판 전면에 걸쳐 형성될 수도 있으나, 이에 한정되지는 않는다. 예를 들어, 층간 절연층(113)은 기판(110)의 밴딩영역(BA)에는 배치되지 않을 수 있다. 또는, 층간 절연층(113)은 표시 영역에만 형성될 수도 있다.

[0061] 기판(110)의 표시영역(DA)에서, 층간 절연층(113) 상에 박막 트랜지스터(120)의 소스 전극(122) 및 드레인 전극(123)이 배치될 수 있다. 그리고, 박막 트랜지스터(120)의 소스 전극(122) 및 드레인 전극(123)은 게이트 절연층(112) 및 층간 절연층(113)에 형성된 컨택홀을 통하여 박막 트랜지스터(120)의 액티브층(121)과 연결될 수 있다. 따라서, 박막 트랜지스터(120)의 소스 전극(122)은 게이트 절연층(112) 및 층간 절연층(113)에 형성된 컨택홀을 통하여 액티브층(121)의 소스 영역(121b)과 연결될 수 있다. 그리고, 박막 트랜지스터(120)의 드레인 전극(123)은 게이트 절연층(112) 및 층간 절연층(113)에 형성된 컨택홀을 통하여 액티브층(121)의 드레인 영역(121c)과 연결될 수 있다. 소스전극(122) 및 드레인 전극(123)은 몰리브덴(Mo), 구리(Cu), 티타늄(Ti), 알루미늄(Al), 크롬(Cr), 금(Au), 니켈(Ni), 네오디뮴(Nd)중 하나, 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다. 예를 들어, 소스전극(122), 드레인 전극(123)은 도전성 금속 물질로 이루어진 티타늄(Ti)/알루미늄(Al)/티타늄(Ti)의 3층 구조로 이루어질 수 있다. 소스전극(122) 및 드레인 전극(123)의 물질은 기재된 사항에 한정되지 않는다. 도 2에서는 설명의 편의를 위해, 표시 장치(100)에 포함될 수 있는 다양한 박막 트랜지스터 중 구동 박막 트랜지스터만을 도시하였으나, 스위칭 박막 트랜지스터 등과 같은 다른 박막 트랜지스터도 표시 장치(100)에 포함될 수 있다. 또한, 본 명세서에서는 박막 트랜지스터(120)가 코플래너(coplanar) 구조인 것으로 설명하였으나, 스테거드(staggered) 구조 등과 같은 다른 구조로 박막 트랜지스터가 구현될 수도 있다.

[0062] 도 2를 참조하면, 기판(110)의 표시 영역(DA)에서, 층간 절연층(113)상에 제1 게이트 구동부(GIP)의 제2 게이트 구동요소(192)가 배치될 수 있다. 제2 게이트 구동요소(192)는 박막트랜지스터(120)의 소스 전극(122) 및 드레인 전극(123)과 동일한 층상에 배치될 수 있으며, 동일한 물질로 이루어질 수 있다. 도 2에서 도시된 바와 같이, 게이트 구동부(GIP)는 제1 게이트 구동요소(191) 및 제2 게이트 구동요소(192)등과 같은 다양한 구성요소들로 구성될 수 있다. 또한, 비표시 영역(NA)에서, 층간 절연층(113)상에 제2 전원 공급전극(VSSE)이 배치될 수 있다. 제2 전원 공급전극(VSSE)은 박막트랜지스터(120)의 소스 전극(122) 및 드레인 전극(123)과 동일한 층상에 배치될 수 있으며, 동일한 물질로 이루어질 수 있다. 그러나, 이에 제한되지 않고, 게이트 전극(122) 또는

보조 전극(161)과 동일한 물질로 이루어질 수도 있다.

- [0063] 후술하겠지만, 제2 전원 공급전극(VSSE)은 제2 전극(143)과 전기적으로 연결되어 제2 전극(143)에 전원을 공급할 수 있다.
- [0064] 도 2를 참조하면, 표시 영역(AA) 및 비표시 영역(NA)에서 박막 트랜지스터(120), 제2 전원 공급전극(VSSE), 및 제1 게이트 구동부(GIPa) 상에 보호층(114)이 배치될 수 있다. 보호층(114)은 박막 트랜지스터(120), 제2 전원 공급전극(VSSE), 및 제1 게이트 구동부(GIPa)를 커버하도록 배치될 수 있다. 보호층(114)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 이들의 다중층으로 구성될 수 있다. 표시 영역(DA)에서, 보호층(114)에는 박막 트랜지스터(120)의 드레인 전극(123)을 노출시키기 위한 컨택홀이 형성될 수 있다. 보호층(114)은 기관(110)의 밴딩영역(BA)에는 배치되지 않을 수 있다. 그리고, 비표시 영역(NDA)에서, 보호층(114)은 제2 전원 공급전극(VSSE)을 노출하기 위한 컨택홀이 형성될 수 있다.
- [0065] 표시 영역(AA) 및 비표시 영역(NDA)에서 보호층(114) 상에 제1 평탄화층(116)이 배치될 수 있다. 표시 영역(AA) 및 비표시 영역(NDA)에서, 보호층(114)상에는 표시 영역(DA)의 박막 트랜지스터(120) 및 비표시 영역(NDA)의 게이트 구동부(GIP)와 중첩하도록 제1 평탄화층(116)이 배치될 수 있다. 예를 들어, 도 2에 도시된 바와 같이, 제1 평탄화층(116)은 표시 영역(DA) 및 비표시 영역(NDA)에서 제1 게이트 구동부(GIPa)가 위치한 영역에 배치될 수 있다. 그리고, 제2 전원 공급전극(VSSE)이 위치한 영역에는 제1 평탄화층(116)이 제거되어 보호층(114)을 노출하는 오픈부가 형성될 수 있다.
- [0066] 도 1 및 도 2를 참조하면, 비표시 영역(NDA)에서, 제1 평탄화층(116)은 박막트랜지스터(120) 및 게이트 구동부(GIP)를 커버하도록 배치될 수 있다.
- [0067] 표시 영역(DA)에서 제1 평탄화층(116)에는 드레인 전극(123)을 노출시키기 위한 컨택홀이 형성될 수 있다. 그리고, 비표시 영역(NDA)에서 제1 평탄화층(116)은 제2 전원 공급전극(VSSE)상에 배치된 보호층(114)을 제2 연결전극(152)에 노출하기 위한 오픈부가 형성될 수 있다. 제1 평탄화층(116)은 박막 트랜지스터(120) 및 제1 게이트 구동부(GIPa)를 보호하고, 기관(110) 상의 단차를 완만하게 하여 기관(110) 상부를 평탄화하기 위한 유기물질층일 수 있다. 예를 들면, 제1 평탄화층(116)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기물질로 형성될 수 있으며, 이에 한정되는 것은 아니다. 기관(110)의 표시영역(DA)에서, 제1 평탄화층(116) 상에는 보조 전극(161)이 배치될 수 있다. 그리고, 보조 전극(161)은 드레인 전극(123)을 노출하는 제1 평탄화층(116) 및 보호층(114)의 컨택홀을 통하여 박막 트랜지스터(120)의 드레인 전극(123)과 연결될 수 있다. 보조 전극(161)은 박막 트랜지스터(120)와 발광소자(140)을 전기적으로 연결하는 역할을 할 수 있다. 예를 들어, 보조 전극(161)은 박막 트랜지스터(120)의 드레인 전극(123)과 발광소자(140)의 제1 전극(141)을 전기적으로 연결하는 역할을 할 수 있다. 보조 전극(161)은 몰리브덴(Mo), 구리(Cu), 티타늄(Ti), 알루미늄(Al), 크롬(Cr), 금(Au), 니켈(Ni), 및 네오디뮴(Nd) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있으며, 이에 한정되는 것은 아니다. 보조 전극(161)은 박막 트랜지스터(120)의 소스 전극(122) 및 드레인 전극(123)과 동일한 물질로 형성될 수 있다.
- [0068] 그리고, 기관(110)의 비표시 영역(NDA)에서, 제1 평탄화층(116) 상에는 연결전극(150)의 제1 연결전극(151)이 배치될 수 있다. 그리고, 제1 연결전극(151)은 제2 전원 공급전극(VSSE)을 노출하는 제1 평탄화층(116)의 오픈부 및 보호층(114)의 컨택홀을 통하여 제2 전원 공급전극(VSSE)과 연결될 수 있다. 연결 전극(150)은 제2 전원 공급전극(VSSE)과 발광소자(140)를 전기적으로 연결하는 역할을 할 수 있다. 예를 들어, 연결전극(150)의 제1 연결전극(151)은 제2 전원 공급전극(VSSE)과 발광소자(140)의 제2 전극(142)을 전기적으로 연결하는 역할을 할 수 있다. 제1 연결전극(151)은 몰리브덴(Mo), 구리(Cu), 티타늄(Ti), 알루미늄(Al), 크롬(Cr), 금(Au), 니켈(Ni), 및 네오디뮴(Nd) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있으며, 이에 한정되는 것은 아니다. 제1 연결전극(151)은 보조 전극(161) 또는 박막 트랜지스터(120)의 소스 전극(122) 및 드레인 전극(123)과 동일한 층상에 형성될 수 있으며, 동일한 물질로 이루어질 수 있다.
- [0069] 도 2를 참조하면, 제1 평탄화층(116)은 표시 영역(DA) 및 비표시 영역(NDA)에 배치될 수 있으나, 비표시 영역(NDA)에서 제2 전원 공급전극(VSSE) 및 댄(DMA)중 적어도 하나가 위치한 영역에는 배치되지 않을 수 있다. 예를 들어, 제1 평탄화층(116)은 제2 전원 공급전극(VSSE)이 위치한 영역에는 배치되지 않을 수 있다. 예를 들어, 댄(DAM)이 배치된 영역 및 보호층(114)의 컨택홀을 통하여 제2 전원 공급전극(VSSE)이 노출된 영역에는 제1 평탄화층(116)이 배치되지 않을 수 있다.

- [0070] 기관(110)의 표시영역(DA)에서, 제2 평탄화층(117)은 보조 전극(161) 및 제1 평탄화층(116) 상에 배치될 수 있다. 예를 들어, 제1 평탄화층(116)상에서 보조 전극(161)을 커버하도록 제2 평탄화층(117)이 배치될 수 있다. 그리고, 도 2에 도시된 바와 같이, 제2 평탄화층(117)에는 보조전극(161)을 노출시키기 위한 컨택홀이 형성될 수 있다. 제2 평탄화층(117)은 제 1 평탄화층(116) 상의 보조 전극(161)으로 인한 하부구조의 단차를 더욱 완화시키면서 하부 구조를 추가적으로 보호하는 유기물질층일 수 있다. 예를 들면, 제2 평탄화층(117)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 및 폴리이미드 수지(polyimide resin) 등의 유기물질로 형성될 수 있으며, 이에 한정되는 것은 아니다. 제2 평탄화층(117)은 제1 평탄화층(116)과 동일한 물질로 이루어 질 수 있다.
- [0071] 그리고, 기관(110)의 비표시 영역(NDA)에서, 제2 평탄화층(117)은 제1 평탄화층(116)에 배치될 수 있다. 그리고, 제2 평탄화층(117)은 제1 연결전극(151)의 일측을 덮도록 배치될 수 있다. 또한, 제2 평탄화층(117)은 제2 전원 공급전극(VSSE)이 위치한 영역에는 배치되지 않을 수 있다. 그리고, 게이트 구동부(GIP)의 제1 게이트 구동부(GIPa)가 위치한 영역 중 표시 영역(DA)과 인접한 영역에는 제2 평탄화층(117)이 배치되지 않을 수 있다. 예를 들어, 표시 영역(DA)에 인접하며 제1 게이트 구동부(GIPa)와 중첩하는 영역에는 제2 평탄화층(117)이 배치되지 않을 수 있다.
- [0072] 도 2를 참조하면, 비표시 영역(NDA)에서, 제2 평탄화층(117)은 게이트 구동부(GIP)의 제1 게이트 구동부(GIPa)와 중첩하는 영역의 제1 평탄화층(116)의 상부면을 제2 연결전극(152) 또는 제2-c댁층(183)에 노출하는 오픈부를 포함할 수 있다.
- [0073] 본 명세서의 실시예에 따른 표시 장치(100)에서는 표시 영역(DA)에서 박막 트랜지스터(120) 상부를 평탄화하기 위한 평탄화층으로 표시 영역(DA)에서 제1 평탄화층(116) 및 제2 평탄화층(117)을 사용한다. 이에, 표시 장치(100)의 표시 영역(AA)에서 사용되는 다양한 배선이 배치될 수 있는 추가적인 공간이 제공될 수 있다.
- [0074] 즉, 표시 영역(AA)에서 평탄화층을 1개 사용하는 경우에 비해, 제1 평탄화층(116)과 제2 평탄화층(117) 사이의 공간, 즉, 제1 평탄화층(116) 상면에 배선을 배치할 수 있는 추가적인 공간이 제공될 수 있다. 따라서, 본 명세서의 실시예에 따른 표시 장치(100)에서는 배선 배치에 대한 설계 자유도가 증가할 수 있다. 이에, 보다 고해상도의 표시 장치(100)가 제공될 수 있으며, 표시 장치(100)의 표시 영역(DA)에 배치된 배선의 높은 저항 때문에 발생할 수 있는 휘도 분균일 문제가 해결될 수 있다.
- [0075] 또한, 본 명세서의 실시예에 따른 표시 장치(100)에서는 표시 영역(AA)에는 2개의 평탄화층(116, 117), 비표시 영역(NDA)의 일부영역에는 1개의 평탄화층을 사용함으로써, 비표시 영역(NDA)에서 가스 성분이 아웃개싱될 수 있는 평탄화층의 체적을 최소화할 수 있다. 따라서, 비표시 영역(NDA)에서 평탄화층을 2개 사용하는 경우에 비해, 아웃개싱되는 가스를 저감시켜 화소 수축 불량이 저감될 수 있고, 표시 장치(100)의 신뢰성이 개선될 수 있다. 예를 들어, 게이트 구동부(GIP)와 대응하는 영역에 배치된 제2 평탄화층(117)의 일부영역을 제거하여, 제1 평탄화층(116)만이 게이트 구동부(GIP)와 중첩하도록 할 수 있다. 그리고, 비표시 영역(NDA)에서 제2 전원 공급전극(VSSE)과 대응하는 영역에 배치된 제2 평탄화층(117)을 제거하여 오픈부를 형성할 수 있다.
- [0076] 표시 영역(DA)에서, 박막 트랜지스터(120)와 발광 소자(140) 사이에 2개의 평탄화층(113, 114)이 배치됨에 따라, 단일의 컨택홀 형성 공정을 통해 제1 전극(141)과 박막 트랜지스터(120)를 전기적으로 연결시키는 것이 어려울 수 있다. 이에, 발명의 실시예에 따른 표시 장치(100)에서는 표시 영역(AA)에서 제1 평탄화층(116) 상에 박막 트랜지스터(120)와 전기적으로 연결되는 보조 전극(161)을 배치하고, 제2 평탄화층(117) 상에 배치된 제1 전극(141)과 제2 평탄화층(117)의 컨택홀을 통해 보조 전극(161)과 연결되도록 구성될 수 있다. 기관(110)의 표시영역(DA)에서, 제2 평탄화층(117)상에는 발광 소자(140)가 배치될 수 있다. 발광소자(140)는 제1 전극(141), 발광구조물(142), 및 제2 전극(143)을 포함할 수 있다. 그리고, 발광소자(140)는 기관(110)의 밴딩영역(BA)에는 배치되지 않을 수 있다.
- [0077] 발광소자(140)의 제1 전극(141)은 제2 평탄화층(117) 상에 배치될 수 있다. 제1 전극(141)은 제2 평탄화층(117)에 형성된 컨택홀을 통하여 보조전극(161)과 전기적으로 연결될 수 있다. 따라서, 제1 전극(141)은 제2 평탄화층(117)에 형성된 컨택홀을 통하여 보조전극(161)과 연결됨으로써, 박막 트랜지스터(120)와 전기적으로 연결될 수 있다.
- [0078] 제1 전극(141)은 투명 도전막 및 반사효율이 높은 불투명 도전막을 포함하는 다층 구조로 형성될 수 있다. 투명 도전막으로는 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)과 같은 일함수 값이 비교적 큰 재질로 이루어질 수 있다. 그리고, 불투명 도전막으로는 Al, Ag, Cu, Pb, Mo, 및 Ti 또는 이들의 합금을 포함하는 단층

또는 다층 구조로 이루어질 수 있다. 예를 들어, 제1 전극(141)은 투명 도전막, 불투명 도전막, 및 투명 도전막이 순차적으로 적층된 구조로 형성될 수 있다. 그러나, 이에 한정되지는 않으며, 투명 도전막 및 불투명 도전막이 순차적으로 적층된 구조로도 형성될 수 있다.

- [0079] 본 명세서의 실시예에 따른 표시장치(100)는 상부 발광(Top Emission)표시장치(도면에서 화살표로 표시)이므로, 제1 전극(141)은 애노드 전극일 수 있다. 표시장치(100)가 하부 발광(Bottom Emission)인 경우에는 제2 평탄화층(117) 상에 배치된 제1 전극(141)은 캐소드 전극일 수 있다.
- [0080] 제1 전극(141) 및 제2 평탄화층(117) 상에는 बैं크(118)가 배치될 수 있다. 표시 영역(DA)에서, बैं크(118)에는 제1 전극(141)을 노출하기 위한 개구부가 형성될 수 있다. बैं크(118)는 표시장치(100)의 발광영역을 정의할 수 있으므로 화소 정의막이라고 할 수도 있다. बैं크(118)는 제1 전극(141)의 양끝단을 덮도록 배치될 수 있다. बैं크(118) 상에는 스페이서(119)가 더 배치될 수 있다. 그리고, 비표시 영역(NDA)에서, बैं크(118)는 제2 연결전극(152)을 노출하기 위한 컨택홀이 형성될 수 있다.
- [0081] बैं크(118) 및 스페이서(119)는 동일한 물질로 이루어질 수 있다. 그리고, बैं크(118) 및 스페이서(119)는 유기물질로 이루어질 수 있다. 예를 들어, बैं크(118) 및 스페이서(119)는 폴리이미드(polyimide), 아크릴(acryl) 또는 벤조사이클로부텐(benzocyclobutene; BCB)계 수지로 이루어질 수 있으나, 이에 한정되는 것은 아니다.
- [0082] 그리고, 제1 전극(141)상에는 발광층을 포함하는 발광 구조물(142)이 더 배치될 수 있다. 도 2에서는 발광(142)이 화소(PX) 별로 패터닝된 것으로 도시하였으나, 이에 제한되지 않고, 발광 구조물(142)은 복수의 화소(P)에 공통으로 형성된 공통층일 수 있다. 발광 구조물(142)은 제1 전극(141) 상에 정공층, 발광층, 전자층 등의 순으로 또는 역순으로 적층되어 형성될 수 있다. 이외에도 발광 구조물(142)은 전하 생성층을 사이에 두고 대향하는 제1 및 제2 발광 구조물을 구비할 수도 있다. 이 경우, 제1 및 제2 발광 구조물 중 어느 하나의 발광층은 청색광을 생성하고, 제1 및 제2 발광 구조물 중 나머지 하나의 발광층은 노란색-녹색광을 생성함으로써 제1 및 제2 발광 구조물을 통해 백색광이 생성될 수 있다. 이 발광 구조물(142)에서 생성된 백색광은 발광 구조물(142) 상부에 위치하는 컬러 필터에 입사되어 컬러 영상을 구현할 수 있다. 이외에도 별도의 컬러 필터 없이 각 발광 구조물(142)에서 각 서브 화소에 해당하는 컬러광을 생성하여 컬러 영상을 구현할 수도 있다. 예를 들면, 적색(R) 서브 화소의 발광 구조물(142)은 적색광을, 녹색(G) 서브 화소의 발광 구조물(142)은 녹색광을, 청색(B) 서브 화소의 발광 구조물(142)은 청색광을 생성할 수도 있다.
- [0083] 발광 구조물(142) 상에는 제2 전극(143)이 더 배치될 수 있다. 제2 전극(143)은 발광 구조물(142)을 사이에 두고 제1 전극(141)과 대향하도록 발광 구조물(142)상에 배치될 수 있다. 본 명세서의 실시예에 따른 표시장치(100)에서 제2 전극(143)은 캐소드 전극일 수 있다.
- [0084] 기관(110)의 표시영역(DA)에서, 봉지부는 발광소자상에 배치될 수 있다. 예를 들어, 제2 전극(143) 상에는 수분 침투를 억제하는 봉지부가 더 배치될 수 있다. 그리고, 봉지부는 기관(110)의 밴딩영역(BA)에는 배치되지 않을 수 있다.
- [0085] 봉지부는 제1 무기 봉지층, 제2 유기 봉지층, 및 제3 무기 봉지층을 포함할 수 있다. 봉지부의 제1 무기 봉지층은 제2 전극상에 배치될 수 있다. 그리고, 제2 유기 봉지층은 제1 무기 봉지층상에 배치될 수 있다. 또한, 제3 무기 봉지층은 제2 무기 봉지층상에 배치될 수 있다. 봉지부의 제1 무기 봉지층 및 제3 무기 봉지층은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)등의 무기 물질로 형성될 수 있다. 봉지부의 제2 무기 봉지층은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 및 폴리이미드 수지(polyimide resin) 등의 유기물질로 형성될 수 있다.
- [0086] 비표시 영역(NDA)에서, 보호층(114)상에 댐(DAM)이 배치될 수 있다. 예를 들어, 보호층(114)상에 제1 댐(DAM1)의 및 제2 댐(DAM2)이 배치될 수 있다. 제1 댐(DAM1) 및 제2 댐(DAM2)은 제1 전원 공급전극(VSSE)과 중첩할 수 있다. 예를 들어, 그리고, 제1 댐(DAM1) 및 제2 댐(DAM2)의 하부면은 제1 전원 공급전극(VSSE)의 상부면과 모두 중첩하도록 배치될 수 있다. 제2 댐(DAM2)은 제1 댐(DAM1)과 표시 영역(DA)의 사이에 배치될 수 있다. 제1 댐(DAM1)은 제2 댐(DAM2)과 제1 게이트 구동부(GIPa)의 사이에 배치될 수 있다. 그리고, 제1 댐(DAM1)은 제1 평탄화층(116)의 끝단과 이격되어, 제1 연결전극(151)을 노출하도록 배치될 수 있다.
- [0087] 도 2를 참조하면, 제1 댐(DAM1)의 제1-a 댐층(171) 및 제2 댐(DAM2)의 제2-a 댐층(181)이 보호층(114)상에 배치될 수 있다. 제1-a 댐층(171) 및 제2-a 댐층(181)은 제2 평탄화층(117)과 동일한 물질로 이루어질 수 있다. 제1 댐(DAM1)의 제1-a 댐층(171)은 제1 평탄화층(116)과 이격되어, 제1 연결전극(151)을 노출하도록 배치될 수 있다. 또한, 제1 댐(DAM1)의 제1-a 댐(171)은 연결전극(150)의 제1 연결전극(151)의 일단을 덮도록 배치될 수

있다. 제1 연결 전극(151)의 일단은 제1 댐(DAM1)의 제1-a 댐(171)의 하부면과 보호층(114)의 상부면 사이에 배치되며, 제1 연결 전극(151)의 타단은 제1 평탄화층(116)의 상부면과 제2 평탄화층(117)의 하부면 사이에 배치될 수 있다.

- [0088] 도 2를 참조하면, 비표시 영역(NDA)에서, 연결전극(150)의 제2 연결전극(152)이 제2 평탄화층(117), 제1-a댐층(171), 및 제2-a댐층(181) 상에 배치될 수 있다. 제2 연결전극(152)은 제1 전극(141)과 동일한 공정에 의해 형성될 수 있으며, 동일한 물질로 이루어질 수 있다. 그리고, 제2 연결전극(152)은 제1 댐(DAM1)과 제1 평탄화층(116)이 이격된 공간에 배치되어, 제1 연결전극(151)과 연결될 수 있다. 그리고, 제2 연결전극(152)은 제1 댐(DAM1)과 제2 댐(DAM2)이 이격된 공간에도 배치될 수 있다. 또한, 제2 연결전극(152)의 끝단은 제2-b댐층(182)의 하부면과 제2-a댐층(181)의 상부면 사이에 배치될 수 있다.
- [0089] 그리고, 제1 댐(DAM1)의 제1-b댐층(172)이 제1-a댐층(171)상에 배치될 수 있다. 또한, 제2 댐(DAM2)의 제2-b댐층(182)이 제2-a댐층(181)상에 배치될 수 있다. 도 2를 참조하면, 제2 연결전극(152)은 제1-b댐층(172)이 제1-a댐층(171) 사이에 배치될 수 있다. 제1-b댐층(172) 및 제2-b댐층(182)은 बैं크(118)와 동일한 공정에 의하여 형성될 수 있으며, 동일한 물질로 이루어질 수 있다.
- [0090] 도 2를 참조하면, 비표시 영역(NDA)에서, 제2 연결전극(152)의 일단은 제1 댐(DAM1)과 제1 평탄화층(116)이 이격된 공간에 배치되어, 제1 연결전극(151)의 상부면과 직접 접촉할 수 있다. 그리고, 제2 연결전극(152)의 타단은 제1 평탄화층(116)의 상부면을 노출하는 제2 평탄화층(117)의 오픈부에 배치되어, 제1 평탄화층(116)의 상부면과 직접 접촉할 수 있다.
- [0091] 제1 댐(DAM1)의 제1-c댐층(173)은 제1-b댐층(172)상에 배치될 수 있다. 그리고, 제2 댐(DAM2)의 제2-c댐층(183)은 제2-b댐층(182)상에 배치될 수 있다. 또한, 제1-c댐층(173) 및 제2-c댐층(183)은 스페이서(119)와 동일한 공정으로 형성될 수 있으며, 동일한 물질로 이루어질 수 있다.
- [0092] 본 명세서의 실시예에서 표시장치(100)는 3중층으로 이루어진 2개의 댐(DAM)을 포함하는 것으로 도시되었으나, 이에 한정되지는 않는다. 예를 들어, 댐(DAM)은 2중층으로 이루어질 수 있다. 댐(DAM)이 2중층으로 이루어지는 경우, 댐(DAM)의 하부층은 제2 평탄화층(117)과 동일한 물질로 이루어질 수 있으며, 상부층은 बैं크(118)와 동일한 물질로 이루어질 수 있다.
- [0093] 비표시 영역(NDA)에서, बैं크(118)상에 제3 연결전극(153)이 배치될 수 있다. 제3 연결전극(153)은 제2 전극(143)과 동일한 공정으로 형성될 수 있으며, 동일한 물질로 이루어질 수 있다. 그리고, 제3 연결전극(153)은 बैं크(118)의 컨택홀을 통하여 노출된 제2 연결전극(152)과 연결될 수 있다. 제3 연결전극(153)은 제2 전극(143)과 연결되어, 제2 전원 공급전극(VSSE)에 공급된 제2 전원(V<sub>ss</sub>)을 공급할 수 있다. 이와 같이, 연결전극(150)은 제2 전원 공급전극(VSSE)과 제2 전극(143)을 전기적으로 연결하는 역할을 할 수 있다. 그리고, 표시 영역(DA)에 배치된 제2 전극(143)과 비표시 영역(NDA)에 배치된 제3 연결전극(153)은 서로 연결된 일체형으로 이루어질 수 있다.
- [0094] 도 3은 도 1의 II-II'에 대한 단면도이다. 도 3은, 도 1을 참조하면, 제1-a전원 공급전극(VDDEa)의 일단부 및 제2 전원 공급전극(VSSE)의 일단부의 단면도를 나타내는 도면이다. 도 2에 도시된 구성요소와 실질적으로 동일한 부분에 대해서는, 설명을 간략히 하거나 생략하도록 한다.
- [0095] 도1 및 도 3을 참조하면, 비표시 영역(NDA)의 링크 영역(LA)에서, 제1a 전원 공급전극(VDDEa)의 일단은 제2 전원 공급전극(VSSE)의 일단과 표시 영역(DA)의 사이에 배치될 수 있다. 그리고, 링크 영역(LA)에서, 제2 전원 공급전극(VSSE)의 일단과 제1a 전원 공급전극(VDDEa)의 일단은 서로 이격되어 배치될 수 있다. 그리고, 제2 전원 공급전극(VSSE)의 일단과 제1a 전원 공급전극(VDDEa)의 일단이 이격된 공간에는 보호층(114)이 배치되어 절연될 수 있다. 그리고, 보호층(114)상에는 제2 평탄화층(117)이 보호층(114)의 상부면과 직접 접촉하도록 배치될 수 있다.
- [0096] 링크 영역(LA)에서, 댐(DAM)은 제2 전원 공급전극(VSSE)의 일단과 중첩하며, 제1a 전원 공급전극(VDDEa)의 중앙부와 중첩할 수 있다. 예를 들어, 도 1을 참조하면, 링크 영역(LA)에 배치된 제1 전원 공급전극(VDDE)의 제1a 전원 공급전극(VDDEa)은 다른 선폭을 가질 수 있다. 제1a 전원 공급전극(VDDEa)의 제1 영역은 제1 선폭을 가질 수 있으며, 제2 영역은 제1 선폭보다 큰 제2 선폭을 가질 수 있다. 제1 영역은 제1a 전원 공급전극(VDDEa)의 양 끝단일 수 있으며, 제 2영역은 제1a 전원 공급전극(VDDEa)의 중앙부 일 수 있다. 제1a 전원 공급전극(VDDEa)의 제1 영역은 제2 전원 공급전극(VSSE)과 표시 영역(DA)사이에 배치될 수 있다. 그리고, 제1 댐(DAM1) 및 제2 댐(DAM2)은 제1a 전원 공급전극(VDDEa)의 제2 영역과 중첩하도록 배치될 수 있다. 제1 댐(DAM1) 및 제2 댐(DAM

2)은 제1-a전원 공급전극(VDDEa)의 제1 영역과는 중첩하지 않도록 배치될 수 있다. 도 1에 도시된 바와 같이, 제1 댐(DAM1) 및 제2 댐(DAM2)은 제1a 전원 공급전극(VDDEa)의 제2 영역에서만 중첩하도록 배치되며, 제1 영역과는 중첩하지 않도록 배치될 수 있다.

- [0097] 도 3을 참조하면, 비표시 영역(NDA)의 링크 영역(LA)에서, 제1 전원 공급전극(VDDE)의 제1a 전원 공급전극(VDDEa) 및 제2 전원 공급전극(VSSE)이 층간 절연층(113)상에 배치될 수 있다. 제1a 전원 공급전극(VDDEa)은 제1a 전원 하부전극층(211) 및 제1a 전원 상부전극층(212)으로 이루어질 수 있다. 예를 들어, 도 3을 참조하면, 제1a 전원 공급전극(VDDEa)의 제1a 전원 하부전극층(211)이 층간 절연층(113)상에 배치될 수 있다. 그리고, 제1a 전원 하부전극층(211)상에 보호층(114)이 배치되며, 보호층(114)은 제1a 전원 하부전극층(211)을 노출하는 컨택홀을 포함할 수 있다. 그리고, 보호층(114) 및 제1a 전원 하부전극층(211)상에 제1a 전원 상부전극층(212)이 배치될 수 있다. 그리고, 제1a 전원 상부전극층(212)은 제1a 전원 하부전극층(211)을 노출하는 보호층(114)의 컨택홀을 통하여 제1a 전원 하부전극층(211)과 연결될 수 있다. 제1a 전원 하부전극층(211)은 제2 전원 공급전극(VSSE)과 동일한 층상에 배치될 수 있으며, 동일한 물질로 이루어질 수 있다. 제1a 전원 하부전극층(211)은 박막트랜지스터(120)의 소스 전극(122) 및 드레인 전극(123)과 동일한 물질로 이루어질 수 있다.
- [0098] 제1a 전원 공급전극(VDDEa)의 제1a 전원 하부전극층(211) 및 제2 전원 공급전극(VSSE)상에는 보호층(114)이 배치될 수 있다. 보호층(114)은 제1a 전원 공급전극(VDDEa)의 제1a 전원 하부전극층(211) 및 제2 전원 공급전극(VSSE)을 커버하도록 배치될 수 있다. 보호층(114)은 제1a 전원 공급전극(VDDEa)의 제1a 전원 하부전극층(211)을 노출하는 컨택홀을 포함할 수 있다. 또한, 보호층(114)은 제2 전원 공급전극(VSSE)을 노출하는 컨택홀을 포함할 수 있다. 그리고, 보호층(114)상에 제1 평탄화층(116)이 배치될 수 있다. 제1 평탄화층(116)은 제2 전원 공급전극(VSSE)과 중첩하는 영역에는 배치되지 않을 수 있다. 예를 들어, 보호층(114)의 컨택홀을 통하여 제2 전원 공급전극(VSSE)이 노출되는 영역 및 댐(DAM)이 배치된 영역에는 제1 평탄화층(116)이 배치되지 않을 수 있다. 그리고, 보호층(114)의 컨택홀을 통하여 제1a 전원 공급전극(VDDEa)의 제1a 전원 하부전극층(211)이 노출된 영역에도, 제1 평탄화층(116)이 배치되지 않을 수 있다. 도 3을 참조하면, 보호층(114)의 컨택홀을 통하여 제2 전원 공급전극(VSSE)이 노출되는 영역, 댐(DAM)이 배치된 영역, 및 보호층(114)의 컨택홀을 통하여 제1a 전원 공급전극(VDDEa)의 제1a 전원 하부전극층(211)이 노출된 영역에는 2중 평탄화층이 아닌, 단일 평탄화층으로 이루어질 수 있다. 예를 들어, 상기 영역에는 제2 평탄화층(117)만이 배치될 수 있다.
- [0099] 도 3을 참조하면, 링크 영역(LA)에서, 제1 평탄화층(116)은 제1a 전원 하부 전극층(211)의 일측만을 커버하도록 배치될 수 있다.
- [0100] 도 3을 참조하면, 링크 영역(LA)에서, 제2 전원 공급전극(VSSE)과 전기적으로 연결되는 제1 연결전극(151) 및 제2 연결전극(152)이 배치된 영역에는 단일 평탄화층으로 이루어질 수 있다. 예를 들어, 링크 영역(LA)에서, 제1 연결전극(151) 및 제2 연결전극(152)이 배치된 영역에는 제2 평탄화층(117)만이 배치될 수 있다.
- [0101] 보호층(114)의 컨택홀을 통하여 노출된 제1a 전원 공급전극(VDDEa)의 제1a 전원 하부전극층(211) 상에는 제1a 전원 상부전극층(212)이 배치될 수 있다. 제1a 전원 상부전극층(212)은 보조 전극(161)과 동일한 공정에 의하여 형성될 수 있으며, 동일한 물질로 이루어질 수 있다. 제1a 전원 공급전극(VDDEa)은 제1a 전원 하부전극층(211) 및 제1a 전원 상부전극층(212)의 이중층으로 이루어져 제1a 전원 공급전극(VDDEa)의 저항을 낮출 수 있다.
- [0102] 그리고, 제1a 전원 상부전극층(212)의 일측은 제1 평탄화층(116)의 상부면 상에 배치될 수 있다. 그리고, 제1a 전원 상부전극층(212)의 타측은 보호층(114)의 상부면 상에 배치될 수 있다. 예를 들어, 제1a 전원 상부전극층(212)은 제1 평탄화층(116)의 일측을 덮도록 배치될 수 있다. 도 3을 참조하면, 제1a 전원 상부전극층(212)은 제1a 전원 하부전극층(211)의 일측을 덮도록 배치된 제1 평탄화층(116)의 일측의 상부면 상에 배치될 수 있다.
- [0103] 제1 평탄화층(116) 상에 배치된 제2 평탄화층(117)은 보호층(114)의 컨택홀을 통하여 제2 전원 공급전극(VSSE)이 노출되는 영역 및 댐(DAM)이 배치된 영역에는 배치되지 않을 수 있다.
- [0104] 도 4는 도 1의 III-III' 라인의 단면도이다. 도 4는, 도 1을 참조하면, 제1-b전원 공급전극(VDDEb) 및 제2 전원 공급전극(VSSE)의 단면도를 나타내는 도면이다. 도 2 및 도 3에 도시된 구성요소와 실질적으로 동일한 부분에 대해서는, 설명을 간략히 하거나 생략하도록 한다.
- [0105] 도1 및 도 4를 참조하면, 비표시 영역(NDA)에서, 제1b 전원 공급전극(VDDEa)은 제2 전원 공급전극(VSSE)과 표시 영역(DA)의 사이에 배치될 수 있다. 댐(DAM)은 제2 전원 공급전극(VSSE)과 중첩하도록 배치될 수 있다. 제1b 전원 공급전극(VDDEa)은 표시 영역(DA)을 사이에 두고, 제1a 전원 공급전극(VDDEa)과 마주보도록 배치될 수 있다. 도 1에 도시된 바와 같이, 제1 댐(DAM1) 및 제2 댐(DAM2)은 제2 전원 공급전극(VSSE)과 중첩하도록 배치될 수

있다.

- [0106] 도 4를 참조하면, 비표시 영역(NDA)에서, 제1 전원 공급전극(VDDE)의 제1b 전원 공급전극(VDDEb) 및 제2 전원 공급전극(VSSE)은 층간 절연층(113) 상에 배치될 수 있다. 제1b 전원 공급전극(VDDEb)은 제1b 전원 하부전극층(213) 및 제1b 전원 상부전극층(214)으로 이루어질 수 있다. 제1b 전원 공급전극(VDDEb)의 제1b 전원 하부전극층(213)이 층간 절연층(113) 상에 배치되며, 제1b 전원 하부전극층(213) 상에 보호층(114)이 배치될 수 있다. 그리고, 보호층(114)은 제1b 전원 하부전극층(213)을 노출하는 컨택홀을 포함할 수 있다. 그리고, 제1b 전원 상부전극층(214)이 제1b 전원 하부전극층(213) 상에 배치될 수 있다. 제1b 전원 하부전극층(213)은 제2 전원 공급전극(VSSE)과 동일한 층상에 배치될 수 있으며, 동일한 물질로 이루어질 수 있다. 제1b 전원 하부전극층(213)은 박막트랜지스터(120)의 소스 전극(122) 및 드레인 전극(123)과 동일한 물질로 이루어질 수 있다.
- [0107] 그리고, 제1b 전원 공급전극(VDDEb)의 제1b 전원 하부전극층(213) 및 제2 전원 공급전극(VSSE)상에는 보호층(114)이 배치될 수 있다. 보호층(114)은 제1b 전원 공급전극(VDDEb)의 제1b 전원 하부전극층(213)을 노출하는 컨택홀을 포함할 수 있다. 또한, 보호층(114)은 제2 전원 공급전극(VSSE)을 노출하는 컨택홀을 포함할 수 있다. 그리고, 보호층(114)상에 제1 평탄화층(116)이 배치될 수 있다. 제1 평탄화층(116)은 제2 전원 공급전극(VSSE)과 중첩하는 영역에는 배치되지 않을 수 있다. 예를 들어, 보호층(114)의 컨택홀을 통하여 제2 전원 공급전극(VSSE)이 노출되는 영역 및 댐(DAM)이 배치된 영역에는 제1 평탄화층(116)이 배치되지 않을 수 있다. 그리고, 보호층(114)의 컨택홀을 통하여 제1b 전원 공급전극(VDDEb)의 제1b 전원 하부전극층(213)이 노출된 영역에도, 제1 평탄화층(116)이 배치되지 않을 수 있다. 도 3을 참조하면, 보호층(114)의 컨택홀을 통하여 제2 전원 공급전극(VSSE)이 노출되는 영역, 댐(DAM)이 배치된 영역, 및 보호층(114)의 컨택홀을 통하여 제1b 전원 공급전극(VDDEb)의 제1b 전원 하부전극층(213)이 노출된 영역에는 제1 평탄화층(116)이 배치되지 않을 수 있다.
- [0108] 도 4를 참조하면, 비표시 영역(NDA)에서, 제2 전원 공급전극(VSSE)과 전기적으로 연결되는 제1 연결전극(151)이 배치된 영역에는 단일 평탄화층으로 이루어질 수 있다. 예를 들어, 비표시 영역(NDA)에서, 제1 연결전극(151)이 배치된 영역에는 제2 평탄화층(117)만이 배치될 수 있다.
- [0109] 보호층(114)의 컨택홀을 통하여 노출된 제1b 전원 공급전극(VDDEb)의 제1b 전원 하부전극층(213) 상에는 제1b 전원 상부전극층(214)이 배치될 수 있다. 제1b 전원 상부전극층(213)은 보조 전극(161)과 동일한 공정에 의하여 형성될 수 있으며, 동일한 물질로 이루어질 수 있다. 제1b 전원 공급전극(VDDEb)은 제1b 전원 하부전극층(213) 및 제1b 전원 상부전극층(214)의 이중층으로 이루어져 제1b 전원 공급전극(VDDEb)의 저항을 낮출 수 있다.
- [0110] 그리고, 제1b 전원 상부전극층(214)의 양끝단은 제1 평탄화층(116)의 상부면 상에 배치될 수 있다.
- [0111] 제1 평탄화층(116) 상에 배치된 제2 평탄화층(117)은 보호층(114)의 컨택홀을 통하여 제2 전원 공급전극(VSSE)이 노출되는 영역 및 댐(DAM)이 배치된 영역에는 배치되지 않을 수 있다. 그리고, 제1b 전원 공급전극(VDDEb)과 대응하는 제2 평탄화층(117)은 패터닝되어 제1 평탄화층(116)의 상부면을 노출하는 오픈부를 형성할 수 있다. 제1 댐(DAM1)과 제1 평탄화층(116)이 이격된 공간에 배치되어 제1 연결전극(151)과 접촉하는 제2 연결전극(152)은 제1 평탄화층(116)을 노출하는 제2 평탄화층(117)의 오픈부까지 연장되어 형성될 수 있다. 제2 연결전극(152)의 일단은 제1 평탄화층(116)의 상부면과 직접 접촉할 수 있으며, 제2 연결전극(152)의 타단은 제1 연결전극(151)의 상부면과 직접 접촉할 수 있다.
- [0112] 본 명세서의 실시예는 다음과 같이 설명될 수 있다.
- [0113] 본 명세서의 실시예에 따른 전계 발광 표시 장치는, 표시 영역, 및 표시 영역을 둘러싸며 패드영역, 밴딩 영역, 및 링크 영역을 포함하는 비표시 영역, 밴딩 영역과 표시 영역 사이에 배치된 링크 영역에서 기판 상에 배치된 제1 전원 공급전극, 비표시 영역에서 기판 상에 배치된 제2 전원 공급전극, 비표시 영역에서 제2 전원 공급전극 및 표시 영역 사이에 배치된 게이트 구동부, 복수의 박막 트랜지스터, 게이트 구동부, 제1 전원 공급전극, 및 제2 전원 공급전극을 커버하는 보호층, 복수의 박막 트랜지스터 및 게이트 구동부를 커버하는 제1 평탄화층, 게이트 구동부가 배치된 비표시 영역에서 제1 평탄화층 상에 배치되며, 게이트 구동부와 중첩하는 영역에서 제1 평탄화층의 상부면을 노출하는 제1 오픈부를 포함하는 제2 평탄화층, 및 표시 영역에서 제2 평탄화층 상에 배치된 복수의 발광 소자를 포함할 수 있다.
- [0114] 본 명세서의 실시예에 따르면, 제1 전원 공급전극은 제1 선폭을 가지는 제1 영역과 제1 선폭보다 큰 제2 선폭을 가지는 제2 영역을 포함할 수 있다.
- [0115] 본 명세서의 실시예에 따르면, 비표시 영역의 링크 영역에서, 제1 전원 공급전극의 제1 영역은 제2 전원 공급전

극과 표시 영역(DA)사이에 배치될 수 있다.

- [0116] 본 명세서의 실시예에 따르면, 비표시 영역에서, 보호층은 제2 전원 공급전극을 노출하는 컨택홀을 포함할 수 있다.
- [0117] 본 명세서의 실시예에 따르면, 비표시 영역에서, 보호층의 컨택홀을 통하여 노출된 제2 전원 공급전극과 연결된 연결전극을 더 포함할 수 있다.
- [0118] 본 명세서의 실시예에 따르면, 비표시 영역에서, 제1 평탄화층은 제2 전원 공급전극과 중첩하는 영역에 배치된 보호층의 상부면을 노출하는 제2 오픈부를 포함할 수 있다.
- [0119] 본 명세서의 실시예에 따르면, 제2 전원 공급전극과 중첩하도록 배치되는 제1 댄 및 제2 댄을 더 포함할 수 있다.
- [0120] 본 명세서의 실시예에 따르면, 비표시 영역의 링크 영역에서, 제2 전원 공급전극과 중첩하는 영역에는 제1 평탄화층이 배치되지 않을 수 있다.
- [0121] 본 명세서의 실시예에 따르면, 비표시 영역의 링크 영역에서, 제1 댄 및 제2 댄은 제1 전원 공급전극의 제2 영역과 중첩하도록 배치될 수 있다.
- [0122] 본 명세서의 실시예에 따르면, 비표시 영역의 링크 영역에서, 제1 댄 및 제2 댄은 제1 전원 공급전극의 제1 영역과는 중첩하지 않을 수 있다.
- [0123] 본 명세서의 실시예에 따른 전계 발광 표시 장치는, 표시 영역, 및 밴딩 영역과 표시 영역 및 밴딩 영역 사이에 배치되는 링크 영역을 포함하는 비표시 영역을 포함하는 기관, 비표시 영역의 링크 영역에 배치된 제1 전원 공급전극, 비표시 영역에서 표시 영역의 적어도 3면을 둘러싸는 제2 전원 공급전극, 제2 전원 공급전극의 양 끝단은 링크 영역에 배치되며, 비표시 영역의 링크 영역에서 제1 전원 공급전극 및 제2 전원 공급전극을 커버하는 보호층, 제1 전원 공급전극의 일측을 커버하는 제1 평탄화층, 및 제1 전원 공급전극 및 제2 전원 공급전극을 노출하는 보호층의 컨택홀 상에 배치된 제2 평탄화층을 포함할 수 있다. 그리고, 제1 전원 공급전극 및 제2 전원 공급전극을 노출하는 보호층의 컨택홀 상에는 제1 평탄화층이 배치되지 않을 수 있다.
- [0124] 본 명세서의 실시예에 따르면, 제1 전원 공급전극은 제1 선편을 가지는 양 끝단과 제1 선편보다 큰 제2 선편을 가지는 중앙부를 포함할 수 있다.
- [0125] 본 명세서의 실시예에 따르면, 제2 전원 공급전극의 양 끝단은 링크 영역에서 서로 마주하도록 배치되며, 링크 영역에서 제1 전원 공급전극의 일단은 제2 전원 공급전극의 일단과 표시 영역의 사이에 배치될 수 있다. 그리고, 제1 전원 공급전극의 타단은 제2 전원 공급전극의 타단과 표시 영역의 사이에 배치될 수 있다.
- [0126] 본 명세서의 실시예에 따르면, 링크 영역에서, 제2 전원 공급전극의 일단과 제1 전원 공급전극의 일단은 서로 이격되어 배치되며, 제2 전원 공급전극의 일단과 제1 전원 공급전극의 일단이 이격된 공간에는 보호층이 배치될 수 있다.
- [0127] 본 명세서의 실시예에 따르면, 제2 평탄화층은 제2 전원 공급전극의 일단과 제1 전원 공급전극의 일단이 이격된 공간에 배치된 보호층의 상부면과 직접 접촉할 수 있다.
- [0128] 본 명세서의 실시예에 따르면, 제1 전원 공급전극은 하부 전극층 및 하부 전극층 상에 배치된 상부 전극층으로 이루어질 수 있다.
- [0129] 본 명세서의 실시예에 따르면, 제1 평탄화층은 제1 전원 공급전극의 하부 전극층의 일측을 커버하며, 하부 전극층은 보호층의 컨택홀을 통하여 노출될 수 있다.
- [0130] 본 명세서의 실시예에 따르면, 1 전원 공급전극의 상부 전극층은 보호층상에 배치되며, 하부 전극층을 노출하는 보호층의 컨택홀을 통하여 하부 전극층과 연결될 수 있다.
- [0131] 본 명세서의 실시예에 따르면, 상부 전극층은 제1 평탄화층의 일측을 덮도록 배치될 수 있다.
- [0132] 본 명세서의 실시예에 따르면, 제1 전원 공급전극의 하부 전극층은 제2 전원 공급전극과 동일한 층상에 배치되며, 제2 전원 공급전극과 동일한 물질로 이루어질 수 있다.
- [0133] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다.

따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

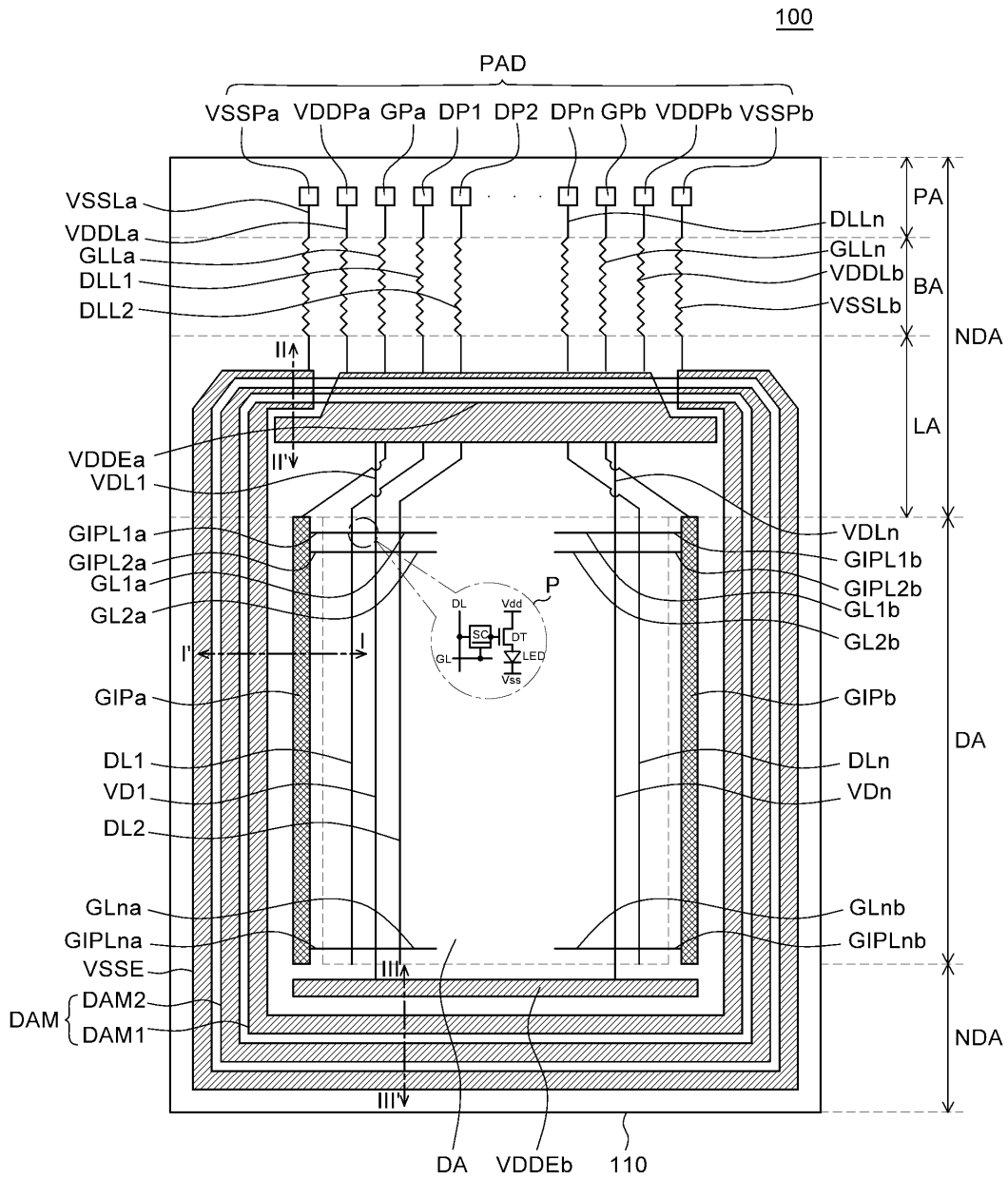
**부호의 설명**

[0134]

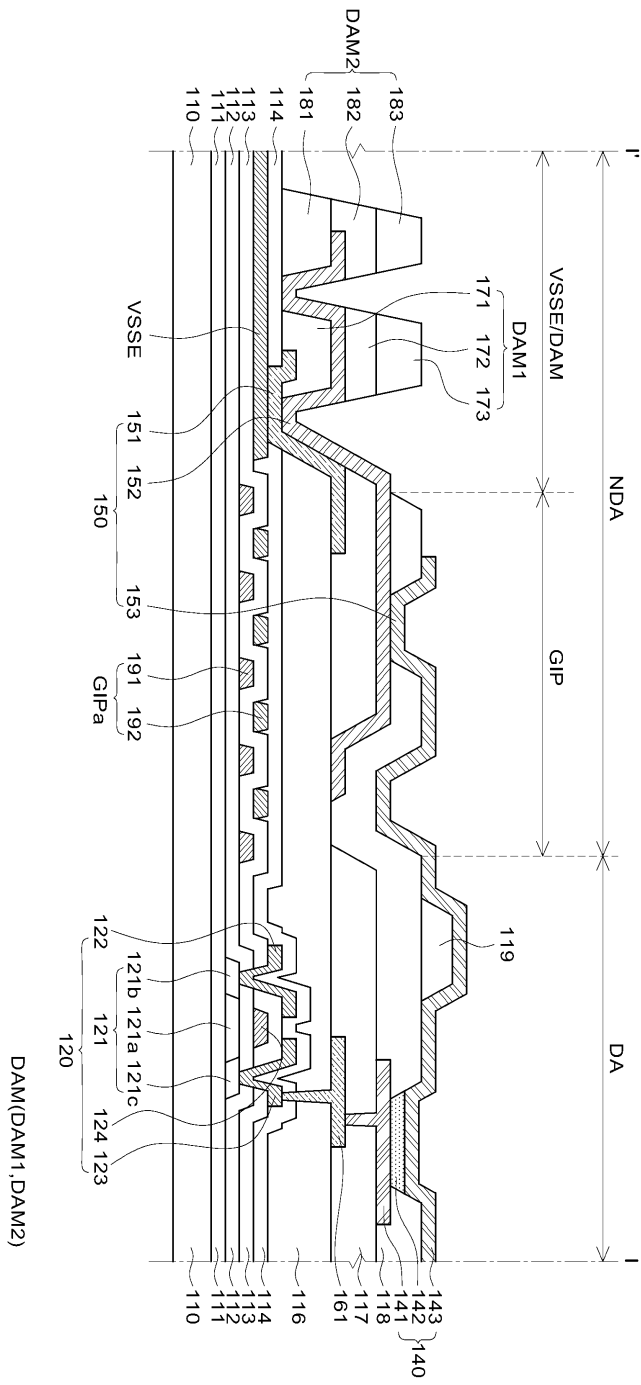
- 110: 기관
- 111: 버퍼층
- 112: 게이트 절연층
- 113: 층간 절연층
- 114: 버퍼층
- 116: 제1 평탄화층
- 117: 제2 평탄화층
- 118: बैं크
- 119: 스페이서
- 120: 박막 트랜지스터
- 121: 액티브층
- 122: 게이트 전극
- 123: 소스 전극
- 124: 드레인 전극
- 140: 발광 소자
- 150: 연결전극
- 161: 보조전극
- DA: 표시 영역
- PA: 패드 영역
- LA: 링크 영역
- BA: 벤딩 영역
- NDA: 비표시 영역
- GIP: 게이트 구동부
- VDDE: 제1 전원 공급전극
- VSSE: 제2 전원 공급전극
- DAM1: 제1 댐
- DAM2: 제2 댐

도면

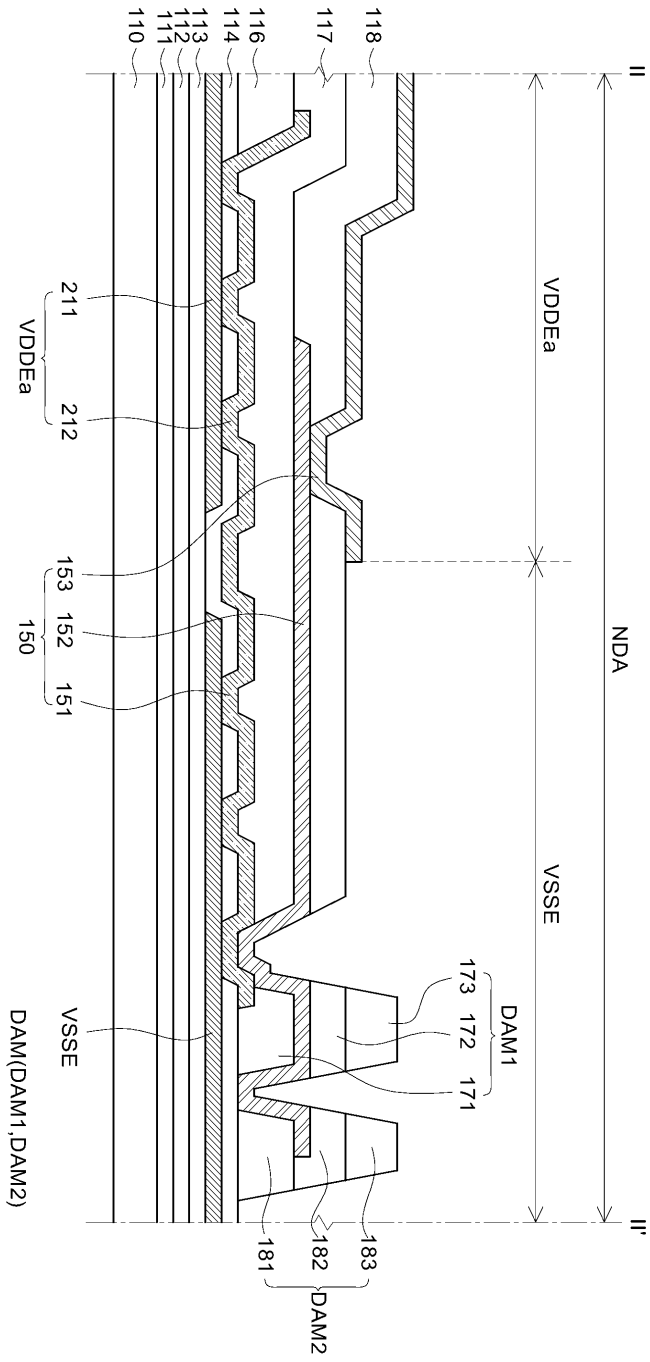
도면1



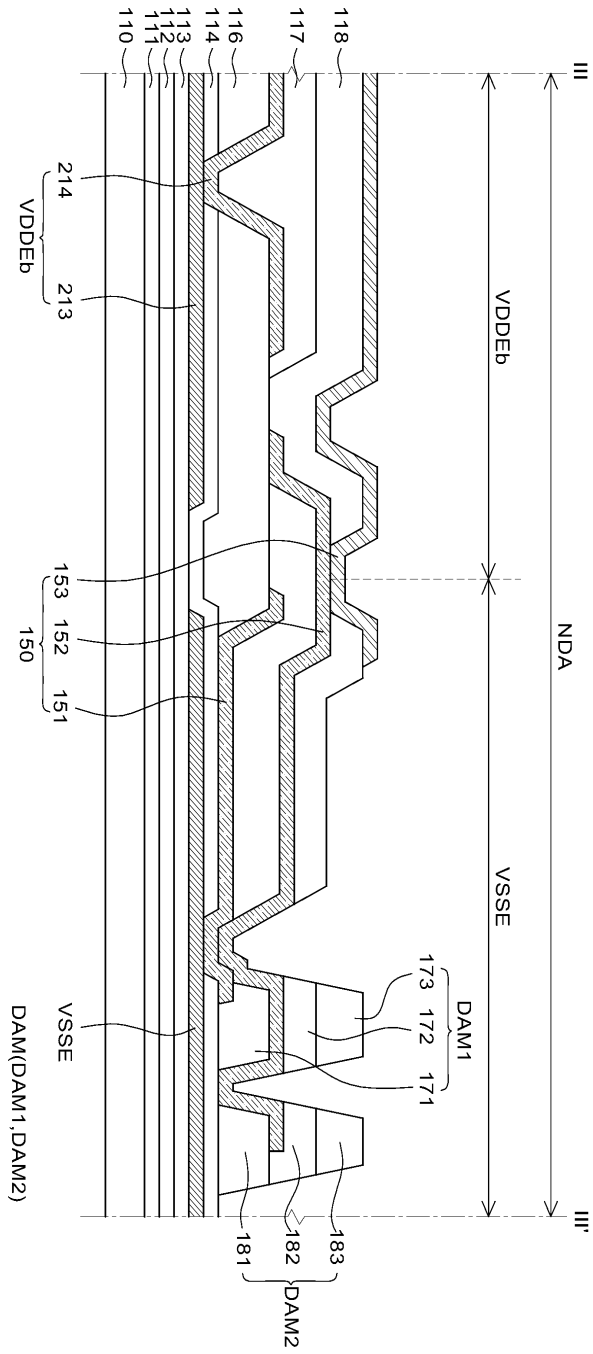
도면2



도면3



도면4



专利名称(译)	电致发光显示器		
公开(公告)号	<a href="#">KR1020200076911A</a>	公开(公告)日	2020-06-30
申请号	KR1020180165883	申请日	2018-12-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	엄현철 박종찬 이태원		
发明人	엄현철 박종찬 이태원		
IPC分类号	H01L27/12		
CPC分类号	H01L27/1248 H01L27/124 H01L27/1218 H01L27/3297 H01L51/5203		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

电致发光显示装置包括具有显示区域和非显示区域的基板。非显示区域包括弯曲区域和链接区域。第一电源电极在链接区域中。第二电源电极在非显示区域中。第二电源电极围绕显示区域的至少三个侧面,并且第二电源电极的两端在连接区域中。保护层在连接区域中覆盖第一电源电极和第二电源电极。第一平坦化层覆盖第一电源电极的一侧。第二平坦化层位于保护层的暴露第一电源电极和第二电源电极的接触孔上。第一平坦化层不在接触孔上。

