



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0064091
(43) 공개일자 2019년06월10일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/3276 (2013.01)
H01L 27/3211 (2013.01)
(21) 출원번호 10-2017-0163385
(22) 출원일자 2017년11월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
조승완
경기도 파주시 월롱면 엘지로 245
최정미
경기도 파주시 월롱면 엘지로 245
(뒷면에 계속)
(74) 대리인
특허법인천문

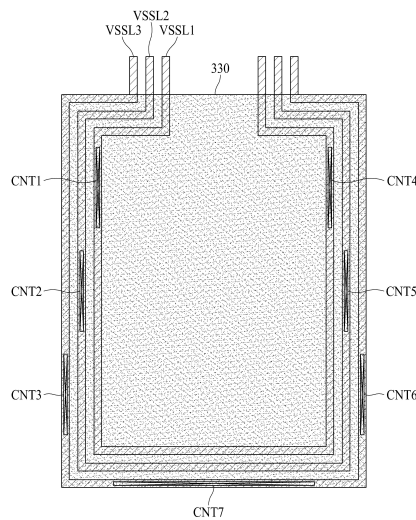
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 출원은 본 출원은 표시 패널의 영역 별로 소스/드레인 금속층과 캐소드 전극의 면 저항에 의해 기준 전원 전압의 전위가 상승하는 현상인 VSS Rising 현상을 방지하여 기준 전원 전압의 전압 편차를 감소시킬 수 있는 유기 발광 표시 장치에 관한 것이다. 본 출원에 따른 유기 발광 표시 장치는 화상을 표시하는 화소들이 마련된 표시 영역과 상기 표시 영역을 둘러싸도록 마련된 비표시 영역을 갖는 표시 패널, 표시 영역과 비표시 영역 상에 일체로 배치된 캐소드 전극, 및 비표시 영역에 배치되어 캐소드 전극에 기준 전원 전압을 공급하는 복수의 기준 전원 전압 라인을 포함한다. 복수의 기준 전원 전압 라인 각각은 서로 다른 기준 전원 전압을 공급한다.

대표도 - 도4



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 51/5203 (2013.01)

(72) 발명자

이슬

경기도 파주시 월롱면 엘지로 245

김지아

경기도 파주시 월롱면 엘지로 245

명세서

청구범위

청구항 1

화상을 표시하는 화소들이 마련된 표시 영역과 상기 표시 영역을 둘러싸도록 마련된 비표시 영역을 갖는 표시 패널;

상기 표시 영역과 상기 비표시 영역 상에 일체로 배치된 캐소드 전극; 및

상기 비표시 영역에 배치되어 상기 캐소드 전극에 기준 전원 전압을 공급하는 복수의 기준 전원 전압 라인을 포함하고,

상기 복수의 기준 전원 전압 라인 각각은 서로 다른 기준 전원 전압을 공급하는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 복수의 기준 전원 전압 라인은,

상기 표시 영역에 인접하게 배치되어 제 1 기준 전원 전압을 공급하는 제 1 기준 전원 전압 라인;

상기 제 1 기준 전원 전압 라인보다 상기 표시 영역으로부터 이격되어 배치되어 제 2 기준 전원 전압을 공급하는 제 2 기준 전원 전압 라인; 및

상기 제 2 기준 전원 전압 라인보다 상기 표시 영역으로부터 이격되어 배치되어 제 3 기준 전원 전압을 공급하는 제 3 기준 전원 전압 라인을 포함하고,

상기 제 1 기준 전원 전압은 상기 제 2 기준 전원 전압보다 높은 전위를 갖고,

상기 제 2 기준 전원 전압은 상기 제 3 기준 전원 전압보다 높은 전위를 갖는 유기 발광 표시 장치.

청구항 3

제 2 항에 있어서,

상기 제 1 기준 전원 전압 라인은 제 1 컨택홀 및 제 4 컨택홀을 통해 상기 캐소드 전극과 연결되고,

상기 제 2 기준 전원 전압 라인은 제 2 컨택홀 및 제 5 컨택홀을 통해 상기 캐소드 전극과 연결되고,

상기 제 3 기준 전원 전압 라인은 제 3 컨택홀, 제 6 컨택홀, 및 제 7 컨택홀을 통해 상기 캐소드 전극과 연결된 유기 발광 표시 장치.

청구항 4

제 2 항에 있어서,

상기 제 1 기준 전원 전압 라인은 상기 표시 영역을 둘러싸도록 배치되고,

상기 제 2 기준 전원 전압 라인은 상기 제 1 기준 전원 전압 라인을 둘러싸도록 배치되고,

상기 제 3 기준 전원 전압 라인은 상기 제 2 기준 전원 전압 라인을 둘러싸도록 배치된 유기 발광 표시 장치.

청구항 5

제 2 항에 있어서,

상기 제 1 기준 전원 전압 라인은 상기 비표시 영역의 모서리 일부에 배치되고,

상기 제 2 기준 전원 전압 라인은 상기 제 1 기준 전원 전압 라인보다 연장되도록 배치되고,

상기 제 3 기준 전원 전압 라인은 상기 제 2 기준 전원 전압 라인보다 연장되도록 배치되고,

상기 제 2 기준 전원 전압 라인의 연장된 부분의 폭은 상기 제 1 기준 전원 전압 라인의 폭보다 넓고,
 상기 제 3 기준 전원 전압 라인의 연장된 부분의 폭은 상기 제 2 기준 전원 전압 라인의 폭보다 넓은 유기 발광 표시 장치.

청구항 6

제 2 항에 있어서,
 상기 비표시 영역 상에 배치된 애노드 전극을 더 포함하며,
 상기 제 1 내지 제 3 기준 전원 전압 라인 각각은 상기 애노드 전극과 연결된 유기 발광 표시 장치.

청구항 7

제 6 항에 있어서,
 상기 제 1 내지 제 3 기준 전원 전압 라인 각각은 소스/드레인 금속층으로 이루어지고,
 상기 애노드 전극과 상기 제 1 내지 제 3 기준 전원 전압 라인 각각은 상기 소스/드레인 금속층의 상부에 배치된 평탄화막을 관통하는 콘택홀을 통해 전기적으로 연결되고,
 상기 캐소드 전극과 상기 애노드 전극은 상기 애노드 전극의 상부에 배치된 전극 분리층을 관통하는 콘택홀을 통해 전기적으로 연결된 유기 발광 표시 장치.

청구항 8

제 6 항에 있어서,
 상기 애노드 전극은 상기 제 1 내지 제 3 기준 전원 전압 라인 상부에 전체적으로 배치되며,
 상기 애노드 전극은 상기 제 1 내지 제 3 기준 전원 전압 라인 각각과 콘택홀을 통해 연결되고,
 상기 콘택홀을 통해 서로 다른 기준 전원 전압이 공급되는 유기 발광 표시 장치.

청구항 9

제 6 항에 있어서,
 상기 애노드 전극은 상기 제 1 내지 제 3 기준 전원 전압 라인 상부에 패터닝되어 배치되며,
 상기 패터닝된 애노드 전극 각각에는 서로 다른 기준 전원 전압이 공급되는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 출원은 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 정보화 사회에서 시각 정보를 영상 또는 화상으로 표시하기 위한 표시 장치 분야 기술이 많이 개발되고 있다. 표시 장치 중 유기 발광 표시 장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 화상을 표시한다. 유기 발광 표시 장치는 빠른 응답속도를 가짐과 동시에 자발광에 따라 저계조 표현력이 가능하여 차세대 디스플레이로 각광받고 있다.

[0003] 유기 발광 표시 장치는 화상을 표시하는 화소들이 마련된 표시 영역과 표시 영역의 외곽에 배치되어 화상을 표시하지 않는 비표시 영역을 갖는 표시 패널을 포함한다. 화소들 각각은 스캔 신호에 의해 구동하며, 데이터 전압의 크기에 대응하는 밝기로 발광한다.

[0004] 또한, 표시 패널을 구동하기 위해, 표시 패널의 캐소드 전극에는 기준 전원 전압(VSS 전압)이 공급되어야 한다. 기준 전원 전압을 공급하기 위해, 기준 전원 전압이 하나의 소스/드레인 금속층으로 이루어진 기준 전원 전압 라인에 연결되어 평탄화막을 관통하는 콘택홀을 통해 표시 패널 전면에 증착된 캐소드 전극에 공급되었다. 이

경우, 캐소드 전극의 면 저항 및 기준 전원 전압 라인의 선 저항에 의해 표시 패널의 면 내부에서 캐소드 전극의 기준 전원 전압에 차이가 발생한다.

[0005] 기준 전원 전압의 전위는 그라운드 전압의 전위보다 낮다. 이에 따라, 기준 전원 전압의 전위값은 음(-)의 값을 갖는다. 표시 패널의 영역 별로 소스/드레인 금속층과 캐소드 전극의 면 저항에 의해 기준 전원 전압의 전위가 상승하는 현상인 VSS Rising 현상이 발생한다. VSS Rising 현상이 발생하는 경우, 표시 패널에서 기준 전원 전압이 공급되는 부분인 표시 패널의 상부와 기준 전원 전압이 공급되는 부분과 반대 부분인 표시 패널의 하부 사이에 기준 전원 전압의 전압 편차가 발생한다. 시뮬레이션 결과, 표시 패널의 하부가 가장 문제가 많이 발생하는 지점(Worst Point)이다. 정상적인 경우의 기준 전원 전압이 -2.5V인 경우, 표시 패널의 하부에서는 기준 전원 전압이 -2.18V로, VSS Rising 현상이 0.32V 발생한다.

발명의 내용

해결하려는 과제

[0006] 본 출원은 표시 패널의 영역 별로 소스/드레인 금속층과 캐소드 전극의 면 저항에 의해 기준 전원 전압의 전위가 상승하는 현상인 VSS Rising 현상을 방지하여 기준 전원 전압의 전압 편차를 감소시킬 수 있는 유기 발광 표시 장치를 제공하고자 한다.

과제의 해결 수단

[0007] 본 출원에 따른 유기 발광 표시 장치는 화상을 표시하는 화소들이 마련된 표시 영역과 상기 표시 영역을 둘러싸도록 마련된 비표시 영역을 갖는 표시 패널, 표시 영역과 비표시 영역 상에 일체로 배치된 캐소드 전극, 및 비표시 영역에 배치되어 캐소드 전극에 기준 전원 전압을 공급하는 복수의 기준 전원 전압 라인을 포함한다. 복수의 기준 전원 전압 라인 각각은 서로 다른 기준 전원 전압을 공급한다.

발명의 효과

[0008] 본 출원은 기준 전원 전압 라인을 분리하고 각각의 기준 전원 전압 라인에 공급하는 기준 전원 전압을 차등적으로 적용하여 표시 패널의 영역 별 전압 편차를 감소시키는 구조를 제공할 수 있다. 본 출원은 VSS Rising 현상 발생 시 Worst Point의 캐소드 전극의 전압 편차를 감소시킬 수 있다. 표시 패널의 상부에 공급하는 기준 전원 전압을 -2.5V로 설정하고, 표시 패널의 하부에 공급하는 기준 전원 전압을 -2.7V로 설정한 시뮬레이션 결과 VSS Rising 수준이 0.09V로 기존 구조에서의 VSS Rising 0.32V 대비 70% 감소하였다.

도면의 간단한 설명

- [0009] 도 1은 본 출원에 따른 유기 발광 표시 장치의 개념적 블록도이다.
- 도 2는 본 출원의 일 예에 따른 화소의 내부 회로도이다.
- 도 3은 본 출원의 일 예에 따른 화소의 단면도이다.
- 도 4는 일 예에 따른 복수의 기준 전원 전압 라인 및 캐소드 전극을 나타낸 평면도이다.
- 도 5는 도 4의 등가 회로도이다.
- 도 6은 다른 예에 따른 복수의 기준 전원 전압 라인 및 캐소드 전극을 나타낸 평면도이다.
- 도 7은 또 다른 예에 따른 복수의 기준 전원 전압 라인, 애노드 전극, 및 캐소드 전극을 나타낸 평면도이다.
- 도 8은 도 7의 I-I`를 나타낸 단면도이다.
- 도 9는 또 다른 예에 따른 복수의 기준 전원 전압 라인, 애노드 전극, 및 캐소드 전극을 나타낸 평면도이다.
- 도 10은 도 9의 II-II`를 나타낸 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 본 출원의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 일 예들을 참조하면 명확해질 것이다. 그러나 본 출원은 이하에서 개시되는 일 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 출원의 일 예들은 본 출원의 개시가 완전하도록 하며, 본 출원이

속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 출원은 청구항의 범주에 의해 정의될 뿐이다.

- [0011] 본 출원의 일 예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 출원이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 출원을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 출원의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.
- [0012] 본 명세서에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0013] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0014] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0015] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0016] 제 1, 제 2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제 1 구성요소는 본 출원의 기술적 사상 내에서 제 2 구성요소일 수도 있다.
- [0017] "제 1 수평 축 방향", "제 2 수평 축 방향" 및 "수직 축 방향"은 서로 간의 관계가 수직으로 이루어진 기하학적인 관계만으로 해석되어서는 아니 되며, 본 출원의 구성이 기능적으로 작용할 수 있는 범위 내에서보다 넓은 방향성을 가지는 것을 의미할 수 있다.
- [0018] "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미할 수 있다.
- [0019] 본 출원의 여러 예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0020] 이하에서는 본 출원에 따른 유기 발광 표시 장치의 바람직한 예를 첨부된 도면을 참조하여 상세히 설명한다. 각 도면의 구성 요소들에 참조 부호를 부가함에 있어서, 동일한 구성 요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다.
- [0021] 도 1은 본 출원에 따른 유기발광 표시장치의 개념적 블록도이다. 본 출원에 따른 유기 발광 표시 장치는 표시 패널(100), 게이트 구동부(110), 데이터 구동부(120), 및 타이밍 컨트롤러(Timing Controller, T-CON)(130)를 포함한다.
- [0022] 표시 패널(100)은 표시영역과 표시영역의 주변에 마련된 비표시영역을 포함한다. 표시영역은 화소(P)들이 마련되어 화상을 표시하는 영역이다. 비표시영역은 표시 패널(100)의 외곽에 있으며, 표시영역을 외부의 충격으로부터 보호하는 영역이다. 표시 패널(100)에는 게이트 라인들(GL1~GLp, p는 2 이상의 양의 정수), 데이터 라인들(DL1~DLq, q는 2 이상의 양의 정수) 및 센싱 라인들(SL1~SLq)이 마련된다.
- [0023] 데이터 라인들(DL1~DLq) 및 센싱 라인들(SL1~SLq)은 게이트 라인들(GL1~GLp)과 교차할 수 있다. 데이터 라인들(DL1~DLq)과 센싱 라인들(SL1~SLq)은 서로 평행할 수 있다. 표시 패널(100)은 화소(P)들이 마련되는 하부기판과 외부의 이물질로부터 화소(P)들을 보호하기 위한 봉지(Encapsulation) 기능을 수행하는 상부기판을 포함할 수 있다. 화소(P)들 각각은 게이트 라인들(GL1~GLp) 중 어느 하나, 데이터 라인들(DL1~DLq) 중 어느 하나 및 센싱 라인들(SL1~SLq) 중 어느 하나에 접속될 수 있다.
- [0024] 게이트 구동부(120)는 타이밍 컨트롤러(130)로부터 게이트 구동부 제어 신호(GCS)를 공급받고, 게이트 구동부 제어 신호(GCS)에 따라 게이트 신호들을 생성하여 게이트 라인들(GL1~GLp)에 공급한다.

- [0025] 데이터 구동부(120)는 타이밍 컨트롤러(130)로부터 데이터 구동부 제어 신호(DCS)를 공급받고, 데이터 구동부 제어 신호(DCS)에 따라 데이터전압들을 생성하여 데이터 라인들(DL1~DLq)에 공급한다. 또한, 데이터 구동부(120)는 화소(P)들 각각의 전압 및 전류 특성을 센싱하여 센싱 데이터(SEN)를 생성하여 타이밍 컨트롤러(130)로 공급한다.
- [0026] 타이밍 컨트롤러(130)는 외부로부터 화상의 표시 타이밍을 제어하는 타이밍 신호(TS)와 화상을 구현하기 위한 색상 별 정보를 포함하고 있는 디지털 비디오 데이터(DATA)를 공급받는다. 타이밍 컨트롤러(130)의 입력단에는 타이밍 신호(TS)와 디지털 비디오 데이터(DATA)가 설정된 프로토콜에 의해 입력된다. 또한, 타이밍 컨트롤러(130)는 데이터 구동부(120)로부터 화소(P)들 각각의 전압 및 전류 특성에 따른 센싱 데이터(SEN)를 공급받는다.
- [0027] 타이밍 신호(TS)는 수직 동기 신호(Vertical sync signal, Vsync), 수평 동기 신호(Horizontal sync signal, Hsync), 데이터 인에이블 신호(Data Enable signal, DE), 및 도트 클럭(Dot clock, DCLK)을 포함한다. 타이밍 컨트롤러(130)는 센싱 데이터(SEN)에 기초하여 디지털 비디오 데이터(DATA)를 보상한다.
- [0028] 타이밍 컨트롤러(130)는 게이트 구동부(110), 데이터 구동부(120), 스캔 구동부 및 센싱 구동부의 동작 타이밍을 제어하기 위한 구동부 제어 신호들을 생성한다. 구동부 제어 신호들은 게이트 구동부(110)의 동작 타이밍을 제어하기 위한 게이트 구동부 제어 신호(GCS), 데이터 구동부(120)의 동작 타이밍을 제어하기 위한 데이터 구동부 제어 신호(DCS), 스캔 구동부의 동작 타이밍을 제어하기 위한 스캔 구동부 제어 신호 및 센싱 구동부의 동작 타이밍을 제어하기 위한 센싱 구동부 제어 신호를 포함한다.
- [0029] 타이밍 컨트롤러(130)는 모드 신호에 따라 표시 모드와 센싱 모드 중 어느 하나의 모드로 데이터 구동부(120), 스캔 구동부 및 센싱 구동부를 동작시킨다. 표시 모드는 표시 패널(100)의 화소(P)들이 화상을 표시하는 모드이고, 센싱 모드는 표시 패널(100)의 화소(P)들 각각의 구동 트랜지스터(DT)의 전류를 센싱하는 모드이다. 표시 모드와 센싱 모드 각각에서 화소(P)들 각각에 공급되는 스캔 신호의 파형과 센싱 신호의 파형이 변경되는 경우, 표시 모드와 센싱 모드 각각에서 데이터 구동부 제어 신호(DCS), 스캔 구동부 제어 신호 및 센싱 구동부 제어 신호 역시 변경될 수 있다. 따라서, 타이밍 컨트롤러(130)는 표시 모드와 센싱 모드 중 어느 모드인지에 따라 해당하는 모드에 대응하여 데이터 구동부 제어 신호(DCS), 스캔 구동부 제어 신호 및 센싱 구동부 제어 신호를 생성한다.
- [0030] 타이밍 컨트롤러(130)는 게이트 구동부 제어 신호(GCS)를 게이트 구동부(110)로 출력한다. 타이밍 컨트롤러(130)는 보상 디지털 비디오 데이터와 데이터 구동부 제어 신호(DCS)를 데이터 구동부(120)로 출력한다. 타이밍 컨트롤러(130)는 스캔 구동부 제어 신호를 스캔 구동부로 출력한다. 타이밍 컨트롤러(130)는 센싱 구동부 제어 신호를 센싱 구동부로 출력한다.
- [0031] 또한, 타이밍 컨트롤러(130)는 데이터 구동부(120), 스캔 구동부 및 센싱 구동부를 표시 모드와 센싱 모드 중에 어느 모드로 구동할지에 따라 해당 모드를 구동하기 위한 모드 신호를 생성한다. 타이밍 컨트롤러(130)는 모드 신호에 따라 표시 모드와 센싱 모드 중 어느 하나의 모드로 데이터 구동부(120), 스캔 구동부 및 센싱 구동부를 동작시킨다.
- [0032] 도 2는 본 출원의 일 예에 따른 화소(P)의 내부 회로도이다. 일 예에 따른 화소(P)는 구동 트랜지스터(DT), 발광 소자(EL), 스토리지 커패시터(Cst), 및 제 1 내지 제 6 트랜지스터(T1~T6)를 포함한다. 이하의 설명에서, 본 출원의 일 예에 따른 구동 트랜지스터(DT) 및 제 1 내지 제 6 트랜지스터(T1~T6)는 게이트(gate) 전극, 소스(source) 전극, 및 드레인(drain) 전극을 갖는 P형 MOSFET으로 구현되는 것으로 가정하기로 한다.
- [0033] 구동 트랜지스터(DT)의 게이트 전극은 스토리지 커패시터(Cst)의 일 측 전극, 제 1 트랜지스터(T1)의 드레인 전극, 및 제 5 트랜지스터(T5)의 드레인 전극이 연결된 제 1 노드(Node)(N1)에 접속된다. 구동 트랜지스터(DT)의 소스 전극은 화소 구동 전원(ELVDD)을 소스 전극으로 공급받는 제 3 트랜지스터(T3)의 드레인 전극과 연결된다. 구동 트랜지스터(DT)의 드레인 전극은 제 4 트랜지스터(T4)의 소스 전극과 연결된다.
- [0034] 구동 트랜지스터(DT)의 게이트 전극에 문턱 전압보다 큰 전압이 공급되는 경우 턴-온 된다. 턴-온 된 구동 트랜지스터(DT)는 소스 전극에서 드레인 전극으로 구동 전류를 흘린다.
- [0035] 발광 소자(EL)는 애노드 전극 및 캐소드 전극을 포함한다. 발광 소자(EL)는 애노드 전극으로부터 캐소드 전극으로 구동 전류를 흘린다. 발광 소자(EL)의 애노드 전극은 제 4 트랜지스터(T4)의 드레인 전극이 연결된 제 2 노드(N2)에 접속된다. 발광 소자(EL)의 캐소드 전극은 저전위 전원 전압(ELVSS)이 형성된 접지 라인에 캐소드 전

극이 연결된다. 발광 소자(EL)는 구동 트랜지스터(DT)로부터 흐르는 구동 전류에 대응하는 밝기로 발광한다.

- [0036] 스토리지 커패시터(Cst)는 양 측 전극을 갖는다. 스토리지 커패시터(Cst)의 일 측 전극은 제 1 노드(N1)에 연결된다. 스토리지 커패시터(Cst)의 타 측 전극은 화소 구동 전원(ELVDD) 라인에 연결된다.
- [0037] 스토리지 커패시터(Cst)는 제 1 노드(N1)에 연결된 제 5 트랜지스터(T5)가 턴-온 된 경우 화소 구동 전원(ELVDD)과 제 1 노드(N1)의 차전압을 저장한다. 스토리지 커패시터(Cst)는 제 5 트랜지스터(T5)가 턴-오프 된 경우 제 1 노드(N1)에 저장한 차전압을 유지한다. 또한, 스토리지 커패시터(Cst)는 저장되어 유지한 전압을 이용하여 구동 트랜지스터(DT)의 구동을 제어할 수 있다.
- [0038] 제 1 트랜지스터(T1)의 게이트 전극은 제 2 스캔 신호(Scan2)를 공급받는다. 제 1 트랜지스터(T1)의 소스 전극은 구동 트랜지스터(DT)의 드레인 전극과 연결된다. 제 1 트랜지스터(T1)의 드레인 전극은 제 1 노드(N1)와 연결된다. 제 1 트랜지스터(T1)는 제 2 스캔 신호(Scan2)에 의해 턴-온 되어, 제 1 노드(N1)의 전압을 데이터 전압(Vdata)과 구동 트랜지스터(DT)의 문턱 전압(Vtp)의 합인 Vdata+Vtp까지 상승시킨다.
- [0039] 제 2 트랜지스터(T2)의 게이트 전극은 제 2 스캔 신호(Scan2)를 공급받는다. 제 2 트랜지스터(T2)의 소스 전극은 데이터 라인(DL)과 연결되어 데이터 전압(Vdata)을 공급받는다. 제 2 트랜지스터(T2)의 드레인 전극은 구동 트랜지스터(DT)의 소스 전극과 연결된다. 제 2 트랜지스터(T1)는 제 2 스캔 신호(Scan2)에 의해 턴-온 되어, 구동 트랜지스터(DT)의 소스 전극에 데이터 전압(Vdata)을 공급한다.
- [0040] 제 3 트랜지스터(T3)의 게이트 전극은 발광 제어 신호(EM)를 공급받는다. 제 3 트랜지스터(T3)의 소스 전극은 화소 구동 전원(ELVDD)을 공급받는다. 제 3 트랜지스터(T3)의 드레인 전극은 구동 트랜지스터(DT)의 소스 전극과 연결된다. 제 3 트랜지스터(T3)는 발광 제어 신호(EM)에 의해 턴-온 되어, 구동 트랜지스터(DT)에 화소 구동 전원(ELVDD)을 공급하여 구동 트랜지스터(DT)가 구동 전류를 흐르게 한다.
- [0041] 제 4 트랜지스터(T4)의 게이트 전극은 발광 제어 신호(EM)를 공급받는다. 제 4 트랜지스터(T4)의 소스 전극은 구동 트랜지스터(DT)의 드레인 전극과 연결된다. 제 4 트랜지스터(T4)의 드레인 전극은 제 2 노드(N2)와 연결된다. 제 4 트랜지스터(T4)는 발광 제어 신호(EM)에 의해 턴-온 되어, 구동 전류가 발광 소자(EL)를 흐르게 하여 발광 소자(EL)를 발광시킨다.
- [0042] 제 5 트랜지스터(T5)의 게이트 전극은 제 1 스캔 신호(Scan1)를 공급받는다. 제 5 트랜지스터(T5)의 소스 전극은 초기화 전압(Vinit)을 공급받는다. 제 5 트랜지스터(T5)의 드레인 전극은 제 1 노드(N1)와 연결된다. 제 5 트랜지스터(T5)는 제 1 스캔 신호(Scan1)에 의해 턴-온 되어, 제 1 노드(N1)의 전압을 초기화 전압(Vinit)으로 초기화시킨다.
- [0043] 제 6 트랜지스터(T6)의 게이트 전극은 제 1 스캔 신호(Scan1)를 공급받는다. 제 6 트랜지스터(T6)의 소스 전극은 초기화 전압(Vinit)을 공급받는다. 제 6 트랜지스터(T6)의 드레인 전극은 제 2 노드(N2)와 연결된다. 제 6 트랜지스터(T6)는 제 1 스캔 신호(Scan1)에 의해 턴-온 되어, 제 2 노드(N2)의 전압을 초기화 전압(Vinit)으로 초기화시킨다.
- [0044] 본 발명의 제 1 실시예에 따른 화소(P)는 7개의 박막 트랜지스터(Thin Film Transistor, TFT)와 1개의 커패시터(Capacitor)로 이루어져 있어 7T1C 보상 회로로 통칭한다. 또한, 본 발명의 제 1 실시예에 따른 화소(P)는 2종류의 스캔 신호(Scan)와 1종류의 발광 제어 신호(EM)로 동작한다.
- [0045] 임의의 프레임(Frame)이 시작하는 시점에 구동 트랜지스터(DT)의 게이트 전압과 소스 전압의 차전압(Vgs)은 게이트 로우 전압(VGL) 상태를 유지하고 있다. 또한, 발광 제어 신호(EM) 역시 게이트 로우 전압(VGL) 상태이다. 이에 따라, 제 3 및 제 4 트랜지스터(T3, T4)가 턴-온 된다. 이에 따라 구동 트랜지스터(DT)에 일정량의 구동 전류가 흐르게 되어 발광 소자(EL)를 발광시킨다.
- [0046] 이후, 발광 제어 신호(EM)가 게이트 하이 전압(VGH)을 갖고, 구동 트랜지스터(DT)의 소스 전극과 드레인 전극은 플로팅(Floating) 상태가 된다.
- [0047] 이후, 화소(P)는 초기화(Initialization) 단계를 갖는다. 초기화 단계에서, 제 1 스캔 신호(Scan1)가 게이트 로우 전압(VGL)이 되면 제 5 트랜지스터(T5)가 턴-온 되고, 초기화 전압(Vinit)이 제 1 노드(N1)에 인가된다. 초기화 단계 후 제 1 스캔 신호(Scan1)가 다시 게이트 하이 전압(VGH)이 되면 제 5 트랜지스터(T5)는 턴-오프 되고 제 1 노드(N1)는 플로팅 상태가 된다.
- [0048] 이후, 화소(P)는 프로그래밍(Programming) 단계를 갖는다. 프로그래밍 단계에서, 제 2 스캔 신호(Scan2)가 게이

트 로우 전압(VGL)이 되면 제 1, 2, 6 트랜지스터(T1, T2, T6)가 턴-온 된다. 제 6 트랜지스터(T6)에 의해 발광 소자(EL)는 리셋된다. 또한, 제 2 트랜지스터(T2)가 턴-온 되어 구동 트랜지스터(DT)의 소스 전극에 데이터 전압(Vdata)이 공급된다.

- [0049] 본 출원의 일 예에 따른 화소(P)의 초기화 전압(Vinit)은 데이터 전압(Vdata)보다 낮다. 또한, 구동 트랜지스터(DT)의 소스 전극에 데이터 전압(Vdata)이 공급되고, 구동 트랜지스터(DT)의 게이트 전극에 초기화 전압이 공급된다. 이에 따라, 구동 트랜지스터(DT)의 게이트 전압과 소스 전압의 차전압(Vgs)은 음(negative, -)의 전압 값을 갖게 된다.
- [0050] 게이트 전압과 소스 전압의 차전압(Vgs)이 음의 전압 값을 갖는 경우 구동 트랜지스터(DT)는 선형(Linear) 영역에서 동작한다. 이에 따라, 구동 트랜지스터(DT)의 드레인 전극의 전압은 상승한다. 제 1 트랜지스터(T1)가 턴-온 되어 있는 상태이기 때문에 구동 트랜지스터의 드레인 전극과 게이트 전극은 전기적으로 동일한 노드로 볼 수 있다. 결과적으로, 제1 노드(N1)의 전압은 데이터 전압(Vdata)과 구동 트랜지스터(DT)의 문턱 전압(Vth)을 합한 전압 값인 Vdata+Vth까지 상승한다. 여기에서 문턱 전압(Vth)은 음의 전압 값을 갖는다.
- [0051] 이후, 화소(P)는 문턱 전압(Vth) 센싱(sensing) 단계를 갖는다. 문턱 전압(Vth) 센싱 단계에서, 제1 노드(N1)의 전압이 데이터 전압(Vdata)과 구동 트랜지스터(DT)의 문턱 전압(Vth)을 합한 전압 값까지 상승한 상태이므로, 구동 트랜지스터(DT)는 턴-오프되어 누설(Subthreshold) 전류만이 흐르는 상태가 된다.
- [0052] 이 때, 데이터 전압(Vdata)을 기준으로 구동 트랜지스터(DT)의 게이트 전극의 전압인 Vdata+Vth를 센싱하여 문턱 전압(Vth)을 센싱할 수 있다.
- [0053] 이후, 발광 제어 신호(EM)가 다시 게이트 로우 전압(VGL)이 될 때 구동 트랜지스터의 드레인 전극에 화소 구동 전압(ELVDD)이 공급된다. 이에 따라 다음 프레임이 시작하고, 발광 소자(EL)는 발광한다.
- [0054] 도 3은 본 출원의 일 예에 따른 화소(P)의 단면도이다. 일 예에 따른 화소(P)는 베이스층(210), 버퍼층(220), 반도체층(230), 게이트 절연층(235), 게이트 금속층(240), 제 1 브릿지(241), 소스/드레인 금속층(250), 제 1 층간 절연막(260), 중간 금속층(270), 제 2 층간 절연막(280), 평탄화막(290), 애노드 전극(300), 발광층(320), 캐소드 전극(330), 및 격벽(340)을 포함한다.
- [0055] 베이스층(210)은 유기 발광 표시 장치의 최하층을 형성한다. 베이스층(210)은 상부에 마련된 회로부를 이루는 회로 소자들 및 배선들을 지지할 수 있다. 또는, 베이스층(210)은 가요성이 있는 플라스틱으로 형성되어, 유기 발광 표시 장치가 가요성이 있도록 할 수 있다.
- [0056] 버퍼층(220)은 베이스층(210)의 상부를 덮는다. 버퍼층(220)은 절연성이 우수한 재료로 형성된다. 버퍼층(220)은 베이스층(210)의 상부에 마련된 회로부를 이루는 회로 소자들 및 배선들을 외부의 충격 또는 정전기로부터 보호한다.
- [0057] 반도체층(230)은 버퍼층(220)의 상부에 배치된다. 반도체층(230)은 도핑된 반도체로 이루어진다. 반도체층(230)은 화소(P)를 구성하는 박막 트랜지스터의 채널을 형성한다. 반도체층(230)은 게이트 채널(231), 제 1 채널(232), 및 제 2 채널(233)을 포함한다. 게이트 채널(231)은 박막 트랜지스터의 게이트 전극의 채널을 형성한다. 제 1 및 제 2 전극층(233)은 박막 트랜지스터의 소스 전극 및 드레인 전극의 채널을 형성한다.
- [0058] 게이트 절연층(235)은 버퍼층(220) 및 반도체층(230)의 상부에 배치된다. 게이트 절연층(235)은 버퍼층(220) 및 반도체층(230)을 전체적으로 덮는다. 게이트 절연층(235)은 절연성이 우수한 재료로 형성된다. 게이트 절연층(235)은 반도체층(230)이 게이트 금속층(240)과 단락되는 것을 방지하고, 반도체층(230)이 이루는 박막 트랜지스터의 채널을 구분한다.
- [0059] 게이트 금속층(240)은 게이트 절연층(235)의 상부에 배치된다. 게이트 금속층(240)은 박막 트랜지스터의 게이트 전극 및 게이트 라인(GL1~GLp)을 형성하는 게이트 금속층이다. 게이트 금속층(240)은 전기 전도성이 우수한 금속 또는 합금으로 형성될 수 있다.
- [0060] 제 1 층간 절연막(260)은 게이트 금속층(240) 및 제 1 브릿지(241)의 상부에 배치된다. 제 1 층간 절연막(260)은 전기 절연성이 우수한 물질로 형성된다.
- [0061] 중간 금속층(270)은 제 1 층간 절연막(260)의 상부에 배치된다. 중간 금속층(270)은 게이트 금속층(240) 중 박막 트랜지스터의 게이트 전극을 형성하는 게이트 금속층(240)과 중첩되어 배치된다. 중간 금속층(270)은 박막 트랜지스터의 게이트 전극을 형성하는 게이트 금속층(240)과 상호 정전 용량을 형성한다. 중간 금속층(270)은

스토리지 커패시턴스의 일 측 전극의 기능을 수행한다.

- [0062] 제 2 층간 절연막(280)은 제 1 층간 절연막(260) 및 중간 금속층(270)의 상부에 배치된다. 제 2 층간 절연막(280)은 전기 절연성이 우수한 물질로 형성된다.
- [0063] 소스/드레인 금속층(250)은 제 2 층간 절연막(280)의 상부에 배치된다. 소스/드레인 금속층(250)은 화소(P)를 이루는 박막 트랜지스터의 제 1 전극(251) 및 제 2 전극(252)을 형성한다. 소스/드레인 금속층(250)은 제 1 연결 트랜지스터(CT1)의 제 1 전극(253), 반전 인에이블 라인(254), 인에이블 라인(255), 및 점등 검사 데이터 라인(256)을 형성한다. 소스/드레인 금속층(250)은 게이트 금속층(240)의 상부에 배치된 소스/드레인 금속층이다. 소스/드레인 금속층(250)은 전기 전도성이 우수한 금속 또는 합금으로 형성될 수 있다.
- [0064] 평탄화막(290)은 제 2 층간 절연막(280) 및 소스/드레인 금속층(250)의 상부에 배치된다. 평탄화막(290)은 상부면의 높이 차이를 감소시킨다. 이에 따라, 평탄화막(290)은 베이스층(210)을 기준으로 Z축 방향으로의 높이가 영역에 따라 편차가 발생하는 것을 해결할 수 있다.
- [0065] 애노드 전극(300)은 평탄화막(290)의 상부에 배치된다. 애노드 전극(300)은 화소(P)를 이루는 박막 트랜지스터의 제 2 전극(252)과 연결된다. 애노드 전극(300)은 박막 트랜지스터의 제 2 전극(252)에 구동 전압 또는 데이터 전압을 공급한다. 애노드 전극(300)은 화소(P) 별로 구분될 수 있다. 서로 인접한 애노드 전극(300) 사이는 격벽(340)으로 인하여 전기적으로 절연될 수 있다.
- [0066] 발광층(320)은 애노드 전극(300) 상에 마련된다. 발광층(320)은 정공 수송층(hole transporting layer), 유기 발광층(organic light emitting layer), 전자 수송층(electron transporting layer)을 포함할 수 있다. 발광층(320)은 애노드 전극(300)과 캐소드 전극(330)에 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 유기 발광층으로 이동되어 유기 발광층에서 서로 결합하여 발광하게 된다.
- [0067] 캐소드 전극(330)은 발광층(320) 및 बैं크(340) 상에 마련된다. 캐소드 전극(330)은 구동 전압을 공급한다.
- [0068] बैं크(340)는 화소(P)들의 애노드 전극(300) 사이에 마련된다. बैं크(340)는 화소(P)들을 구획한다.
- [0069] 도 4는 일 예에 따른 복수의 기준 전원 전압 라인(VSSL1~VSSL3) 및 캐소드 전극(330)을 나타낸 평면도이다.
- [0070] 일 예에 따른 복수의 기준 전원 전압 라인(VSSL1~VSSL3)은 제 1 내지 제 3 기준 전원 전압 라인(VSSL1~VSSL3)을 포함할 수 있다. 그러나 이에 한정되지 않으며, 복수의 기준 전원 전압 라인(VSSL1~VSSL3)의 개수는 3개보다 많거나 적을 수 있다.
- [0071] 제 1 기준 전원 전압 라인(VSSL1)은 복수의 기준 전원 전압 라인(VSSL1~VSSL3) 중 가장 안쪽에 배치된다. 제 1 기준 전원 전압 라인(VSSL1)은 표시 영역에 인접하게 배치된다. 제 1 기준 전원 전압 라인(VSSL1)은 제 1 기준 전원 전압(VSS1)을 공급한다.
- [0072] 제 2 기준 전원 전압 라인(VSSL2)은 제 1 기준 전원 전압 라인(VSSL1)의 바깥쪽에 배치된다. 제 2 기준 전원 전압 라인(VSSL2)은 제 1 기준 전원 전압 라인(VSSL1)과 전기적으로 분리된다. 제 2 기준 전원 전압 라인(VSSL2)은 제 1 기준 전원 전압 라인(VSSL1)보다 표시 영역으로부터 이격되어 배치된다. 제 2 기준 전원 전압 라인(VSSL2)은 제 2 기준 전원 전압(VSS2)을 공급한다.
- [0073] 제 3 기준 전원 전압 라인(VSSL3)은 제 2 기준 전원 전압 라인(VSSL2)의 바깥쪽에 배치된다. 제 3 기준 전원 전압 라인(VSSL3)은 제 2 기준 전원 전압 라인(VSSL2)과 전기적으로 분리된다. 제 3 기준 전원 전압 라인(VSSL3)은 제 2 기준 전원 전압 라인(VSSL2)보다 표시 영역으로부터 이격되어 배치된다. 제 3 기준 전원 전압 라인(VSSL3)은 제 3 기준 전원 전압(VSS3)을 공급한다.
- [0074] 캐소드 전극(330)은 표시 영역 전체 및 비표시 영역의 일부 상에 일체로 배치된다. 캐소드 전극(330)은 비표시 영역 상에서 제 1 내지 제 3 기준 전원 전압 라인(VSSL1~VSSL3)과 일부 또는 전부가 중첩된다. 캐소드 전극(330)은 제 1 내지 제 3 기준 전원 전압 라인(VSSL1~VSSL3) 각각과 적어도 일부 영역에서 중첩된다. 일 예로, 캐소드 전극(330)은 제 1 및 제 2 기준 전원 전압 라인(VSSL1~VSSL2) 상의 모든 영역에 배치되고, 제 3 기준 전원 전압 라인(VSSL3) 상의 일부 영역에 배치될 수 있다.
- [0075] 일 예에 따른 유기 발광 표시 장치는 화상을 표시하는 화소(P)들이 마련된 표시 영역과 표시 영역을 둘러싸도록 마련된 비표시 영역을 갖는 표시 패널(100), 표시 영역과 비표시 영역 상에 일체로 배치된 캐소드 전극(330), 및 비표시 영역에 배치되어 캐소드 전극(330)에 기준 전원 전압(VSS1~VSS3)을 공급하는 복수의 기준 전원 전압 라인(VSSL1~VSSL3)을 포함한다.

- [0076] 복수의 기준 전원 전압 라인(VSSL1~VSSL3)을 갖는 경우, 단일한 기준 전원 전압 라인에서 단일한 크기를 갖는 기준 전원 전압을 공급하는 경우 대비 표시 패널(100) 및 캐소드 전극(330)의 영역 별 특성을 반영하여 알맞은 크기의 기준 전원 전압을 공급할 수 있다. 이에 따라, 기준 전원 전압을 보다 안정적으로 공급할 수 있어, 화상의 품질을 향상시키고 구동 안정성을 증가시킬 수 있다.
- [0077] 특히, 일 예에 따른 복수의 기준 전원 전압 라인(VSSL1~VSSL3) 각각은 서로 다른 기준 전원 전압(VSS1~VSS3)을 공급한다. 이에 따라, 표시 패널(100) 및 캐소드 전극(330)의 영역 별로 서로 다른 기준 전원 전압(VSS1~VSS3)을 공급할 수 있다. 캐소드 전극(330)의 면 저항, 복수의 기준 전원 전압 라인(VSSL1~VSSL3)의 선 저항에 따른 거리 별 및 영역 별 기준 전원 전압의 편차를 반영하여 서로 다른 기준 전원 전압(VSS1~VSS3)을 설정하여 공급할 수 있다. 이에 따라, 복수의 기준 전원 전압 라인(VSSL1~VSSL3)의 선 저항에 따른 거리 별 및 영역 별 기준 전원 전압의 편차를 감소시킬 수 있다.
- [0078] 일 예에 따른 제 1 기준 전원 전압(VSS1)은 제 2 기준 전원 전압(VSS2)보다 높은 전위를 갖는다. 기준 전원 전압은 발광 소자(EL)의 캐소드 전극의 전위를 의미하며, 화소 구동 전원(ELVDD)이 공급되는 구동 트랜지스터(DT)의 드레인 전극과 반대의 층에 공급되는 전압이다. 이에 따라, 기준 전원 전압의 전위는 그라운드 전압보다 낮은 음(-)의 전위를 갖는다. 제 2 기준 전원 전압(VSS2)은 제 1 기준 전원 전압(VSS1)보다 더욱 낮은 전위를 가지므로, 제 2 기준 전원 전압(VSS2)의 절대값의 크기는 제 1 기준 전원 전압(VSS1)의 절대값의 크기보다 크다. 일 예로, 제 1 기준 전원 전압(VSS1)이 -2.5V인 경우, 제 2 기준 전원 전압(VSS2)은 -2.6V일 수 있다.
- [0079] 또한, 일 예에 따른 제 2 기준 전원 전압(VSS2)은 제 3 기준 전원 전압(VSS3)보다 높은 전위를 갖는다. 제 3 기준 전원 전압(VSS3)은 제 2 기준 전원 전압(VSS2)보다 더욱 낮은 전위를 가지므로, 제 3 기준 전원 전압(VSS3)의 절대값의 크기는 제 2 기준 전원 전압(VSS2)의 절대값의 크기보다 크다. 일 예로, 제 2 기준 전원 전압(VSS2)이 -2.6V인 경우, 제 3 기준 전원 전압(VSS3)은 -2.7V일 수 있다.
- [0080] 기준 전원 전압은 본래 음(-)의 전압을 갖고 있어야 하는데, 복수의 기준 전원 전압 라인(VSSL1~VSSL3)의 선 저항 및 캐소드 전극(330)의 면 저항에 의해 그라운드 전압에 가까워진다. 즉, 기준 전원 전압의 전위가 상승하는 VSS Rising 현상이 발생한다. VSS Rising 현상에 따른 기준 전원 전압의 전위의 상승값은 기준 전원 전압 라인의 길이가 증가할수록 증가한다. 또한, VSS Rising 현상에 따른 기준 전원 전압의 전위의 상승값은 기준 전원 전압이 공급되는 지점으로부터의 거리가 멀어질수록 증가한다. 이에 따라, 표시 패널(100)에서 기준 전원 전압이 공급되는 부분인 표시 패널(100)의 상부와 기준 전원 전압이 공급되는 부분과 반대 부분인 표시 패널의 하부 사이에 기준 전원 전압의 전압 편차가 발생한다.
- [0081] 일 예에 따른 복수의 기준 전원 전압 라인(VSSL1~VSSL3)에서는 표시 패널(100)의 상부에 기준 전원 전압을 공급하는 제 1 기준 전원 전압 라인(VSSL1)에서는 제 1 기준 전원 전압(VSS1)을 공급한다. 또한, 표시 패널(100)의 중앙 영역에 기준 전원 전압을 공급하는 제 2 기준 전원 전압 라인(VSSL2)에서는 제 2 기준 전원 전압(VSS2)을 공급한다. 또한, 표시 패널(100)의 하부 영역에 기준 전원 전압을 공급하는 제 3 기준 전원 전압 라인(VSSL3)에서는 제 3 기준 전원 전압(VSS3)을 공급한다.
- [0082] 이에 따라, 일 예에 따른 표시 패널(100)의 상부에는 본래 공급하던 기준 전원 전압과 동일한 전위의 제 1 기준 전원 전압(VSS1)이 그대로 공급할 수 있다. 이와 동시에, 표시 패널(100)의 중앙부에는 제 1 기준 전원 전압(VSS1)보다 전위가 낮은 제 2 기준 전원 전압(VSS2)을 공급하여 표시 패널(100)의 중앙부에서의 VSS Rising 현상을 보상할 수 있다. 또한, 이와 동시에 표시 패널(100)의 하부에는 제 2 기준 전원 전압(VSS2)보다 전위가 낮은 제 3 기준 전원 전압(VSS3)을 공급하여 표시 패널(100)의 하부에서의 VSS Rising 현상을 보상할 수 있다.
- [0083] VSS Rising 현상에 따라 표시 패널(100)의 영역 별로 얼마나 기준 전원 전압이 상승하는지 산출하고, 산출한 전압 상승값만큼 낮은 전위의 전압을 해당 영역에 기준 전원 전압으로 공급하는 경우, 표시 패널(100)의 상부, 중앙부, 및 하부에서의 기준 전원 전압의 크기를 모두 동일하게 할 수 있다. 이에 따라, 표시 패널(100)의 영역 별 기준 전원 전압의 편차를 감소시킬 수 있어, 표시 패널(100)의 휘도 편차 및 구동 안정성을 개선할 수 있다.
- [0084] 일 예에 따른 제 1 기준 전원 전압 라인(VSSL1)은 제 1 컨택홀(CNT1) 및 제 4 컨택홀(CNT4)을 통해 캐소드 전극(330)과 연결되고, 제 2 기준 전원 전압 라인(VSSL2)은 제 2 컨택홀(CNT2) 및 제 5 컨택홀(CNT5)을 통해 캐소드 전극(330)과 연결되고, 제 3 기준 전원 전압 라인(VSSL3)은 제 3 컨택홀(CNT3), 제 6 컨택홀(CNT6), 및 제 7 컨택홀(CNT7)을 통해 캐소드 전극(330)과 연결된다. 제 1 내지 제 7 컨택홀(CNT1~CNT7)은 동일한 레이어 상에 형성된다. 제 1 내지 제 7 컨택홀(CNT1~CNT7)은 서로 중첩되지 않도록 형성된다. 제 1 내지 제 7 컨택홀(CNT1~CNT7)은 평탄화막(290)을 관통하여 형성된다.

- [0085] 제 1 컨택홀(CNT1) 및 제 4 컨택홀(CNT4)은 제 1 기준 전원 전압 라인(VSSL1)과 캐소드 전극(330)이 중첩된 영역 중 제 1 기준 전원 전압(VSS1)을 공급받는 캐소드 전극(330)의 상부에 인접하게 배치된다. 일 예로, 제 1 기준 전원 전압(VSS1)이 캐소드 전극(330)의 상부로부터 공급되는 경우, 제 1 컨택홀(CNT1)은 캐소드 전극(330)의 좌측 상부에 배치되고, 제 4 컨택홀(CNT4)은 캐소드 전극(330)의 우측 상부에 배치될 수 있다. 제 1 컨택홀(CNT1) 및 제 4 컨택홀(CNT4)은 캐소드 전극(330)의 양 측 상부에 대칭으로 배치될 수 있다.
- [0086] 제 2 컨택홀(CNT2) 및 제 5 컨택홀(CNT5)은 제 2 기준 전원 전압 라인(VSSL2) 과 캐소드 전극(330)이 중첩된 영역 중 제 2 기준 전원 전압(VSS2)을 공급받는 캐소드 전극(330)의 중앙부에 인접하게 배치된다. 일 예로, 제 2 기준 전원 전압(VSS2)이 캐소드 전극(330)의 상부로부터 공급되는 경우, 제 2 컨택홀(CNT2)은 캐소드 전극(330)의 좌측 중앙부에 배치되고, 제 5 컨택홀(CNT5)은 캐소드 전극(330)의 우측 중앙부에 배치될 수 있다. 제 2 컨택홀(CNT2) 및 제 5 컨택홀(CNT5)은 캐소드 전극(330)의 양 측 중앙부에 대칭으로 배치될 수 있다.
- [0087] 제 3 컨택홀(CNT3) 및 제 6 컨택홀(CNT6)은 제 3 기준 전원 전압 라인(VSSL3) 과 캐소드 전극(330)이 중첩된 영역 중 제 3 기준 전원 전압(VSS3)을 공급받는 캐소드 전극(330)의 하부에 인접하게 배치된다. 일 예로, 제 3 기준 전원 전압(VSS3)이 캐소드 전극(330)의 상부로부터 공급되는 경우, 제 3 컨택홀(CNT3)은 캐소드 전극(330)의 좌측 하부에 배치되고, 제 6 컨택홀(CNT6)은 캐소드 전극(330)의 우측 하부에 배치될 수 있다. 제 3 컨택홀(CNT3) 및 제 6 컨택홀(CNT6)은 캐소드 전극(330)의 양 측 하부에 대칭으로 배치될 수 있다.
- [0088] 제 4 컨택홀(CNT4)은 제 3 기준 전원 전압 라인(VSSL3) 과 캐소드 전극(330)이 중첩된 영역 중 제 3 기준 전원 전압(VSS3)을 공급받는 캐소드 전극(330)의 하부에 배치된다. 일 예로, 제 3 기준 전원 전압(VSS3)이 캐소드 전극(330)의 상부로부터 공급되는 경우, 제 4 컨택홀(CNT4)은 캐소드 전극(330)의 하부 중앙에 배치된다.
- [0089] 제 4 컨택홀(CNT4)의 크기는 제 1 내지 제 3 컨택홀(CNT1~CNT3) 및 제 5 내지 제 7 컨택홀(CNT5~CNT7)의 크기 보다 클 수 있다. 제 4 컨택홀(CNT4)은 제 3 기준 전원 전압(VSS3)이 공급되는 캐소드 전극(330)의 하부 중 제 3 기준 전원 전압(VSS3)의 공급 지점으로부터의 거리가 가장 먼 하부 중앙에 연결된다. 이에 따라, 제 3 기준 전원 전압(VSS3)의 공급을 원활하게 하기 위해, 제 4 컨택홀(CNT4)은 캐소드 전극(330)의 하부 중앙에서 제 1 내지 제 3 컨택홀(CNT1~CNT3) 및 제 5 내지 제 7 컨택홀(CNT5~CNT7)보다 넓은 면적을 가질 수 있다.
- [0090] 또한, 제 4 컨택홀(CNT4)의 면적이 증가하는 경우, 제 4 컨택홀(CNT4)에서 제 3 기준 전원 전압 라인(VSSL3)과 캐소드 전극(330)이 접촉하는 면적 역시 증가한다. 이에 따라, 제 3 기준 전원 전압 라인(VSSL3)과 캐소드 전극(330)의 접촉 저항이 감소하여 제 4 컨택홀(CNT4)에서의 접촉 저항에 따른 전압 강하로 인한 VSS Rising 현상을 감소시킬 수 있다.
- [0091] 일 예에서, 도 4와 같이 제 1 기준 전원 전압 라인(VSSL1)은 표시 영역을 둘러싸도록 배치되고, 제 2 기준 전원 전압 라인(VSSL2)은 제 1 기준 전원 전압 라인(VSSL1)을 둘러싸도록 배치되고, 제 3 기준 전원 전압 라인(VSSL3)은 제 2 기준 전원 전압 라인(VSSL2)을 둘러싸도록 배치된다.
- [0092] 제 1 내지 제 3 기준 전원 전압 라인(VSSL1~VSSL3) 각각은 표시 영역을 중심으로 표시 영역의 양 측 모서리 및 하부 모서리 상에서 모두 이어지도록 형성된다. 이에 따라 제 1 내지 제 3 기준 전원 전압 라인(VSSL1~VSSL3)을 캐소드 전극(330) 상의 원하는 영역에 연결하면서도, 기존의 단일한 기준 전원 전압 라인 구조와 동일한 형태로 제 1 내지 제 3 기준 전원 전압 라인(VSSL1~VSSL3)을 형성할 수 있어, 제 1 내지 제 3 기준 전원 전압 라인(VSSL1~VSSL3)을 형성하기 위한 추가적인 제조 비용을 최소화할 수 있다.
- [0093] 도 5는 도 4의 등가 회로도이다. 도 5에 따른 등가 회로를 참고하면, 제 1 내지 제 3 기준 전원 전압 라인(VSSL1~VSSL3)의 선 저항 및 표시 패널(100) 상의 캐소드 전극(330)의 영역 별 면 저항을 저항(R)으로 모델링하였다.
- [0094] 캐소드 전극(330)의 하부 영역 방향으로 갈수록 제 1 내지 제 3 기준 전원 전압(VSS1~VSS3)을 공급받는 지점으로부터의 거리가 증가한다. 캐소드 전극(330)의 영역 별 면 저항이 균일한 경우, 캐소드 전극(330)의 하부 영역 방향으로 갈수록 제 1 내지 제 3 기준 전원 전압(VSS1~VSS3)의 전압 강하 원리에 따른 VSS Rising 현상이 증가한다.
- [0095] 도 5와 같이 제 1 내지 제 3 기준 전원 전압 라인(VSSL1~VSSL3)을 배치하는 경우, 제 1 내지 제 3 기준 전원 전압(VSS1~VSS3)이 캐소드 전극(330)의 상부, 중앙부, 및 하부에 개별적으로 공급된다. 이에 따라, 제 1 내지 제 3 기준 전원 전압 라인(VSSL1~VSSL3)의 선 저항 및 표시 패널(100) 상의 캐소드 전극(330)의 영역 별 면 저항에 따른 캐소드 전극(330)의 상부, 중앙부, 및 하부까지의 저항의 편차를 감소시킬 수 있다.

- [0096] 도 6은 다른 예에 따른 복수의 기준 전원 전압 라인(VSSL1~VSSL3) 및 캐소드 전극(330)을 나타낸 평면도이다.
- [0097] 다른 예에 따른 제 1 기준 전원 전압 라인(VSSL1)은 비표시 영역의 모서리 일부에 배치되고, 제 2 기준 전원 전압 라인(VSSL2)은 제 1 기준 전원 전압 라인(VSSL1)보다 연장되도록 배치되고, 제 3 기준 전원 전압 라인(VSSL3)은 제 2 기준 전원 전압 라인(VSSL2)보다 연장되도록 배치된다.
- [0098] 제 1 기준 전원 전압 라인(VSSL1)은 제 1 기준 전원 전압(VSS1)이 공급되는 지점부터 제 1 및 제 4 컨택홀(CNT1, CNT4)이 배치된 지점까지 연장된다. 예를 들어, 제 1 기준 전원 전압(VSS1)이 표시 패널(100)의 상부 중앙에서 공급되는 경우, 제 1 기준 전원 전압 라인(VSSL1)의 일 측은 캐소드 전극(330)이 형성된 비표시 영역 중앙부 중앙부터 좌측 상부까지 연장된다. 또한, 제 1 기준 전원 전압 라인(VSSL1)의 타 측은 캐소드 전극(330)이 형성된 비표시 영역 중앙부 중앙부터 우측 상부까지 연장된다.
- [0099] 제 2 기준 전원 전압 라인(VSSL2)은 제 2 기준 전원 전압(VSS2)이 공급되는 지점부터 제 2 및 제 5 컨택홀(CNT2, CNT5)이 배치된 지점까지 연장된다. 예를 들어, 제 2 기준 전원 전압(VSS2)이 표시 패널(100)의 상부 중앙에서 공급되는 경우, 제 2 기준 전원 전압 라인(VSSL2)의 일 측은 캐소드 전극(330)이 형성된 비표시 영역 중앙부 중앙부터 좌측 중앙부까지 연장된다. 또한, 제 2 기준 전원 전압 라인(VSSL2)의 타 측은 캐소드 전극(330)이 형성된 비표시 영역 중앙부 중앙부터 우측 중앙부까지 연장된다.
- [0100] 제 3 기준 전원 전압 라인(VSSL3)은 제 3 기준 전원 전압(VSS3)이 공급되는 지점부터 제 3 컨택홀, 제 6 컨택홀, 및 제 7 컨택홀(CNT3, CNT6, CNT7)이 배치된 지점까지 연장된다. 예를 들어, 제 3 기준 전원 전압(VSS3)이 표시 패널(100)의 상부 중앙에서 공급되는 경우, 제 3 기준 전원 전압 라인(VSSL3)의 일 측은 캐소드 전극(330)이 형성된 비표시 영역 중앙부 중앙부터 좌측 하부까지 연장된다. 또한, 제 3 기준 전원 전압 라인(VSSL3)의 타 측은 캐소드 전극(330)이 형성된 비표시 영역 중앙부 중앙부터 우측 하부까지 연장된다. 또한, 제 3 기준 전원 전압 라인(VSSL3)은 캐소드 전극(330)이 형성된 비표시 영역 하부의 제 7 컨택홀(CNT7)이 형성된 영역 전체에 형성된다. 이에 따라, 제 3 기준 전원 전압 라인(VSSL3)은 표시 영역, 제 1 기준 전원 전압 라인(VSSL1), 및 제 2 기준 전원 전압 라인(VSSL2)을 둘러싸도록 배치된다.
- [0101] 다른 예에 따른 제 2 기준 전원 전압 라인(VSSL2)의 제 2 및 제 5 컨택홀(CNT2, CNT5)이 형성된 영역의 폭은 제 1 기준 전원 전압 라인(VSSL1)의 폭보다 넓고, 제 3 기준 전원 전압 라인(VSSL3)의 제 3 및 제 6 컨택홀(CNT2, CNT5)이 형성된 영역의 폭은 제 2 기준 전원 전압 라인(VSSL2)의 폭보다 넓다.
- [0102] 제 2 기준 전원 전압 라인(VSSL2)의 제 2 및 제 5 컨택홀(CNT2, CNT5)이 형성된 영역은 제 2 기준 전원 전압 라인(VSSL2)의 연장된 부분으로 정의할 수 있다. 또한, 제 3 기준 전원 전압 라인(VSSL2)의 제 3 컨택홀, 제 6 컨택홀, 및 제 7 컨택홀(CNT3, CNT6, CNT7)이 형성된 영역은 제 3 기준 전원 전압 라인(VSSL3)의 연장된 부분으로 정의할 수 있다.
- [0103] 제 2 기준 전원 전압 라인(VSSL2)의 연장된 부분에서 제 2 기준 전원 전압 라인(VSSL2)의 폭은 제 2 기준 전원 전압 라인(VSSL2)의 나머지 부분의 폭보다 두껍다. 제 2 기준 전원 전압 라인(VSSL2)의 연장된 부분에서, 제 2 기준 전원 전압 라인(VSSL2)은 제 1 기준 전원 전압 라인(VSSL1) 방향으로 폭이 증가한다. 제 2 기준 전원 전압 라인(VSSL2)은 연장된 부분에서 제 2 기준 전원 전압 라인(VSSL2)의 나머지 부분의 폭, 제 1 기준 전원 전압 라인(VSSL1)의 폭, 제 1 및 제 2 기준 전원 전압 라인(VSSL1, VSSL2) 사이의 거리를 합한 폭을 갖는다.
- [0104] 제 3 기준 전원 전압 라인(VSSL3)의 연장된 부분에서 제 3 기준 전원 전압 라인(VSSL3)의 폭은 제 3 기준 전원 전압 라인(VSSL3)의 나머지 부분의 폭보다 두껍다. 제 3 기준 전원 전압 라인(VSSL3)의 연장된 부분에서, 제 3 기준 전원 전압 라인(VSSL3)은 제 1 및 제 2 기준 전원 전압 라인(VSSL1, VSSL2) 방향으로 폭이 증가한다. 제 3 기준 전원 전압 라인(VSSL3)은 연장된 부분에서 제 1 및 제 2 기준 전원 전압 라인(VSSL1~VSSL3)의 폭을 합한 것보다 두꺼운 폭을 갖는다.
- [0105] 이와 같이, 제 2 및 제 3 기준 전원 전압 라인(VSSL2, VSSL3)의 연장된 부분에서 폭을 증가시키는 경우, 제 2 내지 제 3 및 제 5 내지 제 7 컨택홀(CNT2~CNT3, CNT5~CNT7)이 배치된 영역의 면적을 증가시킬 수 있다. 이에 따라, 제 2 및 제 3 기준 전원 전압 라인(VSSL2, VSSL3)이 제 2 내지 제 3 및 제 5 내지 제 7 컨택홀(CNT2~CNT3, CNT5~CNT7)이 캐소드 전극(330)과 보다 안정적으로 연결될 수 있도록 한다. 또한, 제 2 내지 제 3 및 제 5 내지 제 7 컨택홀(CNT2~CNT3, CNT5~CNT7)이 배치된 영역의 면적을 증가시키는 경우 제 2 및 제 3 기준 전원 전압 라인(VSSL2, VSSL3)과 캐소드 전극(330)이 접촉하는 면적을 증가시킬 수 있다. 이에 따라, 제 2 및 제 3 기준 전원 전압 라인(VSSL2, VSSL3)과 캐소드 전극(330) 사이의 접촉 저항을 감소시켜, 접촉 저항에 따른 전압 강하로 인한 VSS Rising 현상을 방지할 수 있다.

- [0106] 도 7은 또 다른 예에 따른 복수의 기준 전원 전압 라인(VSSL1~VSSL3), 애노드 전극(300), 및 캐소드 전극(330)을 나타낸 평면도이다.
- [0107] 또 다른 예에 따른 유기 발광 표시 장치는 비표시 영역 상에 배치된 애노드 전극(300)을 더 포함한다. 애노드 전극(300)은 복수의 기준 전원 전압 라인(VSSL1~VSSL3)을 따라 배치된다. 도 7에서는 캐소드 전극(330)의 일 측에 배치된 복수의 기준 전원 전압 라인(VSSL1~VSSL3) 및 애노드 전극(300)만을 도시하였다. 그러나 이에 한정되지 않으며, 복수의 기준 전원 전압 라인(VSSL1~VSSL3) 및 애노드 전극(300)은 캐소드 전극(330)의 양 측 및 하부 모서리 전체에 배치된다. 노드 전극(300)은 비표시 영역 중 적어도 일부 영역에서 복수의 기준 전원 전압 라인(VSSL1~VSSL3) 및 캐소드 전극(330)과 모두 중첩되도록 배치된다.
- [0108] 제 1 내지 제 3 기준 전원 전압 라인(VSSL1~VSSL3) 각각은 애노드 전극(300)과 연결된다. 일 측에 마련된 제 1 내지 제 3 기준 전원 전압 라인(VSSL1~VSSL3)을 예로 들면, 제 1 기준 전원 전압 라인(VSSL1)은 제 1 컨택홀(CNT1)을 통해 애노드 전극(300)과 연결된다. 제 2 기준 전원 전압 라인(VSSL2)은 제 2 컨택홀(CNT2)을 통해 애노드 전극(300)과 연결된다. 제 3 기준 전원 전압 라인(VSSL3)은 제 3 컨택홀(CNT3)을 통해 애노드 전극(300)과 연결된다.
- [0109] 이와 동일한 방식으로, 타 측에 마련된 제 1 기준 전원 전압 라인(VSSL1)은 제 4 컨택홀(CNT4)을 통해 애노드 전극(300)과 연결된다. 제 2 기준 전원 전압 라인(VSSL2)은 제 5 컨택홀(CNT5)을 통해 애노드 전극(300)과 연결된다. 제 3 기준 전원 전압 라인(VSSL3)은 제 6 컨택홀(CNT6)을 통해 애노드 전극(300)과 연결된다.
- [0110] 또한, 제 3 기준 전원 전압 라인(VSSL3)은 제 7 컨택홀(CNT7)을 통해 애노드 전극(300)과 연결된다.
- [0111] 도 8은 도 7의 I-I'를 나타낸 단면도이다.
- [0112] 일 예에 따른 제 1 내지 제 3 기준 전원 전압 라인(VSSL1~VSSL3) 각각은 소스/드레인 금속층(250)으로 이루어진다. 제 1 내지 제 3 기준 전원 전압 라인(VSSL1~VSSL3) 각각은 화소(P)의 박막 트랜지스터의 소스 전극 및 드레인 전극을 이루는 층과 동일한 물질을 사용하여 동일한 층에 배치된다.
- [0113] 일 예에 따른 애노드 전극(300)과 제 1 내지 제 3 기준 전원 전압 라인(VSSL1~VSSL3) 각각은 소스/드레인 금속층(250)의 상부에 배치된 평탄화막(290)을 관통하는 컨택홀을 통해 전기적으로 연결된다.
- [0114] 일 예에 따른 캐소드 전극(330)과 애노드 전극(300)은 애노드 전극(300)의 상부에 배치된 전극 분리층(310)을 관통하는 컨택홀을 통해 전기적으로 연결된다. 전극 분리층(310)은 애노드 전극(300)의 상부에 배치되어 애노드 전극(300)과 캐소드 전극(330)을 분리한다. 전극 분리층(310)은 전기 절연성이 우수하고, 컨택 홀을 마련하기 용이한 무기물로 형성될 수 있다.
- [0115] 이와 같이, 일 예에 따른 제 1 내지 제 7 컨택홀(CNT1~CNT7)은 모두 평탄화막(290)을 관통하는 컨택홀과 전극 분리층(310)을 관통하는 컨택홀을 포함하는 이중 컨택홀 구조를 갖는다. 이에 따라, 제 1 내지 제 7 컨택홀(CNT1~CNT7)은 제 1 내지 제 3 기준 전원 전압 라인(VSSL1~VSSL3)으로부터 애노드 전극(300)을 통해 캐소드 전극(330)으로 제 1 내지 제 3 기준 전원 전압(VSS1~VSS3)을 공급할 수 있다.
- [0116] 일 예에 따른 애노드 전극(300)은 제 1 내지 제 3 기준 전원 전압 라인(VSSL1~VSSL3) 상부에 전체적으로 배치된다.
- [0117] 일 예에 따른 애노드 전극(300)은 제 1 내지 제 3 기준 전원 전압 라인(VSSL1~VSSL3) 각각과 컨택홀(CNT1~CNT7)을 통해 연결된다. 각각의 컨택홀(CNT1~CNT7)을 통해서는 서로 다른 기준 전원 전압이 공급된다. 일 예로, 제 1 및 제 4 컨택홀(CNT1, CNT4)은 제 1 기준 전원 전압 라인(VSSL1)과 연결되므로, 제 1 및 제 4 컨택홀(CNT1, CNT4)을 통해서는 제 1 기준 전원 전압(VSS1)이 공급된다. 또한, 제 2 및 제 5 컨택홀(CNT2, CNT5)은 제 2 기준 전원 전압 라인(VSSL2)과 연결되므로, 제 2 및 제 5 컨택홀(CNT2, CNT5)을 통해서는 제 2 기준 전원 전압(VSS2)이 공급된다. 또한, 제 3 컨택홀, 제 6 컨택홀, 및 제 7 컨택홀(CNT3, CNT6, CNT7)은 제 3 기준 전원 전압 라인(VSSL3)과 연결되므로, 제 3 컨택홀, 제 6 컨택홀, 및 제 7 컨택홀(CNT3, CNT6, CNT7)을 통해서는 제 3 기준 전원 전압(VSS3)이 공급된다.
- [0118] 도 9는 또 다른 예에 따른 복수의 기준 전원 전압 라인(VSSL1~VSSL3), 애노드 전극(300), 및 캐소드 전극(330)을 나타낸 평면도이다. 도 10은 도 9의 II-II'를 나타낸 단면도이다.
- [0119] 또 다른 예에 따른 애노드 전극(300)은 제 1 내지 제 3 기준 전원 전압 라인(VSSL1~VSSL3) 상부에 패터닝되어 배치된다. 애노드 전극(300)은 제 1 내지 제 7 컨택홀(CNT1~CNT7)마다 패터닝되어 배치된다.

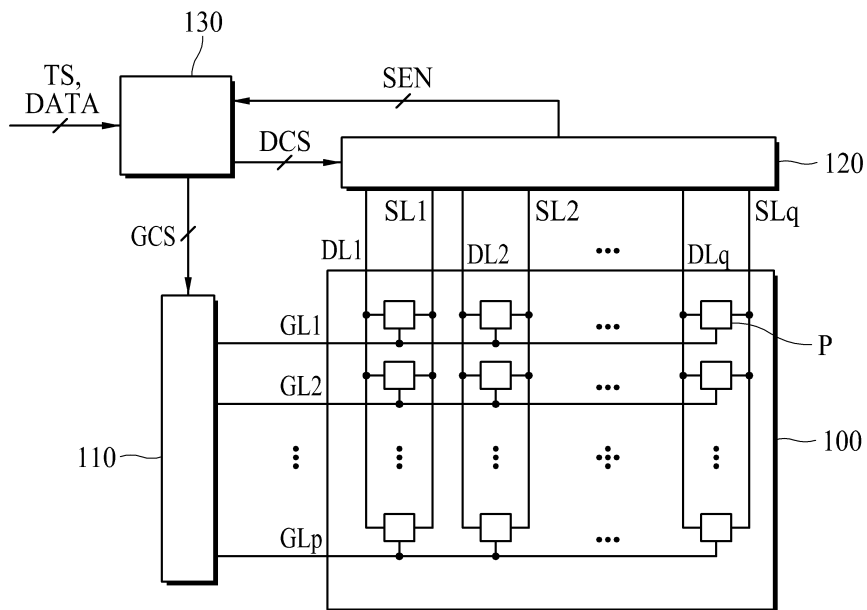
- [0120] 또 다른 예에 따른 패터닝된 애노드 전극(300) 각각에는 서로 다른 기준 전원 전압이 공급된다. 일 예로, 제 1 및 제 4 콘택홀(CNT1, CNT4)은 제 1 기준 전원 전압 라인(VSSL1)과 연결되므로, 제 1 및 제 4 콘택홀(CNT1, CNT4) 상에 배치된 애노드 전극(300)에는 제 1 기준 전원 전압(VSS1)이 공급된다. 또한, 제 2 및 제 5 콘택홀(CNT2, CNT5)은 제 2 기준 전원 전압 라인(VSSL2)과 연결되므로, 제 2 및 제 5 콘택홀(CNT2, CNT5) 상에 배치된 애노드 전극(300)에는 제 2 기준 전원 전압(VSS2)이 공급된다. 또한, 제 3 콘택홀, 제 6 콘택홀, 및 제 7 콘택홀(CNT3, CNT6, CNT7)은 제 3 기준 전원 전압 라인(VSSL3)과 연결되므로, 제 3 콘택홀, 제 6 콘택홀, 및 제 7 콘택홀(CNT3, CNT6, CNT7) 상에 배치된 애노드 전극(300)에는 제 3 기준 전원 전압(VSS3)이 공급된다.
- [0121] 이 경우, 애노드 전극(300)이 단일한 층으로 배치된 경우 대비 표시 패널(100) 상의 캐소드 전극(330)의 영역 별로 상이한 기준 전원 전압을 갖는 애노드 전극(300)을 배치할 수 있다. 이에 따라, 캐소드 전극(330)의 영역 별 특성에 맞도록 상이한 기준 전원 전압을 공급할 수 있다. 특히, 캐소드 전극(330)의 하부 영역에 상부 영역 보다 전위가 낮은 기준 전원 전압을 공급할 수 있어, VSS Rising 현상이 캐소드 전극(330)의 하부 영역에서 많이 발생하더라도 이를 보상할 수 있다.
- [0122] 본 출원은 기준 전원 전압 라인을 분리하고 각각의 기준 전원 전압 라인에 공급하는 기준 전원 전압을 차등적으로 적용하여 표시 패널의 영역 별 전압 편차를 감소시키는 구조를 제공할 수 있다. 본 출원은 VSS Rising 현상 발생 시 Worst Point의 캐소드 전극의 전압 편차를 감소시킬 수 있다. 표시 패널의 상부에 공급하는 기준 전원 전압을 -2.5V로 설정하고, 표시 패널의 하부에 공급하는 기준 전원 전압을 -2.7V로 설정한 시뮬레이션 결과 VSS Rising 수준이 0.09V로 기존 구조에서의 VSS Rising 0.32V 대비 70% 감소하였다.
- [0123] 이상 설명한 내용을 통해 이 분야의 통상의 기술자는 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

부호의 설명

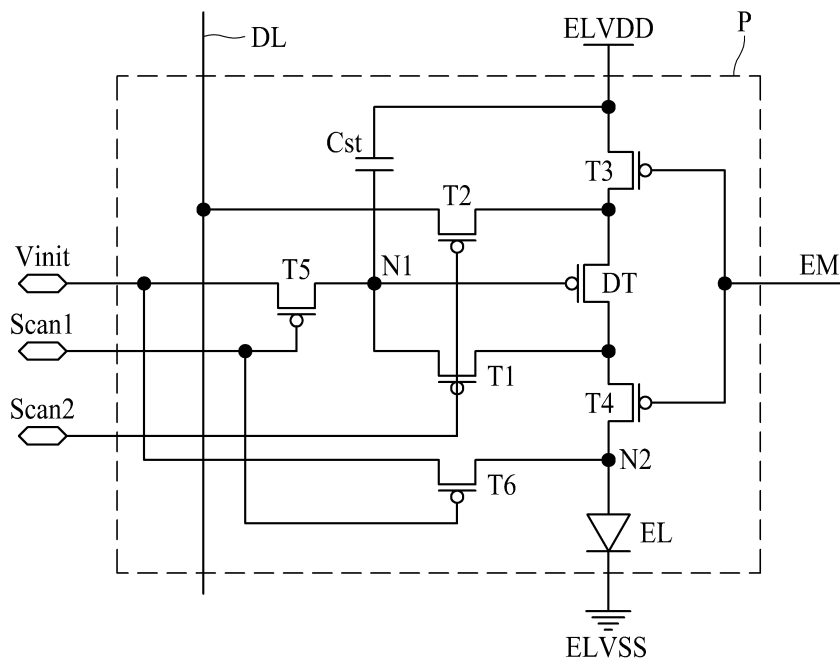
- [0124] 100: 표시 패널 110: 게이트 구동부
 120: 데이터 구동부 130: 타이밍 컨트롤러
 P: 화소 DT: 구동 트랜지스터
 EL: 발광 소자 Cst: 스토리지 커패시터
 T1~T6: 제 1 내지 제 6 트랜지스터
 VSSL1-VSSL3: 제 1 내지 제 3 기준 전원 전압 라인
 210: 베이스층 220: 버퍼층
 230: 반도체층 235: 게이트 절연층
 240: 게이트 금속층 250: 소스/드레인 금속층
 260: 제 1 층간 절연막 270: 중간 금속층
 280: 제 2 층간 절연막 290: 평탄화막
 300: 애노드 전극 310: 전극 분리층
 320: 발광층 330: 캐소드 전극
 340: बैं크

도면

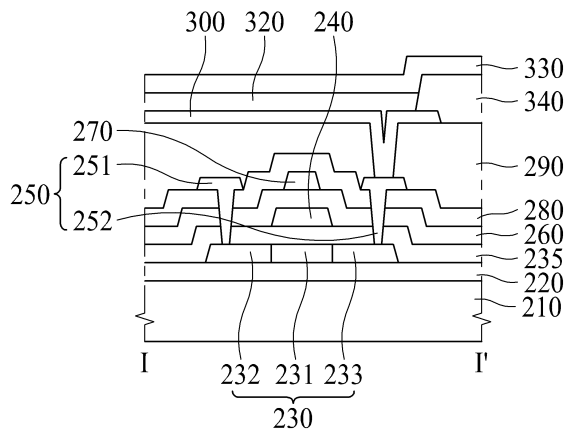
도면1



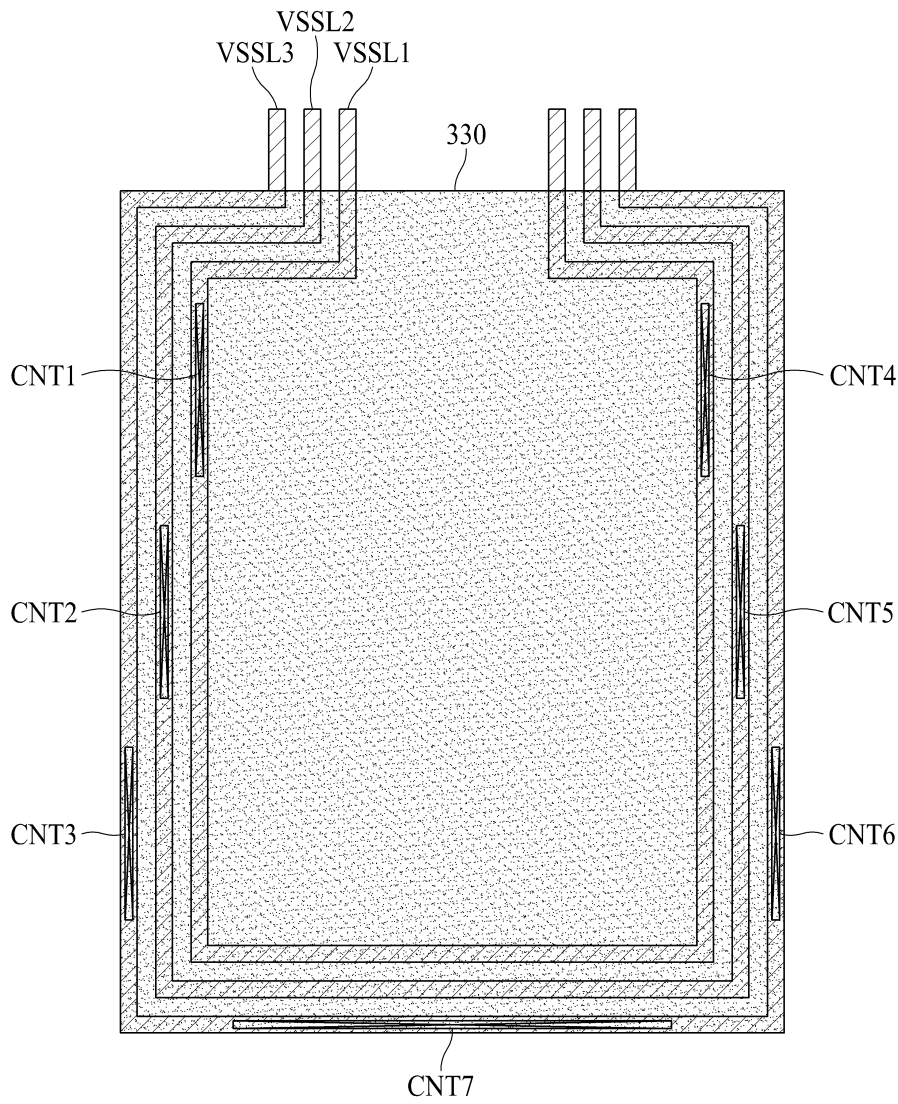
도면2



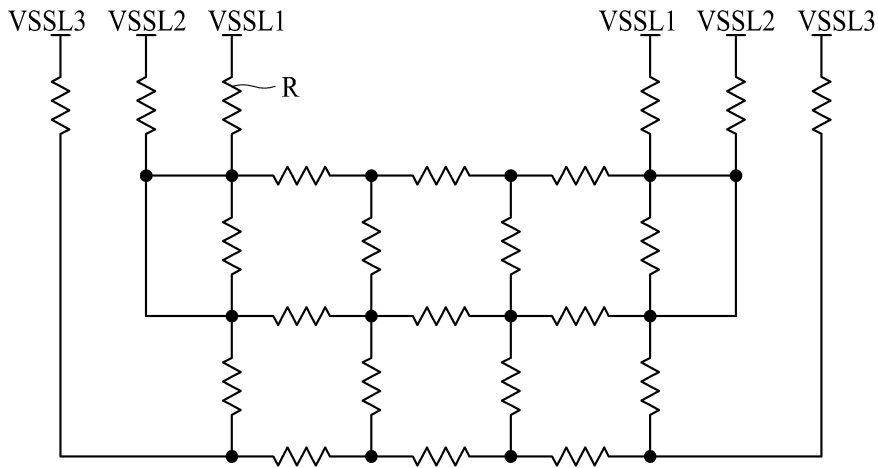
도면3



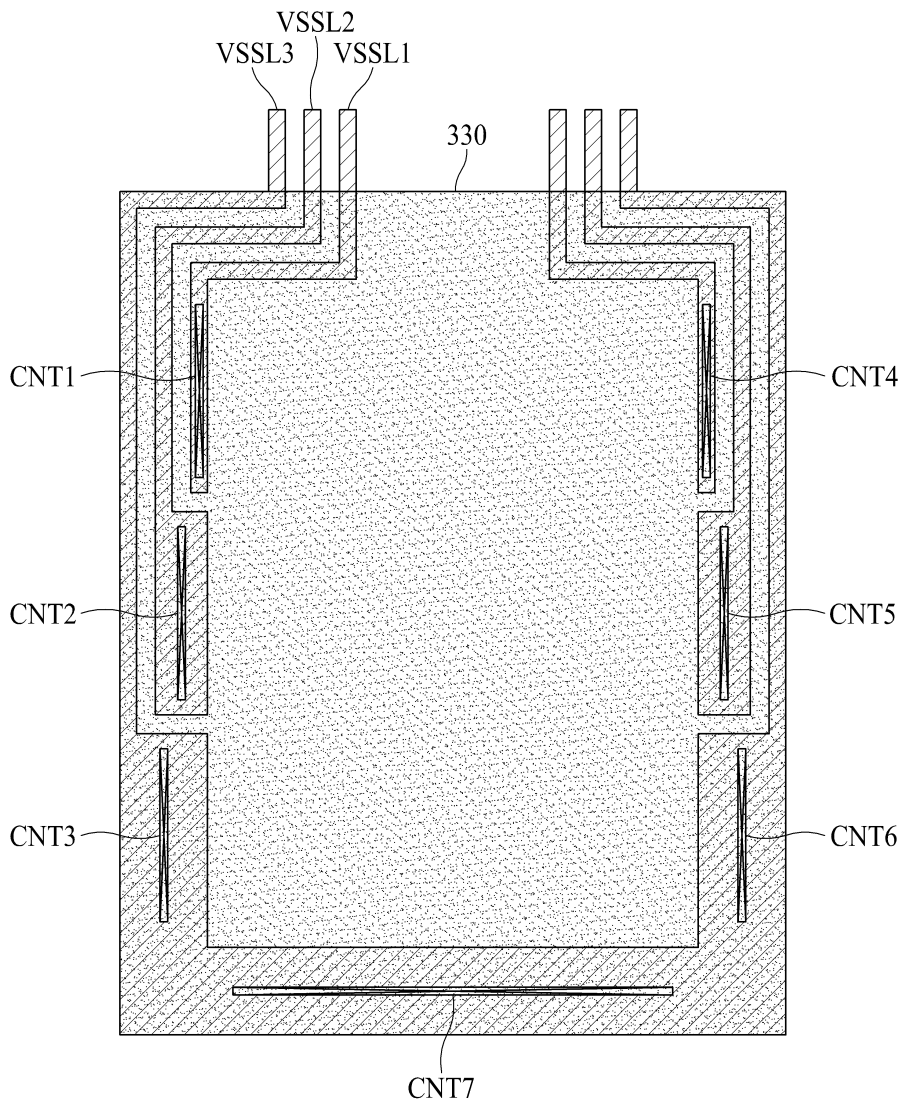
도면4



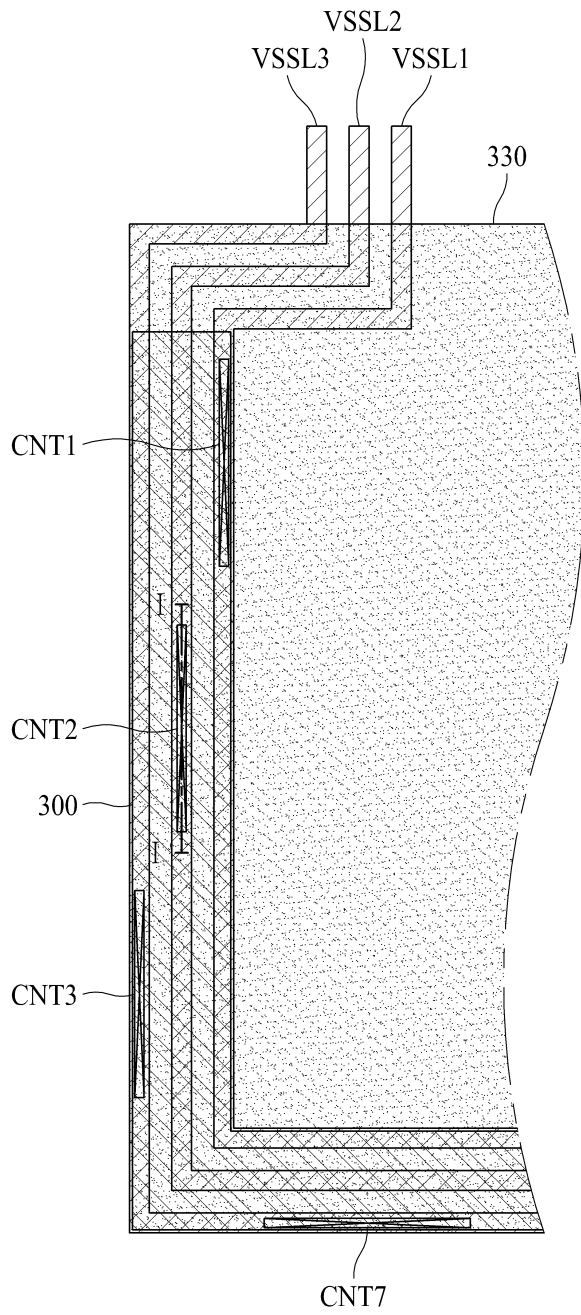
도면5



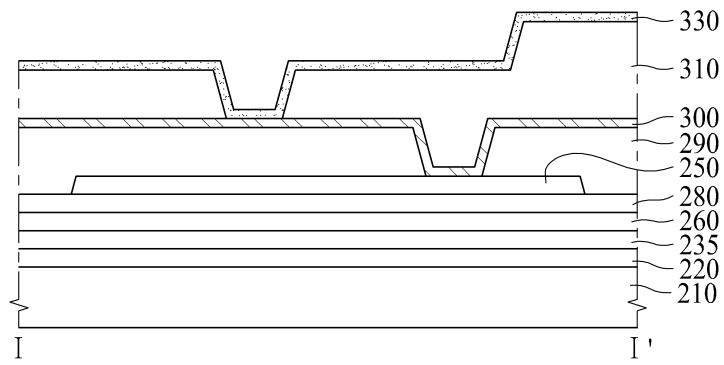
도면6



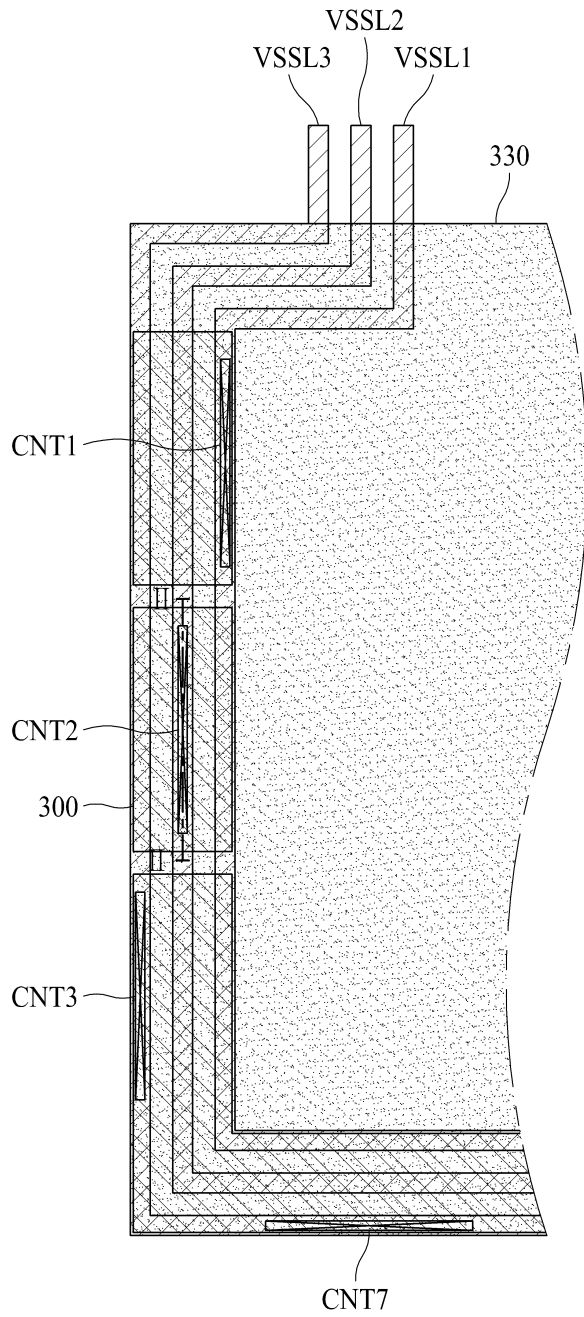
도면7



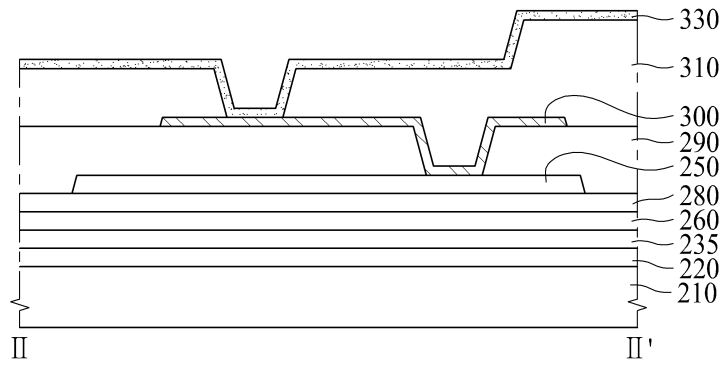
도면8



도면9



도면10



| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 有机发光显示器 | | |
| 公开(公告)号 | KR1020190064091A | 公开(公告)日 | 2019-06-10 |
| 申请号 | KR1020170163385 | 申请日 | 2017-11-30 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | 조승완 최정미 이슬 김지아 | | |
| 发明人 | 조승완 최정미 이슬 김지아 | | |
| IPC分类号 | H01L27/32 H01L51/52 | | |
| CPC分类号 | H01L27/3276 H01L27/3211 H01L27/3262 H01L51/5203 | | |
| 外部链接 | Espacenet | | |

摘要(译)

本申请是为了防止VSS上升现象，该现象是参考电源电压的电势由于每个显示面板区域的源极/漏极金属层和阴极的表面电阻而升高的现象，从而减小了参考电源电压的电压偏差。有机发光显示装置技术领域本发明涉及有机发光显示装置。根据本申请的有机发光二极管显示器包括显示面板，该显示面板具有：显示区域，该显示区域设置有用于显示图像的像素；以及非显示区域，该非显示区域设置成围绕该显示区域；阴极，阴极一体地设置在该显示区域和该非显示区域上；以及并且多条参考电源电压线设置在非显示区域中，以将参考电源电压提供给阴极电极。多条参考电源电压线中的每条提供不同的参考电源电压。

