



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0081075
(43) 공개일자 2017년07월11일

(51) 국제특허분류(Int. Cl.)
H01L 51/56 (2006.01) G09G 3/32 (2016.01)
H01L 23/488 (2006.01) H01L 23/495 (2006.01)
H01L 27/32 (2006.01) H01L 51/52 (2006.01)

(52) CPC특허분류
H01L 51/56 (2013.01)
G09G 3/3233 (2013.01)

(21) 출원번호 10-2015-0191805
(22) 출원일자 2015년12월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
이철원
서울특별시 강서구 화곡로68길 33 (등촌동, 라인아파트) 102동 1904호

우경돈
경기도 파주시 한빛로 67 210동 1103호 (야당동, 한빛마을2단지휴먼빌레이크팰리스)

(74) 대리인
특허법인로얄

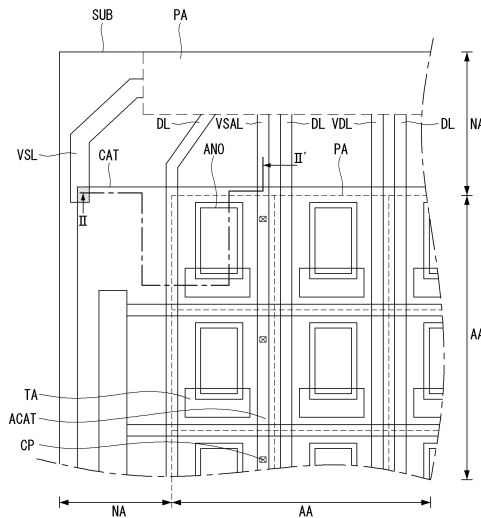
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 **칩 온 필름 및 이를 포함하는 유기발광 다이오드 표시장치**

(57) 요약

본 발명에 의한 칩 온 필름은 베이스 필름 및 반도체 칩을 포함한다. 베이스 필름은 제1 단자부, 제2 단자부, 상기 제1 단자부와 상기 제2 단자부를 전기적으로 연결하는 복수의 신호 전송 경로를 갖는다. 반도체 칩은 베이스 필름의 실장 영역 상에 실장된다. 복수의 신호 전송 경로는 제1 전원 전압이 전송되는 입력 라인 및 다수의 출력 라인을 갖는 제1 신호 전송 경로를 포함한다. 반도체 칩은 입력 라인 및 다수의 출력 라인과 연결되는 전원 레이어를 포함한다.

대표도 - 도7



(52) CPC특허분류

H01L 23/488 (2013.01)

H01L 23/4951 (2013.01)

H01L 27/3225 (2013.01)

H01L 27/326 (2013.01)

H01L 27/3262 (2013.01)

H01L 27/3276 (2013.01)

H01L 51/5228 (2013.01)

H01L 2227/32 (2013.01)

명세서

청구범위

청구항 1

제1 단자부, 제2 단자부, 상기 제1 단자부와 상기 제2 단자부를 전기적으로 연결하는 복수의 신호 전송 경로를 갖는 베이스 필름; 및

상기 베이스 필름의 실장 영역 상에 실장된 반도체 칩을 포함하고,

상기 복수의 신호 전송 경로는,

제1 전원 전압이 전송되는 입력 라인 및 다수의 출력 라인을 갖는 제1 신호 전송 경로를 포함하고,

상기 반도체 칩은,

상기 입력 라인 및 상기 다수의 출력 라인과 연결되는 전원 레이어를 포함하는 칩 온 필름(Chip On Film).

청구항 2

제 1 항에 있어서,

상기 입력 라인은,

상기 전원 레이어와 연결되며, 상기 실장 영역에 배치된 전원 입력 범프들; 및

상기 제1 단자부 중에서 상기 제1 전원 전압이 공급되는 단자들과 상기 전원 입력 범프를 연결하는 제1 전원 입력 리드들을 포함하고,

상기 출력 라인은,

상기 전원 레이어와 연결되며, 상기 실장 영역에 배치된 전원 출력 범프들; 및

상기 제2 단자부 중에서 상기 제1 전원 전압이 공급되는 단자들과 상기 전원 출력 범프를 연결하는 제1 전원 출력 리드들을 포함하는 칩 온 필름.

청구항 3

제 1 항에 있어서,

상기 신호 전송 경로들은,

제2 전원 전압이 공급되는 제2 신호 전송 경로를 더 포함하고,

상기 제2 신호 전송 경로는,

상기 제1 단자부 중에서 상기 제2 전원 전압이 공급되는 단자들로부터 상기 실장 영역 내로 연장되는 제2 전원 입력 리드들; 및

상기 실장 영역에서 상기 제2 전원 입력 리드로부터 분기되어, 상기 제2 단자부 중 상기 제2 전원 전압이 공급되는 단자로 연장되는 제2 전원 출력 리드들을 포함하고,

상기 제1 전원 출력 리드들과 상기 제2 전원 출력 리드들은,

서로 교번하여 배치된 칩 온 필름.

청구항 4

제 3 항에 있어서,

상기 하나 이상의 제1 전원 출력 리드들은,

상기 이웃한 제2 전원 출력 리드들 사이에 배치된 칩 온 필름.

청구항 5

제 3 항에 있어서,
 상기 하나 이상의 제2 전원 출력 리드들은,
 상기 이웃한 제1 전원 출력 리드들 사이에 배치된 칩 온 필름.

청구항 6

제 3 항에 있어서,
 상기 제1 전원 전압 및 상기 제2 전원 전압 중 어느 하나는 저전위 전원 전압이고, 다른 하나는 고전위 전원 전압인 칩 온 필름.

청구항 7

제 1 항에 있어서,
 상기 신호 전송 경로들은,
 제3 전원 전압이 공급되는 제3 신호 전송 경로를 더 포함하고,
 상기 제3 신호 전송 경로는,
 상기 제1 단자부 중 상기 제3 전원 전압이 공급되는 단자로부터, 상기 제2 단자부 중 상기 제3 전원 전압이 공급되는 단자로 연장된 제3 전원 리드들을 포함하는 칩 온 필름.

청구항 8

제 7 항에 있어서,
 상기 제3 전원 전압은,
 고전위 전원 전압 및 저전위 전원 전압 중 어느 하나인 칩 온 필름.

청구항 9

제 2 항에 있어서,
 상기 신호 전송 경로들은,
 데이터 신호가 공급되는 데이터 신호 전송 경로를 더 포함하고,
 데이터 신호 전송 경로는,
 상기 반도체 칩과 연결되며, 상기 실장 영역에 배치된 데이터 입력 범프들 및 데이터 출력 범프들;
 상기 제1 단자부 중에서 상기 데이터 신호가 공급되는 단자들과 상기 데이터 입력 범프를 연결하는 데이터 입력 리드들; 및
 상기 제2 단자부 중에서 상기 데이터 신호가 공급되는 단자들과 상기 데이터 출력 범프를 연결하는 데이터 출력 리드들을 포함하고,
 상기 실장 영역은,
 외측에 정의된 제1 실장 영역 및 내측에 정의된 제2 실장 영역으로 구분되며,
 상기 제1 실장 영역 및 상기 제2 실장 영역 중 어느 하나에는, 상기 전원 입력 범프 및 상기 전원 출력 범프가 배치되고,
 상기 제1 실장 영역 및 상기 제2 실장 영역 중 다른 하나에는, 상기 데이터 입력 범프 및 데이터 출력 범프가 배치되는 칩 온 필름.

청구항 10

제 9 항에 있어서,

이웃하는 상기 제1 실장 영역의 범프와 상기 제2 실장 영역의 범프는 사선 방향으로 배치된 칩 온 필름.

청구항 11

박막 트랜지스터와 전기적으로 연결되며 애노드 전극, 유기발광층, 캐소드 전극으로 구성된 유기발광 다이오드를 갖는 표시 패널, 및 상기 표시 패널의 구동에 필요한 신호와 전원 전압을 상기 표시 패널에 공급하는 하나 이상의 칩 온 필름이 구비된 유기발광 다이오드 표시장치에 있어서,

상기 칩 온 필름들 중 적어도 하나는,

제1 단자부, 제2 단자부, 상기 제1 단자부와 상기 제2 단자부를 전기적으로 연결하는 복수의 신호 전송 경로를 갖는 베이스 필름; 및

상기 베이스 필름의 실장 영역 상에 실장된 반도체 칩을 포함하고,

상기 복수의 신호 전송 경로는,

제1 전원 전압이 전송되는 입력 라인 및 다수의 출력 라인을 갖는 제1 신호 전송 경로를 포함하고,

상기 반도체 칩은,

상기 입력 라인 및 상기 다수의 출력 라인과 연결되는 전원 레이어를 포함하며,

상기 표시 패널은,

상기 제2 단자부와 접촉되는 패드부;

상기 패드부 중 고전위 전원 전압이 공급되는 패드들로부터 연장된 고전위 전원 라인;

상기 패드부 중 저전위 전원 전압이 공급되는 패드들로부터 연장된 저전위 전원 라인; 및

상기 저전위 전원 라인 및 상기 캐소드 전극과 연결된 보조 캐소드 전극을 포함하고,

상기 칩 온 필름 상의 상기 제1 신호 전송 경로는,

상기 표시 패널 상의 상기 보조 저전위 전원 라인 및 상기 고전위 전원 라인 중 어느 하나와 전기적으로 연결된 유기발광 다이오드 표시장치.

청구항 12

제 11 항에 있어서,

입력 라인은,

상기 전원 레이어와 연결되며, 상기 실장 영역에 배치된 전원 입력 범프들; 및

상기 제1 단자부 중에서 상기 제1 전원 전압이 공급되는 단자들과 상기 전원 입력 범프를 연결하는 제1 전원 입력 리드들을 포함하고,

상기 출력 라인은,

상기 전원 레이어와 연결되며, 상기 실장 영역에 배치된 전원 출력 범프들; 및

상기 제2 단자부 중에서 상기 제1 전원 전압이 공급되는 단자들과 상기 전원 출력 범프를 연결하는 제1 전원 출력 리드들을 포함하는 유기발광 다이오드 표시장치.

청구항 13

제 11 항에 있어서,

상기 표시 패널은,

서로 교차되는 게이트 라인과 데이터 라인에 의해 구획된 화소들을 포함하고,

상기 보조 캐소드 전극 및 상기 고전위 전원 라인은,

상기 이웃하는 화소들 사이에서, 상기 데이터 라인과 나란하게 배치된 유기발광 다이오드 표시장치.

청구항 14

제 13 항에 있어서,
 상기 보조 캐소드 전극 및 상기 고전위 전원 라인은,
 서로 교번하여 배치된 유기발광 다이오드 표시장치.

청구항 15

제 14 항에 있어서,
 상기 하나 이상의 보조 캐소드 전극은,
 상기 이웃한 고전위 전원 라인들 사이에 배치된 유기발광 다이오드 표시장치.

청구항 16

제 14 항에 있어서,
 상기 하나 이상의 고전위 전원 라인은,
 상기 이웃한 보조 캐소드 전극 사이에 배치된 유기발광 다이오드 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 칩 온 필름 및 이를 포함하는 유기발광 다이오드 표시장치에 관한 것이다.

배경 기술

[0002] 최근, 음극선관(CRT : Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 이러한, 평판 표시장치의 예로는, 액정 표시장치(LCD : Liquid Crystal Display), 전계발출 표시장치(FED : Field Emission Display), 플라즈마 표시장치(PDP : Plasma Display Panel) 및 유기발광 다이오드 표시장치(OLED : Organic Light Emitting Display) 등이 있다.

[0003] 이들 평판 표시장치 중에서 유기발광 다이오드 표시장치는 유기 화합물을 여기시켜 발광하게 하는 자발광형 표시장치로, LCD에서 사용되는 백라이트가 필요하지 않아 경량 박형이 가능할 뿐만 아니라 공정을 단순화시킬 수 있는 이점이 있다. 또한, 유기 전계발광 표시장치는 저온 제작이 가능하고, 응답속도가 1ms 이하로서 고속의 응답속도를 가질 뿐 아니라 낮은 소비 전력, 넓은 시야각 및 높은 콘트라스트(Contrast) 등의 특성을 갖는다는 점에서 널리 사용되고 있다.

[0004] 이하, 도 1 및 도 2를 참조하여, 종래 기술에 의한 유기발광 다이오드 표시장치를 설명한다. 도 1은 종래 기술에 의한 유기발광 다이오드 표시장치의 구조를 나타내는 평면도이다. 도 2는 도 1에서 절취선 I-I'로 자른 단면으로 종래 기술에 의한 유기발광 다이오드 표시장치의 구조를 나타내는 단면도이다.

[0005] 도 1 및 2를 참조하면, 유기발광 다이오드 표시장치는 박막 트랜지스터(Thin Film Transistor, 이하 TFT라 함)(ST, DT) 및 박막 트랜지스터(ST, DT)와 연결되어 구동되는 유기발광 다이오드(OLE)가 형성된 박막 트랜지스터 기판을 포함한다.

[0006] 박막 트랜지스터 기판은 스위칭 TFT(ST), 스위칭 TFT(ST)와 연결된 구동 TFT(DT), 구동 TFT(DT)에 접속된 유기발광 다이오드(OLE)를 포함한다. 스위칭 TFT(ST)는 기판(SUB) 위에서, 게이트 라인(GL)과 데이터 라인(DL)이 교차하는 부위에 형성된다. 스위칭 TFT(ST)는 화소를 선택하는 기능을 한다. 스위칭 TFT(ST)는 게이트 라인(GL)에서 분기하는 게이트 전극(SG), 반도체 층(SA), 소스 전극(SS), 및 드레인 전극(SD)을 포함한다.

[0007] 구동 TFT(DT)는 스위칭 TFT(ST)에 의해 선택된 화소의 유기발광 다이오드(OLE)를 구동하는 역할을 한다. 구동 TFT(DT)는 스위칭 TFT(ST)의 드레인 전극(SD)과 연결된 게이트 전극(DG), 반도체층(DA), 고전위 전원 라인(VDL)에 연결된 소스 전극(DS)과, 드레인 전극(DD)을 포함한다. 구동 TFT(DT)의 드레인 전극(DD)은 유기발광 다이

오드(OLE)의 애노드 전극(ANO)과 연결된다. 애노드 전극(ANO) 위에는 기관의 대부분을 덮는 캐소드 전극(CAT)이 배치되며, 애노드 전극(ANO)과 캐소드 전극(CAT) 사이에는 유기발광층이 개재된다.

- [0008] 화소가 배치되는 표시 영역의 외주부에는, 게이트 라인(GL)의 일측 단부에 형성된 게이트 패드(GP), 데이터 라인(DL)의 일측 단부에 형성된 데이터 패드(DP), 및 저전위 전원 라인(VDL)의 일측 단부에 형성된 고전위 전원 패드(VDP)가 배치된다.
- [0009] 도 2를 더 참조하면, 기관(SUB) 위에는 반도체층(SA, DA)이 형성된다. 게이트 절연막(GI)을 사이에 두고, 반도체층(SA, DA) 위에는 게이트 전극(SG, DG)이 형성된다. 게이트 전극(SG, DG)은 반도체층(SA, DA)의 중심부에 중첩되며, 게이트 전극(SG, DG)과 중첩된 반도체층(SA, DA)의 중심부는 채널영역으로 정의될 수 있다. 또한, 게이트 절연막(GI) 위에는 게이트 패드(GP)가 형성될 수 있다.
- [0010] 반도체층(SA, DA)의 일측부는 콘택홀을 통해 소스 전극들(SS, DS)과 연결되고, 타측부는 드레인 전극들(SD, DD)과 연결된다. 소스 전극(SS, DS) 및 드레인 전극(SD, DD)들은 게이트 전극들(SG, DG)을 덮는 절연막(IN) 위에 형성된다. 또한, 절연막(IN) 위에는 데이터 패드(DP), 고전위 전원 패드(VDP)가 형성될 수 있다.
- [0011] 스위칭 TFT(ST)와 구동 TFT(DT)가 형성된 기관(SUB) 위에는, 보호막(PAS)이 형성된다. 보호막(PAS)이 형성된 기관(SUB) 위에는 평탄화 막(PL)이 형성된다.
- [0012] 평탄화 막(PL) 위에는, 콘택홀을 통해 구동 TFT(DT)의 드레인 전극(DD)과 접촉하는 애노드 전극(ANO)이 형성된다. 또한, 평탄화 막(PL)이 형성되지 않은 외주부에는, 절연막을 관통하는 콘택홀들을 통해 게이트 패드(GP), 데이터 패드(DP), 및 고전위 전원 패드(VDP)와 각각 연결되는 게이트 패드 단자(GPT), 데이터 패드 단자(DPT), 및 고전위 전원 단자(VDPT)가 형성된다. 애노드 전극(ANO)이 형성된 기관(SUB) 위에는 बैं크(BA)가 형성된다. बैं크(BA)는 애노드 전극(ANO)의 대부분을 노출시킨다. 노출된 애노드 전극 위에는 유기발광층(OL)이 형성된다. 유기발광층(OL)이 형성된 기관 위에는 캐소드 전극(CAT)이 형성된다. 이로써, 애노드 전극(ANO), 유기발광층(OL), 캐소드 전극(CAT)을 포함하는 유기발광 다이오드(OLE)가 완성된다.
- [0013] 저전위 전원 전압을 인가받는 캐소드 전극(CAT)은, 기관(SUB) 전체 표면의 대부분에 걸쳐 형성된다. 캐소드 전극(CAT)을 비 저항 값이 낮은 금속 물질로 형성할 경우에는 큰 문제가 없다. 다만, 상부 발광형(Top-Emission) 표시장치와 같이, 상층에 위치하는 캐소드 전극(CAT)의 투과도를 확보할 필요가 있는 경우, 캐소드 전극(CAT)을 ITO(Indium Tin Oxide)와 같은 투명 도전물질로 형성할 필요가 있다. 캐소드 전극(CAT)을 ITO와 같은 투명 도전물질로 형성하는 경우, 먼 저항이 커져서 화질에 문제가 발생할 수 있다.
- [0014] 즉, 비 저항이 큰 물질을 포함한 캐소드 전극(CAT)을 이용하는 경우, 먼 저항이 커진다. 이 경우, 캐소드 전극(CAT)에 인가되는 저전위 전원 전압이 캐소드 전극(CAT)의 전체 면적에 걸쳐 일정한 전압값을 갖지 못하는 문제가 발생한다. 특히, 대면적 표시장치의 경우, 위치에 따른 전압 편차 예를 들어, 저전위 전원 전압이 인가되는 인입부와와 거리에 따른 전압 편차가 크게 발생할 것이므로, 전체 화면에 걸쳐서 휘도가 불균일해지는 현상은 더욱 중요한 문제로 대두될 수 있다.

발명의 내용

해결하려는 과제

- [0015] 본 발명의 목적은 상기 문제점들을 해결하기 위한 것으로, 위치에 따른 캐소드 전극의 저전위 전원 전압 편차를 최소화한 유기발광 다이오드 표시장치를 제공하는 데 있다.

과제의 해결 수단

- [0016] 본 발명에 의한 칩은 필름은 베이스 필름 및 반도체 칩을 포함한다. 베이스 필름은 제1 단자부, 제2 단자부, 상기 제1 단자부와 상기 제2 단자부를 전기적으로 연결하는 복수의 신호 전송 경로를 갖는다. 반도체 칩은 베이스 필름의 실장 영역 상에 실장된다. 복수의 신호 전송 경로는 제1 전원 전압이 전송되는 입력 라인 및 다수의 출력 라인을 갖는 제1 신호 전송 경로를 포함한다. 반도체 칩은 입력 라인 및 다수의 출력 라인과 연결되는 전원 레이어를 포함한다.
- [0017] 본 발명에 의한 유기발광 다이오드 표시장치는 트랜지스터와 전기적으로 연결되며 애노드 전극, 유기발광층, 캐소드 전극으로 구성된 유기발광 다이오드를 갖는 표시 패널, 및 표시 패널의 구동에 필요한 신호와 전원 전압을 표시 패널에 공급하는 하나 이상의 칩 온 필름을 포함한다. 칩 온 필름들 중 적어도 하나는, 베이스 필름 및

반도체 칩을 포함한다. 베이스 필름은 제1 단자부, 제2 단자부, 상기 제1 단자부와 상기 제2 단자부를 전기적으로 연결하는 복수의 신호 전송 경로를 갖는다. 반도체 칩은 베이스 필름의 실장 영역 상에 실장된다. 복수의 신호 전송 경로는 제1 전원 전압이 전송되는 입력 라인 및 다수의 출력 라인을 갖는 제1 신호 전송 경로를 포함한다. 반도체 칩은 입력 라인 및 다수의 출력 라인과 연결되는 전원 레이어를 포함한다. 표시 패널은, 패드부, 고전위 전원 라인, 저전위 전원 라인, 및 보조 캐소드 전극을 포함한다. 패드부는 제2 단자부와 접촉된다. 고전위 전원 라인은 패드부 중 고전위 전원 전압이 공급되는 패드들로부터 연장된다. 저전위 전원 라인은 패드부 중 저전위 전원 전압이 공급되는 패드들로부터 연장된다. 보조 캐소드 전극은 저전위 전원 라인 및 캐소드 전극과 연결된다. 이때, 칩 온 필름 상의 제1 신호 전송 경로는 표시 패널 상의 보조 저전위 전원 라인 및 고전위 전원 라인 중 어느 하나와 전기적으로 연결된다.

발명의 효과

[0018] 본 발명은 비 저항이 낮은 도전 물질로 형성된 보조 캐소드 전극을 캐소드 전극에 연결함으로써, 캐소드 전극의 면 저항을 낮출 수 있고, 이에 따라 캐소드 전극의 면내 저항 편차에 기인한 휘도 불균일 불량을 줄일 수 있다.

[0019] 또한, 본 발명은 저전위 전원 전압을 캐소드 전극으로 전달하기 위한 복수의 저전위 전원 공급경로를 확보함으로써, 캐소드 전극에서 발생하는 IR 라이징(rising)의 위치별 편차를 최소화할 수 있다. 즉, 본 발명은 충분한 저전위 전원 공급경로를 확보함으로써, 저전위 전원 전압이 인가되는 캐소드 전극에 단순히 보조 캐소드 전극만을 연결한 구조 대비, 위치에 따른 캐소드 전극의 면내 저항 편차에 기인한 휘도 불균일 불량을 최소화할 수 있다.

도면의 간단한 설명

- [0020] 도 1은 종래 기술에 의한 유기발광 다이오드 표시장치의 구조를 나타내는 평면도이다.
- 도 2는 도 1에서 절취선 I-I'로 자른 단면으로 종래 기술에 의한 유기발광 다이오드 표시장치의 구조를 나타내는 단면도이다.
- 도 3은 본 발명에 의한 유기발광 다이오드 표시장치를 개략적으로 나타낸 도면이다.
- 도 4는 도 3에 도시된 화소를 개략적으로 나타낸 구성도이다.
- 도 5는 본 발명에 의한 유기발광 다이오드 표시장치를 개략적으로 도시한 평면도이다.
- 도 6은 본 발명에 의한 유기발광 다이오드 표시장치를 개략적으로 도시한 사시도이다.
- 도 7은 본 발명의 바람직한 실시예에 의한 표시 패널을 개략적으로 나타낸 평면도이다.
- 도 8은 도 7에서 절취선 II-II'으로 절취한 단면도이다.
- 도 9는 본 발명에 의한 COF의 구성을 개략적으로 나타낸 사시도이다.
- 도 10은 본 발명에 의한 COF에 배치된 데이터 신호 전송 경로를 개략적으로 나타낸 사시도 및 단면도이다.
- 도 11은 본 발명에 의한 COF에 배치된 제1 신호 전송 경로를 개략적으로 나타낸 사시도 및 단면도이다.
- 도 12는 본 발명에 의한 COF에 배치된 제2 신호 전송 경로를 개략적으로 나타낸 사시도 및 단면도이다.
- 도 13 및 도 14는 본 발명에 의한 COF의 다른 구조를 개략적으로 나타낸 사시도이다.

발명을 실시하기 위한 구체적인 내용

[0021] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

[0022] 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

- [0023] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.
- [0024] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0025] 도 3은 본 발명에 의한 유기발광 다이오드 표시장치를 개략적으로 나타낸 도면이다. 도 4는 도 3에 도시된 화소를 개략적으로 나타낸 구성도이다.
- [0026] 도 3을 참조하면, 본 발명에 의한 유기발광 다이오드 표시장치(10)는 디스플레이 구동 회로, 표시 패널(DIS)을 포함한다.
- [0027] 디스플레이 구동 회로는 데이터 구동회로(12), 게이트 구동회로(14) 및 타이밍 콘트롤러(16)를 포함하여 입력 영상의 비디오 데이터전압을 표시 패널(DIS)의 화소들에 기입한다. 데이터 구동회로(12)는 타이밍 콘트롤러(16)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 감마보상전압으로 변환하여 데이터전압을 발생한다. 데이터 구동회로(12)로부터 출력된 데이터전압은 데이터라인들(D1~Dm)에 공급된다. 게이트 구동회로(14)는 데이터전압에 동기되는 게이트펄스를 게이트라인들(G1~Gn)에 순차적으로 공급하여 데이터 전압이 기입되는 표시 패널(DIS)의 화소들을 선택한다.
- [0028] 타이밍 콘트롤러(16)는 호스트 시스템(19)으로부터 입력되는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(MCLK) 등의 타이밍신호를 입력받아 데이터 구동회로(12)와 게이트 구동회로(14)의 동작 타이밍을 동기시킨다. 데이터 구동회로(12)를 제어하기 위한 데이터 타이밍 제어신호는 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 게이트 구동회로(14)를 제어하기 위한 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다.
- [0029] 호스트 시스템(19)은 텔레비전 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나로 구현될 수 있다. 호스트 시스템(19)은 스케일러 scaler)를 내장한 SoC(System on chip)을 포함하여 입력 영상의 디지털 비디오 데이터(RGB)를 표시 패널(DIS)에 표시하기에 적합한 포맷으로 변환한다. 호스트 시스템(19)은 디지털 비디오 데이터와 함께 타이밍 신호들(Vsync, Hsync, DE, MCLK)을 타이밍 콘트롤러(16)로 전송한다.
- [0030] 표시 패널(DIS)의 화소 어레이는 데이터라인들(D1~Dm, m은 양의 정수)과 게이트라인들(G1~Gn, n은 양의 정수)에 의해 정의된 화소들을 포함한다. 화소들 각각은 자발광 소자인 유기발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함한다.
- [0031] 도 4를 더 참조하면, 표시 패널(DIS)에는 다수의 데이터라인들(D)과, 다수의 게이트라인들(G)이 교차되고, 이 교차영역마다 화소들이 매트릭스 형태로 배치된다. 화소 각각은 OLED, OLED에 흐르는 전류량을 제어하는 구동 박막 트랜지스터(Thin Film Transistor, 이하 TFT라 함)(DT), 구동 TFT(DT)의 게이트-소스간 전압을 셋팅하기 위한 프로그래밍부(SC)를 포함한다.
- [0032] 프로그래밍부(SC)는 적어도 하나 이상의 스위치 TFT와, 적어도 하나 이상의 스토리지 커패시터를 포함할 수 있다. 스위치 TFT는 게이트 라인(G)으로부터의 스캔 신호에 응답하여 턴 온 됨으로써, 데이터라인(D)으로부터의 데이터전압을 스토리지 커패시터의 일측 전극에 인가한다. 구동 TFT(DT)는 스토리지 커패시터에 충전된 전압의 크기에 따라 OLED로 공급되는 전류량을 제어하여 OLED의 발광량을 조절한다. OLED의 발광량은 구동 TFT(DT)로부터 공급되는 전류량에 비례한다. 이러한 화소는 고전위 전원 전압원(EVDD)과 저전위 전원 전압원(EVSS)에 연결되어, 도시하지 않은 전원발생부로부터 각각 고전위 전원 전압과 저전위 전원 전압을 공급받는다. 화소를 구성하는 TFT들은 p 타입으로 구현되거나 또는, n 타입으로 구현될 수 있다. 또한, 화소를 구성하는 TFT들의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다. OLED는 애노드 전극(ANO), 캐소드 전극(CAT), 및 애노드 전극(ANO)과 캐소드 전극(CAT) 사이에 개재된 유기발광층을 포함한다. 애노드 전극(ANO)은 구동 TFT(DT)와 접속된다.
- [0033] 이하, 도 5 및 도 6을 참조하여, 본 발명에 의한 유기발광 다이오드 표시장치의 특징적 구성을 설명한다. 도 5는 본 발명에 의한 유기발광 다이오드 표시장치를 개략적으로 도시한 평면도이다. 도 6은 본 발명에 의한 유기

발광 다이오드 표시장치를 개략적으로 도시한 사시도이다.

- [0034] 도 5 및 도 6을 참조하면, 본 발명에 의한 유기발광 다이오드 표시장치는 하나 이상의 칩 온 필름(Chip On Film; 이하, "COF"라 함)(CF) 및 COF(CF)와 전기적으로 연결된 표시 패널(DIS)을 포함한다.
- [0035] COF(CF)는 베이스 필름(BF), 및 베이스 필름(BF) 상에 구비되어 표시 패널(DIS)에 신호(또는, 전압)를 전달하는 신호 전송 경로들을 포함한다. 베이스 필름(BF) 위에는 반도체 칩(SC)이 실장된다. 베이스 필름(BF)의 일단 및 타단에는 각각 제1 단자부(UDA) 및 제2 단자부(LDA)가 정의된다. 제1 단자부(UDA)는 인쇄회로기판(Printed Circuit Board; 이하 'PCB'라 함)(미도시)과 연결된다. PCB에는 집적 회로와 같은 다수의 소자가 형성되어 구동부를 이루고, 그 구동부는 표시 패널(DIS)을 구동시키기 위한 데이터 신호, 전원 전압 등을 생성하여 COF(CF)를 통해 표시 패널(DIS)로 공급한다. 전원 전압은 고전위 전원 전압 및 저전위 전원 전압을 포함한다.
- [0036] 제2 단자부(LDA)는 표시 패널(DIS)의 패드부(PA)와 연결된다. 제2 단자부(LDA)와 표시 패널(DIS)의 패드부(PA)는 그 사이에 개재된 ACF(Anisotropic Conductive Film)층(AF)을 통해 서로 접합될 수 있다.
- [0037] 표시 패널(DIS)은 캐소드 전극(CAT), 및 캐소드 전극(CAT)의 저항을 낮추기 위해 캐소드 전극(CAT)과 연결되는 보조 캐소드 전극(ACAT)을 포함한다. 캐소드 전극(CAT)은 인듐-주석 산화물(Indium Tin Oxide) 혹은 인듐-아연 산화물(Indium Zinc Oxide)와 같은 투명 도전 물질로 형성된다. 즉, 상부 발광형(Top-Emission)의 경우, 상층에 위치하는 캐소드 전극(CAT)은, 빛이 이를 투과하여야 하므로, 투명 도전 물질로 형성된다.
- [0038] 투명 도전물질은 금속 물질보다는 비 저항 값이 높은 편이다. 이와 같이, 비 저항이 큰 물질을 포함한 캐소드 전극(CAT)을 이용하는 경우, 캐소드 전극(CAT)에 인가되는 저전위 전원 전압이 캐소드 전극(CAT)의 전체 면적에 걸쳐 일정한 전압값을 갖지 못하는 문제가 발생한다. 예를 들어, 저전위 전원 전압이 인가되는 쪽인 인입부에서의 저전위 전원 전압 값과, 인입부로부터 이격된 위치에서의 저전위 전원 전압 값과의 편차가 커져 휘도가 위치에 따라 일정하지 않을 수 있다.
- [0039] 이를 방지하기 위해, 본 발명은 비 저항이 낮은 도전 물질로 형성된 보조 캐소드 전극(ACAT)을 더 포함한다. 보조 캐소드 전극(ACAT)은 캐소드 전극(CAT)과 하나 이상의 절연막을 사이에 두고 서로 다른 층에 배치된다. 보조 캐소드 전극(ACAT)은 캐소드 전극(CAT)과 접촉점(CP)에서 전기적으로 연결된다. 예를 들어, 캐소드 전극(CAT)과 보조 캐소드 전극(ACAT)은 접촉점(CP)에서 레이저 공정을 통해 전기적으로 연결되거나, 콘택홀을 통해 전기적으로 연결될 수 있다. 이에 따라, 본 발명은 캐소드 전극(CAT)의 면 저항을 낮출 수 있어, 캐소드 전극(CAT)의 면내 저항 편차에 기인한 휘도 불균일 불량을 줄일 수 있다.
- [0040] 본 발명에서, 캐소드 전극(CAT)은 전원발생부(미도시)로부터 발생된 저전위 전원 전압을 COF(CF)를 통해 입력받는다. 또한, 보조 캐소드 전극(ACAT)은 전원발생부로부터 발생된 저전위 전원 전압을 COF(CF)를 통해 입력받아 캐소드 전극(CAT)으로 전달한다. 즉, 캐소드 전극(CAT)은 저전위 전원 전압을 보조 캐소드 전극(ACAT)을 통해 공급받을 수 있다. 이에 따라, 본 발명은 저전위 전원 전압을 캐소드 전극(CAT)으로 전달하기 위한 복수의 저전위 전원 공급경로를 포함할 수 있다.
- [0041] 즉, 저전위 전원 공급경로는 제1 공급경로 및 제2 공급경로를 포함한다. 제1 공급경로는 캐소드 전극(CAT)과 연결된 저전위 전원 라인(VSL), 및 저전위 전원 전압을 생성하여 COF(CF)를 통해 저전위 전원 라인(VSL)에 공급하는 저전위 전원 전압원을 포함한다. 제2 공급경로는 캐소드 전극(CAT)과 연결된 보조 캐소드 전극(ACAT), 보조 캐소드 전극(ACAT)과 연결된 보조 저전위 전원 라인(VSAL), 및 저전위 전원 전압을 생성하여 COF(CF)를 통해 보조 저전위 전원 라인(VSAL)에 공급하는 저전위 전원 전압원을 포함한다. 본 발명은 제1 공급 경로 외에 제2 공급 경로를 더 포함함으로써, 캐소드 전극(CAT)에서 발생하는 IR 라이징(rising)의 위치별 편차를 최소화할 수 있다.
- [0042] 본 발명은, 캐소드 전극(CAT)으로만 직접 저전위 전원 전압을 공급하던 종래와는 달리, 하나 이상의 보조 캐소드 전극(ACAT)을 통해 캐소드 전극(CAT)으로 저전위 전원 전압을 더 공급할 수 있어, 복수의 저전위 전원 공급 경로를 추가로 확보할 수 있다. 본 발명은 충분한 저전위 전원 공급경로를 확보함으로써, 캐소드 전극(CAT)의 면내 저항 편차에 기인한 휘도 불균일 불량을 최소화할 수 있다.
- [0043] 이하, 도 7 및 도 8을 참조하여, 본 발명의 바람직한 실시예에 의한 표시 패널의 구조를 설명한다. 도 7은 본 발명의 바람직한 실시예에 의한 표시 패널을 개략적으로 나타낸 평면도이다. 도 8은 도 7에서 절취선 II-II'으로 절취한 단면도이다.
- [0044] 도 7을 참조하면, 본 발명의 바람직한 실시예에 의한 표시 패널(DIS)은 영상 정보를 표시하는 표시 영역(AA)과,

표시 영역(AA)을 구동하기 위한 여러 소자들이 배치되는 비 표시 영역(NA)이 정의된 기판(SUB)을 포함한다. 표시 영역(AA)에는 매트릭스 방식으로 배열된 복수 개의 화소(PA)들이 정의된다. 도 7에서는 점선으로 화소(PA)들을 표시하였다.

- [0045] 예를 들어, NxM 방식의 장방형으로 화소(PA)들이 정의될 수 있다. 하지만, 반드시 이러한 방식에만 국한되는 것이 아니고, 다양한 방식으로 배열될 수도 있다. 각 화소들이 동일한 크기를 가질 수도 있고, 서로 다른 크기를 가질 수도 있다. 또한, RGB 색상을 나타내는 세 개의 서브 화소를 하나의 단위로 하여, 규칙적으로 배열될 수도 있다. 가장 단순한 구조로 설명하면, 화소(PA)들은 제1 방향으로 진행되는 게이트 라인(GL)들과, 제2 방향으로 진행되는 복수 개의 데이터 라인(DL)들의 교차 구조로 정의될 수 있다.
- [0046] 비 표시 영역의 일측에는 패드부(PA)가 구비된다. 데이터 라인(DL)은 패드부(PA)의 데이터 패드와 전기적으로 연결되어 데이터 전압을 공급받는다. 고전위 전원 라인(VDL)은 패드부(PA)의 고전위 전원 패드와 전기적으로 연결되어 고전위 전원 전압을 공급받는다. 저전위 전원 라인(VSL)은 패드부(PA)의 저전위 전원 패드와 전기적으로 연결되어 저전위 전원 전압을 공급받는다. 캐소드 전극(CAT)은 저전위 전원 라인(VSL)과 연결되어 저전위 전원 전압을 공급받는다. 보조 저전위 전원 라인(VSAL)은 패드부(PA)의 보조 저전위 전원 패드와 전기적으로 연결되어 저전위 전원 전압을 공급받는다. 패드부(PA)에 구비된 각 패드들은 대응되는 제2 단자부(LDA)의 단자들과 서로 연결된다.
- [0047] 보조 캐소드 전극(ACAT)은 보조 저전위 전원 라인(VSAL)과 연결되어 저전위 전원 전압을 공급받는다. 보조 저전위 전원 라인(VSAL)과 보조 캐소드 전극(ACAT)은 동일 층에 형성될 수 있으나, 이에 한정되는 것은 아니다. 이하에서는 보조 저전위 전원 라인(VSAL)과 보조 캐소드 전극(ACAT)이 동일층에 한 몸체로 형성된 경우를 예로 들어 설명한다.
- [0048] 데이터 라인(DL)은 제1 방향으로 이웃하는 화소(PA)들 사이에 배치된다. 고전위 전원 라인(VDL)은 제1 방향으로 이웃하는 화소(PA)들 사이에 배치된다. 다만, 고전위 전원 라인(VDL)은 제1 방향으로 이웃하는 화소(PA)들 사이마다 반드시 배치될 필요는 없다. 이 경우, 제2 방향으로 진행되는 어느 하나의 고전위 전원 라인(VDL)은 제1 방향으로 이웃하는 적어도 두 개 이상의 화소(PA)에 전기적으로 연결될 수 있다. 즉, 제1 방향으로 이웃하는 적어도 두 개 이상의 화소(PA)는 하나의 고전위 전원 라인(VDL)을 공유할 수 있다.
- [0049] 보조 캐소드 전극(ACAT)은 제1 방향으로 이웃하는 화소(PA)들 사이에 배치된다. 보조 캐소드 전극(ACAT)은 데이터 라인 및 고전위 전원 라인(VDL)과 나란하게 배치될 수 있다. 보조 캐소드 전극(ACAT)은 제1 방향으로 이웃하는 화소(PA)들 사이마다 반드시 배치될 필요는 없다. 이웃하는 화소(PA)들 사이에는 제2 방향으로 진행되는 데이터 라인과 함께, 고전위 전원 라인(VDL)과 보조 캐소드 전극(ACAT) 중 적어도 어느 하나가 배치될 수 있다. 예를 들어, 이웃하는 화소(PA)들 사이에는 고전위 전원 라인(VDL)과 보조 캐소드 전극(ACAT)이 모두 배치될 수 있고, 어느 하나만 배치될 수도 있다.
- [0050] 각 화소(PA)에는 유기발광 다이오드를 구동하기 위한 박막 트랜지스터들이 배치된다. 박막 트랜지스터들은 화소(PA)의 일측 부에 정의된 박막 트랜지스터 영역(TA)에 형성될 수 있다. 유기발광 다이오드는 애노드 전극(ANO)과 캐소드 전극(CAT) 및, 두 전극들(ANO, CAT) 사이에 개재된 유기발광층을 포함한다. 실제로 발광하는 영역은 애노드 전극(ANO)과 중첩하는 유기발광층의 면적에 의해 결정될 수 있다.
- [0051] 애노드 전극(ANO)은 화소(PA) 중에서 일부 영역을 차지하도록 형성되며, 박막 트랜지스터 영역(TA)에 형성된 박막 트랜지스터와 전기적으로 연결된다. 애노드 전극(ANO)은 각 화소(PA)별로 형성된다. 애노드 전극(ANO)은 이웃하는 화소(PA)의 애노드 전극(ANO)과 접촉되지 않도록 일정 간격 이격되어 형성된다. 애노드 전극(ANO) 위에 유기발광층이 형성된다. 캐소드 전극(CAT)은 유기발광층 위에서 적어도 화소(PA)들이 배치된 표시 영역(AA)의 면적을 모두 덮을 정도로 넓게 형성된다. 캐소드 전극(CAT)은 보조 캐소드 전극(ACAT)과 접촉점(CP)에서 전기적으로 연결된다.
- [0052] 도 8을 더 참조하면, 기판(SUB) 위에 저전위 전원 라인(VSL) 및 보조 저전위 전원 라인(VSAL)이 배치되는 비 표시 영역(NA), 그리고 스위칭 박막 트랜지스터(ST), 구동 박막 트랜지스터(DT) 및 유기발광 다이오드(OLE)가 형성되는 표시 영역(AA)이 정의된다.
- [0053] 표시 영역(AA)에 형성된 스위칭 박막 트랜지스터(ST)는 게이트 전극(SG), 게이트 절연막(GI), 채널층(SA), 소스 전극(SS) 및 드레인 전극(SD)을 포함한다. 또한, 구동 박막 트랜지스터(DT)는 스위칭 박막 트랜지스터(ST)의 드레인 전극(SD)과 연결된 게이트 전극(DG), 게이트 절연막(GI), 채널층(DA), 소스 전극(DS) 및 드레인 전극(DD)을 포함한다. TFT(ST, DT)의 구조는 이에 한정되는 것은 아니다. 박막 트랜지스터(ST, DT) 구조는 탑 게

이트(top gate) 구조, 바텀 게이트(bottom gate) 구조, 더블 게이트(double gate) 구조 등 유기발광 다이오드 표시장치를 구동할 수 있는 구조라면 모두 포함될 수 있다.

- [0054] 박막 트랜지스터들(ST, DT) 위에는 보호막(PAS)과 평탄화막(PL)이 차례로 형성된다. 평탄화막(PL) 위에는 애노드 전극(ANO)이 형성된다. 애노드 전극(ANO)은 보호막(PAS) 및 평탄화막(PL)을 관통하는 콘택홀을 통해 구동 박막 트랜지스터(DT)의 구동 드레인 전극(DD)과 연결된다.
- [0055] 애노드 전극(ANO) 위에는 बैं크(BA)가 형성된다. बैं크(BA)는 애노드 전극(ANO)의 대부분을 노출시킨다. बैं크(BA) 패턴에 의해 노출된 애노드 전극(ANO) 위에는 유기발광층(OL)이 형성된다. बैं크(BA) 위에는 투명 도전 물질을 포함하는, 캐소드 전극(CAT)이 형성된다. 이로써, 애노드 전극(ANO), 유기발광층(OL) 및 캐소드 전극(CAT)을 포함하는 유기발광 다이오드(OLE)가 형성된다.
- [0056] 저전위 전원 라인(VSL)은 소스 전극(SS, DS) 및 드레인 전극(SD, DD)과 동일한 물질로 동일한 층에 형성될 수 있다. 다만, 이에 한정되는 것은 아니며, 저전위 전원 라인(VSL)은 게이트 전극(SG, DG)과 동일한 물질로 동일한 층에 형성될 수 있다. 저전위 전원 라인(VSL)은 캐소드 전극(CAT)과 접촉되어 전기적으로 연결된다. 이로써, 저전위 전원 전압이 공급되는 제1 공급 경로가 형성된다.
- [0057] 보조 캐소드 전극(ACAT)은 소스 전극(SS, DS) 및 드레인 전극(SD, DD)과 동일한 물질로 동일한 층에 형성될 수 있다. 다만, 이에 한정되는 것은 아니다. 예를 들어, 탑 게이트 방식의 박막 트랜지스터로 구현된 경우 유기발광 다이오드 표시장치는 반도체층으로 입사될 수 있는 광을 차단하기 위해 반도체층 하부에 광 차단층을 더 구비할 수 있다. 이때, 보조 캐소드 전극(ACAT)은 광 차단층과 동일 물질로 동일층에 형성될 수 있다.
- [0058] 보조 저전위 전원 라인(VSAL)은 보조 캐소드 전극(ACAT)과 연결된다. 보조 저전위 전원 라인(VSAL)은 보조 캐소드 전극(ACAT)과 동일한 물질로 동일층에 형성될 수 있다. 다만, 이에 한정되는 것은 아니며, 보조 저전위 전원 라인(VSAL)은 보조 캐소드 전극(ACAT)과 서로 다른 층에 배치되어, 보조 캐소드 전극(ACAT)과 콘택홀을 통해 전기적으로 연결될 수 있다. 예를 들어, 보조 저전위 전원 라인(VSAL)은 게이트 전극과 동일한 물질로 동일층에 형성되고, 보조 캐소드 전극(ACAT)은 소스 전극(SS, DS) 및 드레인 전극(SD, DD)과 동일한 물질로 동일층에 형성될 수 있다. 이때, 양자는 콘택홀을 통해 전기적으로 연결될 수 있다. 보조 캐소드 전극(ACAT)은 캐소드 전극(CAT)과 접촉점(CP)에서 연결된다. 이로써, 저전위 전원 전압이 공급되는 제2 공급경로가 형성된다.
- [0059] 본 발명에서, 보조 저전위 전원 라인(VSAL)(및, 보조 캐소드 전극(ACAT))과 고전위 전원 라인(VDL)은 제2 방향으로 연장되도록 배치되며, 서로 교번하여 배치된다. 예를 들어, 하나 이상의 보조 저전위 전원 라인(VSAL)들은 이웃하는 고전위 전원 라인(VDL) 사이에 배치될 수 있다. 또한, 하나 이상의 고전위 전원 라인(VDL)들은 이웃하는 보조 저전위 전원 라인(VSAL)들 사이에 배치될 수 있다.
- [0060] 이하에서는, 서로 교번하여 배열된 보조 저전위 전원 라인(VSAL) 및 고전위 전원 라인(VDL)에 각각 저전위 전원 전압과 고전위 전원 전압을 직접 공급하기 위해, 종래와는 다른 신규한 구조를 갖는 COF(CF)를 개시한다.
- [0061] 이하, 도 9 내지 도 14를 참조하여, 본 발명에 의한 COF의 구성을 자세하게 설명한다. 도 9는 본 발명에 의한 COF의 구성을 개략적으로 나타낸 사시도이다. 도 10은 본 발명에 의한 COF에 배치된 데이터 신호 전송 경로를 개략적으로 나타낸 사시도 및 단면도이다. 도 11은 본 발명에 의한 COF에 배치된 제1 신호 전송 경로를 개략적으로 나타낸 사시도 및 단면도이다. 도 12는 본 발명에 의한 COF에 배치된 제2 신호 전송 경로를 개략적으로 나타낸 사시도 및 단면도이다. 도 13 및 도 14는 본 발명에 의한 COF의 다른 구조를 개략적으로 나타낸 사시도이다.
- [0062] 도 9 내지 도 12를 참조하면, 본 발명에 의한 COF(CF)는 베이스 필름(BF) 및 베이스 필름(BF) 상에 실장된 반도체 칩(SC)을 포함한다. 베이스 필름(BF)은 구부러질 수 있는 유연한 재질의 재료로 형성될 수 있다. 예를 들어, 베이스 필름(BF)은 폴리이미드(Polyimide)를 포함할 수 있다. 베이스 필름(BF) 상에는 반도체 칩(SC)이 실장되는 실장 영역(MA)이 정의된다.
- [0063] 베이스 필름(BF) 상에는 리드(101, 111, 121, 131), 및 리드(101, 111, 121, 131)와 반도체 칩(SC)을 연결시키는 범프(103, 113)를 포함한다. 범프(103, 113)는 실장 영역(MA)의 내부에 형성되며, 입력 리드와 연결되는 입력 범프와 출력 리드와 연결되는 출력 범프를 포함한다.
- [0064] 리드(101, 111, 121, 131)는 구리(copper)와 같은 도전 물질로 형성될 수 있다. 리드(101, 111, 121, 131) 위에는 솔더 레지스트(solder resist)(SR)가 더 구비될 수 있다. 솔더 레지스트(SR)는 리드(101, 111, 121, 131)가 외부 환경에 노출되어 산화되는 등의 불량을 방지하는 역할을 할 수 있다. 반도체 칩(SC)이 실장되는

실장 영역(MA)에는 언더 필(Under fill) 공정을 통해 성형 수지(UF)가 충전될 수 있다. 즉, 성형 수지(UF)는 반도체 칩(SC)과 리드(101, 111, 121, 131)들 사이의 공간에 충전될 수 있다.

- [0065] 베이스 필름(BF) 상에서, 입력 리드와 출력 리드가 전기적으로 연결되어 신호 전송 경로들을 형성한다. 신호 전송 경로는 표시 패널(DIS)을 구동하기 위한 데이터 신호, 제어 신호, 전원 전압 등을 PCB로부터 공급받아 표시 패널(DIS)로 전달하는 기능을 한다. 전원 전압은 고전위 전원 전압원으로부터 인가되는 고전위 전원 전압과, 저전위 전원 전압원으로부터 인가되는 저전위 전원 전압을 포함한다.
- [0066] 신호 전송 경로는, 데이터 신호 전송 경로, 제1 신호 전송 경로, 제2 신호 전송 경로를 포함할 수 있다. 데이터 신호 전송 경로는 표시 패널(DIS)을 구동하기 위한 데이터 신호가 공급되는 경로이다. 제1 신호 전송 경로, 및 제2 신호 전송 경로는 전원 전압이 인가되는 경로이다. 제1 신호 전송 경로, 및 제2 신호 전송 경로 중 어느 하나에는 고전위 전원 전압이 인가되고, 다른 하나에는 저전위 전원 전압이 인가될 수 있다. 저전위 전원 전압이 인가되는 신호 전송 경로는 제1 공급 경로 및 제2 공급 경로 중 어느 하나에 포함된다.
- [0067] 데이터 신호 전송 경로는, 데이터 입력 범프(103a)들, 데이터 출력 범프(103b)들, 데이터 입력 리드(101a)들, 및 데이터 출력 리드(101b)들을 포함한다. 데이터 입력 범프(103a)들 및 데이터 출력 범프(103b)들은 반도체 칩(SC)과 연결되며, 실장 영역(MA)에 배치된다. 데이터 입력 리드(101a)들은 제1 단자부(UDA) 중에서 데이터 신호가 공급되는 단자들과 데이터 입력 범프(103a)를 연결시킨다. 즉, 데이터 입력 리드(101a)의 일단은 데이터 입력 범프(103a)와 연결되고, 타단은 제1 단자부(UDA)와 연결된다. 데이터 출력 리드(101b)들은 제2 단자부(LDA) 중에서 데이터 신호가 공급되는 단자들과 데이터 출력 범프(103b)를 연결시킨다. 즉, 데이터 출력 리드(101b)의 일단은 데이터 출력 범프(103b)와 연결되고, 타단은 제2 단자부(LDA)와 연결된다. 데이터 입력 리드(101a), 데이터 입력 범프(103a), 반도체 칩(SC), 데이터 출력 범프(103b), 및 데이터 출력 리드(101b)는 서로 연결되어 데이터 신호를 전달하는 데이터 신호 전송 경로가 된다.
- [0068] 제1 신호 전송 경로는, 전원 입력 범프(113a)들, 전원 출력 범프(113b)들, 제1 전원 입력 리드(111a)들, 및 제1 전원 출력 리드(111b)들을 포함한다. 전원 입력 범프(113a)들 및 전원 출력 범프(113b)들은 전원 레이어(ADL1)와 연결되며, 실장 영역(MA)에 배치된다. 전원 레이어(ADL1)는 반도체 칩(SC)을 구성하는 복수의 층들 중 어느 일부 층으로 구성될 수 있다. 전원 레이어(ADL1)에는 대응되는 전원 전압이 도통된다.
- [0069] 제1 전원 입력 리드(111a)들은 제1 단자부(UDA) 중에서 제1 전원 전압이 공급되는 단자들과 전원 입력 범프(113a)를 연결시킨다. 제1 전원 입력 리드(111a)의 일단은 전원 입력 범프(113a)와 연결되고, 타단은 제1 단자부(UDA)와 연결된다. 제1 전원 출력 리드(111b)들은 제2 단자부(LDA) 중에서 제1 전원 전압이 공급되는 단자들과 전원 출력 범프(113b)를 연결시킨다. 제1 전원 출력 리드(111b)의 일단은 전원 출력 범프(113b)와 연결되고, 타단은 제2 단자부(LDA)와 연결된다. 제1 전원 입력 리드(111a), 전원 입력 범프(113a), 전원 레이어(ADL1), 전원 출력 범프(113b), 및 제1 전원 출력 리드(111b)는 서로 연결되어 제1 전원 전압을 전달하는 제1 신호 전송 경로가 된다. 즉, 제1 신호 전송 경로는 제1 전원 입력 리드(111a)들 및 전원 입력 범프(113a)들을 갖는 입력 라인과, 제1 전원 출력 리드(111b)들 및 전원 출력 범프(113b)들을 갖는 출력 라인으로 구성되며, 제1 전원 전압이 전송되는 입력 라인 및 다수의 출력 라인은 전원 레이어와 연결된다.
- [0070] 도시하지는 않았으나, 제1 신호 전송 경로는 k (k 는 1 이상의 정수)개 일 수 있다. k 개의 제1 신호 전송 경로에는 서로 다른 전원 전압이 각각 인가될 수 있다. 이때, 반도체 칩(SC)은 k (k 는 1 이상의 정수)개 전원 레이어를 포함한다. 예를 들어, 제1_1 신호 전송 경로는 반도체 칩(SC)에 구비된 제1 전원 레이어를 경유하고, 제1_2 신호 전송 경로는 반도체 칩(SC)에 구비된 제2 전원 레이어를 경유한다. 제1 전원 레이어와 연결되는 전원 리드들 및 전원 범프들은, 제2 전원 레이어와 연결되는 전원 리드들 및 전원 범프들과 서로 쇼트되지 않도록 일정 간격 이격되어 배치된다. 본 발명에 의한 COF는 반도체 칩에 구비된 복수 개의 전원 레이어를 각각 경유하는 복수의 제1 신호 전송 경로들을 포함할 수 있다.
- [0071] 제2 신호 전송 경로는 제2 전원 입력 리드(121a)들 및 제2 전원 출력 리드(121b)들을 포함한다. 제2 전원 입력 리드(121a)들은 제1 단자부(UDA) 중에서 제2 전원 전압이 공급되는 단자들로부터 실장 영역(MA) 내로 연장된다. 제2 전원 출력 리드(121b)들은 실장 영역(MA)에서 제2 전원 입력 리드(121a)로부터 분기되어, 제2 단자부(LDA) 중 제2 전원 전압이 공급되는 단자로 연장된다. 예를 들어, 제1 단자부(UDA)로부터 연장된 제2 전원 입력 리드(121a)들은 실장 영역(MA)에서 서로 연결되며, 복수의 제2 전원 출력 리드(121b)들로 분기된다. 제2 전원 입력 리드(121a)들로부터 분기된 제2 전원 출력 리드(121b)들은 제2 단자부(LDA)로 연장된다. 제2 전원 입력 리드(121a), 제2 전원 출력 리드(121b)는 서로 연결되어 제2 전원 전압을 전달하는 제2 신호 전송 경로가 된다.

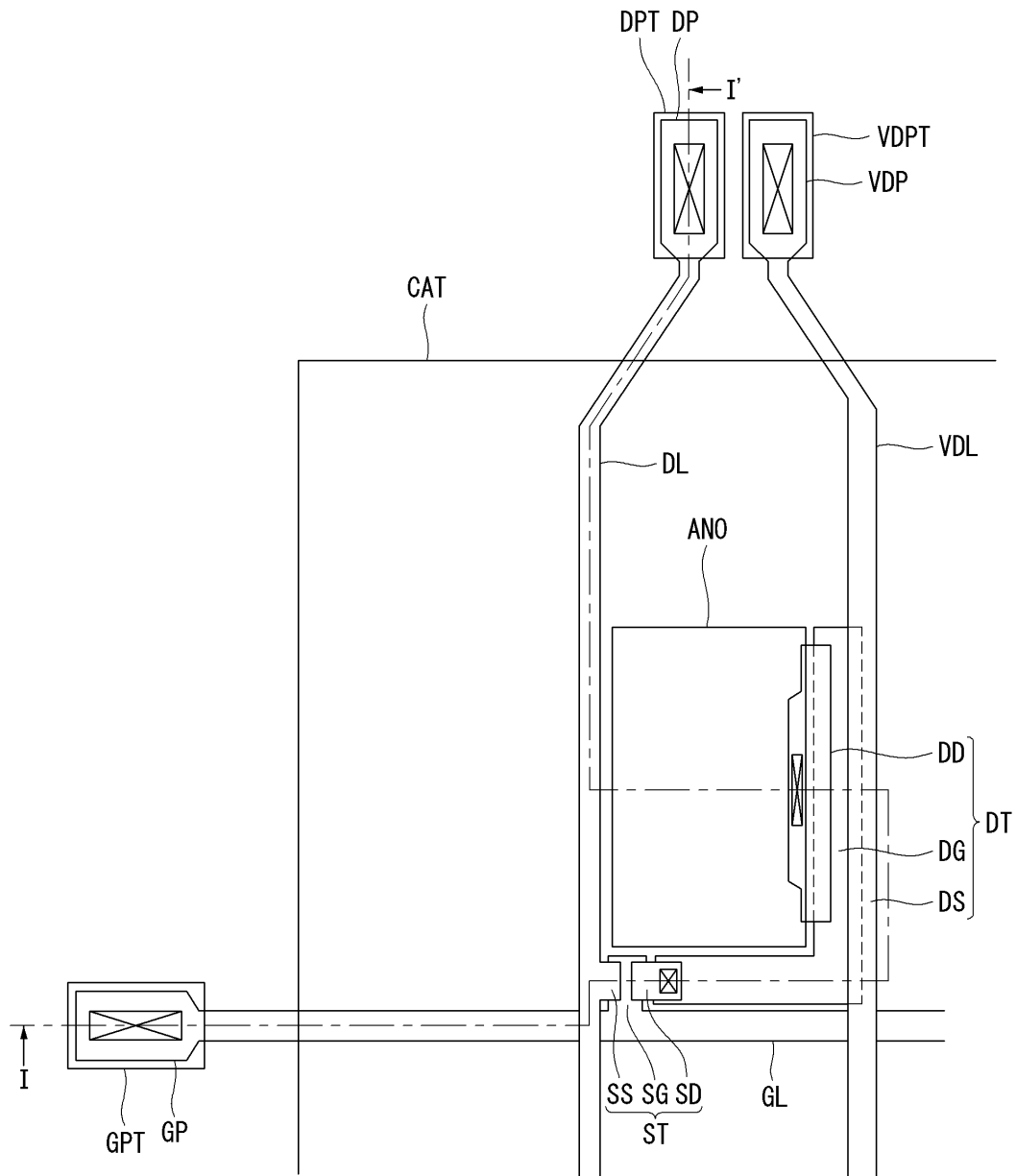
- [0072] 제1 전원 출력 리드(111b)들과 제2 전원 출력 리드(121b)들은 서로 교번하여 배치된다. 예를 들어, 하나 이상의 제1 전원 출력 리드(111b)들은 이웃한 제2 전원 출력 리드(121b)들 사이에 배치될 수 있다. 또한, 하나 이상의 제2 전원 출력 리드(121b)들은 이웃한 제1 전원 출력 리드(111b)들 사이에 배치될 수 있다.
- [0073] 제1 전원 출력 리드(111b)들과 제2 전원 출력 리드(121b)들이 서로 교번하여 배치하기 위해서는, 제1 전원 출력 리드(111b)들과 제2 전원 출력 리드(121b)들이 서로 교차되어 쇼트(short circuit) 되지 않도록 전송 경로를 구성할 필요가 있다. 본 발명은 서로 다른 전원 전압이 인가되는 제1 신호 전송 경로와 제2 신호 전송 경로가 교차되어 쇼트되지 않도록, 반도체 칩(SC)에 구비된 전원 레이어(ADL1)를 경유하는 제1 신호 전송 경로를 형성하는 것을 특징으로 한다. 이에 따라, 본 발명의 COF(CF)는 서로 다른 전원 전압이 인가되는 제1 전원 출력 리드(111b)와 제2 전원 출력 리드(121b)를 교번하여 배치할 수 있어, 표시 패널(DIS) 내에서 교번하여 배치되는 고전위 전원 라인(VDL)과 보조 저전위 전원 라인(VSAL)에 각각 대응되는 고전위 전원 전압과 저전위 전원 전압을 공급할 수 있다.
- [0074] 신호 전송 경로는, 제3 신호 전송 경로를 더 포함할 수 있다. 제3 신호 전송 경로는 실장 영역(MA)을 가로지르지 않도록 베이스 필름(BF)의 측부에 형성될 수 있다. 제3 신호 전송 경로는 제1 단자부(UDA) 중 전원 전압이 공급되는 단자로부터 제2 단자부(LDA) 중 상기 전원 전압이 공급되는 단자로 연장되도록 형성된 제3 전원 리드(131)들을 포함한다. 제3 전원 리드(131)들을 통해 공급되는 전원 전압은 고전위 전원 전압 및 저전위 전원 전압 중 어느 하나일 수 있다.
- [0075] 도 13 및 도 14를 더 참조하면, 실장 영역(MA)에 배치되는 범프들은 공정 편차 및 리드들과의 접촉 불량을 고려하여, 충분한 면적을 갖도록 형성될 필요가 있고, 또한 이웃하는 범프들 사이에서 충분한 이격 거리(G1)를 갖도록 형성될 필요가 있다. 최근에는 해상도의 증가로 표시 패널(DIS)에 구동 신호를 전달하기 위한 COF 상의 리드 및 범프의 수가 증가하고 있다. 따라서, 기술한 제약 조건을 만족하면서도 제한된 실장 영역 내에 범프들을 모두 배치해야 하는 구조적인 문제점이 발생한다.
- [0076] 본 발명에서는 실장 영역(MA) 내의 범프들을 n (n 은 2 이상의 정수)열로 배치한다. 이때, 이웃하는 n 열의 범프와 $n+1$ 열의 범프를 사선 방향으로 배치함으로써, 제한된 실장 영역(MA)내에 상대적으로 많은 수의 범프들을 배치할 수 있다.
- [0077] 예를 들어, 반도체 칩(SC)이 실장되는 실장 영역(MA)은 외측에 정의된 제1 실장 영역(BA1)과, 내측에 정의된 제2 실장 영역(BA2)으로 구분될 수 있다. 제1 실장 영역(BA1) 및 제2 실장 영역(BA2) 중 어느 하나에는 전원 입력 범프(213a)와 전원 출력 범프(213b)가 배치되고, 제1 실장 영역(BA1) 및 제2 실장 영역(BA2) 중 다른 하나에는 데이터 입력 범프(103a)와 데이터 출력 범프(103b)가 배치될 수 있다. 즉, 열을 달리하여, 제1 열에는 전원 입력 범프(213a)와 전원 출력 범프(213b)가 배치되고, 제2 열에는 데이터 입력 범프(103a)와 데이터 출력 범프(103b)가 배치될 수 있다.
- [0078] 이웃하는 제1 실장 영역(BA1)의 범프와 제2 실장 영역(BA2)의 범프는 사선 방향으로 배치될 수 있다. 이에 따라, 전원 입력 범프(213a)와 데이터 입력 범프(103a)는 지그재그 형태로 배치될 수 있다. 전원 출력 범프(213b)와 데이터 출력 범프(103b)는 지그재그 형태로 배치될 수 있다. 이웃하는 범프들이 지그재그 형태로 배치되는 경우(도 14의 (b)) 이웃하는 범프들이 모두 나란하게 배치된 경우(도 14의 (a))에 비해, 제한된 실장 영역(MA) 내에 상대적으로 많은 범프들을 배치할 수 있다. 전원 레이어(ADL2)는 제2 실장 영역(BA2)의 면적에 대응하는 면적을 가질 수 있다. 다만, 이에 한정되는 것은 아니다.
- [0079] 기술한 바와 같이, 본 발명에 의한 COF가 k 개의 제1 신호 전송 경로를 포함하는 경우, 실장 영역은 k 개 이상으로 구분될 수 있다. 이때, 이웃하는 k 실장 영역의 범프와 $k+1$ 실장 영역의 범프는 사선 방향으로 배치될 수 있다.
- [0080] 본 발명의 바람직한 실시예는, 실장 영역(MA) 내 범프들의 배치 구조를 달리함으로써 제한된 실장 영역(MA)의 공간을 효율적으로 활용할 수 있다.
- [0081] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양하게 변경 및 수정할 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정해져야만 할 것이다.

부호의 설명

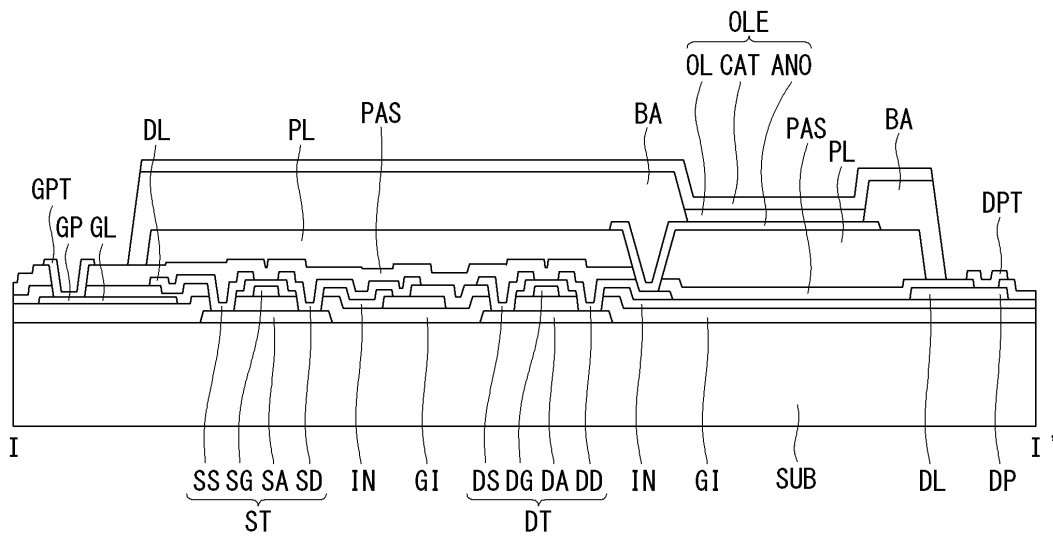
[0082] BF : 베이스 필름 UDA : 제1 단자부
 LDA : 제2 단자부 SC : 반도체 칩
 ADL1, ADL2 : 전원 레이어 101, 111, 121, 131 : 리드
 103, 113 : 범프

도면

도면1

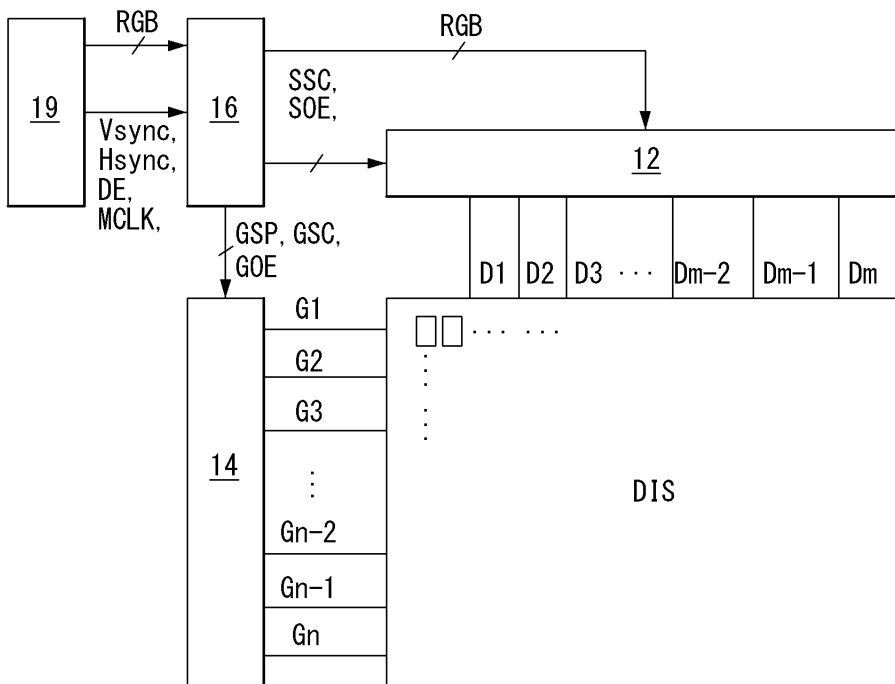


도면2

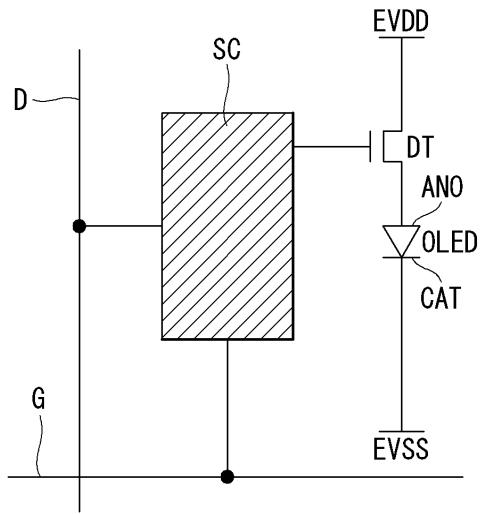


도면3

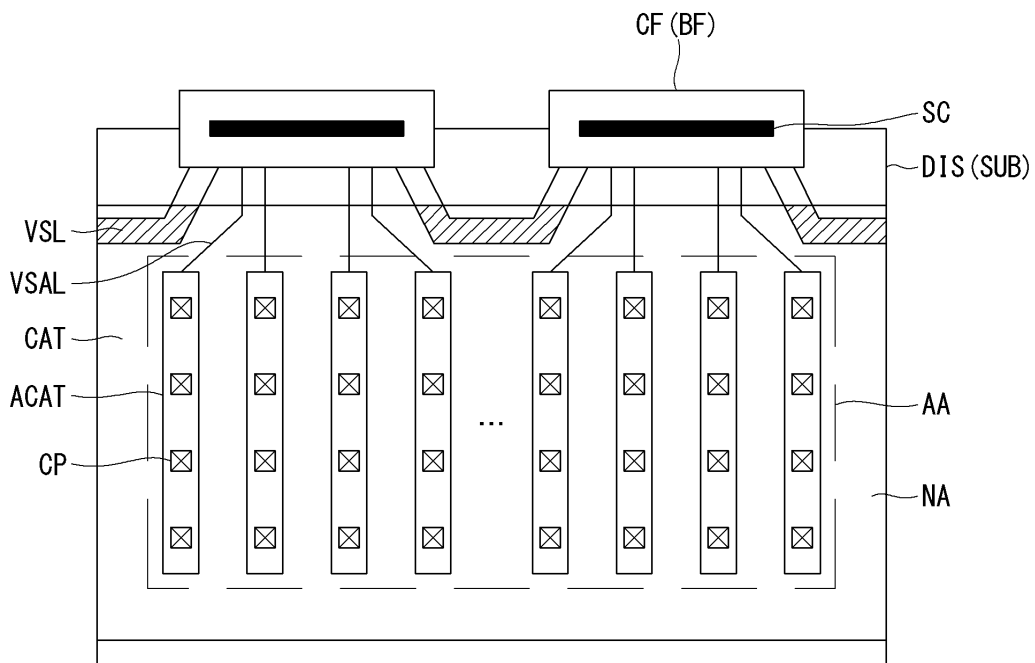
10



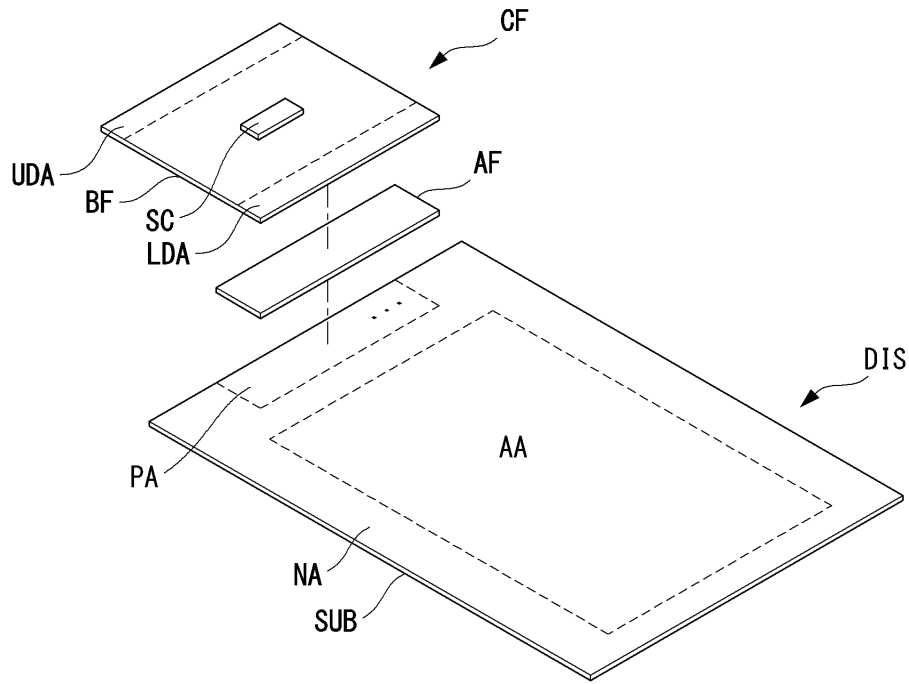
도면4



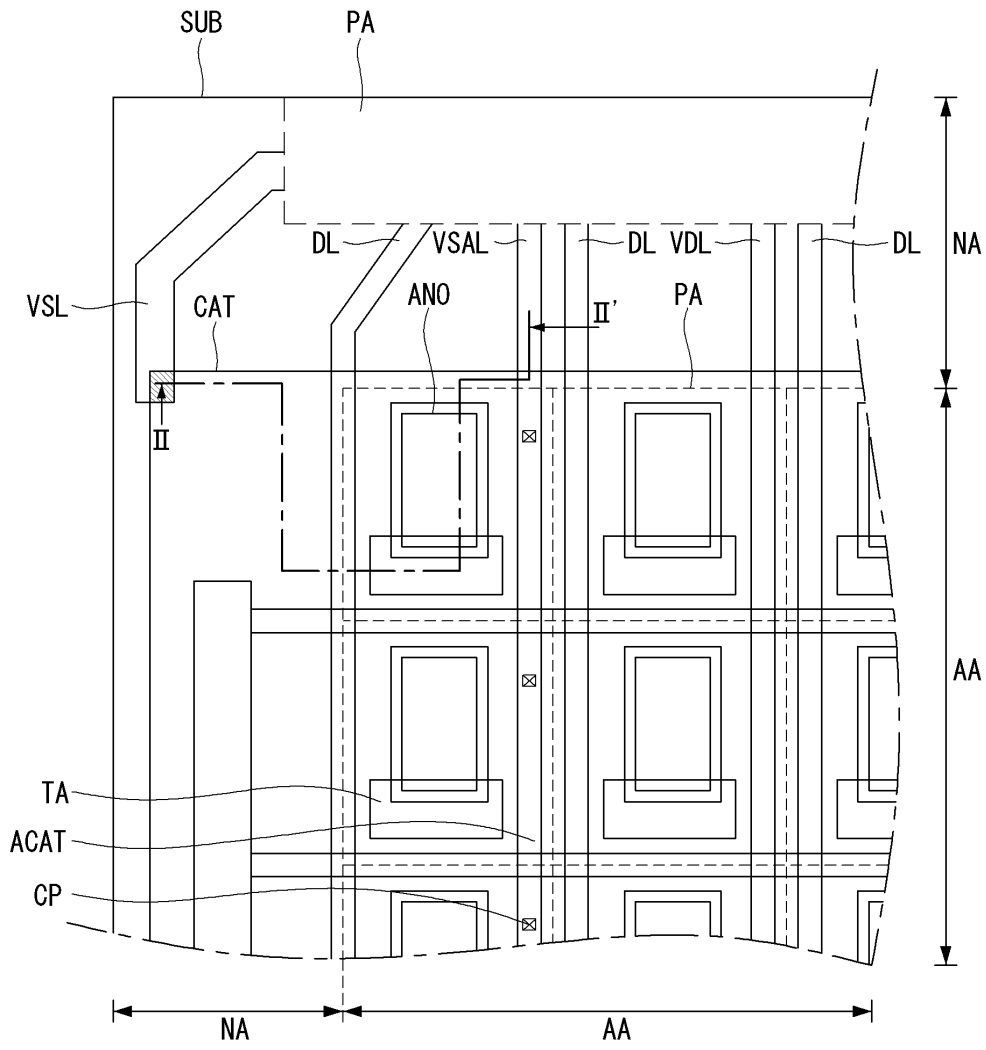
도면5



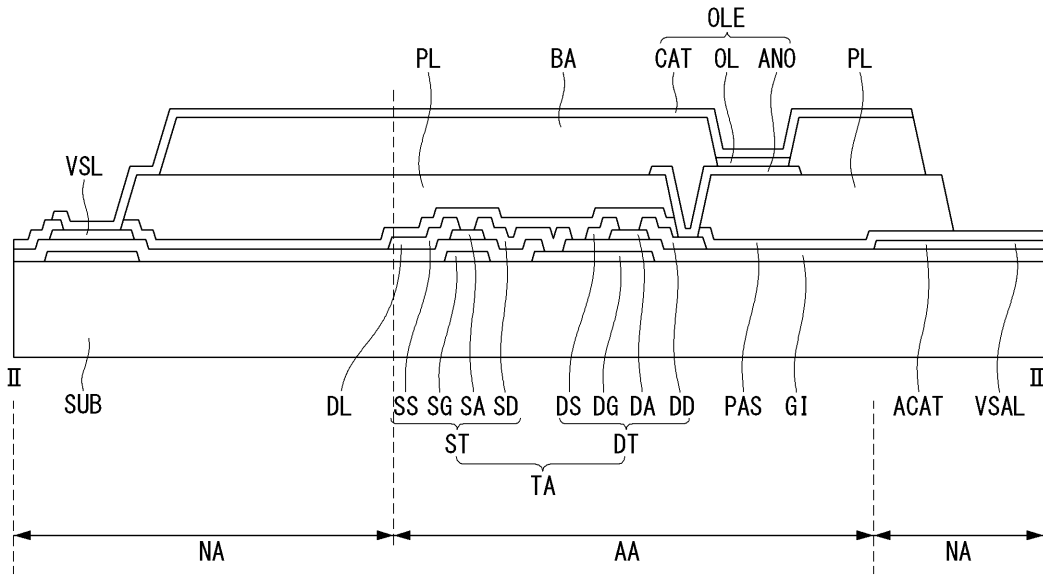
도면6



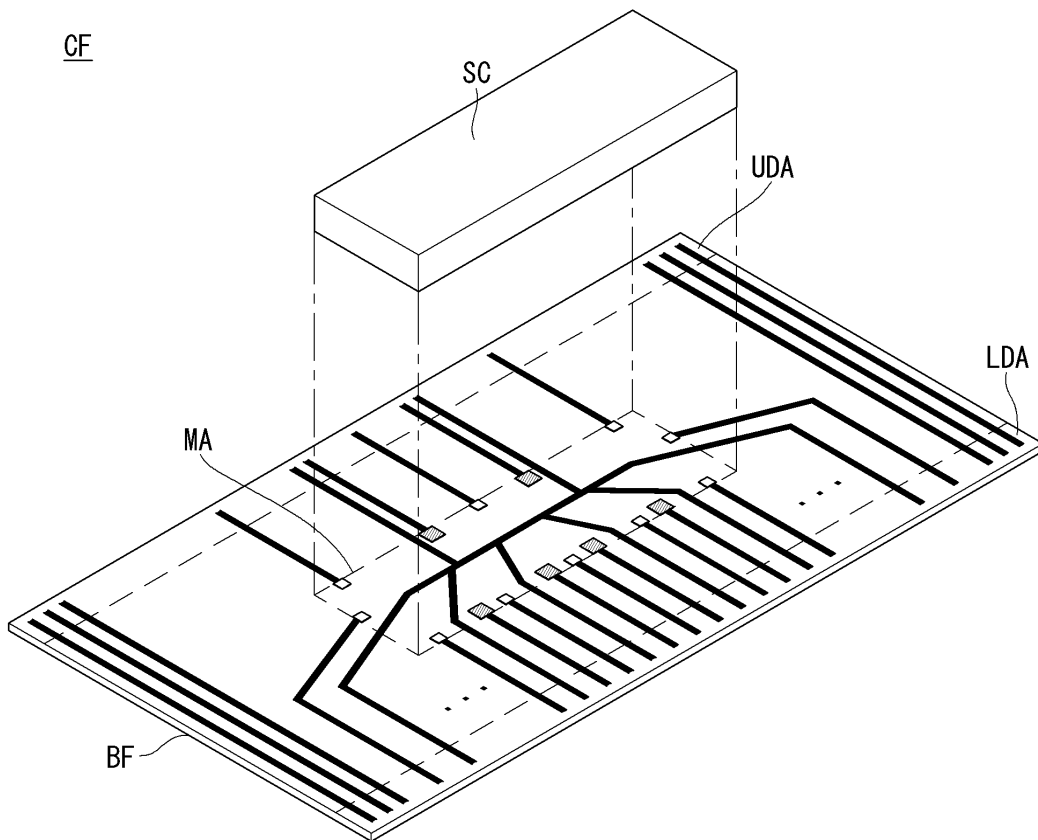
도면7



도면8

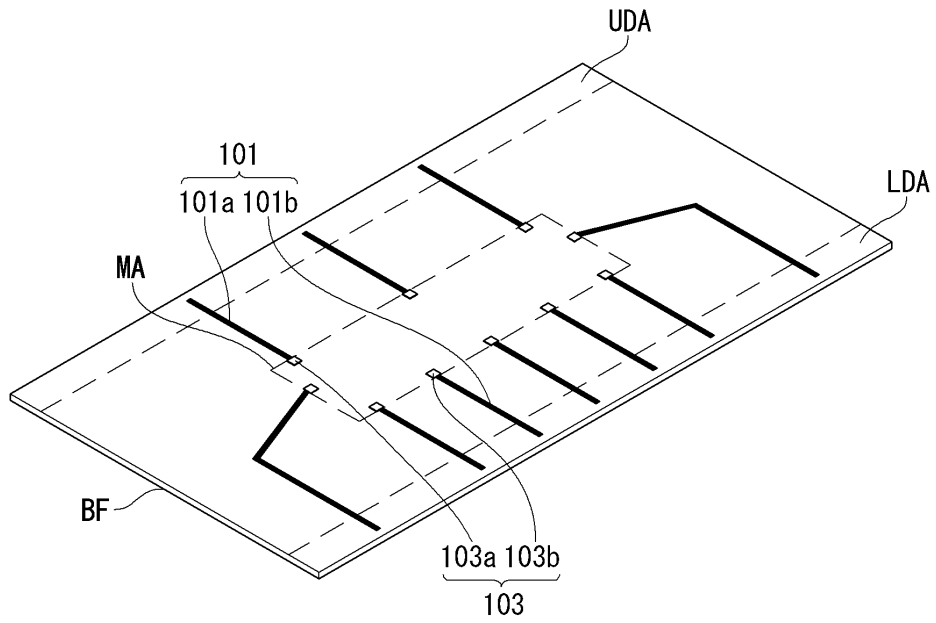


도면9

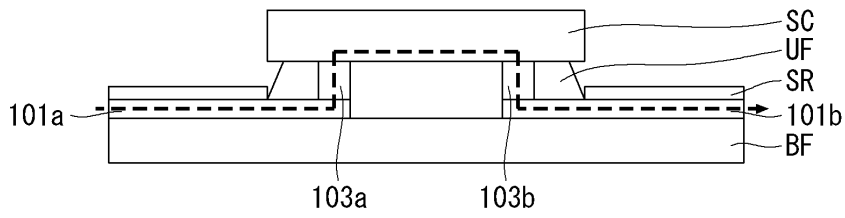


도면10

(a)

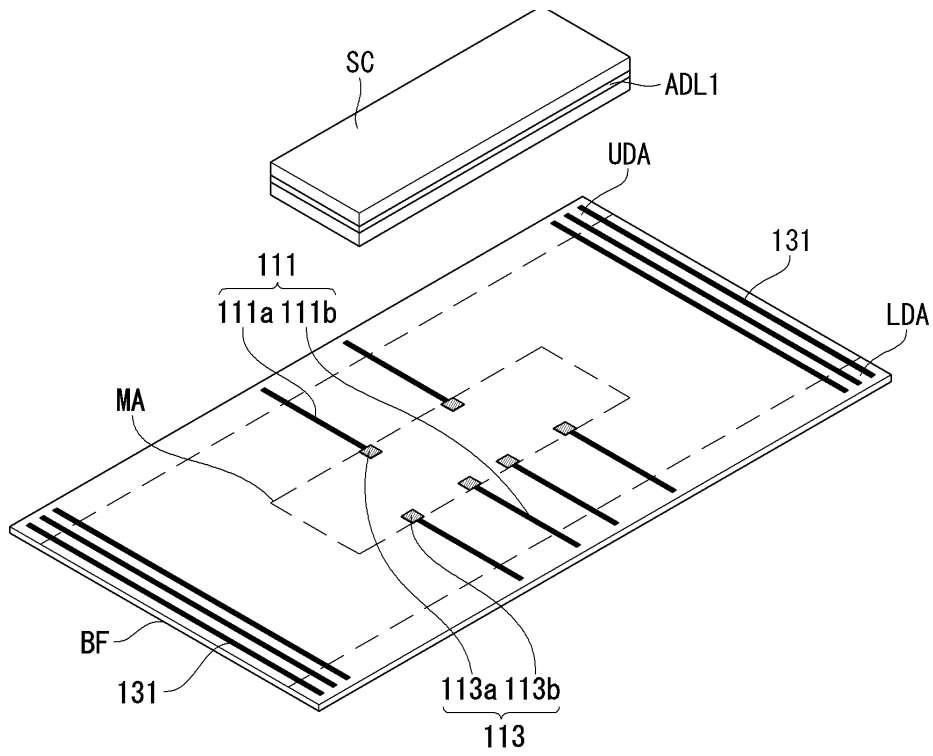


(b)

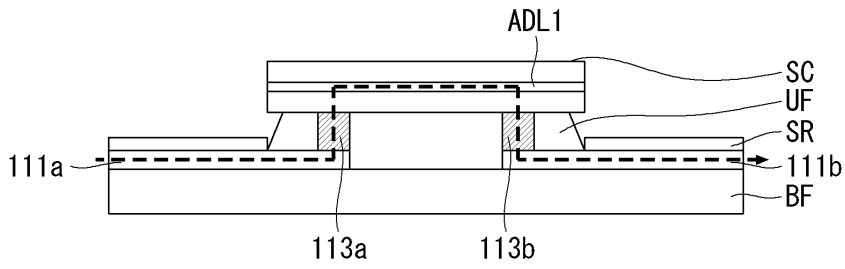


도면11

(a)

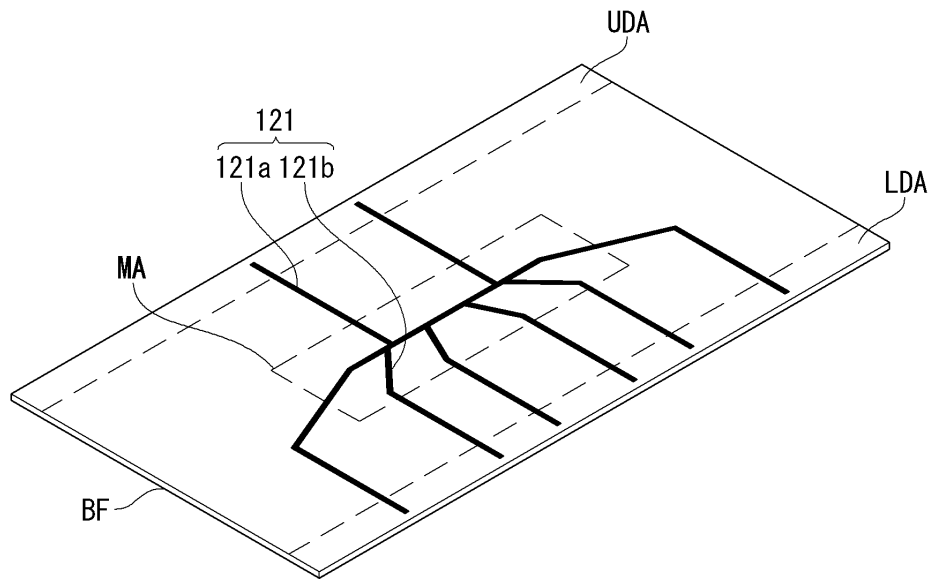


(b)

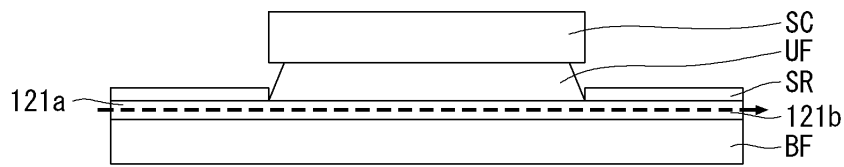


도면12

(a)

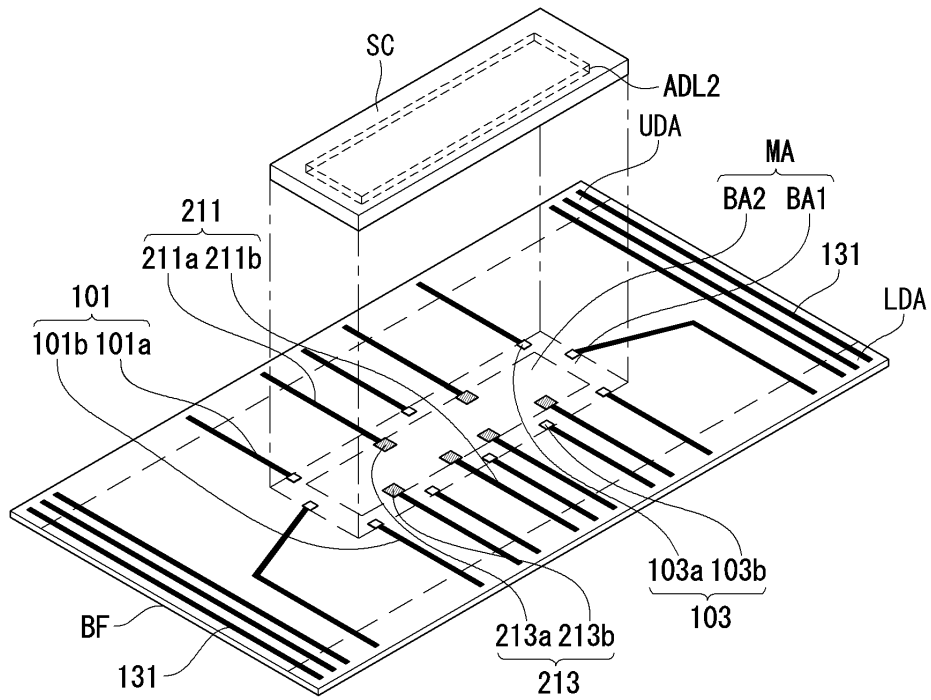


(b)

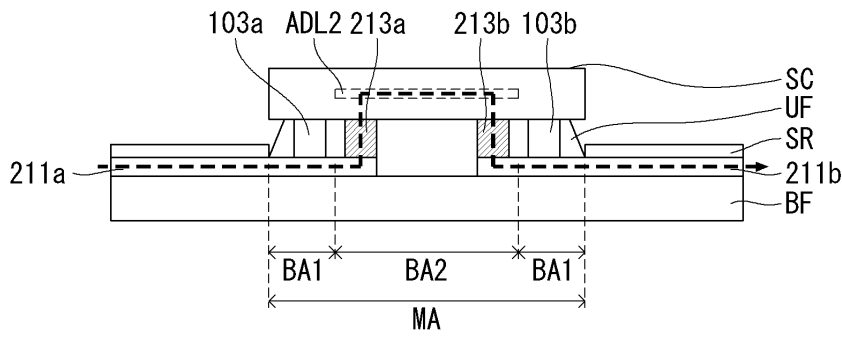


도면13

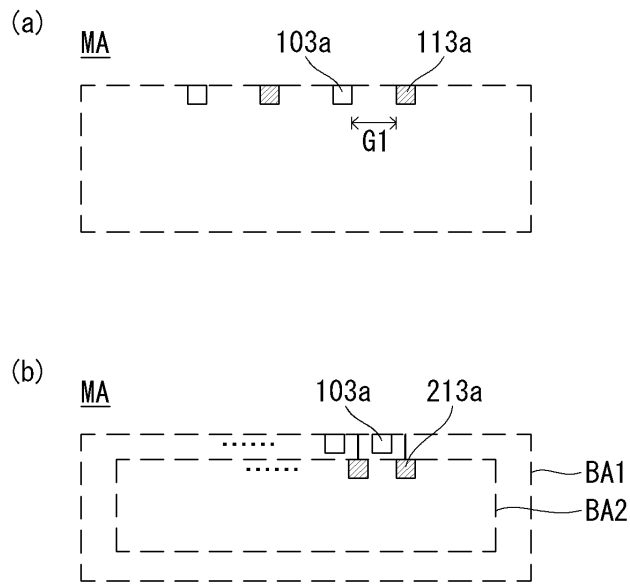
(a)



(b)



도면14



专利名称(译)	标题：使用其的芯片上薄膜和有机发光二极管显示装置		
公开(公告)号	KR1020170081075A	公开(公告)日	2017-07-11
申请号	KR1020150191805	申请日	2015-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE CHUL WON 이철원 WOO KYOUNG DON 우경돈		
发明人	이철원 우경돈		
IPC分类号	H01L51/56 G09G3/32 H01L23/488 H01L23/495 H01L27/32 H01L51/52		
CPC分类号	H01L51/56 H01L23/4951 H01L23/488 H01L51/5228 H01L27/3262 H01L27/3225 H01L27/3276 H01L27/326 G09G3/3233 H01L2227/32 H01L2224/73204		
外部链接	Espacenet		

摘要(译)

根据本发明的膜上芯片包括基膜和半导体芯片。基膜具有第一端子，第二端子，第一端子和多个信号传输路径，电连接第二端子。半导体芯片安装在基膜的内置区域上。多个信号传输路径包括其中传输第一电源电压的输入线和具有多个输出线的第一信号传输路径。半导体芯片包括输入线，多个输出线和连接的电源层。

