



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0079632
(43) 공개일자 2017년07월10일

- (51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 51/50* (2006.01)
H01L 51/52 (2006.01) *H01L 51/56* (2006.01)
- (52) CPC특허분류
H01L 27/3258 (2013.01)
H01L 27/3262 (2013.01)
- (21) 출원번호 10-2015-0190398
(22) 출원일자 2015년12월30일
심사청구일자 없음

- (71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
- (72) 발명자
나형일
서울특별시 강남구 개포로109길 9, 218동 807호(개포동, 대치아파트)
- (74) 대리인
박장원

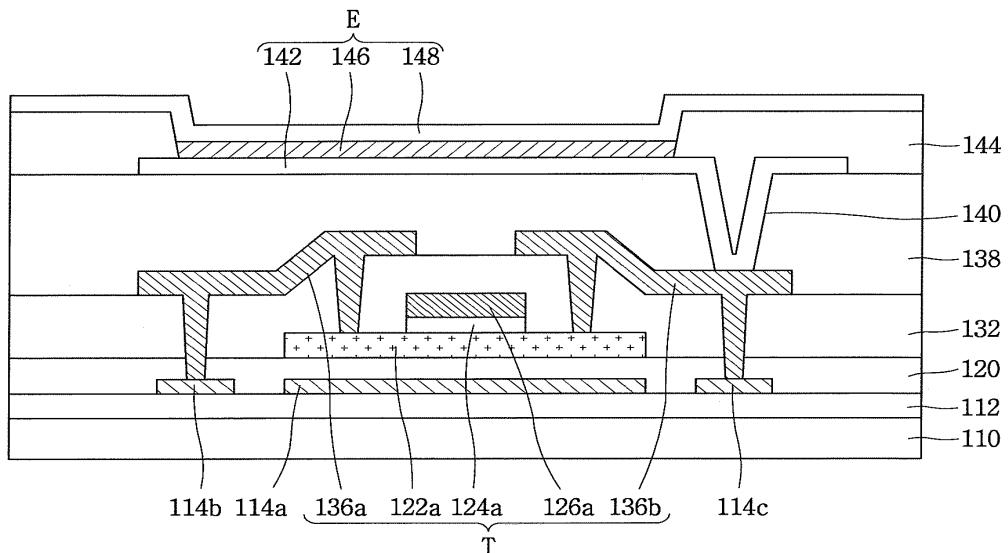
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 유기전계 발광표시장치 및 그 제조방법

(57) 요 약

본 발명은 기판상에 구비된 제1 버퍼층과, 제1 버퍼층 상에 구비된 차광패턴 및 보조전극패턴과, 상기 차광패턴 및 보조전극패턴을 포함한 제1 버퍼층 상에 구비된 제2 버퍼층과, 차광패턴 상의 제2 버퍼층 위에 구비된 액티브층과, 상기 액티브층 상에 적층된 게이트 절연막 및 게이트 전극과, 상기 게이트 전극 및 액티브층을 포함한 제2 버퍼층 상에 구비되고, 상기 게이트 전극 양측 아래의 액티브층 및 보조전극패턴을 노출시키는 다수의 콘택홀을 구비한 층간 절연막과, 상기 액티브층 및 보조전극패턴에 각각 독립적으로 연결된 소스전극 및 드레인 전극을 포함하는 유기전계 발광표시장치를 제공한다.

대 표 도 - 도3



(52) CPC특허분류

H01L 51/5012 (2013.01)

H01L 51/5212 (2013.01)

H01L 51/5228 (2013.01)

H01L 51/56 (2013.01)

H01L 2227/32 (2013.01)

명세서

청구범위

청구항 1

기판상에 구비된 제1 베퍼층;

상기 제1 베퍼층 상에 구비된 차광패턴 및 보조전극패턴;

상기 차광패턴 및 보조전극패턴을 포함한 제1 베퍼층 상에 구비된 제2 베퍼층;

상기 차광패턴 상의 제2 베퍼층 위에 구비된 액티브층;

상기 액티브층 상에 적층된 게이트 절연막 및 게이트 전극;

상기 게이트 전극 및 액티브층을 포함한 제2 베퍼층 상에 구비되고, 상기 게이트 전극 양측 아래의 액티브층 및 보조전극패턴을 노출시키는 다수의 콘택홀을 구비한 충간 절연막;

상기 콘택홀들을 통해 상기 액티브층 및 보조전극패턴에 각각 독립적으로 연결된 소스전극 및 드레인 전극;

상기 소스전극 및 드레인 전극 상부에 구비되고 상기 드레인 전극을 노출시키는 평탄화막;

상기 평탄화막 상에서 상기 드레인 전극과 접속되는 제1 전극;

상기 제1 전극 위에 구비된 유기발광층; 및

상기 유기발광층 상에 구비된 제2 전극을 포함하는 유기전계 발광표시장치.

청구항 2

제1항에 있어서, 상기 제1 베퍼층은 적어도 2층 이상의 절연막으로 구성된 유기전계 발광표시장치.

청구항 3

제1항에 있어서, 상기 제1, 2 베퍼층은 무기 절연물질로 구성된 유기전계 발광표시장치.

청구항 4

제2항에 있어서, 상기 제1 베퍼층을 이루는 적어도 2층 이상의 절연막은 산화막과 질화막이 반복되는 적층 구조 형태로 구성된 유기전계 발광표시장치.

청구항 5

제1항에 있어서, 상기 제2 베퍼층은 단일 층으로 구성된 유기전계 발광표시장치.

청구항 6

제1항에 있어서, 상기 차광패턴과 보조전극패턴은 동일 물질층으로 구성된 유기전계 발광표시장치.

청구항 7

기판상에 제1 베퍼층을 형성하는 단계;

상기 제1 베퍼층 상에 차광패턴 및 보조전극패턴을 형성하는 단계;

상기 차광패턴 및 보조전극패턴을 포함한 제1 베퍼층 상에 제2 베퍼층을 형성하는 단계;

상기 차광패턴 상의 제2 베퍼층 위에 액티브층을 형성하는 단계;

상기 액티브층 상에 게이트 절연막 및 게이트 전극을 형성하는 단계;

상기 게이트 전극 및 액티브층을 포함한 제2 베퍼층 상에 충간 절연막을 형성하는 단계;

상기 충간 절연막에 게이트 전극 양측 아래의 액티브층 및 보조전극패턴을 각각 노출시키는 다수의 콘택홀을 형성하는 단계; 및

상기 콘택홀들을 통해 상기 액티브층 및 보조전극패턴에 소스전극 및 드레인 전극을 형성하는 단계;

상기 소스전극 및 드레인 전극 상부에 상기 드레인 전극을 노출시키는 평탄화막을 형성하는 단계;

상기 평탄화막 상에서 상기 드레인 전극과 접속되는 제1 전극을 형성하는 단계;

상기 제1 전극 위에 유기발광층을 형성하는 단계; 및

상기 유기발광층 상에 제2 전극을 형성하는 단계를 포함하는 유기전계 발광표시장치 제조방법.

청구항 8

제7항에 있어서, 상기 제1 버퍼층은 적어도 2층 이상의 절연막으로 구성되는 유기전계 발광표시장치 제조방법.

청구항 9

제7항에 있어서, 상기 제1, 2 버퍼층은 무기 절연물질로 이루어지는 유기전계 발광표시장치 제조방법.

청구항 10

제8항에 있어서, 상기 제1 버퍼층을 이루는 적어도 2층 이상의 절연막은 산화막과 질화막이 반복되는 적층 구조 형태로 형성하는 유기전계 발광표시장치 제조방법.

청구항 11

제7항에 있어서, 상기 제2 버퍼층은 단일 층으로 이루어지는 유기전계 발광표시장치 제조방법.

청구항 12

제7항에 있어서, 상기 차광패턴과 보조전극패턴은 동일 물질층으로 구성된 유기전계 발광표시장치 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 표시장치에 관한 것으로, 특히 유기전계 발광표시장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 최근, 본격적인 정보화시대로 접어듦에 따라 전기적 정보신호를 시각적으로 표현하는 디스플레이(display) 분야가 급속도로 발전해 왔고, 이에 부응하여 박형화, 경량화, 저소비전력화의 우수한 성능을 지닌 여러 가지 다양한 평판표시장치 (Flat Display Device)가 개발되어 기존의 브라운관(Cathode Ray Tube: CRT)을 빠르게 대체하고 있다.

[0003] 이와 같은 평판 표시장치의 구체적인 예로는 액정표시장치(Liquid Crystal Display device: LCD), 유기전계발광표시장치(Organic Light Emitting Display: OLED), 전기영동표시장치(Electrophoretic Display: EPD, Electric Paper Display), 플라즈마표시장치(Plasma Display Panel device: PDP), 전계방출표시장치(Field Emission Display device: FED), 전기발광표시장치(Electro luminescence Display Device: ELD) 및 전기습윤표시장치(Electro-Wetting Display: EWD) 등을 들 수 있다.

[0004] 이들은 공통적으로 영상을 구현하는 평판표시패널을 필수적인 구성요소로 하는데, 평판 표시패널은 고유의 발광 물질 또는 편광 물질층을 사이에 두고 대면 합착된 한 쌍의 기판을 포함하여 이루어진다. 특히, 이러한 평판 표시장치는 박막 트랜지스터 어레이 기판을 필수적으로 포함한다.

[0005] 박막 트랜지스터 어레이 기판은 각 화소영역을 정의하도록 서로 교차 배치되는 게이트 배선과 데이터 배선 및 복수의 화소에 각각 대응하여, 게이트 배선과 데이터 배선이 교차하는 영역에 배치되는 복수의 박막 트랜지스터를 포함하여 이루어진다.

[0006] 이때, 각 박막 트랜지스터는 게이트 배선과 연결되는 게이트 전극, 데이터 배선과 연결되는 소스전극, 화소전극

과 연결되는 드레인 전극, 게이트 절연층을 사이에 두고 게이트 전극과 적어도 일부 중첩하여, 게이트 전극의 전압레벨에 따라 소스전극과 드레인 전극 사이에 채널(channel)을 형성하는 액티브층을 포함한다.

[0007] 이러한 박막 트랜지스터는 게이트 배선의 신호에 응답하여 턴온하면, 데이터 배선의 신호를 화소전극으로 인가한다.

[0008] 이러한 특성을 가진 박막 트랜지스터를 적용하는 종래의 표시장치용 박막 트랜지스터 어레이 기판 구조에 대해도 1 및 2를 참조하여 개략적으로 설명하면 다음과 같다.

[0009] 도 1은 종래기술에 따른 표시장치용 박막 트랜지스터 어레이 기판의 단면도이다.

[0010] 도 1을 참조하면, 종래기술에 따른 표시장치용 박막 트랜지스터 어레이 기판은 비표시영역과 다수의 화소영역을 포함하는 표시영역으로 구분되는 기판(20) 상에 제1, 2, 3 절연층(24a, 24b, 24c)으로 구성된 베퍼층(24)이 형성된다. 이때, 상기 기판(20)은 폴리 이미드(PI: polyimide)와 같은 유기막으로 구성된다.

[0011] 그리고, 상기 베퍼층(24)을 구성하는 제1, 2, 3 절연층 (24a, 24b, 24c)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiO₂)과 같은 무기 절연물질로 형성된다.

[0012] 특히, 상기 제1 절연층(24a)은 산화 실리콘(SiO₂)으로 구성되며, 제2 절연층 (24b)은 질화 실리콘(SiNx)으로 구성되며, 제3 절연층(24c)은 산화 실리콘(SiO₂)으로 구성된다.

[0013] 그리고, 상기 베퍼층(24) 상에는 박막 트랜지스터의 액티브층(30)이 형성되며, 상기 액티브층(30) 상에는 게이트 절연막(32) 및 게이트 전극(34)이 형성된다.

[0014] 상기 게이트 전극(34)을 포함한 기판(20) 전면에는 충간 절연막(36)이 형성된다.

[0015] 상기 충간 절연막(36)에는 상기 액티브층(30)의 소스영역 및 드레인 영역을 노출시키는 콘택홀(미도시)들이 형성된다.

[0016] 그리고, 상기 충간 절연막(36) 상에는 상기 콘택홀(미도시)들을 통해 상기 액티브층(30)의 소스영역 및 드레인 영역과 각각 전기적으로 접속되는 소스 전극 (42) 및 드레인 전극(44)이 형성된다.

[0017] 상기 소스 전극(42) 및 드레인 전극(44)을 포함한 충간 절연막(36) 상에는 평탄화막(46)이 형성된다.

[0018] 그리고, 상기 평탄화막(46)에는 상기 드레인 전극(44) 일부를 노출시키는 드레인 콘택홀(미도시)이 형성된다.

[0019] 상기 평탄화막(46) 상에는 상기 드레인 콘택홀(미도시)을 통해 상기 드레인 전극(44)과 전기적으로 접속되는 화소전극(50)이 형성된다. 이때, 상기 화소전극 (50)은 유기전계 발광소자에서는 애노드 전극으로 사용된다.

[0020] 이와 같은 구성으로 이루어진 종래기술에 따른 표시장치용 박막 트랜지스터의 경우, 다중 절연층으로 구성된 베퍼층 상에 박막 트랜지스터를 형성하는 구조이기 때문에 다중 절연층(24a, 24b, 24c)으로 구성된 베퍼층(24)에 스트레스(stress)가 발생하게 된다.

[0021] 도 2는 종래기술에 따른 표시장치용 어레이 기판 하부의 캐리어 기판을 제거하는 과정을 개략적으로 도시한 단면도이다.

[0022] 도 2에 도시된 바와 같이, 종래기술에 따른 표시장치용 박막 트랜지스터는 다중 절연층으로 구성된 베퍼층 상에 박막 트랜지스터를 형성하는 구조이기 때문에 다중 절연층(24a, 24b, 24c)으로 구성된 베퍼층(24)에 스트레스(stress)가 발생하게 된다. 이는 유기막으로 구성된 기판(20) 위에 다중 절연층을 적층할수록 인장 응력(Tensile Stress)을 받기 때문이다.

[0023] 따라서, 레이저 조사로 캐리어 기판(10)과 유기막으로 구성된 기판(20)의 분리시에 다중 절연층으로 적층된 베퍼층(24)의 스트레스로 인해 기판(20)이 말리는 현상이 발생하게 됨으로써 배선 또는 베퍼층(24)에 크랙(A)이 발생하게 된다.

[0024] 특히, 레이저 분리 장비를 이용하여 기판(20)을 분리할 경우에 박막의 스트레스에 의한 기판 말림 현상으로 인해 크랙(crack)이 발생하게 된다.

[0025] 그리고, 이와 같은 구성의 박막 트랜지스터를 적용한 표시장치, 즉 플렉서블 유기전계 발광표시장치의 벤딩 평가시에 금속 배선의 단선으로 인해 소자 특성이 저하된다.

[0026] 한편, 종래기술에 따른 표시장치용 어레이 기판에 형성된 박막 트랜지스터로 광이 입사될 수 있는데, 상기 광으

로는 유기전계발광 다이오드와 같은 자발광 소자가 빛을 발할 때 생기는 내부 광과 외부의 태양 광이나 실내 형광등 또는 백열등과 같은 외부 광과 소자 내부에서 산란 또는 반사되는 광이 있을 수 있다. 특히, 상기 광이 소스 전극 및 드레인 전극 사이에서 형성되는 액티브층의 채널에 유입되는 경우 문제가 발생할 수 있다.

[0027] 특히, 박막 트랜지스터는 광에 대해 매우 민감하며, 광이 박막 트랜지스터로 입사될 경우 광 누설 전류가 발생한다. 이로 인해 박막 트랜지스터의 오작동이 발생할 수 있으며, 표시장치의 구동 조건 하에서 제대로 된 화상 구현이 불가능하게 된다.

[0028] 그리고, 상기 박막 트랜지스터의 문턱전압(threshold voltage) 또는 상기 액티브층 내에서의 이동도 등의 소자 특성에 영향을 끼치게 되어 결과적으로는 명암 대비비(contrast ratio)를 낮추며 소비전력을 증가시키며, 화면 상에 웨이빙 노이즈(waving noise)를 야기함으로써 표시 품질을 저하시키게 된다.

발명의 내용

해결하려는 과제

[0029] 본 발명의 목적은 기판의 말림 현상을 억제하여 플렉서블 디스플레이 장치에 적용 가능한 유기전계 발광표시장치 및 그 제조방법을 제공하는 것이다.

[0030] 본 발명의 다른 목적은 광누설 전류의 발생을 억제하여 오동작을 방지하고 화소 불량표시가 없는 콘트라스트가 양호한 화상을 얻을 수 있는 유기전계 발광표시장치 및 그 제조방법을 제공하는 것이다.

과제의 해결手段

[0031] 전술한 과제를 해결하기 위하여, 일 측면에서, 본 발명은 기판 상에 구비된 제1 베퍼층과, 상기 제1 베퍼층 상에 구비된 차광패턴 및 보조전극패턴과, 상기 차광패턴 및 보조전극패턴을 포함한 제1 베퍼층 상에 구비된 제2 베퍼층과, 상기 차광패턴 상의 제2 베퍼층 위에 구비된 액티브층과, 상기 액티브층 상에 적층된 게이트 절연막 및 게이트 전극과, 상기 게이트 전극 및 액티브층을 포함한 제2 베퍼층 상에 구비되고, 상기 게이트 전극 양측 아래의 액티브층 및 보조전극패턴을 노출시키는 다수의 콘택홀을 구비한 충간 절연막과, 상기 콘택홀들을 통해 상기 액티브층 및 보조전극패턴에 각각 연결된 소스전극 및 드레인 전극을 포함하는 유기전계 발광표시장치를 제공할 수 있다.

[0032] 이러한 본 발명에 따른 유기전계 발광표시장치에 있어서, 상기 제1 베퍼층은 적어도 2층 이상의 절연막으로 구성될 수 있다.

[0033] 이러한 본 발명에 따른 유기전계 발광표시장치에 있어서, 상기 제1, 2 베퍼층은 무기 절연물질로 구성될 수 있다.

[0034] 이러한 본 발명에 따른 유기전계 발광표시장치에 있어서, 상기 제1 베퍼층을 이루는 적어도 2층 이상의 절연막은 산화막과 질화막이 반복되는 적층 구조 형태로 구성될 수 있다.

[0035] 이러한 본 발명에 따른 유기전계 발광표시장치에 있어서, 상기 제2 베퍼층은 단일 층으로 구성될 수 있다.

[0036] 이러한 본 발명에 따른 유기전계 발광표시장치에 있어서, 상기 차광패턴과 보조전극패턴은 동일 물질층으로 구성될 수 있다.

[0037] 이러한 본 발명에 따른 유기전계 발광표시장치에 있어서, 상기 보조전극패턴은 상기 소스전극 및 드레인 전극 각각과 독립적으로 연결될 수 있다.

[0038] 전술한 과제를 해결하기 위하여, 다른 측면에서, 본 발명은 기판상에 제1 베퍼층을 형성하는 단계와, 상기 제1 베퍼층 상에 차광패턴 및 보조전극패턴을 형성하는 단계와, 상기 차광패턴 및 보조전극패턴을 포함한 제1 베퍼층 상에 제2 베퍼층을 형성하는 단계와, 상기 차광패턴 상의 제2 베퍼층 위에 액티브층을 형성하는 단계와, 상기 액티브층 상에 게이트 절연막 및 게이트 전극을 형성하는 단계와, 상기 게이트 전극 및 액티브층을 포함한 제2 베퍼층 상에 충간 절연막을 형성하는 단계와, 상기 충간 절연막에 게이트 전극 양측 아래의 액티브층 및 보조전극패턴을 각각 노출시키는 다수의 콘택홀을 형성하는 단계와, 상기 콘택홀들을 통해 상기 액티브층 및 보조전극패턴에 소스전극 및 드레인 전극을 형성하는 단계를 포함하는 유기전계 발광표시장치 제조방법을 제공할 수 있다.

[0039] 이러한 본 발명에 따른 유기전계 발광표시장치에 있어서, 상기 제1 베퍼층은 적어도 2층 이상의 절연막으로 구

성될 수 있다.

- [0040] 이러한 본 발명에 따른 유기전계 발광표시장치의 제조방법에 있어서, 상기 제1, 2 베피층은 무기 절연물질로 구성될 수 있다.
- [0041] 이러한 본 발명에 따른 유기전계 발광표시장치의 제조방법에 있어서, 상기 제1 베피층을 이루는 적어도 2층 이상의 절연막은 산화막과 질화막이 반복되는 적층 구조 형태로 구성될 수 있다.
- [0042] 이러한 본 발명에 따른 유기전계 발광표시장치의 제조방법에 있어서, 상기 제2 베피층은 단일 층으로 구성될 수 있다.
- [0043] 이러한 본 발명에 따른 유기전계 발광표시장치의 제조방법에 있어서, 상기 차광패턴과 보조전극패턴은 동일 물질층으로 구성될 수 있다.
- [0044] 이러한 본 발명에 따른 유기전계 발광표시장치의 제조방법에 있어서, 상기 보조전극패턴은 상기 소스전극 및 드레인 전극 각각과 독립적으로 연결될 수 있다.

발명의 효과

- [0045] 본 발명에 따른 유기전계 발광표시장치 및 그 제조방법은 다중 베피층 사이에 금속물질로 구성된 차광패턴 및 보조전극패턴을 개재시킴으로써 다중 베피층의 스트레스를 억제시켜 기판의 말림 현상을 최소화함으로써 플렉서블 디스플레이 장치에 적용이 가능하다.
- [0046] 그리고, 본 발명에 따른 유기전계 발광표시장치 및 그 제조방법은 차광패턴과 함께 보조전극패턴을 형성하여 소스전극과 드레인 전극과 연결되도록 함으로써 다중 베피층의 스트레스로 인해 배선 등에 크랙이 발생하는 것을 방지하여 배선의 단선을 차단할 수 있다.
- [0047] 또한, 본 발명은 차광패턴 형성시에 보조전극패턴을 동시에 형성할 수 있기 때문에 추가적인 마스크 공정이 필요없게 됨으로써 제조 공정을 단순화시킬 수 있다.
- [0048] 그리고, 본 발명은 차광패턴을 액티브층 하부에 배치함으로 인하여 광누설 전류의 발생을 억제하여 소자의 오동작을 방지할 수 있고 화소 불량표시가 없는 콘트라스트가 양호한 화상을 얻을 수 있다.

도면의 간단한 설명

- [0049] 도 1은 종래기술에 따른 표시장치용 박막 트랜지스터 어레이 기판의 단면도이다.
- 도 2는 종래기술에 따른 표시장치용 박막 트랜지스터 어레이 기판 하부의 캐리어 기판을 제거하는 과정을 개략적으로 도시한 단면도이다.
- 도 3은 본 발명에 따른 유기전계 발광표시장치의 단면도이다.
- 도 4a 내지 4s는 본 발명에 따른 유기전계 발광표시장치의 제조 공정 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0050] 이하, 본 발명의 실시 예들은 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시 예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [0051] 도 3은 본 발명에 따른 유기전계 발광표시장치의 단면도를 도시한 도면이다.
- [0052] 도 3을 참조하면, 비표시영역과 다수의 화소영역을 포함하는 표시영역으로 구분되는 기판(110) 상에는 제1 베피층(112)이 형성된다. 이때, 상기 기판(110)은 폴리 이미드(PI: polyimide)와 같은 유기막으로 구성된다.
- [0053] 그리고, 상기 제1 베피층(112)은 다수의 절연층(미도시)으로 구성될 수 있는데, 다수의 절연층(미도시)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiO₂)과 같은 무기 절연물질로 형성된다. 특히, 도면에는 도시하지 않았지만, 상기 절연막(미도시)들은 적어도 2층 이상인 경우에, 산화 실리콘(SiO₂)으로 구성된 제1 절연막과 질화 실리콘

(SiNx)의 제2 절연막이 반복 적층되는 구조 형태로 이루어질 수 있다.

[0054] 상기 제1 베피층(112) 상부에는 차광패턴(114a)과 제1, 2 보조전극패턴 (114b, 114c)이 형성된다. 이때, 상기 차광패턴(114a)과 제1, 2 보조전극패턴 (114b, 114c)은 불투명한 금속 재질로 형성될 수 있다. 예를 들면 알루미늄(Al), 텉스텐(W), 구리 (Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 몰리텅스텐 (MoW), 몰리티타늄 (MoTi), 구리/몰리티타늄 (Cu/MoTi)을 포함하는 도전성 금속그룹 중에서 선택된 적어도 하나로 형성될 수 있다. 다만, 이에 한정되지 않으며, 광을 차단할 수 있는 물질이면 족하다.

[0055] 이때, 상기 차광패턴(114a)은 외부로부터의 빛이 액티브층에 도달하는 것을 방지함으로써, 액티브층(122a)이 빛에 의해 열화되는 것을 방지하여 박막 트랜지스터의 수명이 단축되는 것을 막게 된다.

[0056] 그리고, 상기 차광패턴(114a)은 유기전계 발광표시장치의 제조 이후에 기판(110) 하부에 있던 캐리어 기판(미도시, 도 4r의 100 참조)을 분리할 때 다중 절연층으로 구성된 제1 베피층(112)에 가해지는 스트레스(stress)를 완화되어 기판 말림 현상을 방지함으로써 크랙(crack) 발생을 억제한다.

[0057] 더욱이, 상기 제1, 2 보조전극패턴(114b, 114c)은 유기전계 발광표시장치의 제조 이후에 기판(110) 하부에 있던 캐리어 기판(미도시, 도 4r의 100 참조)을 분리할 때 다중 절연층으로 구성된 제1 베피층(112)에 스트레스 (stress)가 가해져서 기판의 말림 현상이 발생하고 이로 인해 크랙(crack)이 배선들, 소스전극(136a) 및 드레인 전극(136b) 등에 가해져서 배선들이 단선되는 것을 방지하기 위해 사용된다. 즉, 상기 제1, 2 보조전극패턴 (114b, 114c) 각각은 소스전극(136a) 및 드레인 전극(136b)에 독립적으로 연결되어 있음으로써 소스전극(136a) 및 드레인 전극(136b)이 단선되는 것을 방지하는 역할을 한다.

[0058] 그리고, 상기 차광패턴(114a) 및 제1, 2 보조전극패턴(114b, 114c)을 포함한 제1 베피층(112) 상부에는 제2 베피층(120)이 형성된다. 상기 제2 베피층 (120)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiO₂)과 같은 무기 절연 물질로 형성된다.

[0059] 그리고, 상기 차광패턴(114a) 및 제1, 2 보조패턴(114b, 114c)을 포함한 제2 베피층(120) 상부에는 액티브층 (122a)이 형성된다. 이때, 상기 액티브층(122a)은 상기 차광패턴(114a)과 중첩되게 배치된다.

[0060] 상기 액티브층(122a)은 산화물 반도체 물질, 실리콘 물질, 유기 반도체 물질, CNT(carbon nanotube) 및 그래핀 (graphene)으로 이루어진 군에서 선택되는 적어도 하나의 물질로 형성될 수 있다.

[0061] 상기 산화물 반도체 물질은 AxByCzO(x, y, z ≥ 0)나타낼 수 있으며, A, B 및 C 각각은 Zn, Cd, Ga, In, Sn, Hf 및 Zr 중에서 선택된다. 바람직하게는, 상기 산화물 반도체 물질은 ZnO, InGaZnO₄, ZnInO, ZnSnO, InZnHfO, SnInO 및 SnO 중에서 선택될 수 있으나, 이에 국한되지 않는다.

[0062] 그리고, 상기 액티브층(122a)은 상기 차광 패턴(150)과 일부 중첩되도록 형성된다. 특히, 상기 액티브층(122a)은 소스영역, 채널영역 및 드레인 영역으로 구분될 수 있으며, 상기 액티브층(122a)의 소스영역 및 채널영역은 상기 차광 패턴 (114a)과 중첩되도록 형성된다. 또한, 상기 액티브층(122a)의 드레인 영역은 상기 차광 패턴 (150)과 중첩되지 않도록 형성된다.

[0063] 상기 액티브층(122a) 상부에는 게이트 절연막(124a) 및 게이트 전극(126a)이 적층된다. 이때, 상기 게이트 절연막(124a)은 SiO_x, SiNx, SiON, HfO₂, Al₂O₃, Y₂O₃, Ta₂O₅ 등과 같은 유전체 또는 고유전율 유전체 또는 이들의 조합으로 이루어질 수 있다. 다만, 이에 국한되지 않으며, 상기 게이트 절연막(124a)은 도면상에는 단일 층으로 형성되었으나, 2 이상의 층으로 형성된 다중 층으로 형성될 수도 있다.

[0064] 상기 게이트 전극(126a)은 불투명한 금속 재질, 예를 들면, 알루미늄(Al), 텉스텐(W), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti) 및 이들의 조합으로부터 형성되는 합금을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 하나로 형성할 수 있으나 이에 한정되지 않는다. 상기 게이트 전극(126a)은 도면상에는 단일 층으로 형성되었으나, 2 이상의 층으로 형성된 다중 층으로 형성될 수 있다.

[0065] 그리고, 상기 게이트 전극(126a) 및 액티브층(122a)을 포함한 제2 베피층 (120) 상부에는 층간 절연막(130)이 형성된다. 이때, 상기 층간 절연막(130)은 산화 실리콘(SiO₂)이나 질화 실리콘 (SiNx)과 같은 무기 절연물질로 형성되거나, 벤조사이클로부텐(benzocyclobutene)이나 포토 아크릴(photo acryl)과 같은 유기절연물질로 형성될 수 있다.

[0066] 상기 층간 절연막(130)에는 상기 게이트 전극(126a) 양측 아래의 액티브층 (122a) 및 보조전극패턴(114b)을 노출시키는 제1 내지 4 콘택홀(132a, 132b, 132c, 132d)이 형성된다. 이때, 상기 제1 콘택홀(132a)은 상기 액티

브층(122a)의 소스영역을 노출시키며, 상기 제2 콘택홀(132b)은 상기 액티브층(122b)의 드레인영역을 노출시킨다. 그리고, 제3 콘택홀(132c)은 상기 보조전극패턴(122c)을 노출시키며, 상기 제4 콘택홀(132d)은 상기 보조전극패턴(122d)을 노출시킨다.

[0067] 그리고, 상기 층간 절연막(130) 상부에는 상기 제1 콘택홀(132a) 및 제3 콘택홀(132c)을 통해 상기 액티브층(122a)의 소스영역 및 제1 보조전극패턴(114b)에 접속하는 소스전극(136a)이 형성되고, 상기 제2 콘택홀(132b) 및 제4 콘택홀(132d)을 통해 상기 액티브층(122a)의 드레인 영역 및 제2 보조전극패턴(114c)에 접속하는 드레인 전극(136b)이 형성된다.

[0068] 이때, 상기 소스전극(136a) 및 드레인 전극(136b)은 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), 텉스텐(W), 구리(Cu), 크롬(Cr), 알루미늄(Al), 이들의 조합으로부터 형성되는 합금 중 어느 하나를 이용하여 형성할 수 있다. 또한, ITO(Indium Tin Oxide)와 같은 투명성 도전물질을 사용할 수 있다. 다만, 이에 한정되지 않으며, 일반적으로 전극으로 사용할 수 있는 물질로 형성될 수 있다. 그리고, 도면에서는 단일 금속층으로 형성되어 있지만 경우에 따라서는 적어도 2개 이상의 금속층들을 적층하여 형성할 수도 있다.

[0069] 따라서, 상기 액티브층(122a)과 게이트 절연막(124a)과 게이트 전극(126a) 및 소스전극(136a) 그리고 드레인 전극(136b)은 박막 트랜지스터(T), 즉 구동 박막 트랜지스터를 나타낸다. 이때, 기판(110) 상에 형성되는 박막 트랜지스터(T)가 바텀(bottom) 게이트형인 것을 일례로 설명하였다. 그러나, 기판(110) 상에 형성되는 트랜지스터는 바텀 게이트 형 뿐만 아니라 탑 게이트형으로도 형성될 수 있다.

[0070] 그리고, 상기 소스전극(136a) 그리고 드레인 전극(136b)을 포함한 층간 절연막(130) 상부에는 평탄화막(138)이 형성된다. 이때, 상기 평탄화막(138)은 벤조사이클로부텐(benzocyclobutene), 폴리이미드(polyimide) 또는 포토아크릴(photo acryl)과 같은 유기절연물질로 형성될 수 있다.

[0071] 상기 평탄화막(138)에는 상기 드레인 전극(136b)을 노출시키는 드레인 콘택홀(140)이 형성된다.

[0072] 그리고, 상기 평탄화막(138) 상에는 상기 드레인 콘택홀(140)을 통해 박막 트랜지스터(T)의 드레인(115a)에 연결되며 각 서브 픽셀 영역마다 분리 형성된 제1전극(142)이 형성된다. 이때, 상기 제1전극(142)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide) 중 어느 하나로 이루어질 수 있다.

[0073] 상기 제1 전극(142) 상에는 제1 전극(142)의 일부를 노출하는 개구부를 갖는 뱅크층(144)이 형성된다. 이때, 상기 뱅크층(142)은 벤조사이클로부텐(benzocyclobutene, BCB)계 수지, 아크릴계 수지 또는 폴리이미드 수지 등의 유기물을 포함할 수 있다.

[0074] 그리고, 상기 뱅크층(144)의 개구부를 통해 노출된 제1 전극(142) 상에는 유기 발광층(146)이 형성된다. 이때, 유기 발광층(146)은 서브 픽셀에 따라 적색, 녹색 및 청색 중 어느 하나의 색을 발광하도록 형성될 수 있다. 서브 픽셀은 유기 발광층(146)의 구조에 따라 다른 색 예를 들면, 백색을 발광할 수도 있다.

[0075] 상기 유기발광층(146)을 포함한 뱅크층(144) 전면에는 제2 전극(148)이 형성된다. 이때, 상기 제2 전극(148)은 일 함수가 낮은 재료 형성된 캐소드일 수 있다. 제2 전극(148)은 알루미늄(Al), 알루미늄 합금(Al alloy) 또는 은(Ag)과 같이 반사도가 높고 불투명한 재료를 사용할 수 있으나 이에 한정되지 않는다.

[0076] 따라서, 상기 제1 전극(142), 유기발광층(146) 및 제2 전극(148)은 유기발광 다이오드(E)를 이룬다.

[0077] 이와 같이, 본 발명에 따른 유기전계 발광표시장치는 다중 베퍼층 사이에 금속물질로 구성된 차광패턴 및 보조전극패턴을 개재시킴으로써 다중 베퍼층의 스트레스를 억제시켜 기판의 말림 현상을 최소화함으로써 플렉서블 디스플레이 장치에 적용이 가능하다.

[0078] 그리고, 본 발명에 따른 유기전계 발광표시장치는 차광패턴과 함께 보조전극패턴을 형성하여 소스전극과 드레인 전극과 연결되도록 함으로써 다중 베퍼층의 스트레스로 인해 배선 등에 크랙이 발생하는 것을 방지하여 배선의 단선을 차단할 수 있다.

[0079] 또한, 본 발명은 차광패턴 형성시에 보조전극패턴을 동시에 형성할 수 있기 때문에 추가적인 마스크 공정이 필요없게 됨으로써 제조 공정을 단순화시킬 수 있다.

[0080] 그리고, 본 발명은 차광패턴을 액티브층 하부에 배치함으로 인하여 광누설 전류의 발생을 억제하여 소자의 오동작을 방지할 수 있고 화소 불량표시가 없는 콘트라스트가 양호한 화상을 얻을 수 있다.

[0081] 한편, 이와 같은 구성으로 이루어진 본 발명에 따른 유기전계 발광표시장치 제조방법에 대해 도 4a 내지 4s를

참조하여 설명하면 다음과 같다.

[0082] 도 4a 내지 4s는 본 발명에 따른 유기전계 발광표시장치의 제조 공정 단면도들이다.

[0083] 도 4a를 참조하면, 유리, 석영 등과 같은 투명한 물질로 이루어지며 평탄도가 유지되는 캐리어 기판(100) 상에 CVD(Chemical Vapor Deposition) 또는 PECVD (Plasma Enhanced Chemical Vapor Deposition) 증착 방법으로 희생층(102)을 형성한다. 이때, 상기 희생층(102)은 수소화된 비정질 실리콘(a-Si:H) 또는 수소화처리되고 불순물이 도핑된 비정질 실리콘(a-Si:H;n⁺ 또는 a-Si:H;p⁺)으로 형성한다. 희생층(102)의 수소는 추후 설명될 유리 기판의 실리콘과 결합되며 추후 설명된 제조 공정 중 레이저 조사 공정에 의해 희생층(102)의 수소와 캐리어 기판의 실리콘

[0084] 의 결합이 끊기므로 분리가 용이해진다.

[0085] 이어, 상기 희생층(102) 상에 유기물질로 구성된 기판(110)을 형성한다. 이때, 상기 기판(110)은 하부 구조의 단차를 완화시키기 위한 평탄화막일 수도 있으며, 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물 또는 실리콘 산화물을 액상 형태로 코팅한 다음 경화시키는 SOG(spin on glass)와 같은 무기물을 사용하여 형성할 수도 있다.

[0086] 그런 다음, 도 4b를 참조하면, 상기 기판(110) 상에 제1 베퍼층(112)을 형성한다. 이때, 상기 제1 베퍼층(112)은 다수의 절연층(미도시)으로 구성될 수 있는데, 다수의 절연층(미도시)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiO₂)과 같은 무기 절연물질로 형성한다. 특히, 도면에는 도시하지 않았지만, 상기 절연막(미도시)들은 적어도 2층 이상인 경우에, 산화 실리콘(SiO₂)으로 구성된 제1 절연막과 질화 실리콘(SiNx)의 제2 절연막이 반복 적층되는 구조 형태로 이루어질 수 있다.

[0087] 이어, 도 4c를 참조하면, 상기 제1 베퍼층(112) 상에 차광물질층(114)을 형성하고 그 위에 제1 포토레지스트(116)를 도포한다. 이때, 상기 차광층(114)은 추후 액티브층에 광이 침투되는 것을 방지하기 위한 것으로, 불투명한 금속 재질로 형성될 수 있다. 예를 들면 알루미늄(Al), 텅스텐(W), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 몰리텅스텐(MoW), 몰리티타늄(MoTi), 구리/몰리티타늄(Cu/MoTi)을 포함하는 도전성 금속그룹 중에서 선택된 적어도 하나로 형성될 수 있다. 다만, 이에 한정되지 않으며, 광을 차단할 수 있는 물질이면 좋하다. 즉, 광을 차단하는 블랙 재료 예를 들어 카본 블랙을 포함하는 블랙 수지(resin)를 사용할 수도 있다.

[0088] 그런 다음, 도 4d를 참조하면, 제1 마스크(미도시)를 이용하여 상기 제1 포토레지스트(116)을 패터닝하여 제1 포토레지스트패턴(116a)을 형성한 후 이를 식각 마스크로 상기 차광물질층(114)을 선택적으로 제거하여, 차광패턴(114a)과 제1, 2 보조전극패턴(114b, 114c)을 형성한다.

[0089] 이때, 상기 차광패턴(114a)은 외부로부터의 빛이 액티브층에 도달하는 것을 방지함으로써, 액티브층(122a)이 빛에 의해 열화되는 것을 방지하여 박막 트랜지스터의 수명이 단축되는 것을 방지한다.

[0090] 그리고, 상기 차광패턴(114a)은 유기전계 발광표시장치의 제조 이후에 기판(110) 하부에 있던 캐리어 기판(미도시, 도 4r의 100 참조)을 분리할 때 다중 절연층으로 구성된 제1 베퍼층(112)에 가해지는 스트레스(stress)를 완화되어 기판 말림 현상을 방지함으로써 크랙(crack) 발생을 억제한다.

[0091] 한편, 상기 제1, 2 보조전극패턴(114b, 114c)은 유기전계 발광표시장치의 제조 이후에 기판(110) 하부에 있던 캐리어 기판(미도시, 도 4r의 100 참조)을 분리할 때 다중 절연층으로 구성된 제1 베퍼층(112)에 스트레스(stress)가 가해져서 기판의 말림 현상이 발생하고 이로 인해 크랙(crack)이 배선들, 소스전극(136a) 및 드레인전극(136b) 등에 가해져서 배선들이 단선되는 것을 방지하기 위해 사용된다. 즉, 상기 제1, 2 보조전극패턴(114b, 114c) 각각은 소스전극(136a) 및 드레인 전극(136b)에 독립적으로 연결되어 있음으로써 소스전극(136a) 및 드레인 전극(136b)이 단선되는 것을 방지하는 역할을 한다.

[0092] 이어, 도 4e를 참조하면, 상기 제1 포토레지스트패턴(116a)을 제거한 후, 상기 차광패턴(114a) 및 제1, 2 보조전극패턴(114b, 114c)을 포함한 제1 베퍼층(112) 상부에 제2 베퍼층(120)을 형성한다. 이때, 상기 제2 베퍼층(120)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiO₂)과 같은 무기 절연물질로 형성된다.

[0093] 그런 다음, 상기 제2 베퍼층(120) 상에 반도체층(122)과 게이트 절연물질층(124) 및 금속물질층(126)을 순차적으로 적층하고 이어 그 위에 제2 포토레지스트(128)를 도포한다.

[0094] 이때, 상기 반도체층(122)은 산화물 반도체 물질, 실리콘 물질, 유기 반도체 물질, CNT(carbon nanotube) 및 그

래핀(graphene)으로 이루어진 군에서 선택되는 적어도 하나의 물질로 형성될 수 있다.

[0095] 상기 산화물 반도체 물질은 $AxByCzO$ ($x, y, z \geq 0$) 나타낼 수 있으며, A, B 및 C 각각은 Zn, Cd, Ga, In, Sn, Hf 및 Zr 중에서 선택된다. 바람직하게는, 상기 산화물 반도체 물질은 ZnO, InGaZnO₄, ZnInO, ZnSnO, InZnHfO, SnInO 및 SnO 중에서 선택될 수 있으나, 이에 국한되지 않는다.

[0096] 그리고, 상기 게이트 절연물질층(124)은 SiO_x, SiNx, SiON, HfO₂, Al₂O₃, Y₂O₃, Ta₂O₅ 등과 같은 유전체 또는 고 유전율 유전체 또는 이들의 조합으로 이루어질 수 있다. 다만, 이에 국한되지 않으며, 상기 게이트 절연막(124)은 도면상에는 단일 층으로 형성되었으나, 2 이상의 층으로 형성된 다중 층으로 형성될 수도 있다.

[0097] 상기 게이트 금속물질층(126)은 불투명한 금속 재질, 예를 들면, 알루미늄(Al), 텉스텐(W), 구리(Cu), 몰디브덴(Mo), 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti) 및 이들의 조합으로부터 형성되는 합금을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 하나로 형성할 수 있으나 이에 한정되지 않는다. 상기 게이트 금속물질층(126)은 도면상에는 단일 층으로 형성되었으나, 2 이상의 층으로 형성된 다중 층으로 형성될 수 있다.

[0098] 이어, 상기 제2 포토레지스트(128) 상측에 하프톤(Half-Ton) 마스크(130)을 배치한다. 이때, 상기 하프톤 마스크(130)는 차단부(130a)와 반투과부(130b) 및 투과부(130c)를 포함한다.

[0099] 그런 다음, 도 4f를 참조하면, 상기 하프톤 마스크(130)를 이용한 노광 공정을 진행한 후 현상 공정을 통해 노광된 제2 포토레지스트(128) 부분을 제거하여 제2 포토레지스트패턴(128a, 128b)을 형성한다. 이때, 상기 하프톤 마스크(130)의 차단부(130a)와 대응되는 부분에 위치하는 제2 포토레지스트(128) 부분은 전부 남게 되고, 반투과부(130b)와 대응되는 부분에 위치하는 제2 포토레지스트(128) 부분은 일부만 남게 되며, 투과부(130c)와 대응되는 부분에 위치하는 제2 포토레지스트(128) 부분은 전부 제거된다.

[0100] 이어, 도 4g를 참조하면, 상기 제2 포토레지스트패턴(128a, 128b)을 식각 마스크로 상기 게이트 금속물질층(126), 게이트 절연물질층(124) 및 반도체층(122)을 순차적으로 식각하여 액티브층(122a), 게이트 절연막패턴(124b) 및 게이트 전극패턴(126b)을 형성한다.

[0101] 그런 다음, 도 4h를 참조하면, 상기 제2 포토레지스트패턴(128a, 128b)을 애싱(Ashing)하여 상기 제2 포토레지스트패턴(128a, 128b)의 일부, 즉 제2 포토레지스트패턴(128b) 부분은 완전히 제거하고, 나머지 제2 포토레지스트패턴(128a)도 일부 두께만 남기도 제거한다.

[0102] 이어, 도 4i를 참조하면, 남아 있는 제2 포토레지스트패턴(128a)을 식각 마스크로, 상기 게이트 절연막패턴(124b) 및 게이트 전극패턴(126b)을 선택적으로 제거하여 게이트 절연막(124a) 및 게이트 전극(126a)을 형성한다.

[0103] 이때, 상기 액티브층(122a)은 상기 차광 패턴(150)과 일부 중첩되도록 형성된다. 특히, 상기 액티브층(122a)은 소스영역, 채널영역 및 드레인 영역으로 구분될 수 있으며, 상기 액티브층(122a)의 소스영역 및 채널영역은 상기 차광 패턴(114a)과 중첩되도록 형성된다. 또한, 상기 액티브층(122a)의 드레인 영역은 상기 차광 패턴(150)과 중첩되지 않도록 형성된다.

[0104] 그런 다음, 도 4j를 참조하면, 상기 게이트 전극(126a) 및 액티브층(122a)을 포함한 제2 베퍼층(120) 상부에 층간 절연막(130)을 형성한다. 이때, 상기 층간 절연막(130)은 산화 실리콘(SiO₂)이나 질화 실리콘(SiNx)과 같은 무기 절연물질로 형성되거나, 벤조사이클로부텐(benzocyclobutene)이나 포토 아크릴(photo acryl)과 같은 유기 절연물질로 형성될 수 있다.

[0105] 이어, 상기 층간 절연막(130)을 포토리쏘그라피 공정기술을 이용한 마스크 공정을 통해 선택적으로 패터닝하여, 상기 층간 절연막(130)에 상기 게이트 전극(126a) 양측 아래의 액티브층(122a) 및 보조전극패턴(114b)을 노출시키는 제1 내지 4 콘택홀(132a, 132b, 132c, 132d)을 동시에 형성한다.

[0106] 이때, 상기 제1 콘택홀(132a)은 상기 액티브층(122a)의 소스영역을 노출시키며, 상기 제2 콘택홀(132b)은 상기 액티브층(122b)의 드레인영역을 노출시킨다. 그리고, 제3 콘택홀(132c)은 상기 보조전극패턴(114b)을 노출시키며, 상기 제4 콘택홀(132d)은 상기 보조전극패턴(114b)을 노출시킨다.

[0107] 그런 다음, 도 4l을 참조하면, 상기 층간 절연막(130) 상에 소스 및 드레인 금속 물질층(136)을 형성한다. 이때, 상기 소스 및 드레인 금속물질층(136)은 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), 텉스텐(W), 구리(Cu), 크롬(Cr), 알루미늄(Al), 이들의 조합으로부터 형성되는 합금 중 어느 하나를 이용하여 형성할 수 있다. 또한, ITO(Indium Tin Oxide)와 같은 투명성 도전물질을 사용할 수 있다. 다만, 이에 한정되지 않으며, 일반적으로 전

극으로 사용할 수 있는 물질로 형성될 수 있다. 그리고, 도면에서는 단일 금속층으로 형성되어 있지만 경우에 따라서는 적어도 2개 이상의 금속층들을 적층하여 형성할 수도 있다.

[0108] 이어, 도 4m을 참조하면, 포토리쏘그라피 공정기술을 이용한 마스크 공정을 통해 상기 층간 절연막(130)을 선택적으로 패터닝하여, 상기 층간 절연막(130) 상부에 상기 제1 콘택홀(132a) 및 제3 콘택홀(132c)을 통해 상기 액티브층(122a)의 소스영역 및 제1 보조전극패턴(114b)에 접속하는 소스전극(136a)을 형성함은 물론, 상기 제2 콘택홀(132b) 및 제4 콘택홀(132d)을 통해 상기 액티브층(122a)의 드레인 영역 및 제2 보조전극패턴(114c)에 접속하는 드레인 전극(136b)을 형성한다.

[0109] 따라서, 상기 액티브층(122a)과 게이트 절연막(124a)과 게이트 전극(126a) 및 소스전극(136a) 그리고 드레인 전극(136b)은 박막 트랜지스터(T), 즉 구동 박막 트랜지스터를 나타낸다. 이때, 기판(110) 상에 형성되는 박막 트랜지스터(T)가 바텀(bottom) 게이트 형인 것을 일례로 설명하였다. 그러나, 기판(110) 상에 형성되는 트랜지스터는 바텀 게이트 형뿐만 아니라 탑 게이트 형으로도 형성될 수 있다.

[0110] 그런 다음, 도 4n를 참조하면, 상기 소스전극(136a) 및 드레인 전극(136b)을 포함한 층간 절연막(130) 상부에 평탄화막(138)을 형성한다. 이때, 상기 평탄화막(138)은 벤조사이클로부텐(benzocyclobutene), 폴리이미드(polyimide) 또는 포토 아크릴(photo acryl)과 같은 유기절연물질로 형성될 수 있다.

[0111] 이어, 상기 평탄화막(138)을 노광한 후 현상 공정을 통해 선택적으로 제거하여 상기 드레인 전극(136b)을 노출시키는 드레인 콘택홀(140)을 형성한다.

[0112] 그런 다음, 도 4o를 참조하면, 상기 평탄화막(138) 상에 제1 전극용 투명 도전물질층(미도시)을 형성한 후 이를 노광 및 현상 공정을 통해 선택적으로 패터닝하여 상기 드레인 콘택홀(140)을 통해 박막 트랜지스터(T)의 드레인(115a)에 연결되며 각 서브 핵셀 영역마다 분리된 제1전극(142)을 형성한다. 이때, 상기 투명 도전물질층(미도시)은 ITO(Indium Tin Oxide), IZO (Indium Zinc Oxide), ITZO (Indium Tin Zinc Oxide) 중 어느 하나로 이루어질 수 있다.

[0113] 이어, 도 4p를 참조하면, 상기 제1 전극(142) 상에 뱅크 물질을 증착한 후 이를 선택적으로 패터닝하여, 상기 제1 전극(142)의 일부를 노출하는 개구부를 갖는 뱅크층(144)을 형성한다. 이때, 상기 뱅크층(142)은 벤조사이클로부텐(benzocyclobutene, BCB)계 수지, 아크릴계 수지 또는 폴리이미드 수지 등의 유기물을 포함할 수 있다.

[0114] 그런 다음, 도 4q를 참조하면, 상기 뱅크층(144)의 개구부를 통해 노출된 제1 전극(142) 상에 유기 발광층(146)을 형성한다. 이때, 유기 발광층(146)은 서브 핵셀에 따라 적색, 녹색 및 청색 중 어느 하나의 색을 발광하도록 형성될 수 있다. 서브 핵셀은 유기 발광층(146)의 구조에 따라 다른 색 예를 들면, 백색을 발광할 수도 있다.

[0115] 이어, 상기 유기발광층(146)을 포함한 뱅크층(144) 전면에 제2 전극(148)을 형성한다. 이때, 상기 제2 전극(148)은 일 함수가 낮은 재료 형성된 캐소드일 수 있다. 제2 전극(148)은 알루미늄(Al), 알루미늄 합금(Al alloy) 또는 은(Ag)과 같이 반사도가 높고 불투명한 재료를 사용할 수 있으나 이에 한정되지 않는다.

[0116] 따라서, 상기 제1 전극(142), 유기발광층(146) 및 제2 전극(148)은 유기발광 다이오드(E)를 이룬다.

[0117] 그런 다음, 도 4r를 참조하면, 캐리어 기판(100)의 배면에 레이저(laser)를 조사하여 캐리어 기판(100)과 기판(110) 사이의 계면을 분리시킨다. 이때, 보다 자세하게는, 상기 캐리어 기판(100)의 배면을 통해 캐리어 기판(100)과 기판(110) 사이에 형성된 희생층(102)에 레이저가 조사되면, 희생층(102)인 비정질 실리콘에 함유된 수소가 탈수소화되면서 표면의 막 터짐 현상으로 인해 기판(110)으로부터 분리된다.

[0118] 따라서, 캐리어 기판(100)이 소자가 형성된 기판(110)으로부터 분리된다.

[0119] 있다.

[0120] 이때, 레이저 조사에 사용되는 레이저로는 DPSS(Diode Pumped Solid State; DPSS) 레이저 또는 엑시머(Eximer) 레이저 등을 사용한다. 특히, 레이저는 기판(110) 상에 형성된 액티브층(122a)에는 조사되지 않도록 한다. 본 발명에서는 캐

[0121] 리어 기판(100)과 액티브층(122a) 사이에 차광패턴(114a)이 존재하여, 레이저가 액티브층(122a)에 조사되는 것을 방지한다.

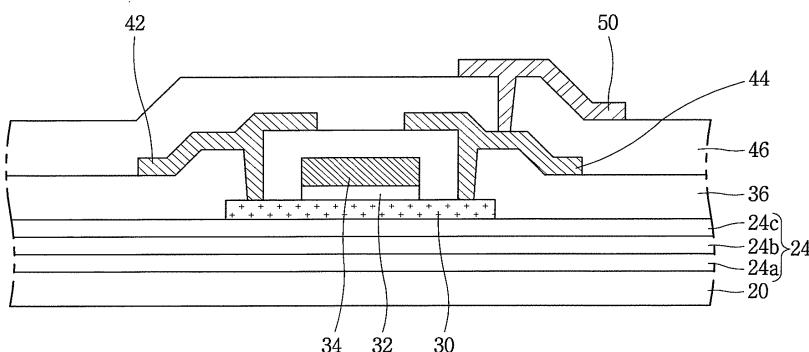
- [0122] 이어, 도 4s를 참조하면, 레이저 조사 공정을 통해 기판(110)으로부터 캐리어 기판(100)을 분리함으로써 본 발명에 따른 유기전계 발광표시장치 제조공정을 완료한다.
- [0123] 이와 같이, 본 발명에 따른 유기전계 발광표시장치 제조방법은 다중 베퍼층 사이에 금속물질로 구성된 차광패턴 및 보조전극패턴을 개재시킴으로써 다중 베퍼층의 스트레스를 억제시켜 기판의 밀림 현상을 최소화함으로써 플렉서블 디스플레이 장치에 적용이 가능하다.
- [0124] 그리고, 본 발명에 따른 유기전계 발광표시장치 제조방법은 차광패턴과 함께 보조전극패턴을 형성하여 소스전극과 드레인 전극과 연결되도록 함으로써 다중 베퍼층의 스트레스로 인해 배선 등에 크랙이 발생하는 것을 방지하여 배선의 단선을 차단할 수 있다.
- [0125] 또한, 본 발명은 차광패턴 형성시에 보조전극패턴을 동시에 형성할 수 있기 때문에 추가적인 마스크 공정이 필요없게 됨으로써 제조 공정을 단순화시킬 수 있다.
- [0126] 그리고, 본 발명은 차광패턴을 액티브층 하부에 배치함으로 인하여 광누설 전류의 발생을 억제하여 소자의 오동작을 방지할 수 있고 화소 불량표시가 없는 콘트라스트가 양호한 화상을 얻을 수 있다.
- [0127] 이상 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다.
- [0128] 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

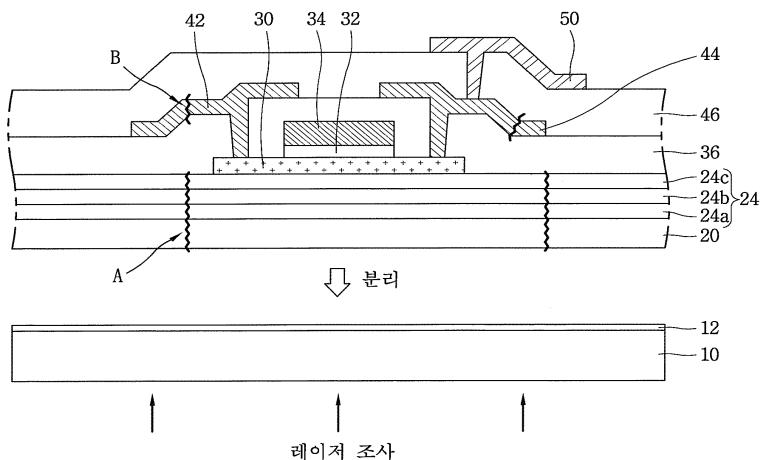
- 100: 캐리어 기판 102: 희생층
 110: 기판 112: 제1 베퍼층
 114a: 차광패턴 114b, 114c: 제1, 2 보조전극패턴
 120: 제2 베퍼층 122a: 액티브층
 126a: 게이트 전극 136a: 소스전극
 136b: 드레인 전극

도면

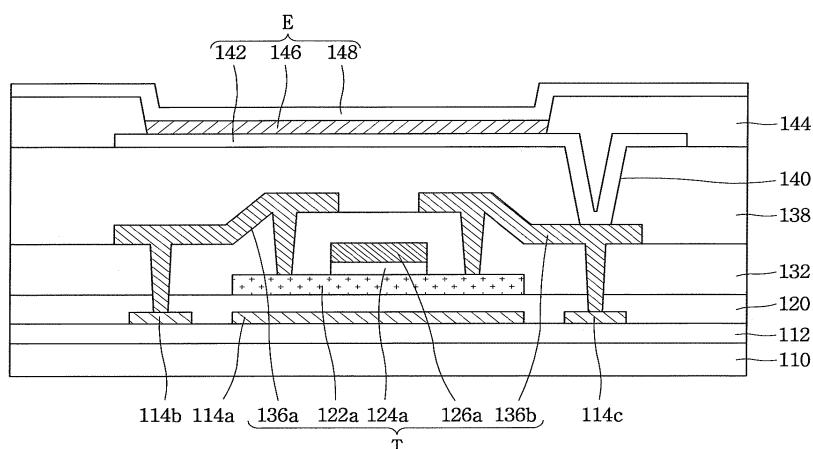
도면1



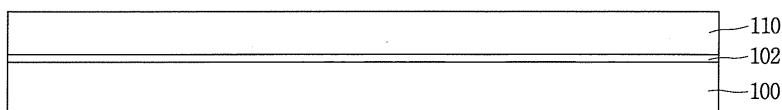
도면2



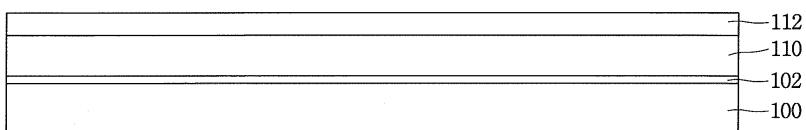
도면3



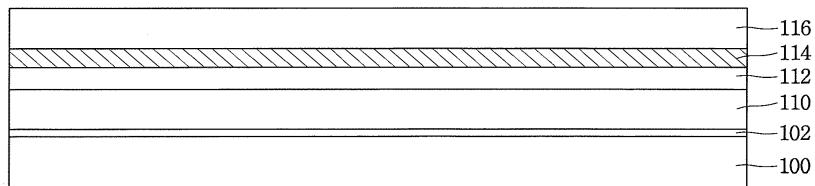
도면4a



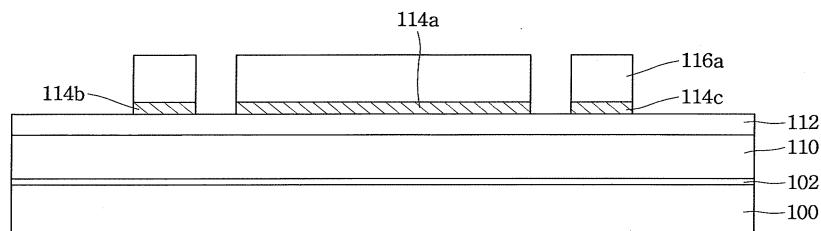
도면4b



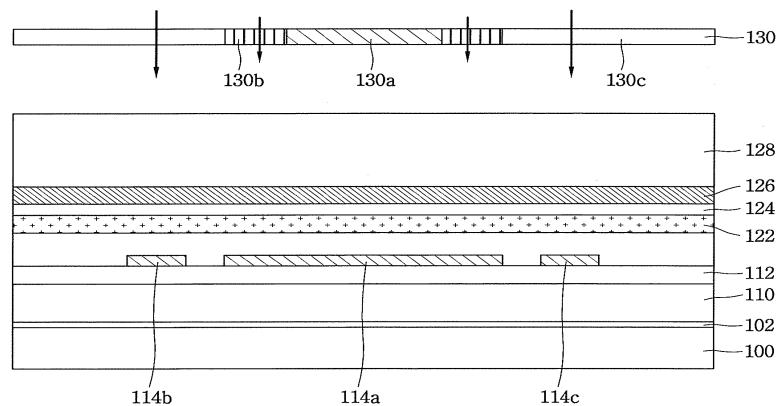
도면4c



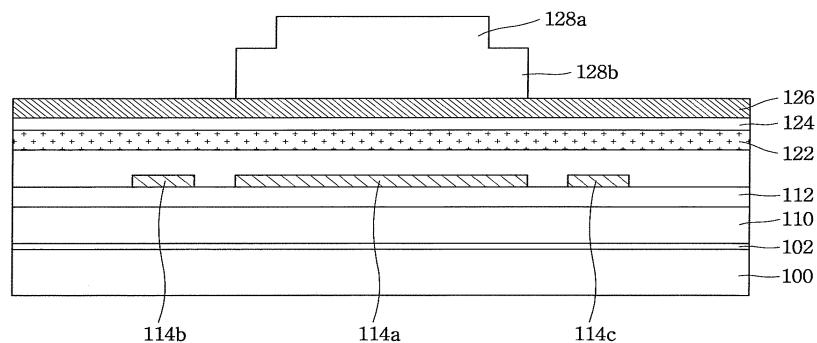
도면4d



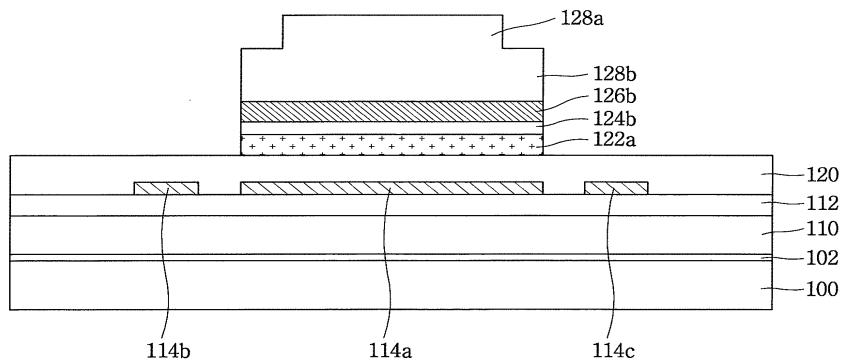
도면4e



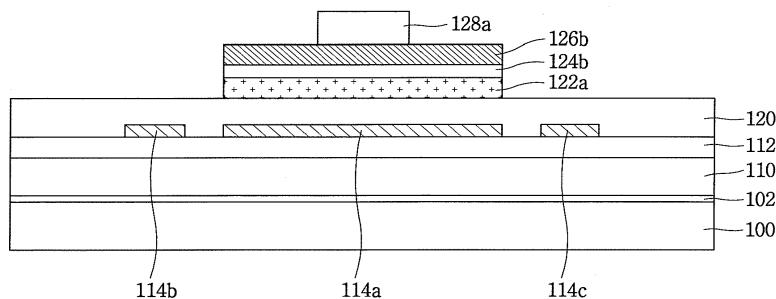
도면4f



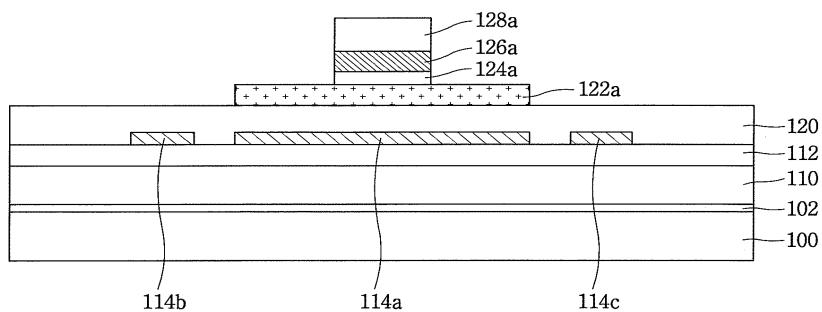
도면4g



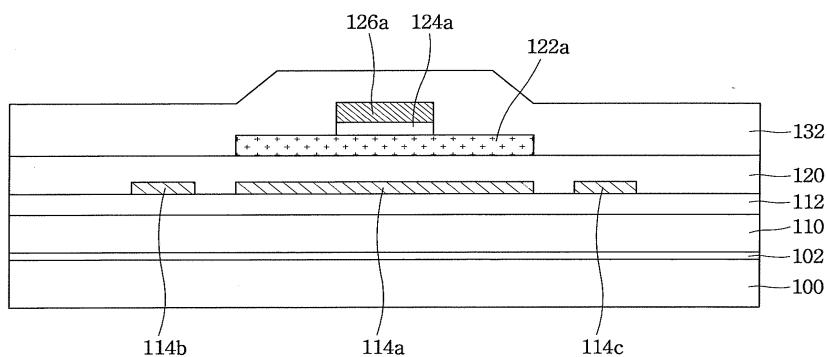
도면4h



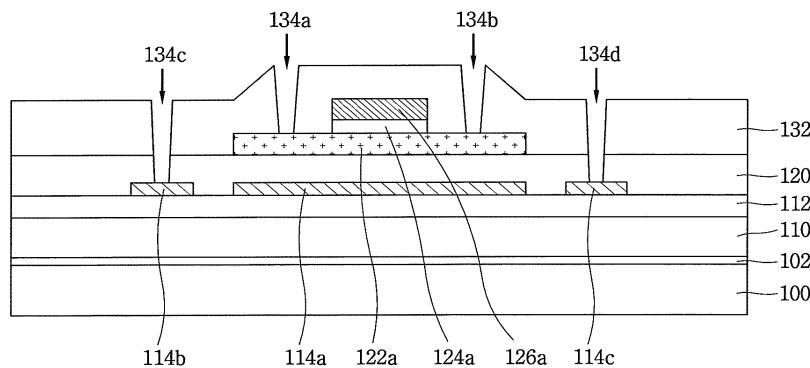
도면4i



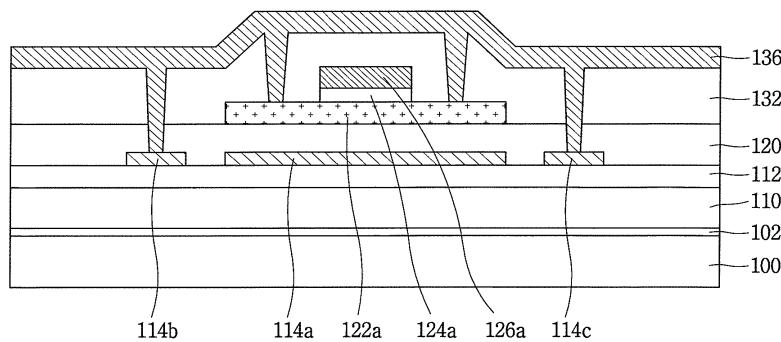
도면4j



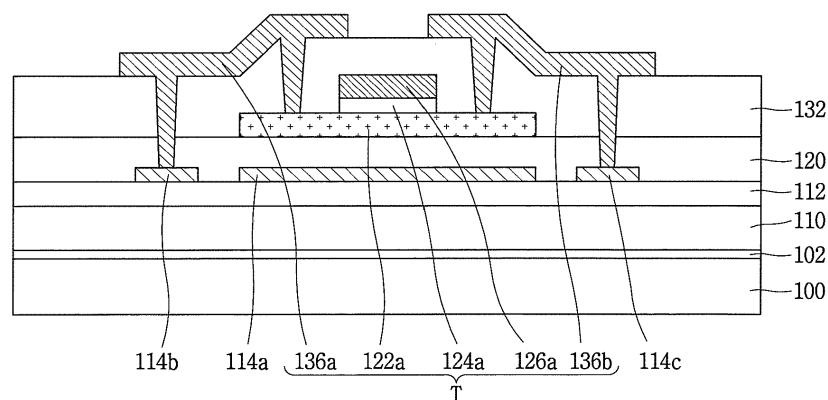
도면4k



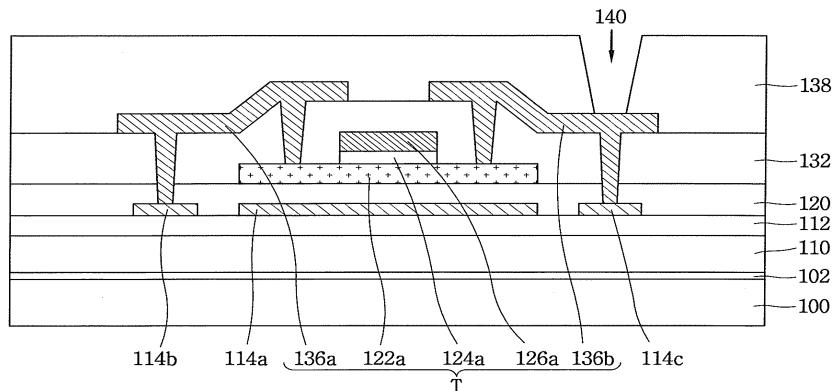
도면4l



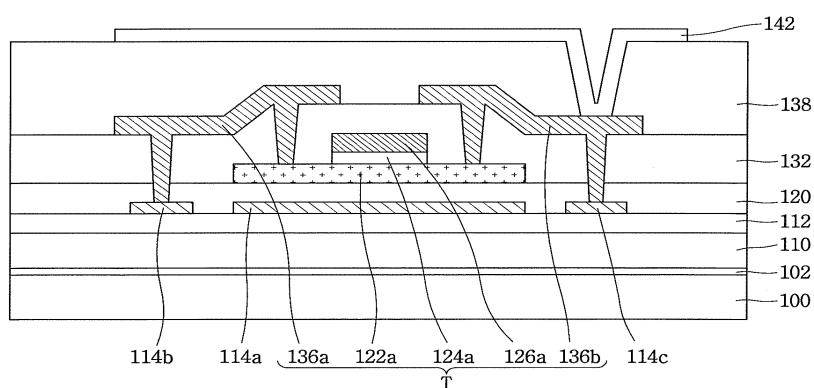
도면4m



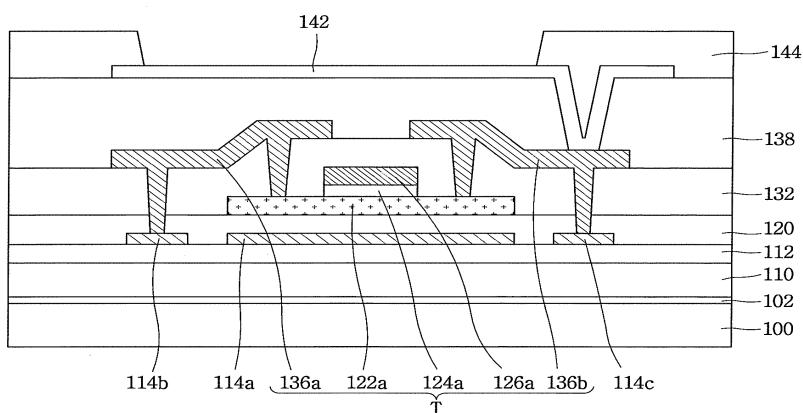
도면4n



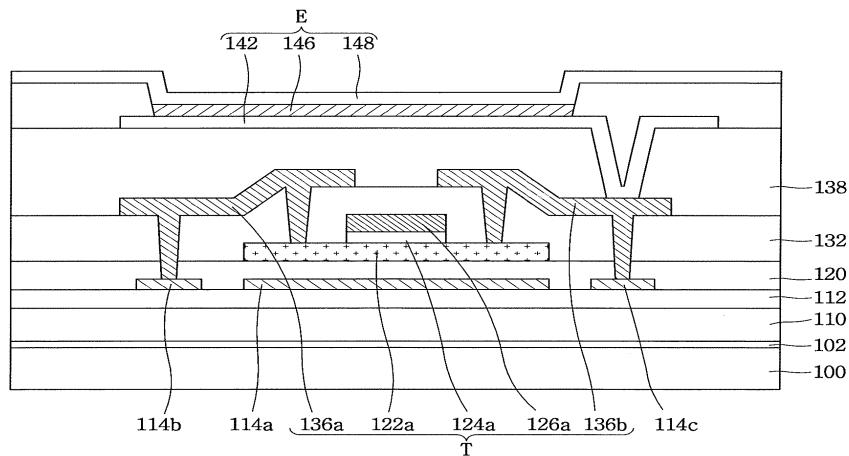
도면4o



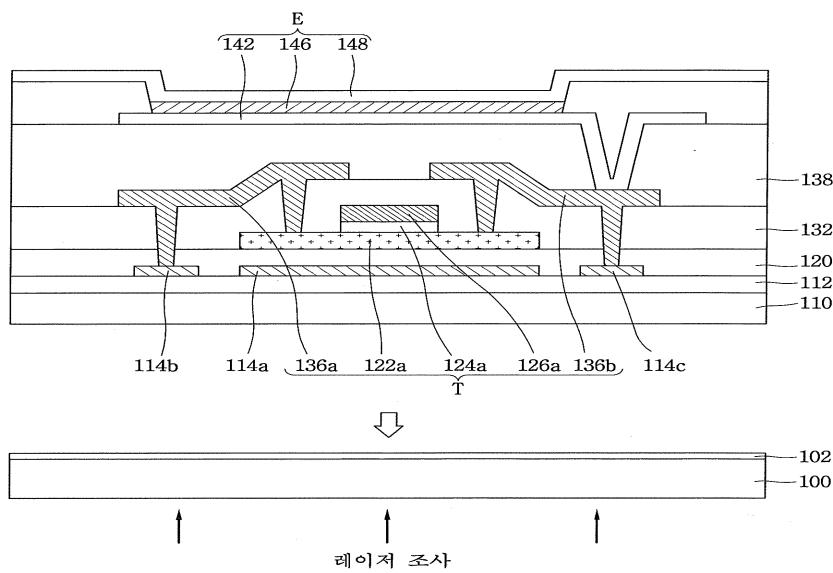
도면4p



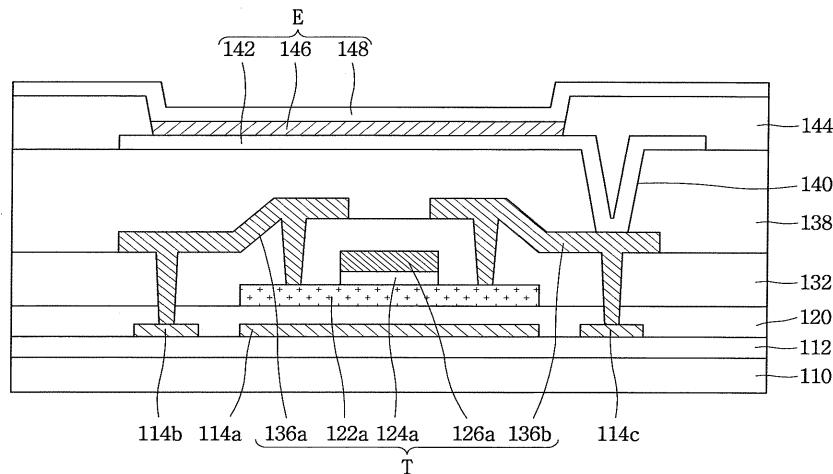
도면4q



도면4r



도면4s



专利名称(译)	标题 : 有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020170079632A	公开(公告)日	2017-07-10
申请号	KR1020150190398	申请日	2015-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	NA HYUNGIL 나형일		
发明人	나형일		
IPC分类号	H01L27/32 H01L51/50 H01L51/52 H01L51/56		
CPC分类号	H01L27/3258 H01L27/3262 H01L51/5012 H01L51/5212 H01L51/5228 H01L51/56 H01L2227/32		
代理人(译)	박장원		
外部链接	Espacenet		

摘要(译)

第二缓冲层，设置在第一缓冲层上，包括遮光图案和辅助电极图案;第二缓冲层，设置在第一缓冲层上，遮光图案和辅助电极图案设置在第一缓冲层上，栅极绝缘膜和栅电极堆叠在有源层上，第二缓冲层包括栅电极和有源层，其中有源层设置在栅电极的两侧，并且，多个接触孔暴露辅助电极图案，源电极和漏电极分别独立地连接到有源层和辅助电极图案。

