



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0057899
(43) 공개일자 2017년05월26일

- (51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) *G09G 3/32* (2016.01)
- (52) CPC특허분류
G09G 3/20 (2013.01)
G09G 3/3233 (2013.01)
- (21) 출원번호 10-2015-0161032
(22) 출원일자 2015년11월17일
심사청구일자 없음

- (71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
- (72) 발명자
유상호
경기도 파주시 책향기로 441 1013동 1403호 (동파동, 책향기마을동문굿모닝힐아파트)
- 김범식
경기도 수원시 권선구 권왕로 55 113동 1302호 (권선동, 권선자이e편한세상아파트)
- (74) 대리인
특허법인로얄

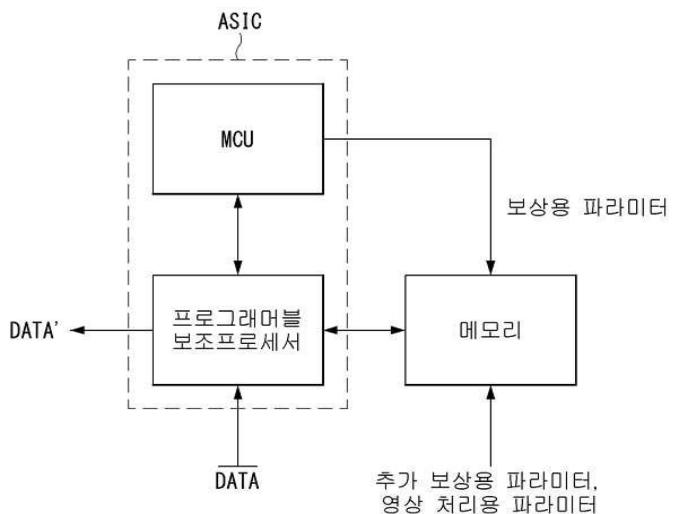
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **프로그램머블 주문형 반도체 회로와 그를 포함한 유기발광 표시장치**

(57) 요 약

본 발명은 프로그래머블 주문형 반도체 회로는 마이크로 콘트롤러 유닛과 보조 프로세서를 포함하며, 마이크로 콘트롤러 유닛은 표시패널의 발광소자와 구동소자 중 적어도 어느 하나의 전기적 특성에 대한 센싱값을 기초로 보상용 파라미터를 추출하고, 보조 프로세서는 입력 영상 데이터에 따라 미리 정해지는 연산 경로를 가지며 상기 연산 경로가 상기 마이크로 콘트롤러 유닛을 통해 변경 가능한 연산 로직회로를 포함하고, 상기 연산 로직회로에서 상기 보상용 파라미터를 상기 입력 영상 데이터에 적용하여 변조 데이터를 생성한다.

대 표 도 - 도1



(52) CPC특허분류

G09G 2300/0842 (2013.01)

G09G 2310/0297 (2013.01)

명세서

청구범위

청구항 1

표시패널의 발광소자와 구동소자 중 적어도 어느 하나의 전기적 특성에 대한 센싱값을 기초로 보상용 파라미터를 추출하는 마이크로 콘트롤러 유닛; 및

입력 영상 데이터에 따라 미리 정해지는 연산 경로를 가지며 상기 연산 경로가 상기 마이크로 콘트롤러 유닛을 통해 변경 가능한 연산 로직회로를 포함하고, 상기 연산 로직회로에서 상기 보상용 파라미터를 상기 입력 영상 데이터에 적용하여 변조 데이터를 생성하는 보조 프로세서를 구비한 프로그래머블 주문형 반도체 회로.

청구항 2

제 1 항에 있어서,

상기 보조 프로세서는,

상기 입력 영상 데이터에 따른 연산 경로를 선택하는 설정부; 및

다단의 파이프 라인 구조로 접속된 다수의 프로세스 엘리먼트들을 포함하여, 상기 설정부로부터 입력되는 연산 경로에 따라 상기 입력 영상 데이터, 상기 보상용 파라미터 및, 미리 설정된 추가 보상용 파라미터를 이용한 연산 동작을 수행 하는 실행부를 구비하는 프로그래머블 주문형 반도체 회로.

청구항 3

제 2 항에 있어서,

상기 설정부는,

상기 프로세스 엘리먼트들 각각에 대한 제1 먹스 선택 정보들이 상기 입력 영상 데이터의 계조별로 저장되고, 상기 제1 먹스 선택 정보들이 상기 마이크로 콘트롤러를 통해 프로그래밍되는 다수의 제1 툭업 테이블들과,

상기 프로세스 엘리먼트들 각각에 대한 제2 먹스 선택 정보들이 저장되고, 상기 제2 먹스 선택 정보들이 상기 마이크로 콘트롤러를 통해 프로그래밍되는 다수의 제2 툭업 테이블들과,

상기 보상용 파라미터가 미리 설정된 임계 범위 내에 속하는 경우 상기 제1 먹스 선택 정보들이 출력되도록 제어하고, 상기 보상용 파라미터가 상기 임계 범위를 벗어나는 경우 상기 제2 먹스 선택 정보들이 출력되도록 제어하는 조건 처리부를 구비하고,

동일한 프로세스 엘리먼트에 대한 상기 제1 먹스 선택 정보들과 상기 제2 먹스 선택 정보들은 서로 다른 프로그래머블 주문형 반도체 회로.

청구항 4

제 3 항에 있어서,

상기 제1 먹스 선택 정보들과 상기 제2 먹스 선택 정보들 각각은 선택 정보 A, 선택 정보 B, 및 선택 정보 C를 포함하고,

상기 프로세스 엘리먼트들 각각은,

상기 선택 정보 A에 따라 상기 입력 영상 데이터를 포함한 다수의 제1 입력 중 어느 하나를 선택적으로 출력하는 먹스 A와,

상기 선택 정보 B에 따라 상기 보상용 파라미터와 상기 추가 보상용 파라미터를 포함한 다수의 제2 입력 중 어느 하나를 선택적으로 출력하는 먹스 B와,

상기 먹스 A의 출력과 상기 먹스 B의 출력을 기반으로 서로 다른 연산 결과들을 산출하는 다수의 연산기들과,

상기 선택 정보 C에 따라 상기 연산 결과들과 상기 멀티 B의 출력 중 어느 하나를 선택적으로 출력하는 멀티 C를 구비하는 프로그래머블 주문형 반도체 회로.

청구항 5

제 3 항에 있어서,

행 방향으로 이웃한 상기 프로세스 엘리먼트들은 직렬 연산하고, 열 방향으로 이웃한 상기 프로세스 엘리먼트들은 병렬 연산하는 프로그래머블 주문형 반도체 회로.

청구항 6

제1 마이크로 콘트롤러 유닛과 제1 보조 프로세서와 내부 송신부를 갖는 제1 칩과, 제2 마이크로 콘트롤러 유닛과 제2 보조 프로세서와 외부 송신부 가지며 상기 제1 칩의 출력단에 접속되는 제2 칩을 구비하고,

상기 제1 보조 프로세서는 상기 제1 마이크로 콘트롤러 유닛의 제어하에, 입력 영상 데이터에 따라 미리 정해지는 제1 연산 경로를 가지며 상기 제1 연산 경로가 상기 제1 마이크로 콘트롤러 유닛을 통해 변경 가능한 제1 연산 로직회로를 포함하고 상기 제1 연산 로직회로에서 미리 설정된 영상 처리용 파라미터를 상기 입력 영상 데이터에 적용하여 중간 변조 데이터를 생성하기 위한 제1 연산 동작을 수행하고, 상기 내부 송신부는 상기 중간 변조 데이터를 상기 제2 칩에 송신하며,

상기 제2 마이크로 콘트롤러 유닛은 표시패널의 발광소자와 구동소자 중 적어도 어느 하나의 전기적 특성에 대한 센싱값을 기초로 보상용 파라미터를 추출하고, 상기 제2 보조 프로세서는 상기 중간 변조 데이터에 따라 미리 정해지는 제2 연산 경로를 가지며 상기 제2 연산 경로가 상기 제2 마이크로 콘트롤러 유닛을 통해 변경 가능한 제2 연산 로직회로를 포함하고, 상기 제2 연산 로직회로에서 상기 보상용 파라미터를 상기 중간 변조 데이터에 적용하여 최종 변조 데이터를 생성하기 위한 제2 연산 동작을 수행하고, 상기 외부 송신부는 상기 최종 변조 데이터를 외부로 송신하는 프로그래머블 주문형 반도체 회로.

청구항 7

발광소자와 구동소자를 갖는 다수의 화소들이 포함된 표시패널;

상기 발광소자와 구동소자 중 적어도 어느 하나의 전기적 특성을 센싱하여 1 화소 단위로 센싱값을 출력하는 소스 드라이버; 및

상기 센싱값을 기반으로 입력 영상 데이터를 보정하는 프로그래머블 주문형 반도체 회로를 포함하고,

상기 프로그래머블 주문형 반도체 회로는,

상기 센싱값을 기초로 보상용 파라미터를 추출하는 마이크로 콘트롤러 유닛; 및

입력 영상 데이터에 따라 미리 정해지는 연산 경로를 가지며 상기 연산 경로가 상기 마이크로 콘트롤러 유닛을 통해 변경 가능한 연산 로직회로를 포함하고, 상기 연산 로직회로에서 상기 보상용 파라미터를 상기 입력 영상 데이터에 적용하여 변조 데이터를 생성하는 보조 프로세서를 구비한 유기발광 표시장치.

청구항 8

제 7 항에 있어서,

상기 보조 프로세서는,

상기 입력 영상 데이터에 따른 연산 경로를 선택하는 설정부; 및

다단의 파이프 라인 구조로 접속된 다수의 프로세스 엘리먼트들을 포함하여, 상기 설정부로부터 입력되는 연산 경로에 따라 상기 입력 영상 데이터, 상기 보상용 파라미터 및, 미리 설정된 추가 보상용 파라미터를 이용한 연산 동작을 수행 하는 실행부를 구비하는 유기발광 표시장치.

청구항 9

제 8 항에 있어서,

상기 설정부는,

상기 프로세스 엘리먼트들 각각에 대한 제1 먹스 선택 정보들이 상기 입력 영상 데이터의 계조별로 저장되고, 상기 제1 먹스 선택 정보들이 상기 마이크로 콘트롤러를 통해 프로그래밍되는 다수의 제1 톱업 테이블들과,

상기 프로세스 엘리먼트들 각각에 대한 제2 먹스 선택 정보들이 저장되고, 상기 제2 먹스 선택 정보들이 상기 마이크로 콘트롤러를 통해 프로그래밍되는 다수의 제2 톱업 테이블들과,

상기 보상용 파라미터가 미리 설정된 임계 범위 내에 속하는 경우 상기 제1 먹스 선택 정보들이 출력되도록 제어하고, 상기 보상용 파라미터가 상기 임계 범위를 벗어나는 경우 상기 제2 먹스 선택 정보들이 출력되도록 제어하는 조건 처리부를 구비하고,

동일한 프로세스 엘리먼트에 대한 상기 제1 먹스 선택 정보들과 상기 제2 먹스 선택 정보들은 서로 다른 유기발광 표시장치.

청구항 10

제 9 항에 있어서,

상기 제1 먹스 선택 정보들과 상기 제2 먹스 선택 정보들 각각은 선택 정보 A, 선택 정보 B, 및 선택 정보 C를 포함하고,

상기 프로세스 엘리먼트들 각각은,

상기 선택 정보 A에 따라 상기 입력 영상 데이터를 포함한 다수의 제1 입력 중 어느 하나를 선택적으로 출력하는 먹스 A와,

상기 선택 정보 B에 따라 상기 보상용 파라미터와 상기 추가 보상용 파라미터를 포함한 다수의 제2 입력 중 어느 하나를 선택적으로 출력하는 먹스 B와,

상기 먹스 A의 출력과 상기 먹스 B의 출력을 기반으로 서로 다른 연산 결과들을 산출하는 다수의 연산기들과,

상기 선택 정보 C에 따라 상기 연산 결과들과 상기 먹스 B의 출력 중 어느 하나를 선택적으로 출력하는 먹스 C를 구비하는 유기발광 표시장치.

청구항 11

제 10 항에 있어서,

행 방향으로 이웃한 상기 프로세스 엘리먼트들은 직렬 연산하고, 열 방향으로 이웃한 상기 프로세스 엘리먼트들은 병렬 연산하는 유기발광 표시장치.

청구항 12

발광소자와 구동소자를 갖는 다수의 화소들이 포함된 표시패널;

상기 발광소자와 구동소자 중 적어도 어느 하나의 전기적 특성을 센싱하여 1 화소 단위로 센싱값을 출력하는 소스 드라이버; 및

상기 센싱값을 기반으로 입력 영상 데이터를 보정하는 프로그래머블 주문형 반도체 회로를 포함하고,

상기 프로그래머블 주문형 반도체 회로는,

제1 마이크로 콘트롤러 유닛과 제1 보조 프로세서와 내부 송신부를 갖는 제1 칩과, 제2 마이크로 콘트롤러 유닛과 제2 보조 프로세서와 외부 송신부를 가지며 상기 제1 칩의 출력단에 접속되는 제2 칩을 구비하고,

상기 제1 보조 프로세서는 상기 제1 마이크로 콘트롤러 유닛의 제어하에, 입력 영상 데이터에 따라 미리 정해지는 제1 연산 경로를 가지며 상기 제1 연산 경로가 상기 제1 마이크로 콘트롤러 유닛을 통해 변경 가능한 제1 연산 로직회로를 포함하고 상기 제1 연산 로직회로에서 미리 설정된 영상 처리용 파라미터를 상기 입력 영상 데이터에 적용하여 중간 변조 데이터를 생성하기 위한 제1 연산 동작을 수행하고, 상기 내부 송신부는 상기 중간 변조 데이터를 상기 제2 칩에 송신하며,

상기 제2 마이크로 콘트롤러 유닛은 상기 센싱값을 기초로 보상용 파라미터를 추출하고, 상기 제2 보조 프로세서는 상기 중간 변조 데이터에 따라 미리 정해지는 제2 연산 경로를 가지며 상기 제2 연산 경로가 상기 제2 마이크로 콘트롤러 유닛을 통해 변경 가능한 제2 연산 로직회로를 포함하고, 상기 제2 연산 로직회로에서 상기 보

상용 파라미터를 상기 중간 변조 데이터에 적용하여 최종 변조 데이터를 생성하기 위한 제2 연산 동작을 수행하고, 상기 외부 송신부는 상기 최종 변조 데이터를 외부로 송신하는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 프로그래머블 주문형 반도체 회로와 그를 포함한 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휙도 및 시야각이 큰 장점이 있다.

[0003] 자발광 소자인 OLED는 애노드전극 및 캐소드전극과, 이를 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 유기발광 표시장치는 OLED를 각각 포함한 화소들을 매트릭스 형태로 배열하고 비디오 데이터의 계조에 따라 화소들의 휙도를 조절한다. 화소들 각각은 자신의 게이트전극과 소스전극 사이에 걸리는 전압에 따라 OLED에 흐르는 구동전류를 제어하는 구동 소자 즉, 구동 TFT(Thin Film Transistor)를 포함한다. OLED와 구동 TFT는 온도나 열화에 의해 그 전기적 특성이 변한다. OLED 및/또는 구동 TFT의 전기적 특성이 화소들마다 달라지면 동일 비디오 데이터에 대해 화소들 간 휙도가 달라지므로 원하는 화상 구현이 어렵다.

[0005] OLED와 구동 TFT에 대한 전기적 특성을 보상하기 위해 외부 보상 기술이 알려져 있다. 외부 보상 기술은 OLED나 구동 TFT의 전기적 특성을 변화를 센싱하고, 그 센싱값을 기초로 디지털 비디오 데이터를 변조하는 것이다. 이러한 비디오 데이터에 대한 변조 동작은 시스템 온 칩(System On Chip) 기반의 주문형 반도체 회로(Application Specific Integrated Circuit, 이하, ASIC이라 함)에서 수행될 수 있다. ASIC은 표시패널로부터 지속적으로 입력되는 센싱값에 기초하여 실시간으로 보상용 파라미터를 추출하고, 이 보상용 파라미터를 이용한 실시간 연산 과정을 통해 비디오 데이터를 변조한다.

[0006] 종래 ASIC에서, 실시간 연산을 위한 연산회로는 고정된 하드웨어적인 로직으로 구현된다. 연산 수식(또는, 연산 알고리즘)은 패널 모델 변경 등과 같은 기술 이슈에 따라 변경될 수 있다. 그런데, 종래 ASIC에서는 연산회로가 고정 로직으로 이루어져 있기 때문에 로직 사이즈가 크고 기술 이슈에 따른 연산식 변경에 대응할 수 없다. 종래 ASIC에서는 연산식 변경이 필요한 경우 물리적으로 칩을 재설계할 수밖에 없다.

발명의 내용

해결하려는 과제

[0007] 따라서, 본 발명의 목적은 물리적으로 칩을 재설계함이 없이 프로그래밍 방식으로 연산 수식을 변경할 수 있게 하여 연산의 다양성과 확장성을 확보할 수 있도록 한 프로그래머블 주문형 반도체 회로와 그를 포함한 유기발광 표시장치를 제공하는 데 있다.

과제의 해결 수단

[0008] 상기 목적을 달성하기 위하여, 본 발명에 따른 프로그래머블 주문형 반도체 회로는 마이크로 콘트롤러 유닛과 보조 프로세서를 포함하며, 마이크로 콘트롤러 유닛은 표시패널의 발광소자와 구동소자 중 적어도 어느 하나의 전기적 특성에 대한 센싱값을 기초로 보상용 파라미터를 추출하고, 보조 프로세서는 입력 영상 데이터에 따라 미리 정해지는 연산 경로를 가지며 상기 연산 경로가 상기 마이크로 콘트롤러 유닛을 통해 변경 가능한 연산 로직회로를 포함하고, 상기 연산 로직회로에서 상기 보상용 파라미터를 상기 입력 영상 데이터에 적용하여 변조 데이터를 생성한다.

- [0009] 상기 보조 프로세서는, 상기 입력 영상 데이터에 따른 연산 경로를 선택하는 설정부와, 다단의 파이프 라인 구조로 접속된 다수의 프로세스 엘리먼트들을 포함하여, 상기 설정부로부터 입력되는 연산 경로에 따라 상기 입력 영상 데이터, 상기 보상용 파라미터 및, 미리 설정된 추가 보상용 파라미터를 이용한 연산 동작을 수행 하는 실행부를 구비한다.
- [0010] 상기 설정부는, 상기 프로세스 엘리먼트들 각각에 대한 제1 먹스 선택 정보들이 상기 입력 영상 데이터의 계조 별로 저장되고, 상기 제1 먹스 선택 정보들이 상기 마이크로 콘트롤러를 통해 프로그래밍되는 다수의 제1 루업 테이블들과, 상기 프로세스 엘리먼트들 각각에 대한 제2 먹스 선택 정보들이 저장되고, 상기 제2 먹스 선택 정보들이 상기 마이크로 콘트롤러를 통해 프로그래밍되는 다수의 제2 루업 테이블들과, 상기 보상용 파라미터가 미리 설정된 임계 범위 내에 속하는 경우 상기 제1 먹스 선택 정보들이 출력되도록 제어하고, 상기 보상용 파라미터가 상기 임계 범위를 벗어나는 경우 상기 제2 먹스 선택 정보들이 출력되도록 제어하는 조건 처리부를 구비하고, 동일한 프로세스 엘리먼트에 대한 상기 제1 먹스 선택 정보들과 상기 제2 먹스 선택 정보들은 서로 다르다.
- [0011] 상기 제1 먹스 선택 정보들과 상기 제2 먹스 선택 정보들 각각은 선택 정보 A, 선택 정보 B, 및 선택 정보 C를 포함하고,
- [0012] 상기 프로세스 엘리먼트들 각각은, 상기 선택 정보 A에 따라 상기 입력 영상 데이터를 포함한 다수의 제1 입력 중 어느 하나를 선택적으로 출력하는 먹스 A와, 상기 선택 정보 B에 따라 상기 보상용 파라미터와 상기 추가 보상용 파라미터를 포함한 다수의 제2 입력 중 어느 하나를 선택적으로 출력하는 먹스 B와, 상기 먹스 A의 출력과 상기 먹스 B의 출력을 기반으로 서로 다른 연산 결과들을 산출하는 다수의 연산기들과, 상기 선택 정보 C에 따라 상기 연산 결과들과 상기 먹스 B의 출력 중 어느 하나를 선택적으로 출력하는 먹스 C를 구비한다.
- [0013] 행 방향으로 이웃한 상기 프로세스 엘리먼트들은 직렬 연산하고, 열 방향으로 이웃한 상기 프로세스 엘리먼트들은 병렬 연산한다.
- [0014] 또한, 본 발명에 따른 프로그래머블 주문형 반도체 회로는, 제1 마이크로 콘트롤러 유닛과 제1 보조 프로세서와 내부 송신부를 갖는 제1 칩과, 제2 마이크로 콘트롤러 유닛과 제2 보조 프로세서와 외부 송신부 가지며 상기 제1 칩의 출력단에 접속되는 제2 칩을 구비하고, 상기 제1 보조 프로세서는 상기 제1 마이크로 콘트롤러 유닛의 제어하에, 입력 영상 데이터에 따라 미리 정해지는 제1 연산 경로를 가지며 상기 제1 연산 경로가 상기 제1 마이크로 콘트롤러 유닛을 통해 변경 가능한 제1 연산 로직회로를 포함하고 상기 제1 연산 로직회로에서 미리 설정된 영상 처리용 파라미터를 상기 입력 영상 데이터에 적용하여 중간 변조 데이터를 생성하기 위한 제1 연산 동작을 수행하고, 상기 내부 송신부는 상기 중간 변조 데이터를 상기 제2 칩에 송신하며, 상기 제2 마이크로 콘트롤러 유닛은 표시패널의 발광소자와 구동소자 중 적어도 어느 하나의 전기적 특성에 대한 센싱값을 기초로 보상용 파라미터를 추출하고, 상기 제2 보조 프로세서는 상기 중간 변조 데이터에 따라 미리 정해지는 제2 연산 경로를 가지며 상기 제2 연산 경로가 상기 제2 마이크로 콘트롤러 유닛을 통해 변경 가능한 제2 연산 로직회로를 포함하고, 상기 제2 연산 로직회로에서 상기 보상용 파라미터를 상기 중간 변조 데이터에 적용하여 최종 변조 데이터를 생성하기 위한 제2 연산 동작을 수행하고, 상기 외부 송신부는 상기 최종 변조 데이터를 외부로 송신한다.
- [0015] 또한, 본 발명에 따른 유기발광 표시장치는 발광소자와 구동소자를 갖는 다수의 화소들이 포함된 표시패널과, 상기 발광소자와 구동소자 중 적어도 어느 하나의 전기적 특성을 센싱하여 1 화소 단위로 센싱값을 출력하는 소스 드라이버와, 상기 센싱값을 기반으로 입력 영상 데이터를 보정하는 프로그래머블 주문형 반도체 회로를 포함하고, 상기 프로그래머블 주문형 반도체 회로는, 상기 센싱값을 기초로 보상용 파라미터를 추출하는 마이크로 콘트롤러 유닛과, 입력 영상 데이터에 따라 미리 정해지는 연산 경로를 가지며 상기 연산 경로가 상기 마이크로 콘트롤러 유닛을 통해 변경 가능한 연산 로직회로를 포함하고, 상기 연산 로직회로에서 상기 보상용 파라미터를 상기 입력 영상 데이터에 적용하여 변조 데이터를 생성하는 보조 프로세서를 구비한다.
- [0016] 또한, 본 발명에 따른 유기발광 표시장치는 발광소자와 구동소자를 갖는 다수의 화소들이 포함된 표시패널과, 상기 발광소자와 구동소자 중 적어도 어느 하나의 전기적 특성을 센싱하여 1 화소 단위로 센싱값을 출력하는 소스 드라이버와, 상기 센싱값을 기반으로 입력 영상 데이터를 보정하는 프로그래머블 주문형 반도체 회로를 포함하고, 상기 프로그래머블 주문형 반도체 회로는, 제1 마이크로 콘트롤러 유닛과 제1 보조 프로세서와 내부 송신부를 갖는 제1 칩과, 제2 마이크로 콘트롤러 유닛과 제2 보조 프로세서와 외부 송신부를 가지며 상기 제1 칩의 출력단에 접속되는 제2 칩을 구비하고, 상기 제1 보조 프로세서는 상기 제1 마이크로 콘트롤러 유닛의 제어하에, 입력 영상 데이터에 따라 미리 정해지는 제1 연산 경로를 가지며 상기 제1 연산 경로가 상기 제1 마

이므로 콘트롤러 유닛을 통해 변경 가능한 제1 연산 로직회로를 포함하고 상기 제1 연산 로직회로에서 미리 설정된 영상 처리용 파라미터를 상기 입력 영상 데이터에 적용하여 중간 변조 데이터를 생성하기 위한 제1 연산 동작을 수행하고, 상기 내부 송신부는 상기 중간 변조 데이터를 상기 제2 칩에 송신하며, 상기 제2 마이크로 콘트롤러 유닛은 상기 센싱값을 기초로 보상용 파라미터를 추출하고, 상기 제2 보조 프로세서는 상기 중간 변조 데이터에 따라 미리 정해지는 제2 연산 경로를 가지며 상기 제2 연산 경로가 상기 제2 마이크로 콘트롤러 유닛을 통해 변경 가능한 제2 연산 로직회로를 포함하고, 상기 제2 연산 로직회로에서 상기 보상용 파라미터를 상기 중간 변조 데이터에 적용하여 최종 변조 데이터를 생성하기 위한 제2 연산 동작을 수행하고, 상기 외부 송신부는 상기 최종 변조 데이터를 외부로 송신한다.

발명의 효과

[0017]

본 발명은 프로그래머블 보조 프로세서들을 채용함으로써 연산 로직회로 내의 연산 경로를 원하는 연산 수식에 맞게 프로그래밍 할 수 있기 때문에 종래와 같이 물리적으로 칩을 재설계할 필요 없이 연산 수식을 적절히 변경할 수 있다. 이를 통해 본 발명은 연산의 다양성과 확장성을 확보하여 패널 모델 변경이나 기술 이슈 등에 유연하게 대응할 수 있다.

도면의 간단한 설명

[0018]

도 1은 본 발명에 따른 ASIC을 개략적으로 보여주는 도면.

도 2는 2개의 보조 프로세서들을 포함한 ASIC의 일 예를 보여주는 도면.

도 3은 도 2의 보상 처리부에서 이뤄지는 일 연산 과정을 보여주는 도면.

도 4는 도 2의 ASIC의 구성을 보여주는 도면.

도 5는 도 4의 보상 처리부의 구성을 보여주는 도면.

도 6은 도 5의 설정부 및 실행부 각각의 구성을 보여주는 도면.

도 7은 프로그래밍 방식으로 연산 수식을 변경하고 변경된 연산 수식에 따라 입력 영상 데이터를 변조하는 보상 처리부의 동작 수순을 보여주는 흐름도.

도 8은 도 6의 설정부에 포함된 제1 루업 테이블들에 대한 일 예를 보여주는 도면.

도 9는 도 8의 제1 루업 테이블들에 의해 정해지는 연산 경로에 따라 연산 동작을 수행하는 도 6의 실행부의 일 예를 보여주는 도면.

도 10은 도 6의 설정부에 포함된 제1 루업 테이블들에 대한 다른 예를 보여주는 도면.

도 11은 도 10의 제1 루업 테이블들에 의해 정해지는 연산 경로에 따라 연산 동작을 수행하는 도 6의 실행부의 다른 예를 보여주는 도면.

도 12는 도 6의 설정부에 포함된 제1 루업 테이블들에 대한 또 다른 예를 보여주는 도면.

도 13은 도 12의 제1 루업 테이블들에 의해 정해지는 연산 경로에 따라 연산 동작을 수행하는 도 6의 실행부의 또 다른 예를 보여주는 도면.

도 14는 보상용 파라미터가 미리 정해진 임계 범위를 벗어하는 경우 도 6의 설정부에서 제1 루업 테이블들 대신에 제2 루업 테이블들을 선택하는 일 예를 보여주는 도면.

도 15는 도 14의 제2 루업 테이블들에 의해 정해지는 연산 경로에 따라 연산 동작을 수행하는 도 6의 실행부의 일 예를 보여주는 도면.

도 16은 1개의 보조 프로세서를 포함한 ASIC의 일 예를 보여주는 도면.

도 17은 2칩 구조를 갖는 ASIC의 일 예를 보여주는 도면.

도 18은 본 발명의 실시예에 따른 유기발광 표시장치를 보여주는 도면.

도 19는 화소 어레이와 소스 드라이버 IC의 구성 예를 보여주는 도면.

도 20 및 도 21은 본 발명의 일 화소 구성과 그에 연결되는 센싱 유닛의 구성 예를 보여주는 도면들.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 도 1 내지 도 21를 참조하여, 본 발명의 바람직한 실시예를 구체적으로 설명한다.
- [0020] 도 1은 본 발명에 따른 ASIC을 개략적으로 보여준다.
- [0021] 도 1을 참조하면, 본 발명에 따른 ASIC은 마이크로 콘트롤러 유닛(Micro Controller Unit, 이하, MCU)과 적어도 하나 이상의 프로그래머블 보조 프로세서를 포함한다. ASIC은 외부 보상 기술을 구현하기 위한 연산 동작과, 화질 향상을 위한 영상 처리 기술을 구현하기 위한 연산 동작을 수행하는 데, 특히 프로그래머블 보조 프로세서(Programmable Co-Processor)를 채용하여 물리적으로 칩을 재설계함이 없이 프로그래밍 방식으로 연산 수식을 변경할 수 있다.
- [0022] MCU는 ASIC 내에서 이뤄지는 전반적인 연산 동작을 제어한다. 외부 보상 동작이 수행될 때, MCU는 표시패널의 발광소자와 구동소자 중 적어도 어느 하나의 전기적 특성에 대한 센싱값을 미리 설정된 추출 알고리즘에 적용하여 보상용 파라미터를 추출한다. 추출 알고리즘은 프로그래밍 방식으로 변경 가능하다. 발광소자는 각 화소에 포함된 유기발광다이오드(Organic Light Emitting Diode: 이하, OLED)를 나타내고, 구동소자는 각 화소에 포함된 구동 TFT(Thin Film Transistor)를 나타낸다. 그리고, OLED의 전기적 특성은 OLED의 동작점 전압을 의미하고, 구동 TFT의 전기적 특성은 구동 TFT의 문턱전압과 구동 TFT의 전자 이동도를 의미한다.
- [0023] MCU는 추출된 보상용 파라미터를 메모리에 저장한다. 메모리에는 보상용 파라미터 이외에 추가 보상용 파라미터가 더 저장될 수 있다. 추가 보상용 파라미터는 연산 수식에 대한 변경이 필요한 경우에 더 적용되는 것으로, 연산 수식의 확장성이 확보되도록 다양한 값으로 미리 선택되어 메모리에 저장될 수 있다. 한편, 메모리에는 외부 보상 기술을 제외한 공지의 다양한 영상 처리 기술에 대응하여, 그 영상 처리를 위한 연산 동작에 필요한 영상 처리용 파라미터가 더 저장될 수도 있다. 영상 처리용 파라미터는 다양한 방식의 영상 처리 기술에 대응하여 적절한 값으로 미리 선택되어 메모리에 저장될 수 있다.
- [0024] 프로그래머블 보조 프로세서는 입력 영상 데이터(DATA)에 따라 미리 정해지는 연산 경로를 가지며 그 연산 경로가 MCU를 통해 변경 가능한 연산 로직회로를 포함한다. 연산 로직회로에 이뤄지는 연산 경로에 의해 연산 결과가 결정된다. 연산 수식이 바뀌면 연산 경로가 달라지는 데, 연산 경로는 MCU를 통해 프로그래밍 가능한 루프 테이블로 구현될 수 있다.
- [0025] 연산 수식(또는, 연산 알고리즘)은 패널 모델 변경 등과 같은 기술 이슈에 따라 변경될 수 있다. 본 발명은 연산 로직회로 내의 연산 경로를 원하는 연산 수식에 맞게 프로그래밍 할 수 있기 때문에 종래와 같이 물리적으로 칩을 재설계할 필요 없이 연산 수식을 적절히 변경할 수 있다.
- [0026] 프로그래머블 보조 프로세서는 연산 로직회로를 통해 보상용 파라미터, 또는 보상용 파라미터와 추가 보상용 파라미터를 입력 영상 데이터(DATA)에 적용하여 변조 데이터(DATA')를 생성할 수 있다. 한편, 프로그래머블 보조 프로세서는 연산 로직회로를 통해 영상 처리용 파라미터를 입력 영상 데이터(DATA)에 적용하여 변조 데이터(DATA')를 생성할 수도 있다.
- [0027] 도 2는 2개의 보조 프로세서들을 포함한 ASIC의 일 예를 보여준다. 도 3은 도 2의 보상 처리부에서 이뤄지는 일 연산 과정을 보여준다. 그리고, 도 4는 도 2의 ASIC의 구성을 보여준다.
- [0028] 도 2 내지 도 4를 참조하면, 본 발명의 일 실시예에 따른 ASIC(50)은 2개의 프로그래머블 보조 프로세서들을 포함하여 영상 처리 기술에 필요한 연산 경로와, 외부 보상 기술에 필요한 연산 경로를 프로그래밍 방식(또는 소프트웨어 방식)으로 변경할 수 있다. 이러한 ASIC(50)은 2개의 프로그래머블 보조 프로세서들을 채용함으로써 화질 관련 영상 처리 기술뿐만 아니라 외부 보상 기술에 대한 모든 알고리즘들을 프로그래밍 방식으로 변경할 수 있다.
- [0029] ASIC(50)은 수신부(1101), 데이터 정렬부(1102), 영상 처리부(1103), 보상 처리부(1104), 타이밍 콘트롤러(1105), 송신부(1106), MCU(1107), 및 메모리 제어부(1108)를 포함할 수 있다.
- [0030] 수신부(1101)는 시스템으로부터 입력 영상 데이터(DATA)와 타이밍 신호들을 수신한다. 데이터 정렬부(1102)는 타이밍 신호들을 기반으로 입력 영상 데이터(DATA)를 정렬한다.
- [0031] 영상 처리부(1103)는 프로그래머블 보조 프로세서로 구현된다. 영상 처리부(1103)는 제2 메모리(200)에 저장된 영상 처리용 파라미터를 프로그램 가능한 연산 로직회로를 통해 입력 영상 데이터(DATA)에 적용하여 입력 영상 데이터(DATA)의 화질을 향상시킬 수 있다. 영상 처리부(1103)의 동작은 이하에서 설명하는 보상 처리부(1104)의

동작과 유사하다.

[0032] 보상 처리부(1104)는 프로그래머블 보조 프로세서로 구현된다. 보상 처리부(1104)는 제1 메모리(100)에 저장된 보상용 파라미터(또는 보상용 파라미터와 추가 보상용 파라미터)를 프로그램 가능한 연산 로직회로를 통해 입력 영상 데이터(DATA)에 적용하여 변조 데이터(DATA')를 생성할 수 있다. 보상용 파라미터는 OLED의 동작점 전압 변화량 및/또는 구동 TFT의 문턱전압 변화량을 나타내는 ϕ 파라미터, 및 구동 TFT의 전자 이동도 변화량을 나타내는 k 파라미터를 포함한다.

[0033] 보상 처리부(1104)는 정해진 연산 경로에 따라 연산 동작을 수행하는 데, 예를 들어 도 3과 같이 영상 처리부(1103)에서 출력되는 입력 영상 데이터(DATA)에 k 파라미터를 곱하고, 그 승산값에 ϕ 파라미터를 더하여 변조 데이터($DATA' = k * DATA + \phi$)를 생성할 수 있다.

[0034] MCU(1107)는 프로그래머블 보조 프로세서로 구현되는 영상 처리부(1103)와 보상 처리부(1104) 각각의 연산 동작을 제어한다. MCU(1107)는 메모리 제어부(1108)의 동작을 제어하여, 메모리들(100, 200)에 정보를 기입(write)하거나, 또는 메모리들(100, 200)에 저장된 정보를 읽어낸다.

[0035] 타이밍 콘트롤러(1105)는 보상 처리부(1104)로부터 출력되는 변조 데이터(DATA')와, 표시패널을 구동하는 구동 회로들의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 송신부(1106)를 통해 송신한다. 송신부(1106)는 외부 인터페이스 회로를 포함한다.

[0036] 도 5는 도 4의 보상 처리부(1104)의 구성을 보여준다. 도 6은 도 5의 설정부(1104A) 및 실행부(1104B) 각각의 구성을 보여준다. 그리고, 도 7은 프로그래밍 방식으로 연산 수식을 변경하고 변경된 연산 수식에 따라 입력 영상 데이터(DATA)를 변조하는 보상 처리부(1104)의 동작 수순을 보여준다.

[0037] 도 5 내지 도 7을 참조하면, 보상 처리부(1104)는 프로그래머블 보조 프로세서로 동작되기 위해 입력 영상 데이터(DATA)에 따른 연산 경로를 선택하는 설정부(1104A)와, 다단의 파이프 라인 구조로 접속된 다수의 프로세스 엘리먼트들(PE)을 구비하여 선택된 연산 경로에 따라 연산 동작을 수행하는 실행부(1104B)를 포함한다.

[0038] 설정부(1104A)는 연산 경로 선택을 위해, 다수의 제1 루업 테이블들(LUTa)과, 다수의 제2 루업 테이블들(LUTb)과, 조건 처리부(COND)와, 선택부를 구비한다.

[0039] 제1 루업 테이블들(LUTa)에는 프로세스 엘리먼트들(PE) 각각에 대한 제1 먹스 선택 정보들이 입력 영상 데이터(DATA)의 계조별로 저장된다. 제1 먹스 선택 정보들은 MCU(1107)를 통한 프로그래밍에 의해 변경 가능하다. 제1 먹스 선택 정보들은 모든 계조에서 동일하게 설정(도 8에 예시)되거나 또는, 일정 계조 범위 단위로 다르게 설정(도 10, 도 12에 예시)될 수 있다. 제1 루업 테이블들(LUTa)은 병렬 연산이 가능하도록 다차원 형태로 배열될 수 있다. 제1 루업 테이블들(LUTa)은 프로세스 엘리먼트들(PE)의 행 개수만큼 구비될 수 있다. 예를 들어, 프로세스 엘리먼트들(PE)이 행 방향으로 n 개만큼 배열되고, 열 방향으로 m 개만큼 배열되는 경우, 제1 루업 테이블들(LUTa)은 m 개만큼 구비될 수 있다. 제1 루업 테이블들(LUTa) 각각에는 동일 행에 배열된 프로세스 엘리먼트들(PE)에 대한 제1 먹스 선택 정보들이 입력 영상 데이터(DATA)의 계조별로 저장된다.

[0040] 제2 루업 테이블들(LUTb)에는 프로세스 엘리먼트들(PE) 각각에 대한 제2 먹스 선택 정보들이 저장된다. 제2 먹스 선택 정보들은 MCU(1107)를 통한 프로그래밍에 의해 변경 가능하다. 제2 루업 테이블들(LUTb)은 특정 이상 조건(abnormal condition)에서 제1 루업 테이블들(LUTa)을 대체하기 위해 구비된다. 따라서, 동일한 프로세스 엘리먼트에 대한 제2 먹스 선택 정보들은 제1 먹스 선택 정보들과 서로 다르다.

[0041] 조건 처리부(COND)는 보상용 파라미터(k, ϕ)를 분석하여 보상용 파라미터(k, ϕ)가 미리 설정된 임계 범위 내에 속하는지 여부를 결정한다. 보상용 파라미터(k, ϕ)의 크기는 아날로그-디지털 컨버터(이하, ADC)로부터 입력되는 센싱값에 기초하여 정해진다. 따라서, 센싱값이 온도와 같은 외부 환경의 영향에 의해 언더 플로우(underflow)되거나 또는 오버 플로우(overflow) 되는 경우, 보상용 파라미터(k, ϕ)는 원하지 않는 값으로 왜곡될 수 있다. 조건 처리부(COND)는 임계 범위를 미리 설정하고, 보상용 파라미터(k, ϕ)가 이 임계 범위(혹은, 마진 범위) 내에 속하면 정상이라고 판단하고, 보상용 파라미터(k, ϕ)가 이 임계 범위를 벗어나면 비 정상이라고 판단할 수 있다. 조건 처리부(COND)는 보상용 파라미터(k, ϕ)가 정상이라 판단되는 경우, 선택부를 제어하여 제1 루업 테이블들(LUTa)에 저장된 제1 먹스 선택 정보들이 출력되도록 할 수 있다. 반면, 조건 처리부(COND)는 보상용 파라미터(k, ϕ)가 비 정상이라 판단되는 경우, 선택부를 제어하여 제2 루업 테이블들(LUTb)에 저장된 제2 먹스 선택 정보들이 출력되도록 할 수 있다.

[0042] 한편, 제1 먹스 선택 정보들은 선택 정보 A, 선택 정보 B, 및 선택 정보 C를 각각 포함하고, 마찬가지로 제2 먹

스 선택 정보들도 선택 정보 A, 선택 정보 B, 및 선택 정보 C를 각각 포함한다.

- [0043] 실행부(1104B)는 설정부(1104A)에서 선택된 연산 경로에 따라 연산 동작을 수행하는 다수의 프로세스 엘리먼트들(PE)을 구비하여, 표시패널의 $[r][c]$ 위치에 대응되는 보상용 파라미터($k[r][c], \phi[r][c]$) 또는, 보상용 파라미터($k[r][c], \phi[r][c]$)와 추가 보상용 파라미터(를, $[r][c]$ 위치에 기입될 입력 영상 데이터(DATA[r][c])에 적용한다. 이를 위해, 각 프로세스 엘리먼트(PE)는 3개의 막스들(A,B,C)과 다수의 연산기들(SUB,MULT,ADD,LUT,DIV)을 포함한다.
- [0044] 막스 A는 선택 정보 A에 따라 입력 영상 데이터(DATA)를 포함한 다수의 제1 입력 중 어느 하나를 선택적으로 출력한다. 제1 입력에는 추가 보상용 파라미터(파라미터 A, 파라미터 B) 등이 더 포함될 수 있다.
- [0045] 막스 B는 선택 정보 B에 따라 보상용 파라미터(k, ϕ)를 포함한 다수의 제2 입력 중 어느 하나를 선택적으로 출력한다. 제2 입력에는 이웃한 프로세스 엘리먼트(PE)의 출력(Output A, Output B)이 더 포함될 수 있다.
- [0046] 연산기들(SUB,MULT,ADD,LUT,DIV)은 막스 A의 출력과 막스 B의 출력을 기반으로 서로 다른 연산 결과들을 산출한다. 연산기(SUB)는 막스 A의 출력과 막스 B의 출력을 서로 감산한다. 연산기(MULT)는 막스 A의 출력과 막스 B의 출력을 서로 승산한다. 연산기(ADD)는 막스 A의 출력과 막스 B의 출력을 서로 합산한다. 연산기(DIV)는 막스 A의 출력과 막스 B의 출력을 서로 제산한다. 연산기(LUT)는 막스 A의 출력과 막스 B의 출력을 서로 루트 연산(route operation) 한다.
- [0047] 막스 C는 선택 정보 C에 따라 연산기들의 연산 결과들과 막스 B의 출력 중 어느 하나를 선택적으로 출력한다. 예를 들어, 막스 C는, 선택 정보 C가 5인 경우 연산기(SUB)의 감산 결과를 출력하고, 선택 정보 C가 4인 경우 연산기(MULT)의 승산 결과를 출력하고, 선택 정보 C가 3인 경우 연산기(ADD)의 합산 결과를 출력하고, 선택 정보 C가 2인 경우 연산기(LUT)의 루트 연산 결과를 출력하고, 선택 정보 C가 1인 경우 연산기(DIV)의 제산 결과를 출력하고, 선택 정보 C가 0인 경우 막스 B의 출력을 그대로 바이패스 시킨다.
- [0048] 행 방향으로 이웃한 프로세스 엘리먼트들(PE[0][0], ..., PE[0][n])은 캐스케이드 방식에 따라 전단 프로세스 엘리먼트의 출력단이 후단 프로세스 엘리먼트의 입력단에 연결되기 때문에, 직렬 연산을 수행한다. 이에 반해, 열 방향으로 이웃한 프로세스 엘리먼트들(PE[0][0], ..., PE[m][0])은 병렬 연산을 수행한다.
- [0049] 이렇게 본 발명의 보상 처리부(1104)는 MCU(1107)를 통해 루업 테이블들(LUT)에 막스 선택 정보들이 프로그래밍되고 나면, 막스 선택 정보들에 기초하여 입력 영상 데이터(DATA)에 따른 실시간 연산 경로를 선택한다(S1,S2). 그리고, 본 발명의 보상 처리부(1104)는 연산 경로에 정해지는 연산 수식에 의해 입력 영상 데이터(DATA)를 실시간 연산하여 변조 데이터(DATA')를 출력한다(S3,S4).
- [0050] 도 8은 도 6의 설정부(1104A)에 포함된 제1 루업 테이블들(LUTa)에 대한 일 예를 보여준다. 그리고, 도 9는 도 8의 제1 루업 테이블들(LUTa)에 의해 정해지는 연산 경로에 따라 연산 동작을 수행하는 도 6의 실행부(1104B)의 일 예를 보여준다.
- [0051] 보상 처리부(1104)에서 변조 데이터(DATA')를 생성하기 위한 연산 수식은 계조에 상관없이 동일하게 설정될 수 있다. 예를 들어, 연산 수식이 "DATA*k+φ"라고 가정하면, 이러한 연산 수식을 구현하기 위한 연산 경로가 도 8과 같이 제1 막스 선택 정보들로서 제1 루업 테이블들(LUTa)에 프로그래밍 된다. 제1 루업 테이블들(LUTa)에서, 표시패널의 $[r][c]$ 위치에 기입될 입력 영상 데이터(DATA[r][c])의 계조가 '345'인 경우, 프로세스 엘리먼트(PE[0][0])에 대한 선택 정보 A,B,C는 각각 4,3,4이고, 프로세스 엘리먼트(PE[0][1])에 대한 선택 정보 A,B,C는 각각 4,4,3이며, 프로세스 엘리먼트(PE[0][2])에 대한 선택 정보 A,B,C는 각각 X(don't care를 지시함),2,0일 수 있다.
- [0052] 도 9와 같이, 프로세스 엘리먼트(PE[0][0])는 각각 4,3,4의 선택 정보 A,B,C에 응답하여 "DATA[r][c]*k[r][c]"를 출력하고, 프로세스 엘리먼트(PE[0][1])는 각각 4,4,3의 선택 정보 A,B,C에 응답하여 "DATA[r][c]*k[r][c]+φ[r][c]"를 출력하고, 프로세스 엘리먼트(PE[0][2])는 각각 X,2,0의 선택 정보 A,B,C에 응답하여 "DATA[r][c]*k[r][c]+φ[r][c]"를 그대로 바이패스한다. 이러한 바이패스 동작은 이후의 프로세스 엘리먼트들(PE[0][3]~PE[0][n])에서도 동일하게 이루어져 최종적으로 "345*k[r][c]+φ[r][c]"의 값을 갖는 변조 데이터(DATA')가 보상 처리부(1104)에서 출력된다.
- [0053] 한편, 보상 처리부(1104)에서 변조 데이터(DATA')를 생성하기 위한 연산 수식은 계조 범위 단위로 다르게 설정될 수 있다. 예를 들어, 도 10 및 도 11과 같이 연산 수식이 0~511 계조 범위에서 "(DATA*k+φ)*θ"일 수 있고, 도 12 및 도 13과 같이 연산 수식이 512~1023 계조 범위에서 "DATA*k+φ*θ"일 수 있다.

- [0054] 도 10은 도 6의 설정부(1104A)에 포함된 제1 루업 테이블들(LUTa)에 대한 다른 예를 보여준다. 그리고, 도 11은 도 10의 제1 루업 테이블들(LUTa)에 의해 정해지는 연산 경로에 따라 연산 동작을 수행하는 도 6의 실행부(1104B)의 다른 예를 보여준다.
- [0055] 0~511 계조 범위에 대한 연산 수식이 "(DATA*k+φ)*Θ"라고 가정하면, 이러한 연산 수식을 구현하기 위한 연산 경로가 도 10과 같이 제1 막스 선택 정보들로서 제1 루업 테이블들(LUTa)에 프로그래밍 된다. 제1 루업 테이블들(LUTa)에서, 표시패널의 [r][c] 위치에 기입될 입력 영상 데이터(DATA[r][c])의 계조가 '312'인 경우, 프로세스 엘리먼트(PE[0][0])에 대한 선택 정보 A,B,C는 각각 4,3,4이고, 프로세스 엘리먼트(PE[0][1])에 대한 선택 정보 A,B,C는 각각 4,4,3이고, 프로세스 엘리먼트(PE[0][2])에 대한 선택 정보 A,B,C는 각각 3,2,4이며, 프로세스 엘리먼트들(PE[0][3]~ PE[0][n])에 대한 선택 정보 A,B,C는 각각 X(don't care를 지시함),2,0일 수 있다.
- [0056] 도 11과 같이, 프로세스 엘리먼트(PE[0][0])는 각각 4,3,4의 선택 정보 A,B,C에 응답하여 "DATA[r][c]*k[r][c]"를 출력하고, 프로세스 엘리먼트(PE[0][1])는 각각 4,4,3의 선택 정보 A,B,C에 응답하여 "DATA[r][c]*k[r][c]+φ[r][c]"를 출력하고, 프로세스 엘리먼트(PE[0][2])는 각각 3,2,4의 선택 정보 A,B,C에 응답하여 "(DATA[r][c]*k[r][c]+φ[r][c])*Θ"를 출력하고, 프로세스 엘리먼트들(PE[0][3]~ PE[0][n])은 각각 X,2,0의 선택 정보 A,B,C에 응답하여 "(DATA[r][c]*k[r][c]+φ[r][c])*Θ"를 그대로 바이패스한다. 따라서, 최종적으로 "(312*k[r][c]+φ[r][c])*Θ"의 값을 갖는 변조 데이터(DATA')가 보상 처리부(1104)에서 출력된다.
- [0057] 도 12는 도 6의 설정부(1104A)에 포함된 제1 루업 테이블들(LUTa)에 대한 또 다른 예를 보여준다. 그리고, 도 13은 도 12의 제1 루업 테이블들(LUTa)에 의해 정해지는 연산 경로에 따라 연산 동작을 수행하는 도 6의 실행부(1104B)의 또 다른 예를 보여준다.
- [0058] 512~1023 계조 범위에 대한 연산 수식이 "DATA*k+φ*Θ"라고 가정하면, 이러한 연산 수식을 구현하기 위한 연산 경로가 도 12와 같이 제1 막스 선택 정보들로서 제1 루업 테이블들(LUTa)에 프로그래밍 된다. 연산 수식 "DATA*k+φ*Θ"은 이웃한 2개 행들에 배치된 프로세스 엘리먼트들이 병렬 연산됨으로써 구현될 수 있다. 병렬 연산을 위한 제1 루업 테이블들(LUTa)의 구성을 설명하면 다음과 같다. 제1 루업 테이블들(LUTa)에서, 표시패널의 [r][c] 위치에 기입될 입력 영상 데이터(DATA[r][c])의 계조가 '600'인 경우, 프로세스 엘리먼트(PE[0][0])에 대한 선택 정보 A,B,C는 각각 4,3,4이고, 프로세스 엘리먼트(PE[0][1])에 대한 선택 정보 A,B,C는 각각 4,1,3이고, 프로세스 엘리먼트들(PE[0][2]~ PE[0][n])에 대한 선택 정보 A,B,C는 각각 X(don't care를 지시함),2,0일 수 있다. 그리고, 이 경우, 프로세스 엘리먼트(PE[1][0])에 대한 선택 정보 A,B,C는 각각 3,4,4이고, 엘리먼트들(PE[1][1]~ PE[1][n])에 대한 선택 정보 A,B,C는 각각 X,X,X일 수 있다.
- [0059] 도 13과 같이, 프로세스 엘리먼트(PE[0][0])는 각각 4,3,4의 선택 정보 A,B,C에 응답하여 "DATA[r][c]*k[r][c]"를 출력한다. 이와 동시에, 프로세스 엘리먼트(PE[1][0])는 각각 3,4,4의 선택 정보 A,B,C에 응답하여 "φ[r][c]*Θ"를 출력한다. 프로세스 엘리먼트(PE[0][1])는 각각 4,1,3의 선택 정보 A,B,C에 응답하여 "DATA[r][c]*k[r][c]+φ[r][c]*Θ"를 출력하고, 프로세스 엘리먼트들(PE[0][2]~ PE[0][n])은 각각 X,2,0의 선택 정보 A,B,C에 응답하여 "(DATA[r][c]*k[r][c]+φ[r][c])*Θ"를 그대로 바이패스한다. 따라서, 최종적으로 "600*k[r][c]+φ[r][c]*Θ"의 값을 갖는 변조 데이터(DATA')가 보상 처리부(1104)에서 출력된다.
- [0060] 도 14는 보상용 파라미터(k, ϕ)가 미리 정해진 임계 범위를 벗어하는 경우 도 6의 설정부(1104A)에서 제1 루업 테이블들(LUTa) 대신에 제2 루업 테이블들(LUTb)을 선택하는 일 예를 보여준다. 그리고, 도 15는 도 14의 제2 루업 테이블들(LUTb)에 의해 정해지는 연산 경로에 따라 연산 동작을 수행하는 도 6의 실행부(1104B)의 일 예를 보여준다.
- [0061] 설정부(1104A)는 도 8 내지 도 13에서와 같이 보상용 파라미터(k, ϕ)가 미리 정해진 임계 범위에 속하는 경우에는 연산 경로 셋팅(연산 수식 구현)을 위해 제1 루업 테이블들(LUTa)을 선택하지만, 보상용 파라미터(k, ϕ)가 미리 정해진 임계 범위를 벗어하는 경우에는 제1 루업 테이블들(LUTa) 대신에 제2 루업 테이블들(LUTb)을 선택하게 된다.
- [0062] 보상 처리부(1104)에서 변조 데이터(DATA')를 생성하기 위한 연산 수식이 "DATA*k+φ"이고, 표시패널의 [r][c] 위치에 기입될 입력 영상 데이터(DATA[r][c])의 계조가 '345'인 경우, 프로세스 엘리먼트(PE[0][0])에 대한 선택 정보 A,B,C는 각각 4,1,4이고, 프로세스 엘리먼트(PE[0][1])에 대한 선택 정보 A,B,C는 각각 4,0,3이며, 프로세스 엘리먼트들(PE[0][2]~ PE[0][n])에 대한 선택 정보 A,B,C는 각각 X(don't care를 지시함),2,0일 수 있다.

- [0063] 도 15와 같이, 프로세스 엘리먼트(PE[0][0])는 각각 4,1,4의 선택 정보 A,B,C에 응답하여 "DATA[r][c]*k[r][c-1]"를 출력하고, 프로세스 엘리먼트(PE[0][1])는 각각 4,0,3의 선택 정보 A,B,C에 응답하여 "DATA[r][c]*k[r][c-1]+φ[r][c-1]"를 출력하고, 프로세스 엘리먼트들(PE[0][2]~ PE[0][n])은 각각 X,2,0의 선택 정보 A,B,C에 응답하여 "DATA[r][c]*k[r][c-1]+φ[r][c-1]"를 그대로 바이패스한다. 이에 따라 최종적으로 "345*k[r][c-1]+φ[r][c-1]"의 값을 갖는 변조 데이터(DATA')가 보상 처리부(1104)에서 출력된다.
- [0064] 이 예에서는 표시패널의 [r][c] 위치에 대응되는 보상용 데이터(k[r][c], φ[r][c])가 센싱값의 오버 플로워 또는 언더 플로워로 인해 왜곡된 경우, 이 비 정상적인 보상용 데이터(k[r][c], φ[r][c]) 대신에 이웃한 위치의 정상적인 보상용 데이터(k[r][c-1]+φ[r][c-1])를 [r][c] 위치의 입력 영상 데이터(DATA[r][c])에 적용한 것을 보여주고 있다. 대체되는 보상용 데이터는 제2 루업 테이블들(LUTb)을 어떻게 프로그래밍하느냐에 따라 달라지기 때문에, 얼마든지 변경 가능하다.
- [0065] 도 16은 1개의 보조 프로세서를 포함한 ASIC의 일 예를 보여준다. 그리고, 도 17은 2칩 구조를 갖는 ASIC의 일 예를 보여준다.
- [0066] 도 2에서는 2개의 프로그래머를 보조 프로세서들을 채용함으로써 영상 처리 기술과 외부 보상 기술에 대한 모든 알고리즘들을 프로그래밍 방식으로 변경할 수 있는 ASIC(50)을 설명하였다. 이렇게 프로그래머를 로직으로 모든 알고리즘을 처리하기 위해서는 많은 로직 게이트가 필요하므로 ASIC의 사이즈가 증대될 수 있고, 또한 소비 전력이 증대될 수 있다.
- [0067] 도 16 및 도 17에서는 1개의 보조 프로세서를 포함한 ASIC(60)을 제안한다. ASIC(60)은 내장 보조 프로세서의 개수가 적기 때문에 사이즈 및 소비전력 면에서 유리하다. 이러한 ASIC(60)을 이용하여 영상 처리 기술과 외부 보상 기술에 대한 모든 알고리즘들을 프로그래밍 방식으로 변경하기 위해, 본 발명은 2개의 ASIC들(60)이 캐스 케이드 방식으로 접속된 2 칩 구조를 제안한다.
- [0068] 구체적으로 설명하면, 제1 칩(60A)의 ASIC(60)과 제2 칩(60B)의 ASIC(60) 각각은, 수신부(2101), 데이터 정렬부(2102), 영상 처리 로직부(2103), 프로그래머블 보조 프로세서(2104), 타이밍 콘트롤러(2105), 선택부(2106), 외부 송신부(2107), 내부 송신부(2108), MCU(2109), 및 메모리 제어부(2110)를 포함할 수 있다.
- [0069] 수신부(2101)는 시스템으로부터 입력 영상 데이터(DATA)와 타이밍 신호들을 수신한다. 데이터 정렬부(2102)는 타이밍 신호들을 기반으로 입력 영상 데이터(DATA)를 정렬한다.
- [0070] 영상 처리 로직부(1103)는 하드웨어적인 고정 로직으로 구현되며, 입력 영상데이터(DATA)의 데이터 포맷을 3원 색(RGB) 형식에서 4원색(RGBW) 형식으로 변환하거나, 또는 데이터의 형식을 변환함이 없이 입력 그대로 바이패스할 수 있다.
- [0071] 프로그래머블 보조 프로세서(2104)는 제1 칩(60A)에서 영상 처리 기술을 구현하기 위한 소프트웨어적인 로직으로 동작하고, 제2 칩(60B)에서 외부 보상 기술을 구현하기 위한 소프트웨어적인 로직으로 동작할 수 있다. 제1 칩(60A)에서 영상 처리 알고리즘을 통해 중간 변조된 영상 데이터가 제2 칩(60B)에서 외부 보상 알고리즘을 통해 최종 변조된다.
- [0072] MCU(2109)는 프로그래머블 보조 프로세서(2104)의 연산 동작을 제어한다. 제1 칩(60A)에서, MCU(2109)는 선택부(2106)를 제어하여 내부 송신부(2108)을 활성화하여, 중간 변조된 영상 데이터가 내부 송신부(2108)를 통해 제2 칩(60B)에 전달되도록 데이터 전송 경로를 제어한다. 제2 칩(60B)에서, MCU(2109)는 선택부(2106)를 제어하여 외부 송신부(2107)를 활성화하여, 최종 변조된 영상 데이터가 외부 송신부(2107)를 통해 외부의 소스 드라이버에 전달되도록 데이터 전송 경로를 제어한다. 제1 칩(60A)에서 외부 송신부(2107)가 비 활성화되는데 반해, 제2 칩(60B)에서는 내부 송신부(2108)가 비 활성화된다. 한편, 제1 칩(60A)과 제2 칩(60B) 각각의 MCU(2109)는 메모리 제어부(2110)의 동작을 제어하여, 메모리(300)에 정보를 기입(write)하거나, 또는 메모리(300)에 저장된 정보를 읽어낼 수 있다.
- [0073] 타이밍 콘트롤러(2105)는 프로그래머블 보조 프로세서(2104)으로부터 입력되는 변조 데이터를 선택부(2106)에 전달할 수 있다.
- [0074] 도 18는 본 발명의 실시예에 따른 유기발광 표시장치를 보여준다. 도 19는 화소 어레이와 소스 드라이버 IC의 구성 예를 보여준다. 그리고, 도 20 및 도 21은 본 발명의 일 화소 구성과 그에 연결되는 센싱 유닛의 구성 예를 보여준다.
- [0075] 도 18 내지 도 21을 참조하면, 본 발명의 실시예에 따른 유기발광 표시장치는 표시패널(PNL), ASIC, 소스 드라

이버(SDRV), 게이트 드라이버(GDRV)를 포함할 수 있다. ASIC은 전술한 적어도 하나 이상의 프로그래머블 보조 프로세서를 갖는다.

[0076] 표시패널(PNL)에는 다수의 데이터라인들 및 센싱라인들(14A, 14B)과, 다수의 게이트라인들(15)이 교차되고, 이 교차영역마다 외부 보상용 화소들(P)이 매트릭스 형태로 배치되어 화소 어레이를 구성한다. 게이트라인들(15)은, 도 19에서와 같이 스캔 제어신호(SCAN)가 공급되는 다수의 제1 게이트라인들(15A)과, 센싱 제어신호(SEN)가 공급되는 다수의 제2 게이트라인들(15B)을 포함할 수 있다. 다만, 도면에 도시되어 있지 않지만 스캔 제어신호(SCAN)와 센싱 제어신호(SEN)가 동위상을 가질 때, 제1 및 제2 게이트라인(15A, 15B)은 하나로 단일화될 수 있다.

[0077] 각 화소(P)는 데이터라인들(14A) 중 어느 하나에, 센싱라인들(14B) 중 어느 하나에, 그리고 제1 게이트라인들(15A) 중 어느 하나에, 제2 게이트라인들(15B) 중 어느 하나에 접속될 수 있다. 일 화소 유닛(UPXL)에 포함된 다수의 화소들(P)이 하나의 센싱라인(14B)을 공유할 수 있다. 화소 유닛(UPXL)은 적색 화소, 녹색 화소, 청색 화소, 백색 화소를 포함한 4개의 화소들로 구성될 수 있으나, 그에 한정되지 않는다. 또한, 도시되어 있지 않지만 일 화소 유닛(UPXL)에 포함된 화소들은 하나의 센싱라인을 공유하지 않고 다수의 센싱라인들에 독립적으로 연결될 수도 있다. 화소(P) 각각은 도시하지 않은 전원생성부로부터 고전위 구동전압(EVDD)과 저전위 구동전압(EVSS)을 공급받는다.

[0078] 본 발명의 화소(P)는 OLED, 구동 TFT(DT), 스토리지 커패시터(Cst), 제1 스위치 TFT(ST1), 및 제2 스위치 TFT(ST2)를 구비할 수 있다. TFT들은 P 타입으로 구현되거나 또는, N 타입으로 구현되거나 또는, P 타입과 N 타입이 혼용된 하이브리드 타입으로 구현될 수 있다. 또한, TFT의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다.

[0079] OLED는 소스노드(Ns)에 접속된 애노드전극과, 저전위 구동전압(EVSS)의 입력단에 접속된 캐소드전극과, 애노드 전극과 캐소드전극 사이에 위치하는 유기화합물층을 포함한다. 유기화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함할 수 있다.

[0080] 구동 TFT(DT)는 게이트-소스 간 전압(이하, Vgs라 함)에 따라 OLED에 입력되는 구동 TFT(DT)의 소스-드레인 간 전류(이하, Ids라 함)의 크기를 제어한다. 구동 TFT(DT)는 게이트노드(Ng)에 접속된 게이트전극, 고전위 구동 전압(EVDD)의 입력단에 접속된 드레인전극, 및 소스노드(Ns)에 접속된 소스전극을 구비한다. 스토리지 커패시터(Cst)는 게이트노드(Ng)와 소스노드(Ns) 사이에 접속되어 구동 TFT(DT)의 Vgs를 일정 기간 동안 유지시킨다. 제1 스위치 TFT(ST1)는 스캔 제어신호(SCAN)에 따라 데이터라인(14A)과 게이트노드(Ng) 간의 전기적 접속을 스위칭한다. 제1 스위치 TFT(ST1)는 제1 게이트라인(15A)에 접속된 게이트전극, 데이터라인(14A)에 접속된 드레인전극, 및 게이트노드(Ng)에 접속된 소스전극을 구비한다. 제2 스위치 TFT(ST2)는 센싱 제어신호(SEN)에 따라 소스노드(Ns)와 센싱 라인(14B) 간의 전기적 접속을 스위칭한다. 제2 스위치 TFT(ST2)는 제2 게이트라인(15B)에 접속된 게이트전극, 센싱 라인(14B)에 접속된 드레인전극, 및 소스노드(Ns)에 접속된 소스전극을 구비한다.

[0081] 이러한 화소 어레이를 갖는 본 발명의 유기발광 표시장치는 외부 보상 기술을 채용하며, 영상 처리 기술을 더 채용할 수 있다. 외부 보상용 화소 어레이를 포함한 유기발광 표시장치는 본원 출원인에 의해 기출원된 출원번호 제10-2013-0134256호(2013/11/06), 출원번호 제10-2013-0141334호(2013/11/20), 출원번호 제10-2013-0149395호(2013/12/03), 출원번호 제10-2014-0086901호(2014/07/10), 출원번호 제10-2014-0079255호(2014/06/26), 출원번호 제10-2014-0079587호(2014/06/27), 출원번호 제10-2014-0119357호(2014/09/05) 등에 나타나 있다.

[0082] 본 발명의 유기발광 표시장치는 화상 표시 동작과 외부 보상 동작을 수행한다. 외부 보상 동작은 화상 표시 동작 중의 수직 블랭크 기간에서 수행되거나, 또는 화상 표시가 시작되기 전의 파워 온 시퀀스 기간에서 수행되거나, 또는 화상 표시가 끝난 후의 파워 오프 시퀀스 기간에서 수행될 수 있다. 수직 블랭크 기간은 화상 데이터가 기입되지 않는 기간으로서, 1 프레임분의 화상 데이터가 기입되는 수직 액티브 구간들 사이마다 배치된다. 파워 온 시퀀스 기간은 구동 전원이 온 된 후부터 화상이 표시될 때까지의 기간을 의미한다. 파워 오프 시퀀스 기간은 화상 표시가 끝난 후부터 구동 전원이 오프 될 때까지의 기간을 의미한다.

[0083] ASIC는 도 1 내지 도 17에서 전술한 바와 같다. ASIC은 MCU와 적어도 하나 이상의 프로그래머블 보조 프로세서를 포함한다. ASIC은 외부 보상 기술을 구현하기 위한 연산 동작과, 영상 처리 기술을 구현하기 위한 연산 동작을 수행하는 데, 특히 프로그래머블 보조 프로세서(Programmable Co-Processor)를 채용하여 물리적으로 칩을 재

설계함이 없이 프로그래밍 방식으로 연산 수식을 변경할 수 있다.

- [0084] ASIC에 포함된 타이밍 콘트롤러는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 소스 드라이버(SDRV)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 드라이버(GDRV)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 생성한다. 타이밍 콘트롤러는 화상 표시가 수행되는 기간과 외부 보상이 수행되는 기간을 시간적으로 분리하고, 화상 표시를 위한 제어신호들(DDC,GDC)과 외부 보상을 위한 제어신호들(DDC,GDC)을 서로 다르게 생성할 수 있다.
- [0085] 게이트 제어신호(GDC)는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 첫 번째 스캔 신호를 발생하는 게이트 스테이지에 인가되어 첫 번째 스캔 신호가 발생되도록 그 게이트 스테이지를 제어한다. 게이트 쉬프트 클럭(GSC)은 게이트 스테이지들에 공통으로 입력되는 클럭신호로써 게이트 스타트 펄스(GSP)를 쉬프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 게이트 스테이지들의 출력을 제어하는 마스킹 신호이다.
- [0086] 데이터 제어신호(DDC)는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 소스 드라이버(SDRV)의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 소스 드라이브 IC들 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 소스 출력 인에이블신호(SOE)는 소스 드라이버(SDRV)의 출력 타이밍을 제어한다. 데이터 제어신호(DDC)는 소스 드라이버(SDRV)에 포함된 센싱 유닛(122)의 동작을 제어하기 위한 기준전압 제어신호(PRE)와 샘플링 제어신호(SAM)을 포함한다. 기준전압 제어신호(PRE)는 센싱 라인(14B)에 기준전압을 인가하기 위한 타이밍을 제어한다. 샘플링 제어신호(SAM)는 외부 보상 동작에 따른 아날로그 센싱값을 샘플링하기 위한 타이밍을 제어한다.
- [0087] ASIC는 외부 보상 동작에 따른 디지털 센싱값(SD)을 소스 드라이버(SDRV)의 ADC로부터 입력 받는다. ASIC는 디지털 센싱값(SD)을 기초로 입력 디지털 비디오 데이터(RGB)를 보상하여 화소들 간 구동 TFT의 전기적 특성 편차를 보상하거나, 또는 화소들 간 OLED의 열화 편차를 보상할 수 있다. ASIC은 화상 표시를 위한 동작 기간에서 상기 보상된 디지털 비디오 데이터(RGB)를 소스 드라이버(SDRV)에 전송한다.
- [0088] 소스 드라이버(SDRV)는 적어도 하나 이상의 드라이버 IC(Integrated Circuit)(SDIC)를 포함한다. 이 드라이버 IC(SDIC)에는 래치 어레이(미도시), 각 데이터라인(14A)에 연결된 다수의 디지털-아날로그 컨버터(이하, DAC)들(121)과, 각 센싱라인(14B)에 연결된 다수의 센싱 유닛들(122), 센싱 유닛들(122)을 선택적으로 아날로그-디지털 컨버터(이하, ADC)에 연결하는 멕스부(123), 선택 제어신호를 생성하여 멕스부(123)의 스위치들(SS1,SS2)을 순차적으로 턴 온 시키는 쉬프트 레지스터(124)가 구비될 수 있다.
- [0089] 래치 어레이는 데이터 제어신호(DDC)를 기반으로 ASIC로부터 입력되는 각종 디지털 데이터를 래치하여 DAC에 공급한다. DAC는 화상 표시 동작시 ASIC로부터 입력되는 디지털 비디오 데이터(RGB)를 화상 표시용 데이터전압으로 변환하여 데이터라인들(14A)에 공급할 수 있다. DAC는 외부 보상 동작시 일정 레벨의 외부 보상용 데이터전압을 생성하여 데이터라인들(14A)에 공급할 수 있다.
- [0090] 센싱 유닛(122)은 데이터 제어신호(DDC)를 기반으로 센싱 라인(14B)에 초기화전압(Vref)을 공급하거나, 또는 센싱 라인(14B)을 통해 입력되는 아날로그 센싱값(OLED나 구동 TFT에 대한 전기적 특성값)을 샘플링하여 ADC에 공급할 수 있다. 센싱 유닛(122)은 도 20과 같은 전압 센싱형으로 구현될 수도 있고, 도 21과 같은 전류 센싱형으로 구현될 수도 있다.
- [0091] 도 20의 전압 센싱형 센싱 유닛(122)은 구동 TFT(DT)의 Ids에 대응하여 센싱 라인(14B)의 라인 커페시터(LCa)에 저장된 전압을 센싱하는 것으로, 초기화 스위치(SW1), 샘플링 스위치(SW2), 및 샘플 앤 홀드부(S/H)를 구비할 수 있다. 초기화 스위치(SW1)는 초기화 제어신호(PRE)에 따라 초기화전압(Vref)의 입력단과 센싱 라인(14B) 간의 전기적 접속을 스위칭한다. 샘플링 스위치(SW2)는 샘플링 제어신호(SAM)에 따라 센싱 라인(14B)과 샘플 앤 홀드부(S/H) 간의 전기적 접속을 스위칭한다. 구동 TFT(DT)의 Ids에 따라 구동 TFT의 소스 노드 전압이 변할 때, 샘플 앤 홀드부(S/H)는 샘플링 스위치(SW2)가 턴 온 되는 특정 시점에서 센싱 라인(14B)의 라인 커페시터(LCa)에 저장된 구동 TFT(DT)의 소스노드 전압을 아날로그 센싱값으로서 샘플링 및 홀딩한 후 ADC에 전달한다.
- [0092] 도 21의 전류 센싱형 센싱 유닛(122)은 센싱 라인(14B)을 통해 전달되는 구동 TFT의 Ids를 직접 센싱하는 것으로, 전류 적분기(CI)와 샘플&홀드부(SH)를 포함할 수 있다. 전류 적분기(CI)는 센싱 라인(14B)을 통해 유입되

는 전류 정보를 적분하여 아날로그 센싱값(Vsen)을 생성한다. 전류 적분기(CI)는 센싱 라인(14B)으로부터 구동 TFT의 Ids를 입력받는 반전 입력단자(-), 기준전압(Vpre)을 입력받는 비 반전 입력단자(+), 및 출력 단자를 포함한 앰프(AMP)와, 앰프(AMP)의 반전 입력단자(-)와 출력 단자 사이에 접속된 적분 커패시터(Cfb)와, 적분 커패시터(Cfb)의 양단에 접속된 리셋 스위치(RST)를 포함한다. 전류 적분기(CI)는 샘플&홀드부(SH)를 통해 ADC에 연결된다. 샘플&홀드부(SH)는 앰프(AMP)로부터 출력되는 아날로그 센싱값(Vsen)을 샘플링하여 샘플링 커패시터(Cs)에 저장하는 샘플링 스위치(SAM), 샘플링 커패시터(Cs)에 저장된 센싱값(Vsen)을 ADC에 전달하기 위한 홀딩 스위치(HOLD)를 포함할 수 있다.

[0093] 게이트 드라이버(GDRV)는 게이트 제어신호(GDC)를 기반으로 화상 표시 동작, 외부 보상 동작에 맞게 스캔 제어 신호(SCAN)를 생성한 후, 제1 게이트라인들(15A)에 공급한다. 게이트 드라이버(GDRV)는 게이트 제어신호(GDC)를 기반으로 화상 표시 동작, 외부 보상 동작에 맞게 센싱 제어신호(SEN)를 생성한 후, 제2 게이트라인들(15B)에 공급한다.

[0094] 상술한 바와 같이, 본 발명은 프로그래머블 보조 프로세서들을 채용함으로써 연산 로직회로 내의 연산 경로를 원하는 연산 수식에 맞게 프로그래밍 할 수 있기 때문에 종래와 같이 물리적으로 칩을 재설계할 필요 없이 연산 수식을 적절히 변경할 수 있다. 이를 통해 본 발명은 연산의 다양성과 확장성을 확보하여 패널 모델 변경이나 기술 이슈 등에 유연하게 대응할 수 있다.

[0095] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사항을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

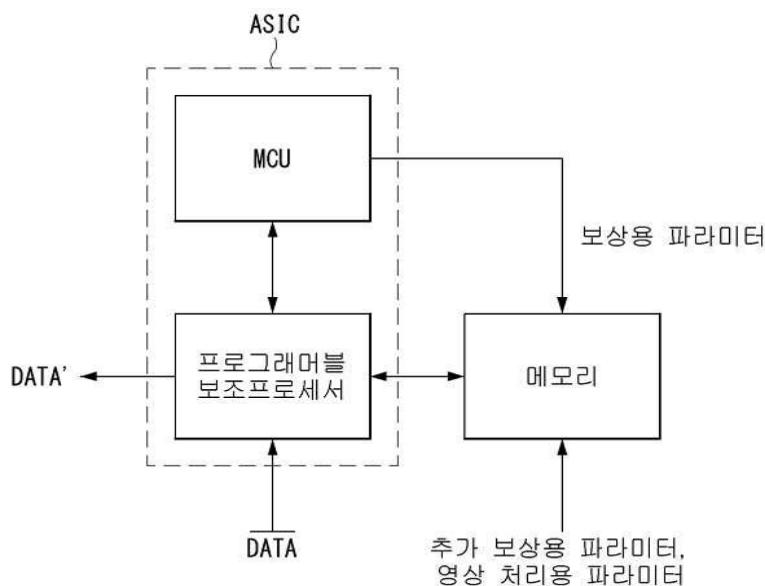
부호의 설명

[0096] 50,60: ASIC 1107,2109:MCU

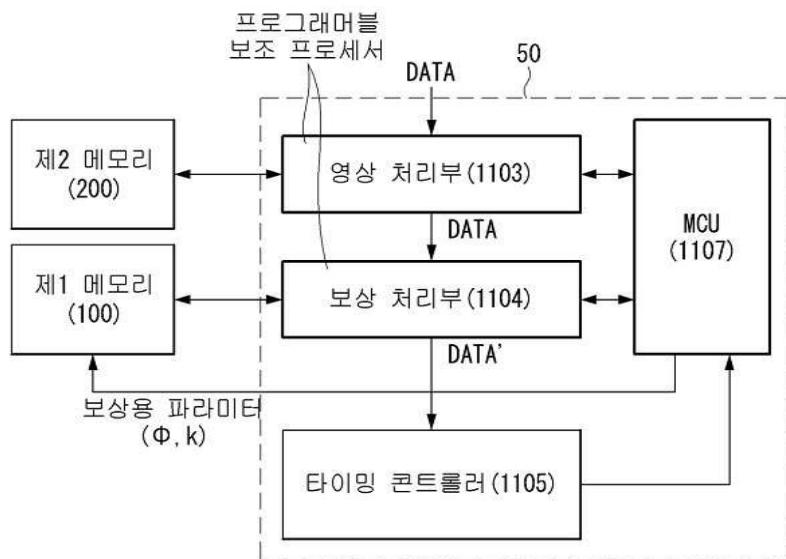
1104, 2104: 프로그래머블 보조 프로세서

도면

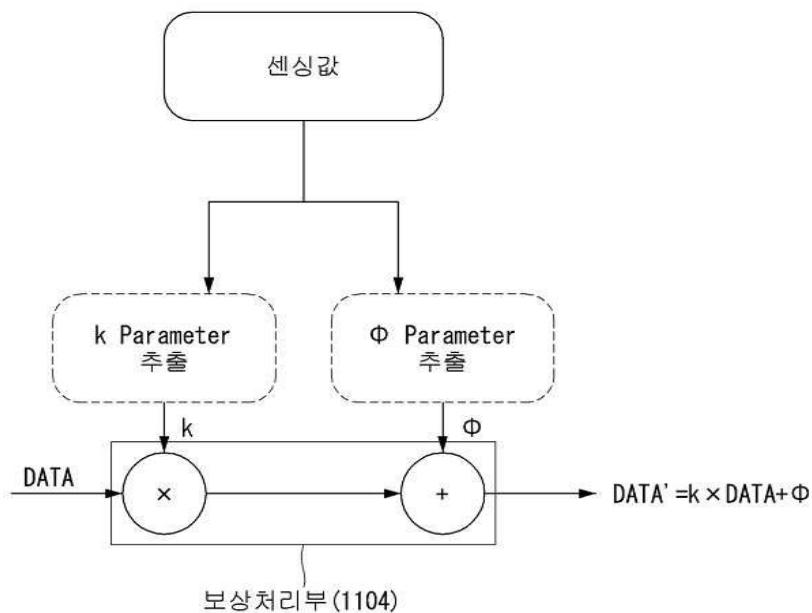
도면1

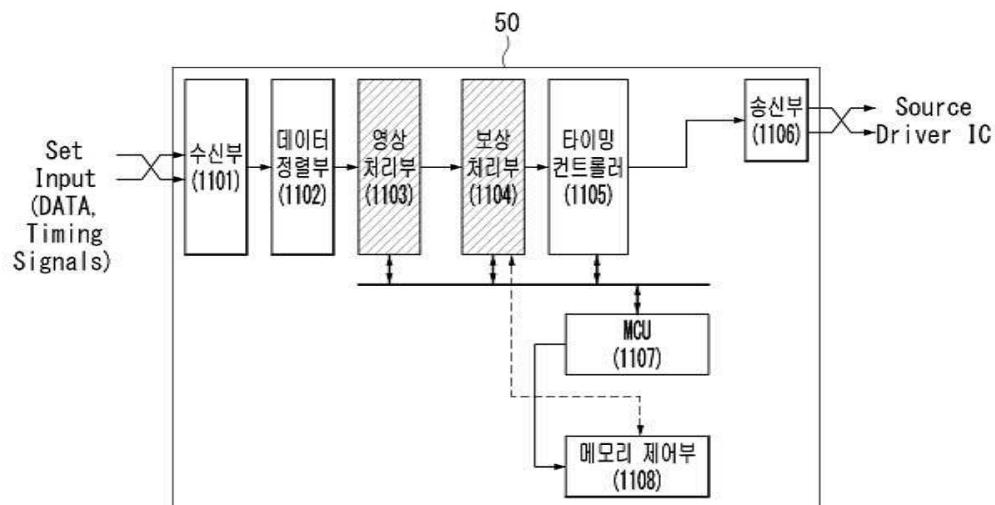
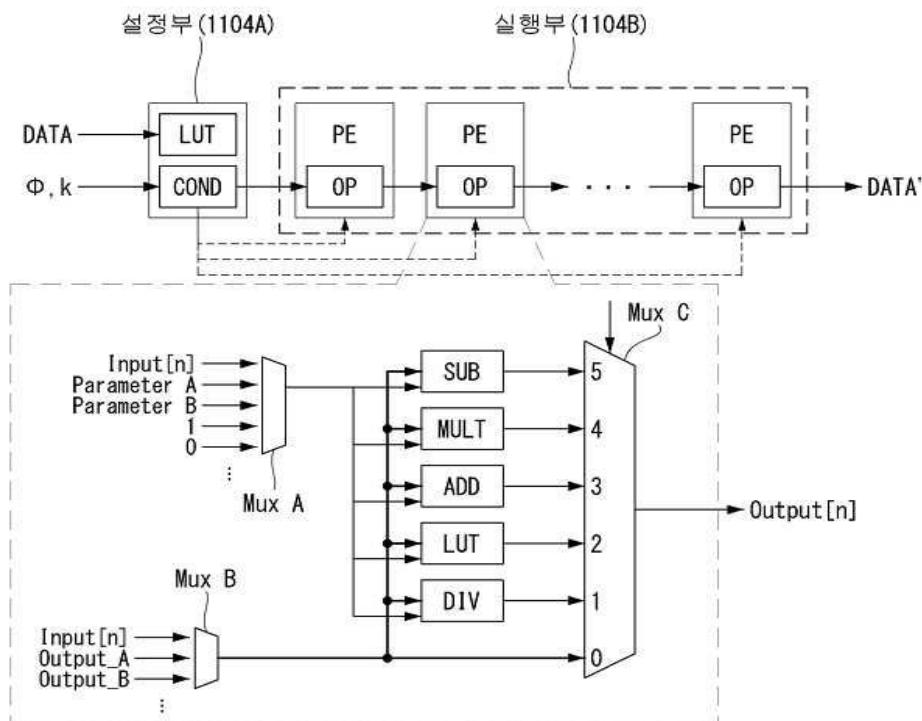


도면2

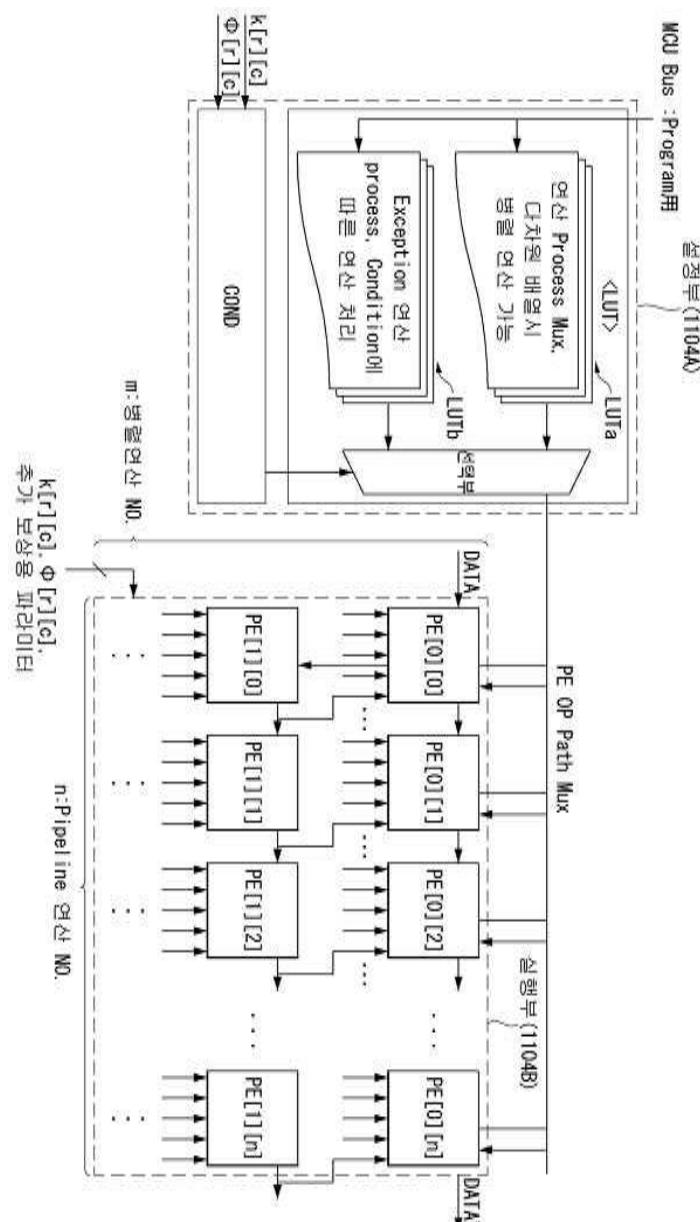


도면3

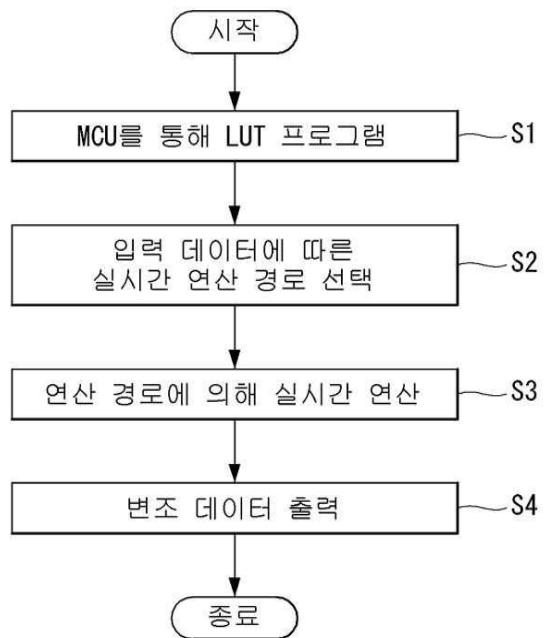


도면4**도면5**1104

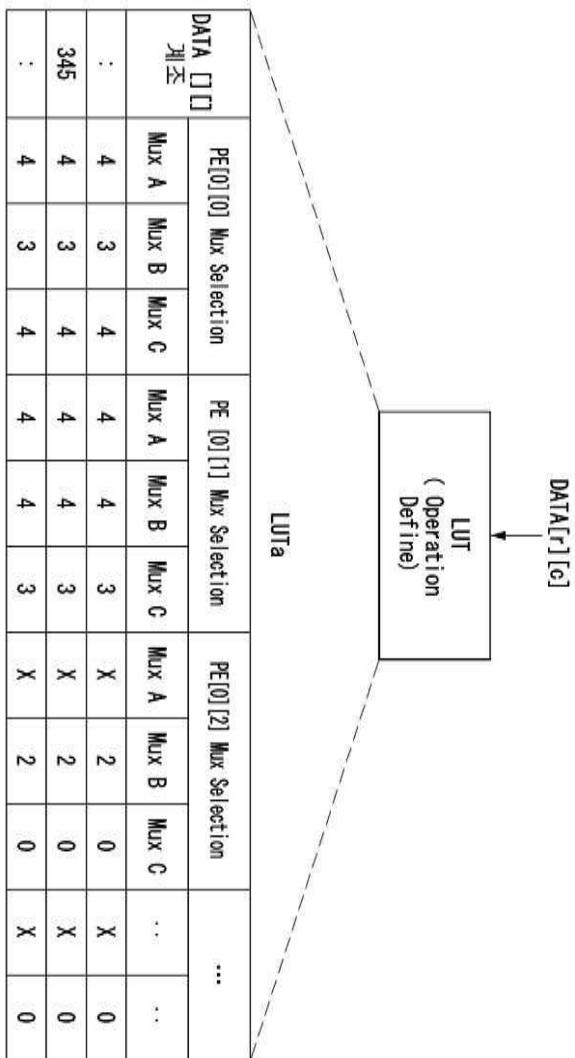
도면6



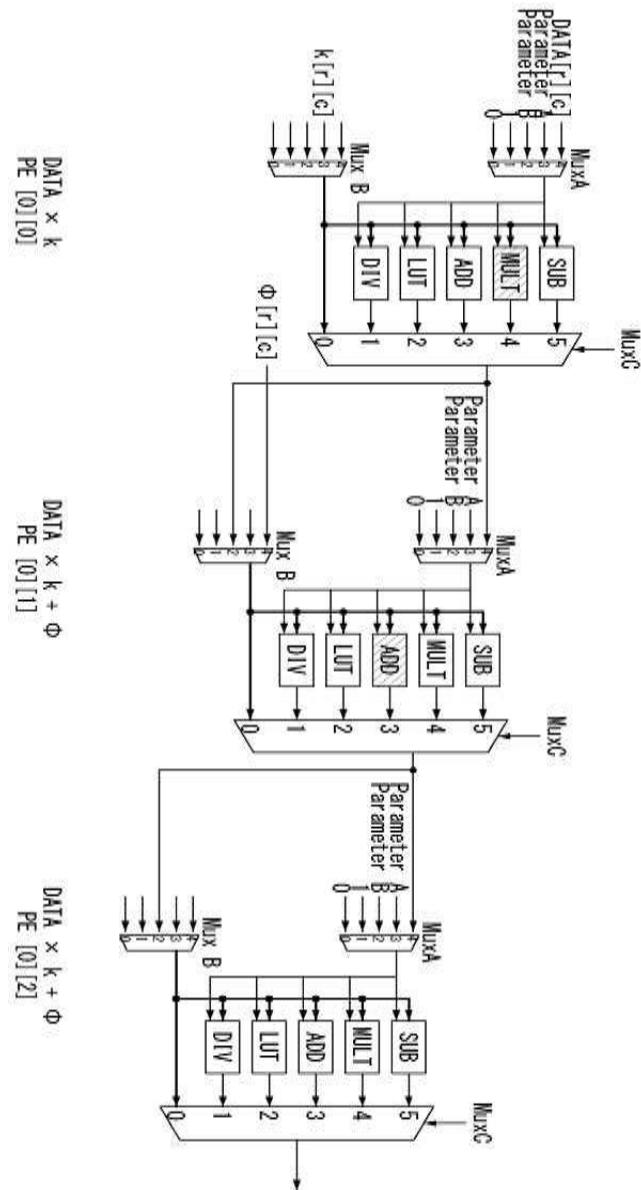
도면7



도면8



도면9

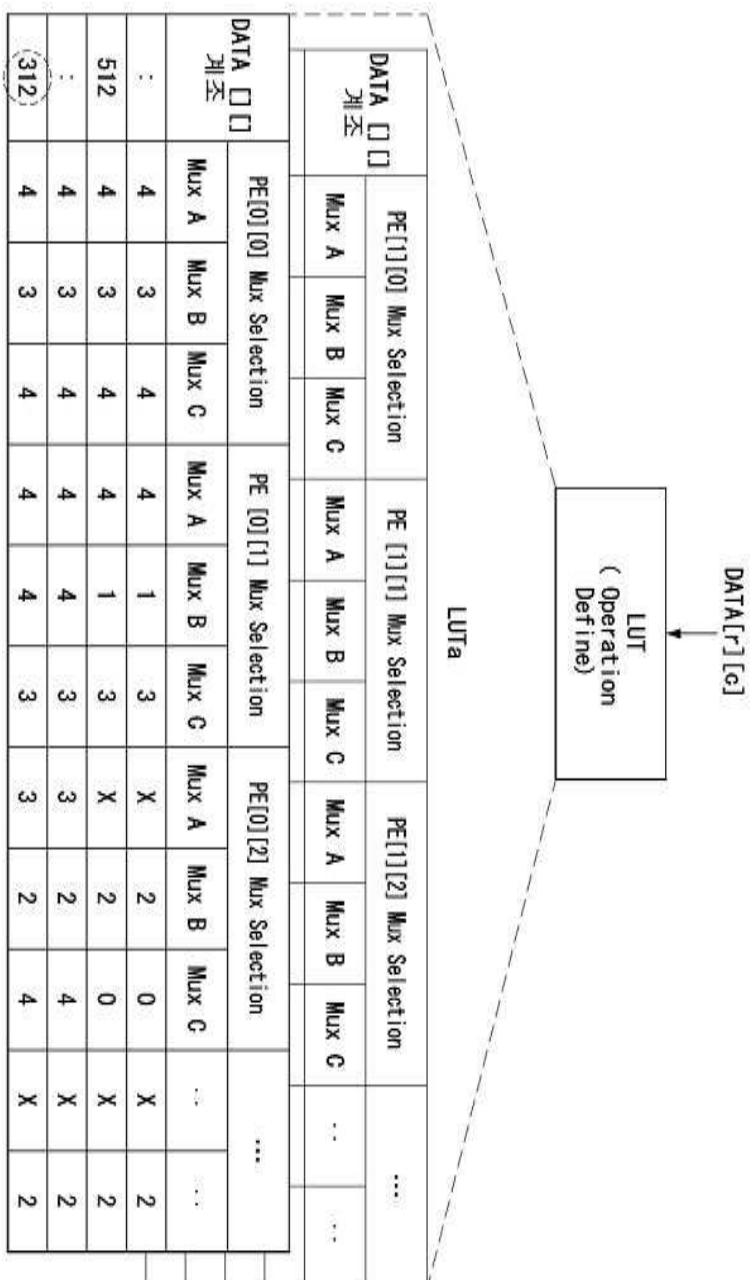


$DATA \times k$
PE [0][0]

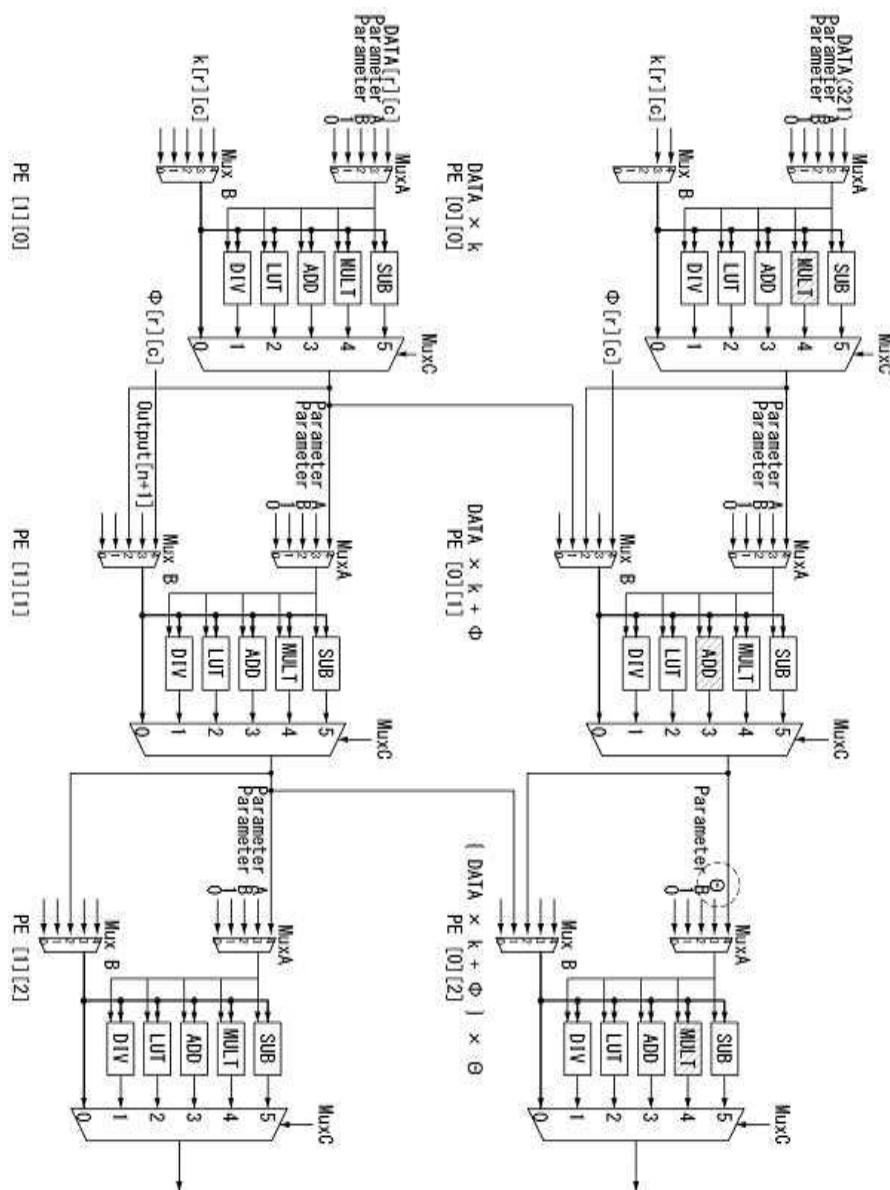
$DATA \times k + \Phi$
PE [0][1]

$DATA \times k + \Phi$
PE [0][2]

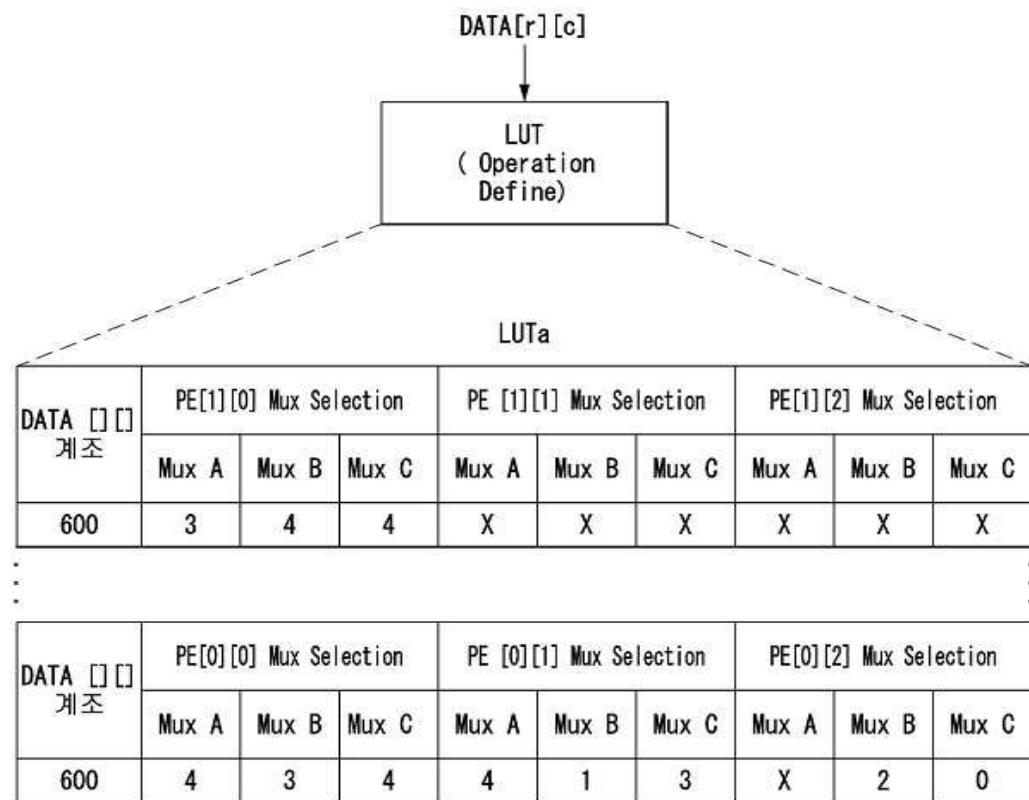
도면10



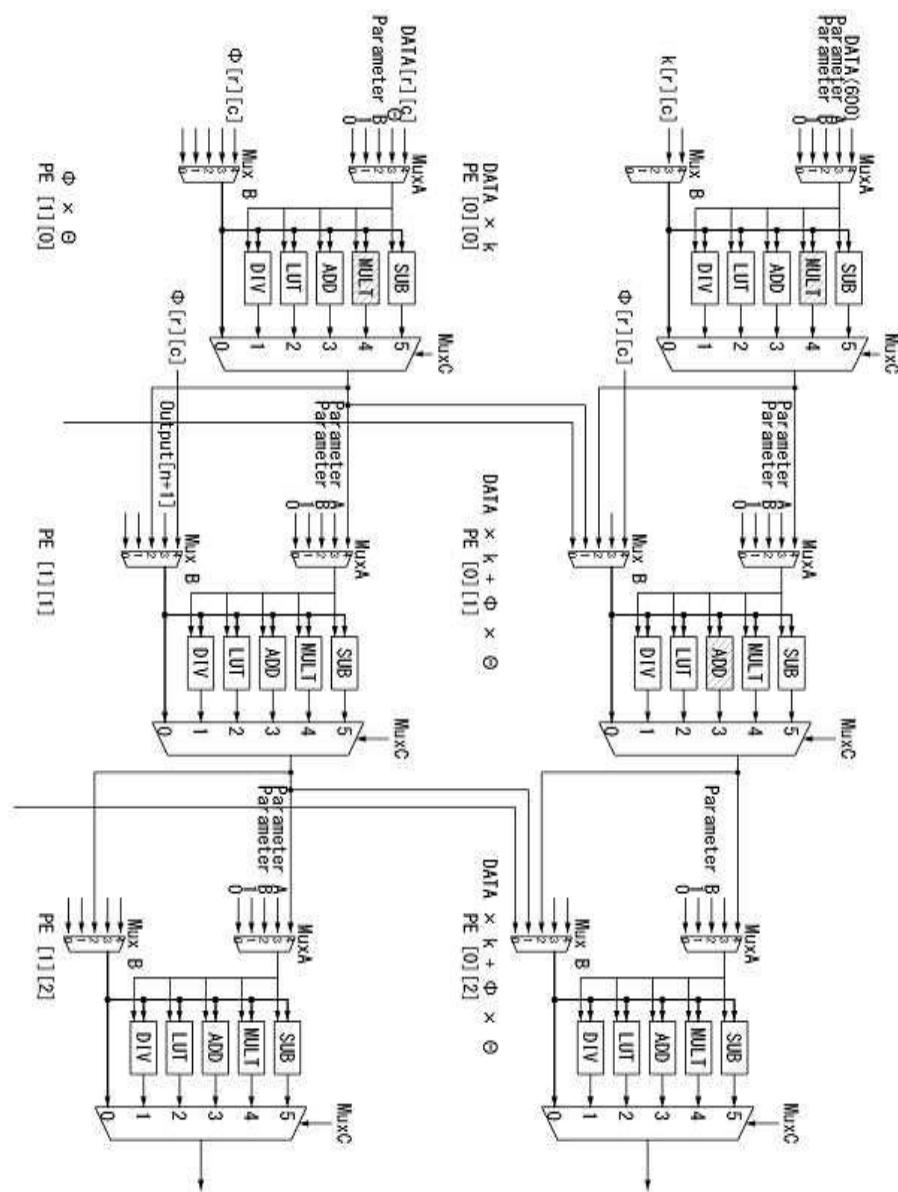
도면11



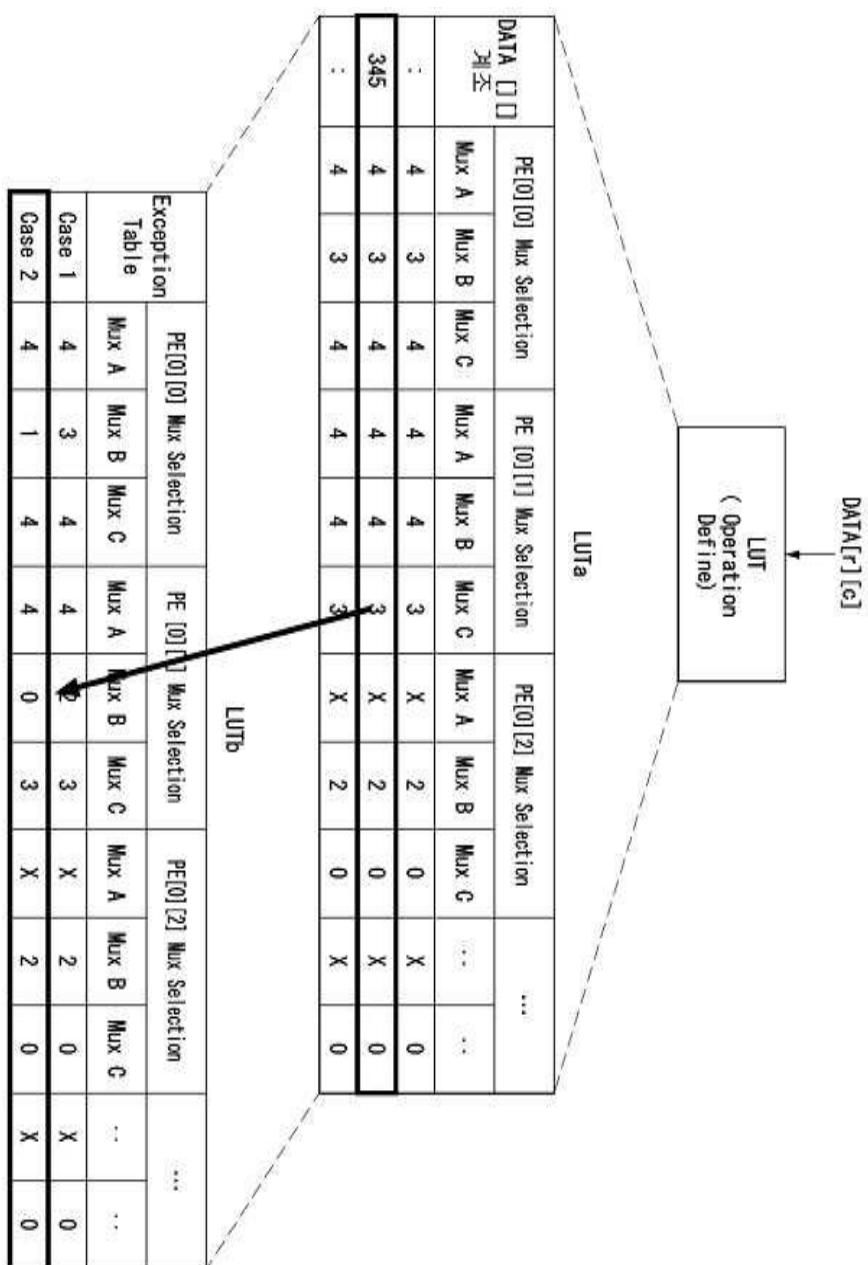
도면12



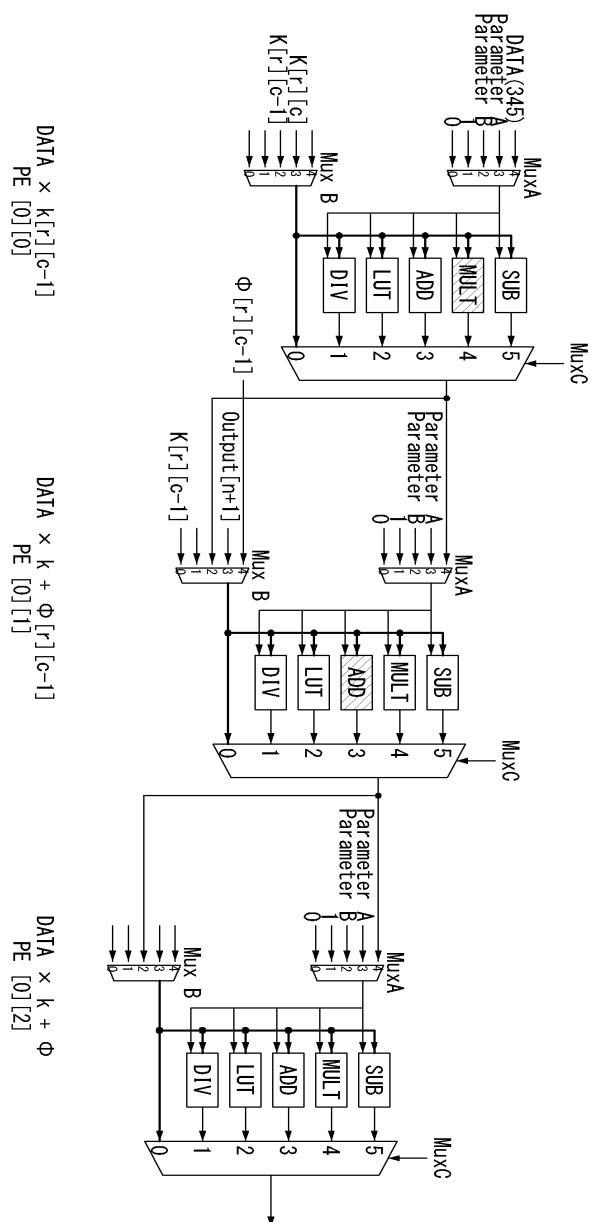
도면13



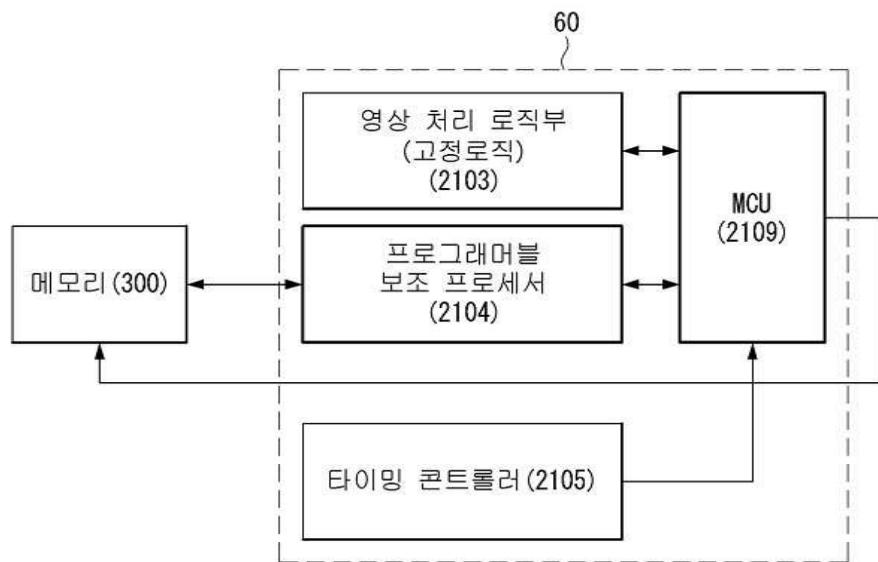
도면14



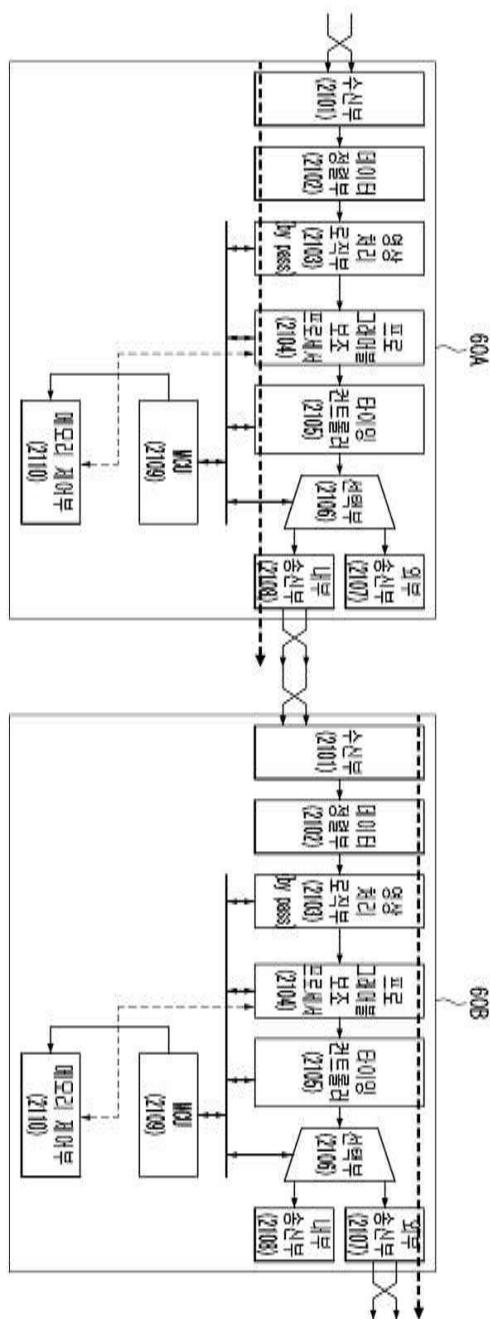
도면15



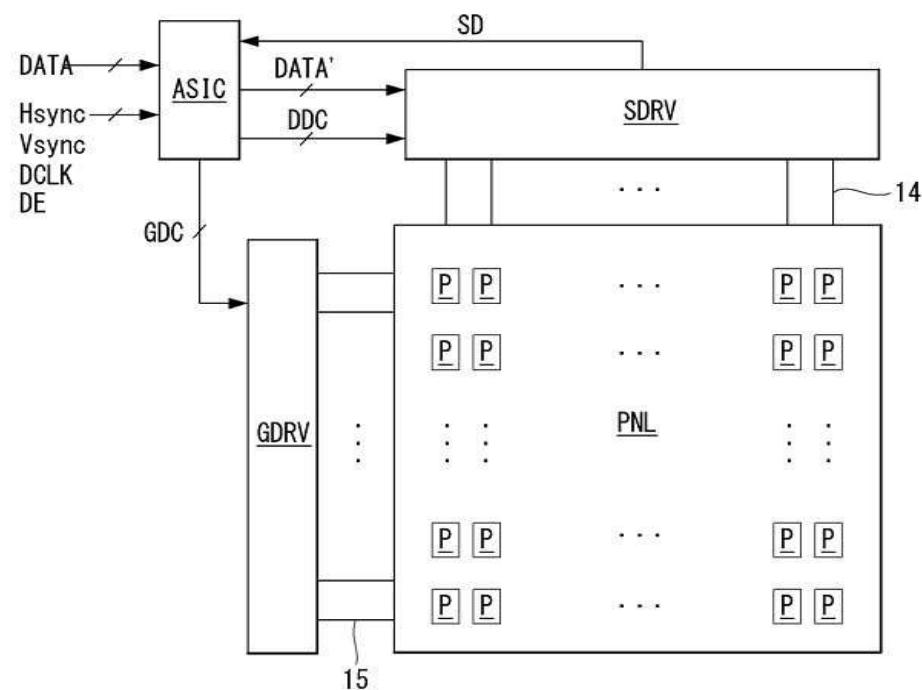
도면16



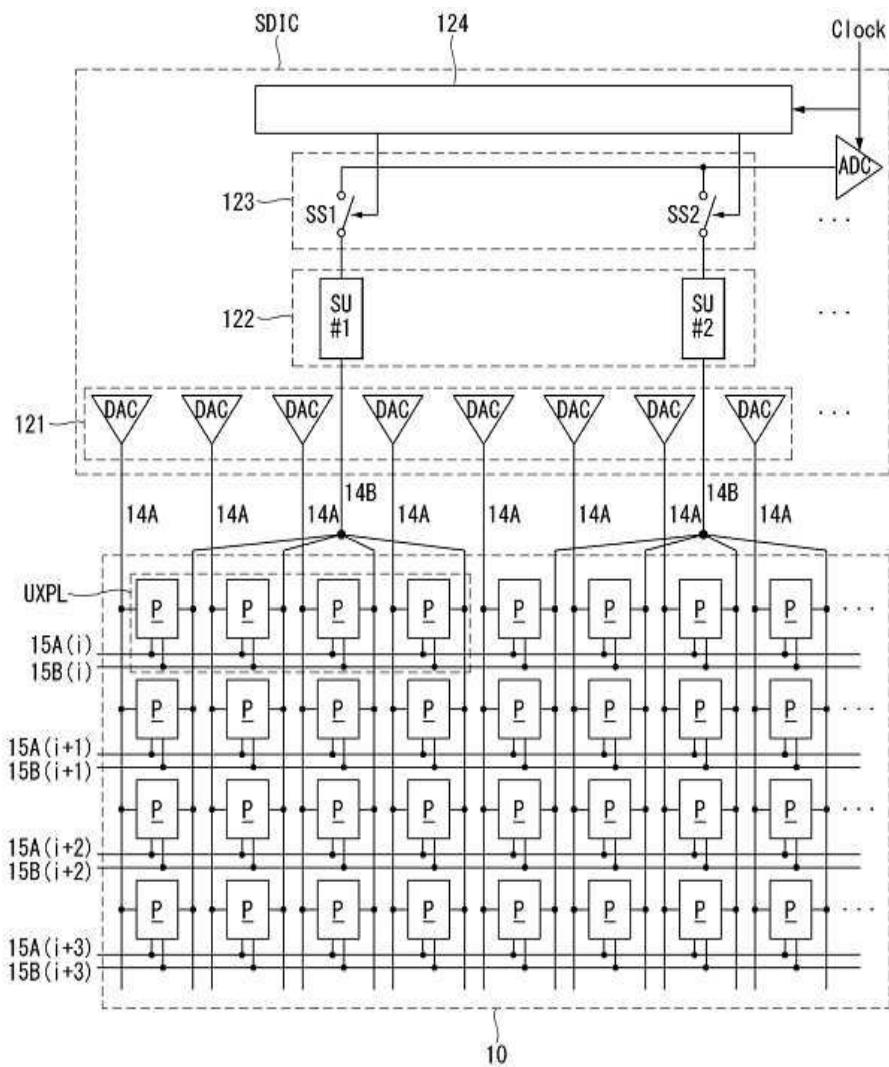
도면17



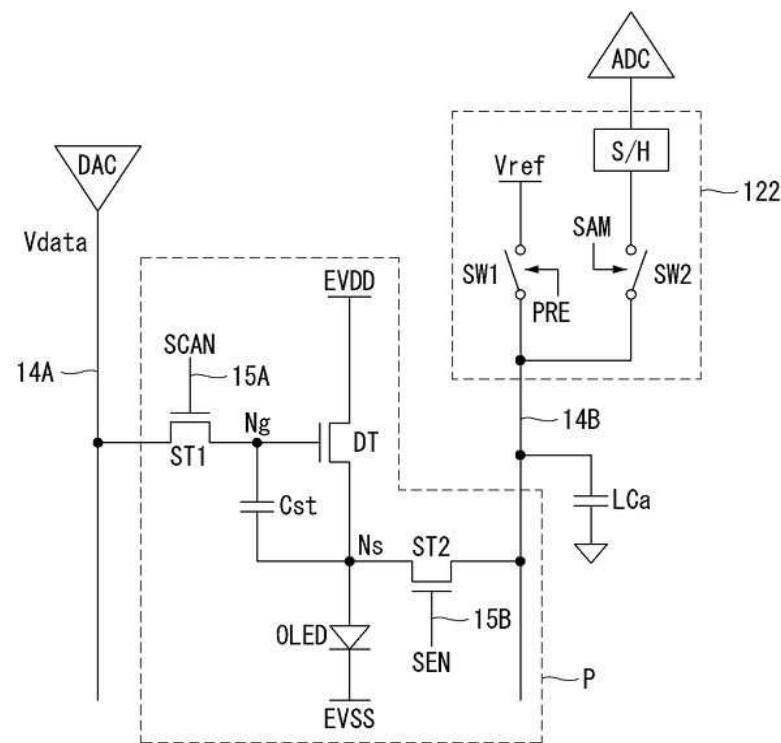
도면18



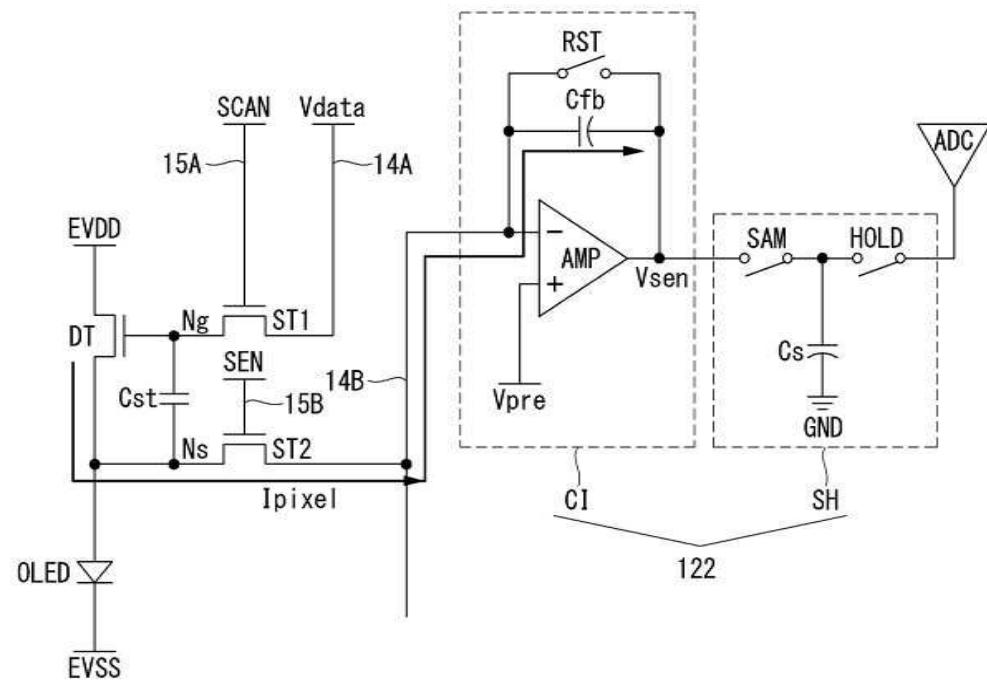
도면19



도면20



도면21



专利名称(译)	标题 : 可编程定制半导体电路和包括其的有机发光显示器		
公开(公告)号	KR1020170057899A	公开(公告)日	2017-05-26
申请号	KR1020150161032	申请日	2015-11-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YU SANG HO 유상호 KIM BUM SIK 김범식		
发明人	유상호 김범식		
IPC分类号	G09G3/20 G09G3/32		
CPC分类号	G09G3/20 G09G3/3233 G09G2310/0297 G09G2300/0842		
外部链接	Espacenet		

摘要(译)

本发明的可编程专用集成电路包括微微控制器单元和外围处理器，微微控制器单元基于一个或多个传感值，提取显示面板的发光器件和驱动器组件之间的补偿参数。电气特性和具有根据输入视频数据预定外围处理器的计算路径的同时，计算路径包括通过微控制器单元的可变算术逻辑电路，并且用于补偿的参数应用于输入视频数据和调制数据。在算术逻辑电路中产生。

