

특허청구의 범위

청구항 1

기관,

상기 기관 위에 위치하며 다결정 규소로 이루어진 제1 캐패시터 전극,

상기 제1 캐패시터 전극 위에 위치하는 게이트 절연막,

상기 게이트 절연막 위에 위치하며 상기 제1 캐패시터 전극과 중첩하는 제1 하부 금속층과 제1 상부 금속층을 포함하는 제2 캐패시터 전극

을 포함하고,

상기 제1 상부 금속층은 상기 제1 하부 금속층을 노출하는 도핑부를 가지는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 제1 캐패시터 전극은 상기 도핑부와 대응하는 영역에 도전성 불순물 이온이 도핑되어 있는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 기관 위에 위치하며 소스 영역, 드레인 영역 및 채널 영역을 포함하는 반도체,

상기 채널 영역과 중첩하는 상기 게이트 절연막 위에 위치하며 제2 하부 금속층 및 제2 상부 금속층을 포함하는 게이트 전극

을 더 포함하고,

상기 제2 하부 금속층은 상기 제1 하부 금속층과 동일한 물질로 이루어지고,

상기 제2 상부 금속층은 상기 제1 상부 금속층과 동일한 물질로 이루어지는 유기 발광 표시 장치.

청구항 4

제3항에서,

상기 소스 영역 및 드레인 영역에는 상기 도전성 불순물 이온이 도핑되어 있는 유기 발광 표시 장치.

청구항 5

제3항에서,

상기 제2 캐패시터 전극 및 상기 게이트 전극 위에 위치하는 층간 절연막,

상기 층간 절연막 위에 위치하며 상기 소스 영역 및 드레인 영역과 각각 연결되어 있는 소스 전극 및 드레인 전극,

상기 소스 전극 및 드레인 전극 위에 위치하는 평탄화막,

상기 평탄화막 위에 위치하는 화소 전극,

상기 화소 전극을 노출하는 개구부를 가지는 화소 정의막,

상기 개구부 위에 위치하는 유기 발광층,

상기 유기 발광층 위에 위치하는 공통 전극

을 더 포함하는 유기 발광 표시 장치.

청구항 6

제5항에서,

상기 화소 전극은 상기 소스 전극 또는 드레인 전극과 연결되어 있는 유기 발광 표시 장치.

청구항 7

제1항에서,

상기 제1 하부 금속층의 두께는 1,000Å이하인 유기 발광 표시 장치.

청구항 8

제7항에서,

상기 제1 상부 금속층의 두께는 상기 제1 하부 금속층 두께의 2 내지 4배인 유기 발광 표시 장치.

청구항 9

제7항에서,

상기 도핑부의 지름은 2 μ m이하인 유기 발광 표시 장치.

청구항 10

제9항에서,

상기 도핑부는 원형 또는 다각형의 평면 패턴을 가지는 유기 발광 표시 장치.

청구항 11

제9항에서,

상기 제1 상부 금속층은 복수의 막대형 가지를 가지고,

상기 도핑부는 이웃하는 두 가지 사이에 위치하는 절개부인 유기 발광 표시 장치.

청구항 12

제9항에서,

상기 제1 상부 금속층은 도핑부를 포함하는 원형 또는 다각형의 고리형인 유기 발광 표시 장치.

청구항 13

기판 위에 제1 규소 패턴 및 제2 규소 패턴을 형성하는 단계,

상기 제1 규소 패턴 및 제2 규소 패턴 위에 게이트 절연막을 형성하는 단계,

상기 게이트 절연막 위에 제1 금속막 및 제2 금속막을 형성하는 단계,

상기 제2 금속막 위에 감광막 패턴을 형성한 후 상기 감광막 패턴을 마스크로 상기 제2 금속막을 건식 식각하여 제1 상부 금속층과 제2 상부 금속층을 형성하는 단계,

상기 감광막 패턴을 마스크로 습식 식각하여 제1 하부 금속층과 제2 하부 금속층을 형성하는 단계,

상기 제1 규소 패턴 및 제2 규소 패턴에 도전형 불순물 이온을 도핑하여 제1 캐패시터 전극과 소스 영역, 드레인 영역 및 채널 영역을 가지는 반도체를 형성하는 단계,

상기 반도체와 상기 제1 캐패시터 전극 위에 층간 절연막을 형성하는 단계,

상기 층간 절연막 위에 상기 소스 영역 및 드레인 영역과 각각 연결되는 소스 전극 및 드레인 전극을 형성하는 단계,

상기 소스 전극 및 드레인 전극 위에 평탄화막을 형성하는 단계,

상기 평탄화막 위에 위치하는 화소 전극을 형성하는 단계
를 포함하고,

상기 제1 상부 금속층은 상기 제1 하부 금속층을 노출하는 도핑부를 포함하고 상기 도전형 불순물 이온은 상기 도핑부를 통해서 상기 제2 규소 패턴에 도핑되는 유기 발광 표시 장치의 제조 방법.

청구항 14

제13항에서,

상기 제2 하부 금속층과 상기 제2 상부 금속층은 상기 채널 영역과 중첩하는 유기 발광 표시 장치의 제조 방법.

청구항 15

제14항에서,

상기 도핑부의 폭은 $2\mu\text{m}$ 이하로 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 16

제14항에서,

상기 제1 금속막은 $1,000\text{\AA}$ 이하로 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 17

제14항에서,

상기 제2 금속막의 두께는 상기 제1 금속막 두께의 2 내지 4배로 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 18

제13항에서,

상기 도핑부는 원형 또는 다각형의 평면 패턴을 가지는 유기 발광 표시 장치의 제조 방법.

청구항 19

제13항에서,

상기 제1 상부 금속층은 복수의 막대형 가지를 가지고,

상기 도핑부는 이웃하는 두 가지 사이에 위치하는 절개부인 유기 발광 표시 장치의 제조 방법.

청구항 20

제13항에서,

상기 제1 상부 금속층은 상기 도핑부를 포함하는 원형 또는 다각형의 고리형인 유기 발광 표시 장치의 제조 방법.

명세서

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치(organic light emitting diode display)는 빛을 방출하는 유기 발광 소자(organic light emitting diode)를 가지고 화상을 표시하는 자발광형 표시 장치이다. 유기 발광 표시 장치는 액정 표시 장치(liquid crystal display)와 달리 별도의 광원을 필요로 하지 않으므로 상대적으로 두께와 무게를 줄일 수 있다. 또한 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타내

므로 휴대용 전자 기기의 차세대 표시 장치로 주목받고 있다.

[0003] 유기 발광 표시 장치는 구동 방식에 따라 수동 구동형(passive matrix type)과 능동 구동형(active matrix type)으로 구분된다. 능동 구동형 유기 발광 표시 장치는 각 화소마다 형성된 유기 발광 소자, 박막 트랜지스터(thin film transistor, TFT) 및 캐패시터(capacitor)를 가지고 화소를 독립적으로 제어한다.

[0004] 캐패시터는 통상적으로 박막 트랜지스터와 동시에 형성할 수 있다. 예를 들어, 캐패시터의 양 전극은 각각 박막 트랜지스터의 반도체층 및 게이트 전극과 동시에 형성할 수 있다. 이때, 반도체층과 캐패시터의 양 전극 중 일 전극은 불순물이 도핑된 다결정 규소막을 포함한다.

[0005] 그런데 캐패시터의 일 전극을 불순물이 도핑된 다결정 규소막으로 형성하기 위해서는 캐패시터의 일 전극을 형성하기 위한 별도의 도핑 마스크 공정이 부가되어야 하므로 공정이 복잡해지고 비용이 제조 비용이 높아지는 문제점이 있다.

발명의 내용

해결하려는 과제

[0006] 따라서 본 발명이 이루고자 하는 기술적 과제는 유기 발광 표시 장치의 제조 공정을 단순화시킨 제조 방법을 제공하는 것이다.

[0007] 그리고 유기 발광 표시 장치의 캐패시터 효율을 증가시킬 수 있는 유기 발광 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0008] 상기한 과제를 달성하기 위한 본 발명에 따른 유기 발광 표시 장치는 기판, 기판 위에 위치하며 다결정 규소로 이루어진 제1 캐패시터 전극, 제1 캐패시터 전극 위에 위치하는 게이트 절연막, 게이트 절연막 위에 위치하며 제1 캐패시터 전극과 중첩하는 제1 하부 금속층과 제1 상부 금속층을 포함하는 제2 캐패시터 전극을 포함하고, 제1 상부 금속층은 제1 하부 금속층을 노출하는 도핑부를 가진다.

[0009] 상기 제1 캐패시터 전극은 도핑부와 대응하는 영역에 도전성 불순물 이온이 도핑되어 있을 수 있다.

[0010] 상기 기판 위에 위치하며 소스 영역, 드레인 영역 및 채널 영역을 포함하는 반도체, 채널 영역과 중첩하는 게이트 절연막 위에 위치하며 제2 하부 금속층 및 제2 상부 금속층을 포함하는 게이트 전극을 더 포함하고, 제2 하부 금속층은 제1 하부 금속층과 동일한 물질로 이루어지고, 제2 상부 금속층은 제1 상부 금속층과 동일한 물질로 이루어질 수 있다.

[0011] 상기 소스 영역 및 드레인 영역에는 도전성 불순물 이온이 도핑되어 있을 수 있다.

[0012] 상기 제2 캐패시터 전극 및 게이트 전극 위에 위치하는 층간 절연막, 층간 절연막 위에 위치하며 소스 영역 및 드레인 영역과 각각 연결되어 있는 소스 전극 및 드레인 전극, 소스 전극 및 드레인 전극 위에 위치하는 평탄화막, 평탄화막 위에 위치하는 화소 전극, 화소 전극을 노출하는 개구부를 가지는 화소 정의막, 개구부 위에 위치하는 유기 발광층, 유기 발광층 위에 위치하는 공통 전극을 더 포함할 수 있다.

[0013] 상기 화소 전극은 상기 소스 전극 또는 드레인 전극과 연결되어 있을 수 있다.

[0014] 상기 제1 하부 금속층의 두께는 1,000Å이하일 수 있다.

[0015] 상기 제1 상부 금속층의 두께는 상기 제1 하부 금속층 두께의 2 내지 4배일 수 있다.

[0016] 상기 도핑부의 지름은 2 μ m이하일 수 있다.

[0017] 상기 도핑부는 원형 또는 다각형의 평면 패턴을 가질 수 있다.

[0018] 상기 제1 상부 금속층은 복수의 막대형 가지를 가지고, 도핑부는 이웃하는 두 가지 사이에 위치하는 절개부일 수 있다.

[0019] 상기 제1 상부 금속층은 도핑부를 포함하는 원형 또는 다각형의 고리형일 수 있다.

[0020] 상기한 다른 과제를 달성하기 위한 본 발명에 따른 유기 발광 표시 장치의 제조 방법은 기판 위에 제1 규소 패턴 및 제2 규소 패턴을 형성하는 단계, 제1 규소 패턴 및 제2 규소 패턴 위에 게이트 절연막을 형성하는 단계, 게이트 절연막 위에 제1 금속막 및 제2 금속막을 형성하는 단계, 제2 금속막 위에 감광막 패턴을 형성한 후 감

광막 패턴을 마스크로 제2 금속막을 건식 식각하여 제1 상부 금속층과 제2 상부 금속층을 형성하는 단계, 감광막 패턴을 마스크로 습식 식각하여 제1 하부 금속층과 제2 하부 금속층을 형성하는 단계, 제1 규소 패턴 및 제2 규소 패턴에 도전형 불순물 이온을 도핑하여 제1 캐패시터 전극과 소스 영역, 드레인 영역 및 채널 영역을 가지는 반도체를 형성하는 단계, 반도체와 상기 제1 캐패시터 전극 위에 층간 절연막을 형성하는 단계, 층간 절연막 위에 소스 영역 및 드레인 영역과 각각 연결되는 소스 전극 및 드레인 전극을 형성하는 단계, 소스 전극 및 드레인 전극 위에 평탄화막을 형성하는 단계, 평탄화막 위에 위치하는 화소 전극을 형성하는 단계를 포함하고, 제1 상부 금속층은 제1 하부 금속층을 노출하는 도핑부를 포함하고 도전형 불순물 이온은 도핑부를 통해서 제2 규소 패턴에 도핑된다.

[0021] 상기 제2 하부 금속층과 제2 상부 금속층은 채널 영역과 중첩할 수 있다.

[0022] 상기 도핑부의 폭은 $2\mu\text{m}$ 이하로 형성할 수 있다.

[0023] 상기 제1 금속막은 $1,000\text{\AA}$ 이하로 형성할 수 있다.

[0024] 상기 제2 금속막은 상기 제1 금속막 두께의 2 내지 4배의 두께로 형성할 수 있다.

[0025] 상기 도핑부는 원형 또는 다각형의 평면 패턴을 가질 수 있다.

[0026] 상기 제1 상부 금속층은 복수의 막대형 가지를 가지고, 도핑부는 이웃하는 두 가지 사이에 위치하는 절개부일 수 있다.

[0027] 상기 제1 상부 금속층은 도핑부를 포함하는 원형 또는 다각형의 고리형일 수 있다.

발명의 효과

[0028] 본 발명에서와 같이 도핑부를 형성하면 트랜지스터의 도핑 영역과 캐패시터의 도핑 영역을 1회 마스크 공정으로 형성할 수 있으므로 제조 공정을 간소화시킬 수 있다.

[0029] 그리고 본 발명에서와 같이 도핑을 실시하면 용이하게 MOS보다 효율이 우수한 MIM 구조의 캐패시터를 용이하게 형성할 수 있다.

도면의 간단한 설명

[0030] 도 1은 본 발명의 한 실시예에 유기 발광 표시 장치의 구조를 개략적으로 나타낸 평면도이다.

도 2는 도 1의 유기 발광 표시 장치가 갖는 화소 회로를 나타낸 회로도이다.

도 3은 도 1의 유기 발광 표시 장치의 일부분을 확대하여 나타낸 단면도이다.

도 4 내지 도 7은 본 발명의 다른 실시예에 따른 도핑부를 포함하는 제1 상부 금속층의 평면도이다.

도 8 내지 도 13은 본 발명의 한 실시예에 따라서 유기 발광 표시 장치를 제조하는 방법을 순서대로 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0031] 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[0032] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

[0033] 이하 도면을 참고하여 본 발명의 한 실시예에 따른 유기 발광 표시 장치에 대해서 구체적으로 설명한다.

[0034] 도 1은 본 발명의 한 실시예에 유기 발광 표시 장치의 구조를 개략적으로 나타낸 평면도이다. 도 2는 도 1의 유기 발광 표시 장치가 갖는 화소 회로를 나타낸 회로도이다.

[0035] 도 1에 도시한 바와 같이, 유기 발광 표시 장치는 표시 영역(DA)과 비표시 영역(NA)으로 구분된 기판 본체(11

1)를 포함한다. 기판 본체(111)의 표시 영역(DA)에는 다수의 화소들(PE)이 형성되어 화상을 표시하고, 비표시 영역(NA)에는 하나 이상의 구동 회로(GD, DD)가 형성된다.

[0036] 도 2에 도시한 바와 같이, 하나의 화소(PE)가 유기 발광 소자(organic light emitting diode)(70), 두 개의 박막 트랜지스터(thin film transistor, TFT) (10, 20), 그리고 하나의 캐패시터(capacitor)(80)를 구비하는 2Tr-1Cap 구조를 갖는다. 하지만, 본 발명의 한 실시예가 이에 한정되는 것은 아니다. 따라서 유기 발광 표시 장치(101)는 하나의 화소(PE)에 셋 이상의 박막 트랜지스터와 둘 이상의 캐패시터를 구비할 수 있으며, 별도의 배선이 더 형성되어 다양한 구조를 갖도록 형성할 수도 있다. 이와 같이 추가로 형성되는 박막 트랜지스터 및 캐패시터는 보상 회로의 구성이 될 수 있다.

[0037] 보상 회로는 각 화소(PE)마다 형성된 유기 발광 소자(70)의 균일성을 향상시켜 화질에 편차가 생기는 것을 억제한다. 일반적으로 보상 회로는 2개 내지 8개의 박막 트랜지스터를 포함한다.

[0038] 또한, 기판 본체(111)의 비 표시 영역(NA) 상에 형성된 구동 회로(GD, DD)도 추가의 박막 트랜지스터를 포함할 수 있다.

[0039] 유기 발광 소자(70)는 정공 주입 전극인 애노드(anode) 전극과 전자 주입 전극인 캐소드(cathode) 전극, 그리고 애노드 전극과 캐소드 전극 사이에 배치된 유기 발광층을 포함한다.

[0040] 본 발명의 한 실시예에서 하나의 화소(PE)는 제1 박막 트랜지스터(10)와 제2 박막 트랜지스터(20)를 포함한다.

[0041] 제1 박막 트랜지스터(10) 및 제2 박막 트랜지스터(20)는 각각 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 포함한다. 그리고 제1 박막 트랜지스터(10) 및 제2 박막 트랜지스터(20) 중 하나 이상의 박막 트랜지스터의 반도체층은 불순물이 도핑된 다결정 규소막을 포함한다. 즉, 제1 박막 트랜지스터(10) 및 제2 박막 트랜지스터(20) 중 하나 이상의 박막 트랜지스터는 다결정 규소 박막 트랜지스터이다.

[0042] 도 2에는 게이트 라인(GL), 데이터 라인(DL) 및 공통 전원 라인(VDD)과 함께 캐패시터 라인(CL)이 나타나 있으나, 캐패시터 라인(CL)은 경우에 따라 생략될 수도 있다.

[0043] 데이터 라인(DL)에는 제1 박막 트랜지스터(10)의 소스 전극이 연결되고, 게이트 라인(GL)에는 제1 박막 트랜지스터(10)의 게이트 전극이 연결된다. 그리고 제1 박막 트랜지스터(10)의 드레인 전극은 캐패시터(80)를 통하여 캐패시터 라인(CL)에 연결된다. 제1 박막 트랜지스터(10)의 드레인 전극과 캐패시터(80) 사이에 노드가 형성되어 제2 박막 트랜지스터(20)의 게이트 전극이 연결된다. 그리고 제2 박막 트랜지스터(20)의 소스 전극에는 공통 전원 라인(VDD)이 연결되며, 드레인 전극에는 유기 발광 소자(70)의 애노드 전극이 연결된다.

[0044] 제1 박막 트랜지스터(10)는 발광시키고자 하는 화소(PE)를 선택하는 스위칭 소자로 사용된다. 제1 박막 트랜지스터(10)가 순간적으로 턴온되며 캐패시터(80)는 충전되고, 이때 충전되는 전하량은 데이터 라인(DL)으로부터 인가되는 전압의 전위에 비례한다. 그리고 제1 박막 트랜지스터(10)가 턴오프된 상태에서 캐패시터 라인(CL)에 한 프레임 주기로 전압이 증가하는 신호가 입력되면, 제2 박막 트랜지스터(20)의 게이트 전위는 캐패시터(80)에 충전된 전위를 기준으로 인가되는 전압의 레벨이 캐패시터 라인(CL)을 통하여 인가되는 전압을 따라서 상승한다. 그리고 제2 박막 트랜지스터(20)는 게이트 전위가 문턱 전압을 넘으면 턴온된다. 그러면 공통 전원 라인(VDD)에 인가되던 전압이 제2 박막 트랜지스터(20)를 통하여 유기 발광 소자(70)에 인가되고, 유기 발광 소자(70)는 발광한다.

[0045] 이하, 도 3을 참조하여 본 발명의 한 실시예에 따른 유기 발광 표시 장치를 구체적으로 설명한다.

[0046] 도 3은 도 1의 유기 발광 표시 장치의 일부분을 확대하여 나타낸 단면도이다.

[0047] 도 3에서는 도 1의 제2 박막 트랜지스터(20) 및 캐패시터(80)의 구조를 중심으로 적층 순서에 따라 상세히 설명한다. 이하에서는 제2 박막 트랜지스터(20)를 박막 트랜지스터라 한다.

[0048] 기판(111)은 유리, 석영, 세라믹 또는 플라스틱 등으로 이루어진 절연성 기판 일 수 있으며, 기판(111)은 스테인리스 강 등으로 이루어진 금속성 기판일 수 있다.

[0049] 기판(111) 위에는 버퍼층(120)이 형성되어 있다.

[0050] 버퍼층(120)은 질화 규소(SiNx)의 단일막 또는 질화 규소(SiNx)와 산화 규소(SiO2)가 적층된 이중막 구조로 형성될 수 있다. 버퍼층(120)은 불순물 또는 수분과 같이 불필요한 성분의 침투를 방지하면서 동시에 표면을 평탄화하는 역할을 한다.

- [0051] 버퍼층(120) 위에는 다결정 규소로 이루어진 반도체(135)와 제1 캐패시터 전극(138)이 형성되어 있다.
- [0052] 반도체(135)는 채널 영역(1355)과 채널 영역(1355)의 양측에 각각 형성된 소스 영역(1357) 및 드레인 영역(1356)으로 구분된다. 반도체(135)의 채널 영역(1355)은 불순물이 도핑되지 않은 다결정 규소, 즉 진성 반도체(intrinsic semiconductor)이다. 반도체(135)의 소스 영역(1357) 및 드레인 영역(1356)은 도전성 불순물이 도핑된 다결정 규소, 즉 불순물 반도체(impurity semiconductor)이다.
- [0053] 제1 캐패시터 전극(138)은 도전성 불순물이 도핑된 영역과 도핑되지 않은 영역을 포함한다. 도전성 불순물이 도핑된 영역은 후술하는 제2 상부 금속층(1583) 사이와 대응하고, 불순물이 도핑되지 않은 영역은 제2 상부 금속층(1583)과 대응한다.
- [0054] 소스 영역(1357) 및 드레인 영역(1356)과 제1 캐패시터 전극(138)에 도핑되는 불순물은 p형 불순물 및 n형 불순물 중 어느 하나 일 수 있다.
- [0055] 반도체(135)와 제1 캐패시터 전극(138) 위에는 게이트 절연막(140)이 형성되어 있다. 게이트 절연막(140)은 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화 규소 및 산화 규소 중 적어도 하나를 포함한 단층 또는 복수층일 수 있다.
- [0056] 게이트 절연막(140) 위에는 게이트 전극(155)과 제2 캐패시터 전극(158)이 형성되어 있다. 게이트 전극(155)은 채널 영역(1355)과 중첩하고, 제2 캐패시터 전극(158)은 제1 캐패시터 전극(138)과 중첩한다.
- [0057] 제2 캐패시터 전극(158)은 제1 하부 금속층(1581)과 제1 상부 금속층(1583)으로 이루어지고, 게이트 전극(155)은 제2 하부 금속층(1551) 및 제2 상부 금속층(1553)으로 이루어진다.
- [0058] 제1 상부 금속층은 제1 하부 금속층을 노출하는 도핑부를 포함한다. 도핑부는 도 4 내지 7에서와 같이 도핑부는 다양한 형태로 형성될 수 있다.
- [0059] 도 4 내지 도 7은 본 발명의 다른 실시예에 따른 도핑부를 포함하는 제1 상부 금속층의 평면도이다.
- [0060] 구체적으로 설명하면, 도핑부(D)는 도 4에서와 같이 대략 사각형을 가지는 제1 상부 금속층(1583)에 복수의 도핑 구멍으로 형성할 수도 있다. 도핑 구멍은 원형 또는 다각형으로 형성될 수 있으며 도핑 구멍의 지름은 $2\mu\text{m}$ 이하이다.
- [0061] 도핑부(D)는 도 5에서와 같이 제1 상부 금속층(1583)에 복수의 도핑 절개부로 형성할 수도 있다. 도 5에서와 같이 복수의 도핑 절개부를 형성하면 제1 상부 금속층(1583)은 복수의 막대형 가지를 가지도록 형성될 수 있다. 도 5의 실시예에서는 가지가 한 방향으로만 뻗어 있으나 도 6에서와 같이 반대 방향으로 뻗을 수도 있다. 이때 도핑 절개부의 폭(W)은 $2\mu\text{m}$ 이하이다.
- [0062] 도핑부(D)는 도 7에서와 같이 제1 상부 금속층(1583)을 테두리를 가지는 원형 또는 다각형의 고리로 형성하여 고리의 내부 구멍을 도핑부로 사용할 수 있다. 도핑부의 지름 또는 가장 긴 폭(W)은 $2\mu\text{m}$ 이하이다.
- [0063] 다시 도 3을 참조하면, 제1 하부 금속층(1581) 및 제2 하부 금속층(1551)은 몰리브덴 또는 몰리브덴 합금으로 이루어질 수 있고, 제1 상부 금속층(1583) 및 제2 상부 금속층(1553)은 텅스텐 또는 텅스텐 합금으로 이루어질 수 있다. 제1 하부 금속층(1581) 및 제2 하부 금속층(1551)은 $1,000\text{\AA}$ 이하의 두께로 형성되어 있고, 제1 상부 금속층(1583) 및 제2 상부 금속층(1553)은 제1 하부 금속층(1581) 및 제2 하부 금속층(1551)의 2 내지 4배의 두께, 즉 $2,000\text{\AA}$ 내지 $4,000\text{\AA}$ 의 두께로 형성될 수 있다.
- [0064] 제1 캐패시터 전극(138)과 제2 캐패시터 전극(158)은 게이트 절연막(140)을 유전체로 하여 캐패시터(80)를 이룬다.
- [0065] 게이트 전극(155) 및 제2 캐패시터 전극(158) 위에는 층간 절연막(160)이 형성된다. 층간 절연막(160)은 게이트 절연막(140)과 마찬가지로 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화 규소 또는 산화 규소 등으로 형성될 수 있다.
- [0066] 층간 절연막(160)과 게이트 절연막(140)에는 소스 영역(1357)과 드레인 영역(1356)을 각각 노출하는 소스 접촉 구멍(167)과 드레인 접촉 구멍(166)을 갖는다.
- [0067] 층간 절연막(160) 위에는 소스 전극(177) 및 드레인 전극(176)이 형성되어 있다. 소스 전극(177)과 드레인 전극(176)은 소스 접촉 구멍(167) 및 드레인 전극 구멍(166)을 통해서 소스 영역(1357) 및 드레인 영역(1356)과 각각 연결된다.

- [0068] 층간 절연막(160) 위에는 캐패시터 전극(도시하지 않음)이 더 형성될 수 있다. 추가의 캐패시터 전극은 제1 캐패시터 전극(138) 또는 제2 캐패시터 전극(158)과 중첩하여 충전 용량을 증가시킬 수 있다.
- [0069] 평탄화막(180)은 폴리아크릴계 수지(polyacrylates resin), 에폭시(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides resin), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌계수지(poly(phenylenethers) resin), 폴리페닐렌설파이드계수지(poly(phenylenesulfides) 및 벤조사이클로부텐(benzocyclobutene, BCB) 중 하나 이상의 물질을 포함하여 단층 또는 복수층으로 형성된다.
- [0070] 평탄화막(180) 위에는 유기 발광 소자(70)의 화소 전극(710) 및 화소 정의막(190)이 형성되어 있다.
- [0071] 화소 전극(710)은 평탄화막(180)의 애노드 접촉 구멍(186)을 통해서 드레인 전극(176)과 연결되어 유기 발광 소자의 애노드 전극이 된다. 화소 전극(710)은 소스 전극과 연결될 수도 있다(도시하지 않음).
- [0072] 화소 정의막(190)은 화소 전극(710)을 노출하는 개구부(195)를 가진다. 화소 정의막(190)은 폴리아크릴계(polyacrylates) 또는 폴리이미드계(polyimides) 등의 수지와 실리카 계열의 무기물 등을 포함하여 이루어질 수 있다.
- [0073] 화소 정의막(190)의 개구부(195)에는 유기 발광층(720)이 형성되어 있다.
- [0074] 유기 발광층(720)은 발광층, 정공 수송층(hole-injection layer, HIL), 정공 수송층(hole-transporting layer, HTL), 전자 수송층(electron-transporting layer, ETL) 및 전자 주입층(electron-injection layer, EIL) 중 하나 이상을 포함하는 복수층으로 형성된다.
- [0075] 유기 발광층(720)이 이들 모두를 포함할 경우 정공 주입층이 애노드 전극인 화소 전극(710) 위에 위치하고 그 위로 정공 수송층, 발광층, 전자 수송층, 전자 주입층이 차례로 적층될 수 있다.
- [0076] 화소 정의막(190) 및 유기 발광층(720) 위에는 공통 전극(730)이 형성된다.
- [0077] 공통 전극(730)은 유기 발광 소자의 캐소드 전극이 된다. 따라서 화소 전극(710), 유기 발광층(720) 및 공통 전극(730)은 유기 발광 소자(70)를 이룬다.
- [0078] 유기 발광 소자(70)가 빛을 방출하는 방향에 따라서 유기 발광 표시 장치는 전면 표시형, 배면 표시형 및 양면 표시형 중 어느 한 구조를 가질 수 있다.
- [0079] 전면 표시형일 경우 화소 전극(710)은 반사막으로 형성하고 공통 전극(730)은 반투과막으로 형성한다. 반면, 배면 표시형일 경우 화소 전극(710)은 반투과막으로 형성하고 공통 전극(730)은 반사막으로 형성한다. 그리고 양면 표시형일 경우 화소 전극(710) 및 공통 전극(730)은 투명막 또는 반투과막으로 형성한다.
- [0080] 반사막 및 반투과막은 마그네슘(Mg), 은(Ag), 금(Au), 칼슘(Ca), 리튬(Li), 크롬(Cr) 및 알루미늄(Al) 중 하나 이상의 금속 또는 이들의 합금을 사용하여 만들어진다. 반사막과 반투과막은 두께로 결정되며, 반투과막은 200nm 이하의 두께로 형성될 수 있다. 두께가 얇아질수록 빛의 투과율이 높아지나, 너무 얇으면 저항이 증가한다.
- [0081] 투명막은 ITO(indium tin oxide), IZO(indium zinc oxide), ZnO(산화 아연) 또는 In₂O₃(indium oxide) 등의 물질로 이루어진다.
- [0082] 그림 이상의 유기 발광 표시 장치를 제조하는 방법에 대해서 도 8 내지 도 13과 기 설명한 도 3을 참조하여 구체적으로 설명한다.
- [0083] 도 8 내지 도 13은 본 발명의 한 실시예에 따라서 유기 발광 표시 장치를 제조하는 방법을 순서대로 도시한 단면도이다.
- [0084] 먼저, 도 8에 도시한 바와 같이 기판(111) 위에 버퍼층(120)을 형성한다. 버퍼층(120)은 질화 규소 또는 산화 규소로 형성할 수 있다.
- [0085] 버퍼층(120) 위에 다결정 규소막을 형성한 후 패터닝하여 제1 규소 패턴(30) 및 제2 규소 패턴(50)을 형성한다.
- [0086] 다결정 규소막은 비정질 규소막을 형성하고 이를 결정화하여 형성한다. 결정화 전에 비정질 규소막 내에 존재하는 수소 원자를 제거하기 위한 탈수소화(dehydrogenation) 공정을 더 포함할 수 있다.
- [0087] 다음 도 9에 도시한 바와 같이 제1 규소 패턴 및 제2 규소 패턴 위에 게이트 절연막(140)을 형성한다. 게이트

절연막(140)은 질화 규소 또는 산화 규소로 이루어질 수 있다.

- [0088] 그리고 게이트 절연막(140) 위에 제1 금속막과 제2 금속막을 적층한 후 제2 금속막 위에 감광막 패턴(PR)을 형성한다.
- [0089] 이후 감광막 패턴(PR)을 마스크로 제2 금속막을 건식 식각하여 제1 상부 금속층(1583)과 제2 상부 금속층(1553)을 형성한다. 제1 상부 금속층(1583)은 제1 금속막(90)을 노출하는 도핑부(D)를 포함한다. 이때 도핑부(D)의 지름은 $2\mu\text{m}$ 이하로 형성한다.
- [0090] 다음 도 10에 도시한 바와 같이, 감광막 패턴(PR)을 마스크로 제1 금속막을 습식 식각하여 제1 하부 금속층(1581) 및 제2 하부 금속층(1551)을 형성한다. 제1 하부 금속층(1581) 및 제1 상부 금속층(1583)은 제2 캐패시터 전극(158)이 된다. 그리고 제2 하부 금속층(1551) 및 제2 상부 금속층(1553)은 트랜지스터의 게이트 전극(155)이 된다.
- [0091] 이때, 도핑부(D)의 지름은 $2\mu\text{m}$ 이하로 작기 때문에 식각액이 도핑부로 침투하지 못한다. 따라서 도핑부를 통해서 노출되는 제1 금속막이 식각되지 않고, 도핑부가 아니며 감광막 패턴으로 덮이지 않은 부분의 제1 금속막만 식각된다.
- [0092] 식각액의 점성이 높을수록 식각액이 도핑부에 침투되는 것이 어렵다. 그러나 식각액의 점성이 너무 높으면 상부 금속층(1583, 1551) 밖으로 노출되는 제1 금속막 또한 식각되지 않을 수 있다. 따라서 식각액의 점성은 13.6cP 내지 30cP인 것이 바람직하다.
- [0093] 다음 도 11에 도시한 바와 같이, 감광막 패턴(PR)을 마스크로 제1 규소 패턴 및 2 규소패턴에 도전성 불순물 이온을 도핑한다.
- [0094] 도전성 불순물 이온은 도핑부를 통해서 제1 규소 패턴에 도핑되고 제1 규소 패턴은 도전성을 가지는 제1 캐패시터 전극(138)이 된다. 이때 도전성 불순물 이온은 제1 하부 금속층을 뚫고 제1 규소 패턴에 주입되어야 하므로 제1 금속막의 두께는 $1,000\text{\AA}$ 이하로 형성하는 것이 바람직하다.
- [0095] 한편, 제2 규소 패턴은 제2 하부 금속층(1551) 및 제2 상부 금속층(1553)이 적층되어 있다. 따라서 불순물 이온은 제2 하부 금속층(1551) 및 제2 상부 금속층(1553) 밖으로 노출된 제2 규소 패턴에 도핑되어 각각 소스 영역(1357) 및 드레인 영역(1356)을 이루고, 제2 하부 금속층(1551)과 중첩하며 소스 영역(1357)과 드레인 영역(1356) 사이에 위치하는 제2 규소 패턴은 채널 영역(1355)이 된다.
- [0096] 도 11에서와 달리 감광막 패턴(PR)을 제거하고 게이트 전극(155)과 제2 캐패시터 전극(158)을 마스크로 도핑을 진행할 수도 있다.
- [0097] 이처럼 도핑부를 형성하고 도핑부의 폭을 작게하면 트랜지스터의 소스 영역 및 드레인 영역과 캐패시터의 하부 전극을 각각 도핑하기 위한 별도의 마스크 공정 없이 동시에 실시할 수 있다. 따라서 마스크 공정이 감소되어 유기 발광 표시 장치의 제조 공정을 간소화할 수 있다.
- [0098] 본 발명에서와 같이 도핑부를 이용하여 도핑을 진행하면 도핑부와 대응하는 부분의 제1 캐패시터 전극은 도전성 불순물 이온에 의해서 도체화되어 제1 하부 금속층과 MIM (metal-insulator-metal) 구조의 캐패시터를 이룬다. 그리고 도전성 불순물 이온이 도핑되지 않은 제1 규소 패턴은 제1 하부 금속층과 MOS(metal oxide semiconductor) 캐패시터를 이룬다.
- [0099] 이처럼 본 발명에서와 같이 도핑부를 이용하여 도핑을 진행하면 MOS 구조의 캐패시터보다 충전 효율이 더 좋은 MIM 구조의 캐패시터를 용이하게 형성할 수 있다. 따라서 MOS 구조의 캐패시터만을 포함하는 유기 발광 표시 장치의 캐패시터 보다 효율을 향상시킬 수 있다.
- [0100] 다음, 도 12에 도시한 바와 같이 감광막 패턴(PR)을 제거한 후 게이트 전극(155)과 제2 캐패시터 전극(158) 위에 층간 절연막(160)을 형성한다.
- [0101] 사진 식각 공정으로 층간 절연막(160)에 소스 영역(1357) 및 드레인 영역(1356)을 노출하는 소스 접촉 구멍(167) 및 드레인 접촉 구멍(166)을 형성한다.
- [0102] 그리고 층간 절연막(160) 위에 금속막을 형성한 후 패터닝하여 소스 접촉 구멍(167)을 통해서 소스 영역(1357)과 연결되는 소스 전극(177), 드레인 접촉 구멍(166)을 통해서 드레인 영역(1356)과 연결되는 드레인 전극(176)을 형성한다.

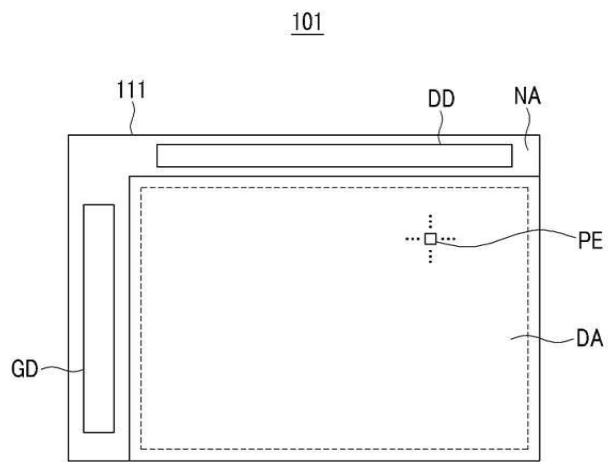
- [0103] 다음 도 13에 도시한 바와 같이, 드레인 전극(176) 및 소스 전극(177) 위에 평탄화막(180)을 형성하고, 사진 식각 공정으로 평탄화막(180)에 드레인 전극(176)을 노출하는 애노드 접촉 구멍(186)을 형성한다.
- [0104] 그리고 평탄화막(180) 위에 금속막을 형성한 후 패터닝하여 애노드 접촉 구멍(186)을 통해서 드레인 전극(176)과 연결되는 화소 전극(710)을 형성한다.
- [0105] 이후 평탄화막(180) 위에 화소 전극(710)을 노출하는 개구부(195)를 가지는 화소 정의막(190)을 형성한다.
- [0106] 다음 도 3에 도시한 바와 같이, 화소 정의막(190)의 개구부(195) 내에 유기 발광층(720)을 형성하고 유기 발광층(720) 위에 공통 전극(730)을 형성한다.
- [0107] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

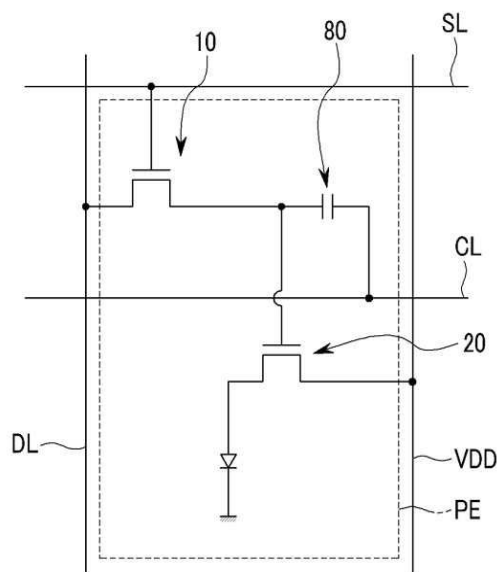
- [0108]
- | | |
|-----------------|-----------------|
| 10: 제1 박막 트랜지스터 | 20: 제2 박막 트랜지스터 |
| 30: 제1 규소 패턴 | 50: 제2 규소 패턴 |
| 70: 유기 발광 소자 | 80: 캐패시터 |
| 90: 제1 금속막 | 111: 기관 |
| 120: 버퍼층 | 135: 반도체 |
| 138: 제1 캐패시터 전극 | 140: 게이트 절연막 |
| 155: 게이트 전극 | 158: 제2 캐패시터 전극 |
| 160: 층간 절연막 | 180: 평탄화막 |
| 190: 화소 정의막 | 195: 개구부 |
| 710: 화소 전극 | 720: 유기 발광층 |
| 730: 공통 전극 | 1355: 채널 영역 |
| 1356: 드레인 영역 | 1357: 소스 영역 |
| 1551: 제2 하부 금속층 | 1553: 제2 상부 금속층 |
| 1581: 제1 하부 금속층 | 1583: 제1 상부 금속층 |

도면

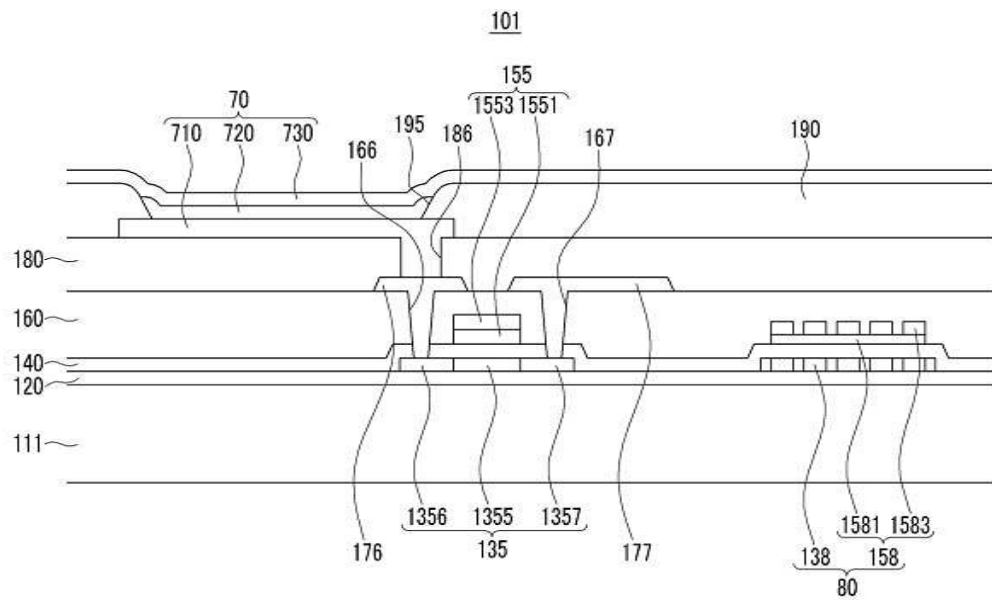
도면1



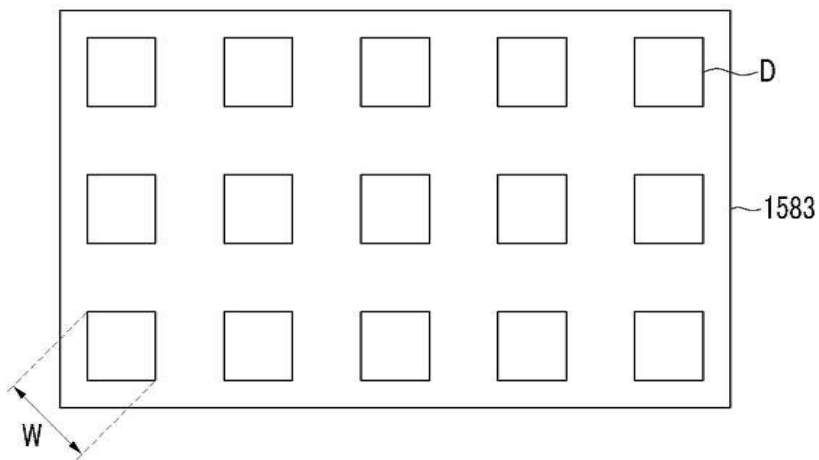
도면2



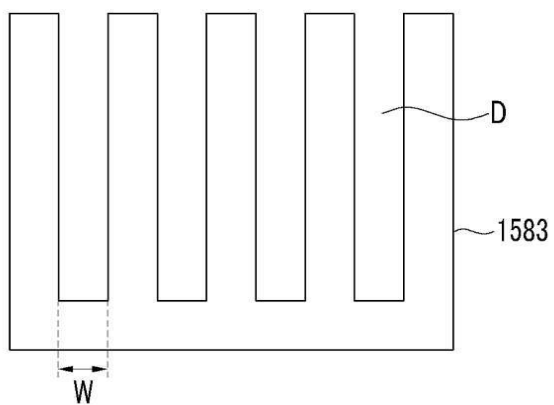
도면3



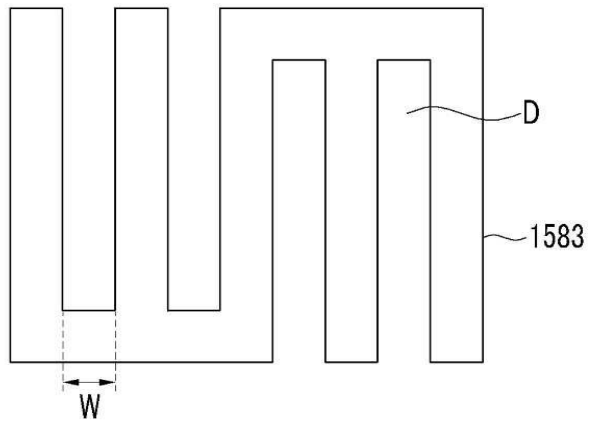
도면4



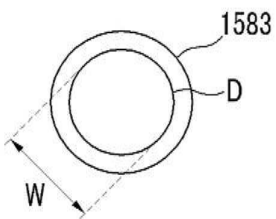
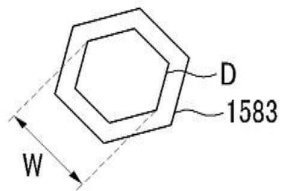
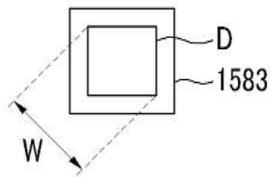
도면5



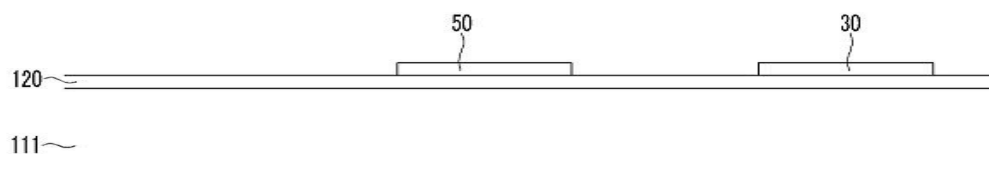
도면6



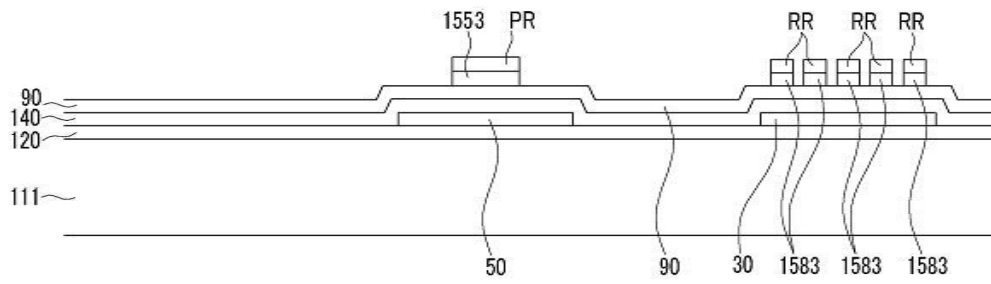
도면7



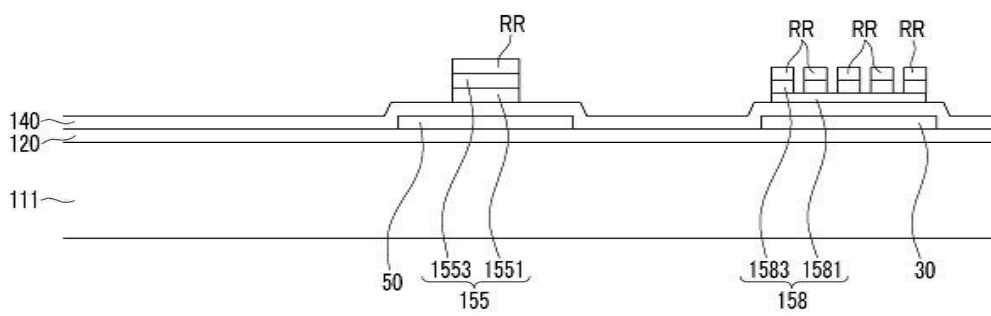
도면8



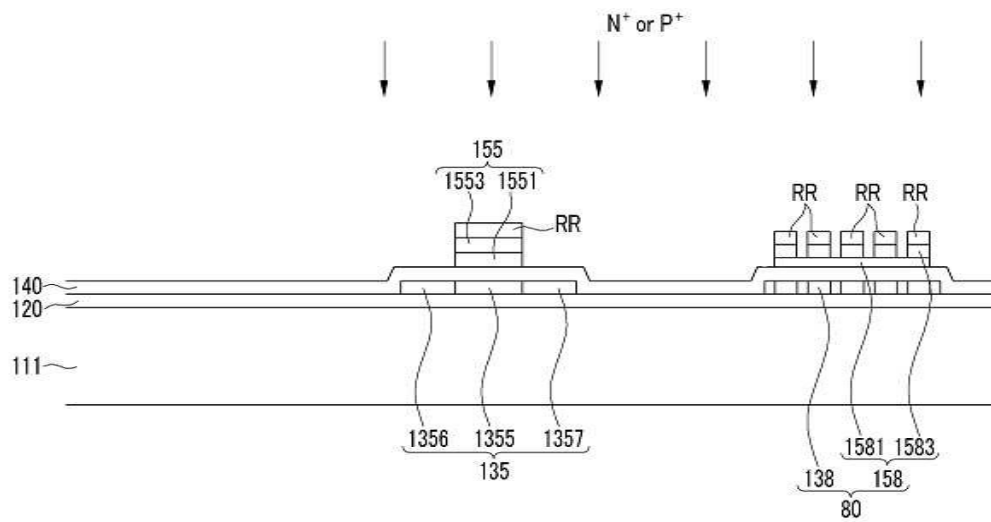
도면9



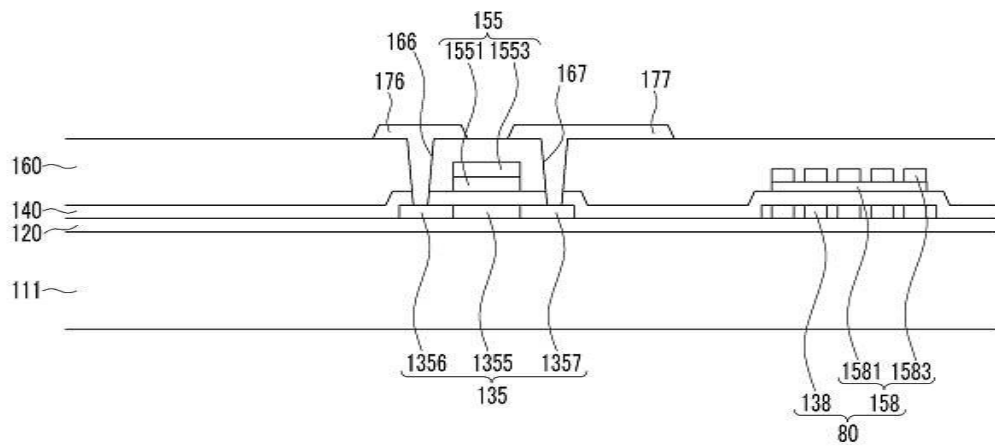
도면10



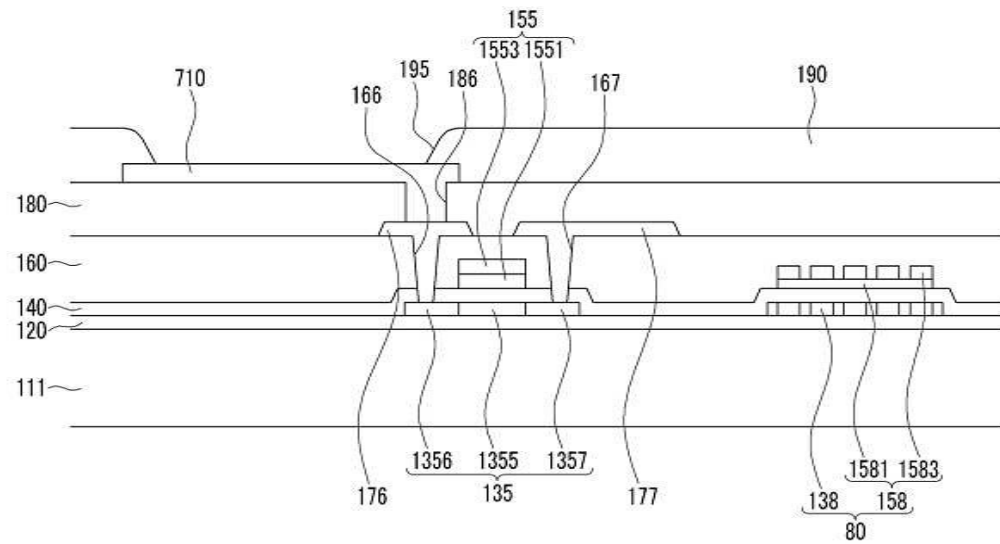
도면11



도면12



도면13



专利名称(译)	标题：OLED显示器及其制造方法		
公开(公告)号	KR1020130024029A	公开(公告)日	2013-03-08
申请号	KR1020110087207	申请日	2011-08-30
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	AN CHI WOOK		
发明人	AN, CHI WOOK		
IPC分类号	H01L51/50 H05B33/26 H05B33/10		
CPC分类号	H01L51/56 H01L27/3265 H01L27/32 H01L27/1255 H01L27/3258 H01L2251/56		
外部链接	Espacenet		

摘要(译)

根据本发明的有机发光显示器包括基板，形成在基板上并由多晶硅制成的第一电容器电极，设置在第一电容器电极上的栅极绝缘膜，设置在栅极绝缘膜上的第一下部金属层，以及包括第一上金属层的第二电容器电极，其中第一上金属层具有暴露第一下金属层的掺杂部分。

