

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2020-0076407
(43) 공개일자 2020년06월29일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/50 (2006.01)
H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/3276 (2013.01)
H01L 27/3211 (2013.01)
(21) 출원번호 10-2018-0165490
(22) 출원일자 2018년12월19일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
전홍명
경기도 파주시 월롱면 엘지로 245
김태용
경기도 파주시 월롱면 엘지로 245
김강현
경기도 파주시 월롱면 엘지로 245
(74) 대리인
네이트특허법인

전체 청구항 수 : 총 18 항

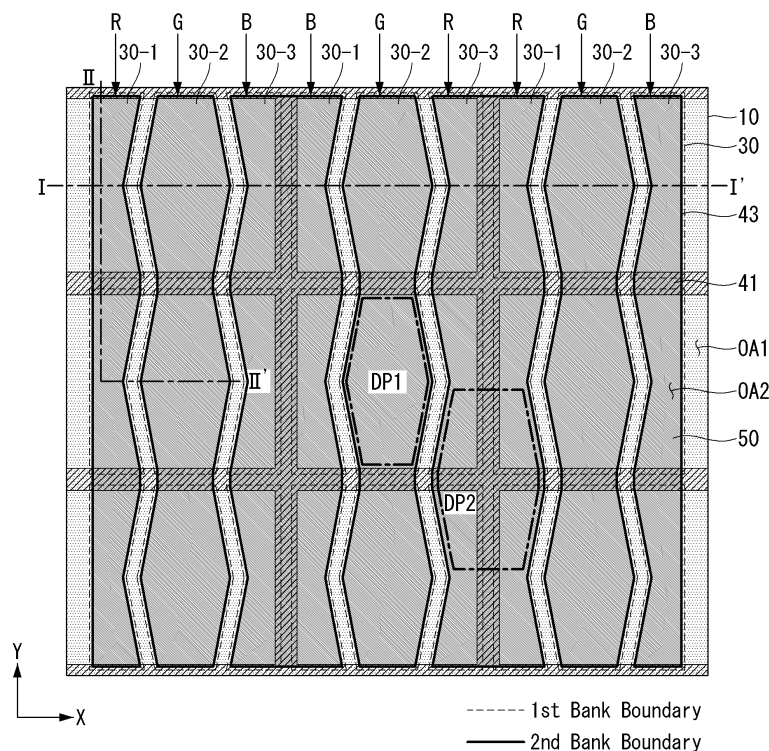
(54) 발명의 명칭 유기발광 표시장치

(57) 요약

본 발명에 의한 유기발광 표시장치는 기판, 제1 전극들, 제1 बैं크, 제2 बैं크를 포함한다. 기판은 열 방향 및 행 방향을 따라 배열된 복수의 서브 픽셀들을 갖는다. 제1 전극들은 서브 픽셀들에 할당된다. 제1 बैं크는 제1 전극 상에 배치되어 복수의 제1 전극들을 노출하는 제1 개구부들을 갖는다. 제2 बैं크는 제1 बैं크 상에 배치되어

(뒷면에 계속)

대표도 - 도2



복수의 제1 전극들을 노출하는 제2 개구부들을 갖는다. 제1 전극들은, 제3n-2(n은 1 이상의 자연수) 열에 배열된 제1-1 전극들, 제3n-1 열에 배열된 제1-2 전극들, 제3n 열에 배열된 제1-3 전극들을 포함한다. 제1-1 전극은, 제1-2 전극과 이웃하는 일측에 형성된 제1 요부를 갖는다. 제1-2 전극은, 제1-1 전극과 이웃하는 일측에 형성되며 제1 요부에 대향되는 제1 철부, 및 제1-3 전극과 이웃하는 타측에 형성된 제2 철부를 갖는다. 제1-3 전극은, 제1-2 전극과 이웃하는 일측에 형성되며 제2 철부에 대향하는 제2 요부를 갖는다. 제1 बैं크는 열 방향으로 이웃하는 제1 전극들 사이에 배치되고, 행 방향으로 이웃하는 제1-3 전극 및 제1-1 전극 사이에 배치된다. 제2 बैं크는, 제3n-2 열에 배열된 제1-1 전극들과 이와 이웃하는 제3n-1 열에 배열된 제1-2 전극들 사이에 배치되고, 제3n-1 열에 배열된 제1-2 전극들과 이와 이웃하는 제3n 열에 배열된 제1-3 전극들 사이에 배치된다.

(52) CPC특허분류

H01L 51/5012 (2013.01)

H01L 51/5203 (2013.01)

명세서

청구범위

청구항 1

열 방향 및 행 방향을 따라 배열된 복수의 서브 픽셀들을 갖는 기관;

상기 서브 픽셀들에 할당된 제1 전극들;

상기 제1 전극 상에 배치되어 복수의 제1 전극들을 노출하는 제1 개구부들을 갖는 제1 बैं크; 및

상기 제1 बैं크 상에 배치되어 복수의 제1 전극들을 노출하는 제2 개구부들을 갖는 제2 बैं크들을 포함하고,

상기 제1 전극들은,

제 $3n-2$ (n 은 1 이상의 자연수) 열에 배열된 제1-1 전극들, 제 $3n-1$ 열에 배열된 제1-2 전극들, 제 $3n$ 열에 배열된 제1-3 전극들을 포함하고,

상기 제1-1 전극은,

상기 제1-2 전극과 이웃하는 일측에 형성된 제1 요부를 갖고,

상기 제1-2 전극은,

상기 제1-1 전극과 이웃하는 일측에 형성되며 상기 제1 요부에 대향하는 제1 철부, 및 상기 제1-3 전극과 이웃하는 타측에 형성된 제2 철부를 가지며,

상기 제1-3 전극은,

상기 제1-2 전극과 이웃하는 일측에 형성되며 상기 제2 철부에 대향하는 제2 요부를 갖고,

상기 제1 बैं크는,

상기 열 방향으로 이웃하는 상기 제1 전극들 사이에 배치되고, 상기 행 방향으로 이웃하는 상기 제1-3 전극 및 상기 제1-1 전극 사이에 배치되며,

상기 제2 बैं크는,

제 $3n-2$ 열에 배열된 상기 제1-1 전극들과 이와 이웃하는 제 $3n-1$ 열에 배열된 상기 제1-2 전극들 사이에 배치되고, 제 $3n-1$ 열에 배열된 상기 제1-2 전극들과 이와 이웃하는 제 $3n$ 열에 배열된 상기 제1-3 전극들 사이에 배치되는, 유기발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 제2 बैं크는,

제 $3n$ 열에 배열된 상기 제1-3 전극들과, 이와 상기 행 방향으로 이웃하는 제 $3n-2$ 열에 배열된 상기 제1-1 전극들 사이에 배치되지 않는, 유기발광 표시장치.

청구항 3

제 1 항에 있어서,

상기 제2 개구부는,

제 $3n$ 열에 배열된 상기 제1-3 전극들과, 이와 상기 행 방향으로 이웃하는 제 $3n-2$ 열에 배열된 상기 제1-1 전극들을 동시에 노출하는, 유기발광 표시장치.

청구항 4

제 1 항에 있어서,

상기 제2 개구부들 상에 각각 배치되는 유기 발광층들을 포함하고,

상기 유기 발광층들은,

제1 색을 발광하는 제1 유기 발광층, 제2 색을 발광하는 제2 유기 발광층, 및 제3 색을 발광하는 제3 유기 발광층을 포함하는, 유기발광 표시장치.

청구항 5

제 4 항에 있어서,

상기 제2 개구부는,

상기 행 방향을 따라 배열된 제2-1 개구부, 제2-2 개구부, 제2-3 개구부, 제2-4 개구부, 제2-5 개구부, 제2-6 개구부를 포함하고,

상기 제2-1 개구부는, 제1 열에 배열된 상기 제1-1 전극들을 노출하고,

상기 제2-1 개구부는, 제2 열에 배열된 상기 제1-2 전극들을 노출하며,

상기 제2-3 개구부는, 제3 열에 배열된 상기 제1-3 전극들과 제4 열에 배열된 상기 제1-1 전극들을 동시에 노출하고,

상기 제2-4 개구부는, 제5 열에 배열된 상기 제1-2 전극들을 노출하며,

상기 제2-5 개구부는, 제6 열에 배열된 상기 제1-3 전극들과 제7 열에 배열된 상기 제1-1 전극들을 동시에 노출하고,

상기 제2-6 개구부는, 제8 열에 배열된 상기 제1-2 전극들을 노출하는, 유기발광 표시장치.

청구항 6

제 5 항에 있어서,

상기 제1 유기 발광층은,

상기 제2-1 개구부, 상기 제2-5 개구부 상에 배치되고,

상기 제2 유기 발광층은,

상기 제2-2 개구부, 상기 제2-4 개구부, 상기 제2-6 개구부 상에 배치되며,

상기 제3 유기 발광층은

상기 제2-3 개구부 상에 배치되는, 유기발광 표시장치.

청구항 7

제 1 항에 있어서,

상기 제1-1 전극은,

상기 열 방향을 따라 진행할수록 상기 행 방향으로의 폭이 좁아지는 제1 부분; 및

상기 제1 부분으로부터 연장되며, 상기 열 방향을 따라 진행할수록 상기 행 방향으로의 폭이 넓어지는 제2 부분을 포함하는, 유기발광 표시장치.

청구항 8

제 7 항에 있어서,

상기 제1 부분과 상기 제2 부분은,

직각 사다리꼴의 평면 형상을 갖는, 유기발광 표시장치.

청구항 9

제 7 항에 있어서,
상기 제1 부분과 상기 제2 부분은,
상기 행 방향으로 연장되는 가상의 기준선에 대하여 선대칭인, 유기발광 표시장치.

청구항 10

제 1 항에 있어서,
상기 제1-2 전극은,
상기 열 방향을 따라 진행할수록 상기 행 방향으로의 폭이 넓어지는 제1 부분; 및
상기 제1 부분으로부터 연장되며, 상기 열 방향을 따라 진행할수록 상기 행 방향으로의 폭이 좁아지는 제2 부분
을 포함하는, 유기발광 표시장치.

청구항 11

제 10 항에 있어서,
상기 제1 부분과 상기 제2 부분은,
등변 사다리꼴의 평면 형상을 갖는, 유기발광 표시장치.

청구항 12

제 10 항에 있어서,
상기 제1 부분과 상기 제2 부분은,
상기 행 방향으로 연장되는 가상의 기준선에 대하여 선대칭인, 유기발광 표시장치.

청구항 13

제 1 항에 있어서,
상기 제1-3 전극은,
상기 열 방향을 따라 진행할수록 상기 행 방향으로의 폭이 좁아지는 제1 부분; 및
상기 제1 부분으로부터 연장되며, 상기 열 방향을 따라 진행할수록 상기 행 방향으로의 폭이 넓어지는 제2 부분
을 포함하는, 유기발광 표시장치.

청구항 14

제 13 항에 있어서,
상기 제1 부분과 상기 제2 부분은,
직각 사다리꼴의 평면 형상을 갖는, 유기발광 표시장치.

청구항 15

제 13 항에 있어서,
상기 제1 부분과 상기 제2 부분은,
상기 행 방향으로 연장되는 가상의 기준선에 대하여 선대칭인, 유기발광 표시장치.

청구항 16

제 1 항에 있어서,
이웃하는 상기 제1-1 전극과 상기 제1-3 전극은,

상기 열 방향으로 연장되는 가상의 기준선에 대하여 선대칭인, 유기발광 표시장치.

청구항 17

제 1 항에 있어서,

상기 서브 픽셀들은,

제1 색을 발광하는 제1 서브 픽셀, 제2 색을 발광하는 제2 서브 픽셀, 제3 색을 발광하는 제3 서브 픽셀, 제3 색을 발광하는 제4 서브 픽셀, 제2 색을 발광하는 제5 서브 픽셀, 제1 색을 발광하는 제6 서브 픽셀을 포함하는 군(Group) 단위로, 상기 행 방향을 따라 순차적으로 교번하여 배열되는, 유기발광 표시장치.

청구항 18

제 1 항에 있어서,

상기 제1 뱅크는,

친수 특성을 갖고,

상기 제2 뱅크는,

소수 특성을 갖는, 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 표시장치들이 개발되고 있다. 이러한 표시장치에는 액정표시장치(Liquid Crystal Display : LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 전계방출표시장치(Field Emission Display: FED), 유기발광 표시장치(Organic Light Emitting Display Device) 등이 있다.

[0003] 유기발광 표시장치는 스스로 발광하는 자발광소자로서 응답속도가 빠르고 발광 효율, 휘도 및 시야각이 큰 장점이 있다. 또한, 플라스틱과 같은 유연한 기판 상에 소자를 형성할 수 있어 플렉서블한 표시장치를 구현할 수 있다.

[0004] 최근에는 대면적의 고 해상도 유기발광 표시장치가 요구됨에 따라 단일 패널에 다수의 서브 픽셀이 포함된다. 일반적으로, 적색(R), 녹색(G), 청색(B) 서브 픽셀 패터닝(patterning)을 위해 마스크를 이용하기 때문에, 대면적의 표시장치를 구현하기 위해서는 이와 대응되는 대면적의 미세 금속 마스크(Fine Metal Mask, FMM)가 필요하다. 다만, 대면적으로 갈수록 마스크가 차지하는 현상이 발생하여, 발광층을 구성하는 유기 발광 물질이 제 위치에 증착되지 않는 등의 다양한 불량이 야기되고 있다.

[0005] 전술한 마스크를 이용한 증착법의 문제점을 해결하기 위해, 간단하면서도 대면적에 유리한 용액 공정이 관심을 모으고 있다. 용액 공정은 잉크젯 프린팅이나 노즐 프린팅 등을 통해 마스크 없이 대면적 패터닝이 가능하며, 재료 사용률이 10% 이하인 진공 증착에 비해 재료 사용률이 50 내지 80%정도로 매우 높다. 또한 진공증착 박막에 비해서 유리전이온도(glass transition temperature)가 높아 열안정성과 모폴로지(morphology) 특성이 우수하다.

[0006] 다만, 용액 공정에 의해, 발광층을 형성하는 경우, 서브 픽셀 내 위치에 따른 두께 편차에 의한 두께 불균일이 발생하여, 표시 품질이 현저히 저하되는 문제가 발생하고 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 목적은 유기 발광층의 두께 편차에 의한 표시 품질의 저하를 개선할 수 있는 유기발광 표시장치를 제

공하는 데 있다. 또한, 본 발명의 목적은 बैं크 구조를 변형하여 혼색 불량을 방지한 유기발광 표시장치를 제공하는 데 있다.

과제의 해결 수단

[0008] 본 발명에 의한 유기발광 표시장치는 기관, 제1 전극들, 제1 बैं크, 제2 बैं크를 포함한다. 기관은 열 방향 및 행 방향을 따라 배열된 복수의 서브 픽셀들을 갖는다. 제1 전극들은 서브 픽셀들에 할당된다. 제1 बैं크는 제1 전극 상에 배치되어 복수의 제1 전극들을 노출하는 제1 개구부들을 갖는다. 제2 बैं크는 제1 बैं크 상에 배치되어 복수의 제1 전극들을 노출하는 제2 개구부들을 갖는다. 제1 전극들은, 제3n-2(n은 1 이상의 자연수) 열에 배열된 제1-1 전극들, 제3n-1 열에 배열된 제1-2 전극들, 제3n 열에 배열된 제1-3 전극들을 포함한다. 제1-1 전극은, 제1-2 전극과 이웃하는 일측에 형성된 제1 요부를 갖는다. 제1-2 전극은, 제1-1 전극과 이웃하는 일측에 형성되며 제1 요부에 대향되는 제1 철부, 및 제1-3 전극과 이웃하는 타측에 형성된 제2 철부를 갖는다. 제1-3 전극은, 제1-2 전극과 이웃하는 일측에 형성되며 제2 철부에 대향하는 제2 요부를 갖는다. 제1 बैं크는 열 방향으로 이웃하는 제1 전극들 사이에 배치되고, 행 방향으로 이웃하는 제1-3 전극 및 제1-1 전극 사이에 배치된다. 제2 बैं크는, 제3n-2 열에 배열된 제1-1 전극들과 이와 이웃하는 제3n-1 열에 배열된 제1-2 전극들 사이에 배치되고, 제3n-1 열에 배열된 제1-2 전극들과 이와 이웃하는 제3n 열에 배열된 제1-3 전극들 사이에 배치된다.

발명의 효과

[0009] 본 발명은 용액 공정 시 발생할 수 있는 위치에 따른 두께 편차를 방지할 수 있다. 이에 따라, 유기발광 표시장치의 표시 품질을 현저히 개선할 수 있는 이점을 갖는다.

[0010] 또한, 본 발명은 유기 발광 물질의 적하 면적을 충분히 확보함으로써, 혼색 불량을 방지할 수 있는 이점을 갖는다.

도면의 간단한 설명

[0011] 도 1은 용액 공정의 문제점을 설명하기 위한 도면이다.
 도 2는 본 발명의 실시예에 따른 유기발광 표시장치를 개략적으로 나타낸 평면도이다.
 도 3은 도 2를 I-I'로 및 II-II'로 절취한 단면도들이다.
 도 4는 제1 전극의 형상을 설명하기 위한 도면이다.
 도 5 내지 도 8은 제1 전극, बैं크, 및 유기 발광층의 형성 과정을 시계열적으로 설명하기 위한 도면들이다.
 도 9는 유기발광 표시장치의 개략적인 블록도이다.
 도 10은 서브픽셀의 개략적인 회로도이다.
 도 11은 서브픽셀의 구체적인 회로도이다.
 도 12는 본 발명에 따른 서브픽셀의 평면 레이아웃을 개략적으로 나타낸 도면이다.
 도 13는 도 12를 V-V'로 절취한 단면도이다.
 도 14는 제1 전극의 위치 관계를 설명하기 위한 도면이다.
 도 15는 बैं크의 위치 관계를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 여러 실시예들을 설명함에 있어서, 동일한 구성요소에 대하여는 서두에서 대표적으로 설명하고 다른 실시예에서는 생략될 수 있다.

[0013] 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소

들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

- [0014] 도 1은 용액 공정의 문제점을 설명하기 위한 도면이다.
- [0015] 도 1을 참조하면, 용액 공정을 이용하여 유기 발광 층을 형성하는 경우, 파일 업(pile up) 현상이 발생하여 유기 발광 표시장치의 발광 특성을 저하시키는 문제점이 있다. 좀 더 구체적으로, 유기 발광 물질(1)은 잉크젯 장치(2) 등을 통해 뱅크(3)에 의해 구획된 제1 전극(4) 상에 적하(drop)된다. 적하된 유기 발광 물질(1)은 경화되는 과정에서 경화 속도 차이에 의해 위치에 따른 두께 편차를 갖는다. 즉, 뱅크와 접하는 에지부(5)는 두껍고, 중앙부(6)는 얇은 불균일한 유기 발광층(7)이 형성된다.
- [0016] 이와 같이, 유기 발광층(7)이 불균일하게 형성된 경우, 위치에 따른 휘도 편차가 발생하여 표시 품질이 저하되는 문제점이 발생할 수 있다. 또한, 유기 발광층(7) 내부의 전류 밀도 차이가 발생하여 소자의 수명이 저하되거나, 암점이 발생하여 공정 수율이 저하되는 문제점이 발생할 수 있다. 이를 고려할 때, 용액 공정을 이용하여 발광층을 형성함에 있어서, 파일 업 현상이 발생하는 영역을 최소한으로 줄일 필요가 있다.
- [0017] <실시예>
- [0018] 도 2는 본 발명의 실시예에 따른 유기발광 표시장치를 개략적으로 나타낸 평면도이다. 도 3은 도 2를 I-I'로 및 II-II'로 절취한 단면도들이다. 도 4는 제1 전극의 형상을 설명하기 위한 도면이다.
- [0019] 도 2 내지 도 4를 참조하면, 실시예에 따른 유기발광 표시장치는 서브 픽셀(SP)들이 배열된 기판(10)을 포함한다. 기판(10) 상에는, 회로 소자층(20) 및 회로 소자층(20)에 구비된 소자들에 의해 구동되는 유기발광 다이오드가 배치된다.
- [0020] 회로 소자층(20)은, 유기발광 다이오드에 구동 신호를 인가하기 위한 신호 라인 및 전극들이 배열될 수 있고, 신호 라인과 전극들은 필요에 따라 적어도 하나의 절연층을 사이에 두고 구분되어 배치될 수 있다. 유기발광 표시장치가 AM(Active Matrix) 방식으로 구현되는 경우, 회로 소자층(20)은 각 서브 픽셀(SP)마다 할당되는 트랜지스터를 더 포함할 수 있다. 트랜지스터는 탑 게이트(top gate), 바텀 게이트(bottom gate), 더블 게이트(double gate) 구조 등 다양한 구조로 구현될 수 있다. 또한, 트랜지스터는 p 타입으로 구현되거나 또는, n 타입으로 구현될 수 있다. 트랜지스터를 구성하는 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다. 이하에서는, 유기발광 다이오드와 뱅크 구조를 먼저 설명하고, 트랜지스터의 구체적인 배치 예에 대해서는 후술한다.
- [0021] 유기발광 다이오드는 제1 전극(30), 제2 전극(60), 및 제1 전극(30)과 제2 전극(60) 사이에 개재된 유기 발광층(50)을 포함한다. 제1 전극(30)은 애노드일 수 있고, 제2 전극(60)은 캐소드일 수 있다.
- [0022] 기판(10) 상에는 복수의 픽셀들이 배열된다. 픽셀(P)들은 서로 다른 색을 구현하는 3 개의 서브 픽셀(SP)들로 구성될 수 있다. 서브 픽셀(SP)들은 서로 교차하는 행 방향(예를 들어, X축 방향) 및 열 방향(예를 들어, Y축 방향)을 따라 배열될 수 있다. 행 방향을 따라 이웃하여 배열된 서브 픽셀(SP)들은 상이한 색의 광을 방출하고, 열 방향을 따라 이웃하여 배열된 서브 픽셀(SP)들은 동일한 색의 광을 방출할 수 있다.
- [0023] 서브 픽셀(SP)들은, 제1 색을 발광하는 제1 서브 픽셀, 제2 색을 발광하는 제2 서브 픽셀, 제3 색을 발광하는 제3 서브 픽셀, 제3 색을 발광하는 제4 서브 픽셀, 제2 색을 발광하는 제5 서브 픽셀, 제1 색을 발광하는 제6 서브 픽셀을 포함하는 군(Group) 단위로, 행 방향을 따라 순차적으로 교번하여 배열될 수 있다. 제1색, 제2 색, 제3 색은 각각 적색(R), 녹색(G), 청색(B)으로 선택될 수 있으나, 이에 한정되는 것은 아니다.
- [0024] 서브 픽셀(SP)들에는, 유기발광 다이오드의 제1 전극(30)이 배치된다. 제1 전극(30)은 서브 픽셀(SP)들 각각에 하나씩 할당될 수 있다.
- [0025] 제1 전극(30)들은 제1-1 전극(30-1), 제1-2 전극(30-2), 제1-3 전극(30-3)을 포함한다. 제1-1 전극(30-1), 제1-2 전극(30-2), 제1-3 전극(30-3)은 서로 다른 평면 형상을 갖는다.
- [0026] 제1-1 전극(30-1)들은 $3n-2$ (n 은 1 이상의 자연수) 열에 배치된다. 제1-1 전극(30-1)들은 열 방향을 따라 순차적으로 배치된다. 제1-2 전극(30-2)들은 $3n-1$ 열에 배치된다. 제1-2 전극(30-2)들은 열 방향을 따라 순차적으로 배치된다. 제1-3 전극(30-3)들은 $3n$ 열에 배치된다. 제1-3 전극(30-3)들은 열 방향을 따라 순차적으로 배치된다. 이에 따라, 제1-1 전극(30-1), 제1-2 전극(30-2), 제1-3 전극(30-3)은 행 방향을 따라 순차적으로 교번하여 배치된다.

- [0027] 제1-1 전극(30-1)은 제1-2 전극(30-2)과 이웃하는 일측에 요(凹)부(CC)를 갖는다. 제1-1 전극(30-1)은 제1 부분(P1-1) 및 제2 부분(P1-2)을 포함한다. 제1-1 전극(30-1)의 제1 부분(P1-1)은 열 방향을 따라 진행할수록 행 방향으로의 폭이 좁아진다. 제1-1 전극(30-1)의 제2 부분(P1-2)은 제1 부분으로부터 연장되며, 열 방향을 따라 진행할수록 행 방향으로의 폭이 넓어진다. 제1-1 전극(30-1)의 제1 부분(P1-1)과 제2 부분(P1-2)은 행 방향으로 연장되는 가상의 기준선에 대하여, 선대칭일 수 있다. 제1-1 전극(30-1)의 제1 부분(P1-1)과 제2 부분(P1-2)은 직각 사다리꼴의 평면 형상을 가질 수 있다.
- [0028] 제1-2 전극(30-2)은, 제1-1 전극(30-1)과 이웃하는 일측 및 제1-3 전극(30-3)과 이웃하는 타측에 철(凸)부(CV)를 갖는다. 제1-2 전극(30-2)은 제1 부분(P2-1) 및 제2 부분(P2-2)을 포함한다. 제1-2 전극(30-2)의 제1 부분(P2-1)은 열 방향을 따라 진행할수록 행 방향으로의 폭이 넓어진다. 제1-2 전극(30-2)의 제2 부분(P2-2)은 제1 부분(P2-1)으로부터 연장되며, 열 방향을 따라 진행할수록 행 방향으로의 폭이 좁아진다. 제1-2 전극(30-2)의 제1 부분(P2-1)과 제2 부분(P2-2)은 행 방향으로 연장되는 가상의 기준선에 대하여, 선대칭일 수 있다. 제1-2 전극(30-2)의 제1 부분(P2-1)과 제2 부분(P2-2)은 등변 사다리꼴의 평면 형상을 가질 수 있다.
- [0029] 제1-3 전극(30-3)은, 제1-2 전극(30-2)과 이웃하는 일측에 요부(CC)를 갖는다. 제1-3 전극(30-3)의 제1 부분(P3-1)은 열 방향을 따라 진행할수록 행 방향으로의 폭이 좁아진다. 제1-3 전극(30-3)의 제2 부분(P3-2)은 제1 부분(P3-1)으로부터 연장되며, 열 방향을 따라 진행할수록 행 방향으로의 폭이 넓어진다. 제1-3 전극(30-3)의 제1 부분(P3-1)과 제2 부분(P3-2)은 행 방향으로 연장되는 가상의 기준선에 대하여, 선대칭일 수 있다. 제1-1 전극(30-1)의 제1 부분(P3-1)과 제2 부분(P3-2)은 직각 사다리꼴의 평면 형상을 가질 수 있다.
- [0030] 제1-2 전극(30-2)의 철부(CV)들은 각각 제1-1 전극(30-1)의 요부(CC) 및 제1-2 전극(30-2)의 요부(CC)에 대향한다. 필요에 따라서, 제1-2 전극(30-2)의 철부(CV)들은 각각 제1-1 전극(30-1)의 요부(CC) 및 제1-2 전극(30-2)의 요부(CC)의 내측으로 인입될 수 있다. 이웃하는 제1-1 전극(30-1)과 제1-3 전극(30-3)은 열 방향으로 연장되는 가상의 기준선에 대하여 선대칭일 수 있다.
- [0031] 제1 전극(30)이 형성된 기판(10) 상에는, बैं크(40)가 배치된다. बैं크(40)는 제1 बैं크(41), 및 제2 बैं크(43)를 포함한다.
- [0032] 제1 बैं크(41)는 제1 전극(30)의 적어도 일부를 노출시키는 제1 개구부(OA1)를 포함한다. 제1 बैं크(41)는 열 방향으로 이웃하는 제1 전극(30)들 사이에서, 제1 전극(30)들의 일측을 덮도록 배치될 수 있다.
- [0033] 복수의 제1 개구부(OA1)들은 열 방향 및 행 방향으로 나란하게 배열된다. 제1 개구부(OA1)들 각각은, 행 방향으로 연장되어, 행 방향을 따라 배치된 제1-1 전극(30-1), 제1-2 전극(30-2), 제1-3 전극(30-3)들을 동시에 노출시킨다.
- [0034] 좀 더 구체적으로, 제1 बैं크(41)는 열 방향으로 이웃하는 제1 전극(30)들 사이에 배치되어, 열 방향으로 이웃하는 서브 픽셀(SP)들을 구획할 수 있다. 즉, 제1 बैं크는 열 방향으로 이웃하는 제1-1 전극(30-1)들 사이, 제1-2 전극(30-2)들 사이, 및 제1-3 전극(30-3)들 사이에 배치될 수 있다. 또한, 제1 बैं크(41)는 행 방향으로 이웃하는 제1-3 전극(30-3)과 제1-1 전극(30-1) 사이에 배치되어, 행 방향으로 이웃하는 픽셀(P)들을 구획할 수 있다. 제1 बैं크(41)는 제1 전극(30)들의 일측을 덮도록 배치될 수 있다.
- [0035] 제1 बैं크(41)는, 이후 형성될 유기 발광층(50)에 의해 덮일 수 있도록, 상대적으로 얇은 두께로 형성될 수 있다. 제1 बैं크(41)는 친수성 특성을 가질 수 있다. 일 예로, 제1 बैं크(41)는 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)과 같은 친수성의 무기 절연 물질로 형성될 수 있다. 제1 बैं크(41)는, 제1 전극(30)의 소수성 특성에 의한 습윤성(wettability) 불량을 방지하기 위해 구비된 친수 성분의 얇은 막으로, 친수성인 유기 발광 물질을 잘 퍼지게 한다.
- [0036] 도면에서는, 제1 개구부(OA1)가 대략 장방향 형상을 갖는 경우를 예로 들어 도시하였으나, 이에 한정되는 것은 아니다. 또한, 제1 개구부(OA1)들이 모두 동일한 형상 및 면적을 갖는 것으로 도시하였으나 이에 한정되는 것은 아니며, 적어도 어느 하나의 제1 개구부(OA1)는 다른 하나의 제1 개구부(OA1)와 상이한 형상 및/또는 면적을 가질 수 있다.
- [0037] 제1 बैं크(41)가 형성된 기판(10) 상에는, 제2 बैं크(43)가 위치한다. 제2 बैं크(43)는 제1 전극(30)의 적어도 일부를 노출시키는 제2 개구부(OA2)를 포함한다. 복수의 제2 개구부(OA2)들은 행 방향으로 나란하게 배치되며, 열 방향으로 각각 연장된다. 제2 개구부(OA2)는 열 방향으로 연장되어, 열 방향을 따라 배치된 복수의 제1 전극(30)들을 노출시킨다. 제2 बैं크(43)의 폭은 이웃하는 제2 개구부(OA2)에 적하된 서로 다른 색의 유기 발광

물질이 서로 혼합되지 않도록 설정된, 공정 상 가능한 최소 폭으로 선택될 수 있다.

- [0038] 좀 더 구체적으로, 제2 बैं크(43)는, 제3n-2 열에 배열된 제1-1 전극(30-1)들과 이와 이웃하는 제3n-1 열에 배열된 제1-2 전극(30-2)들 사이에 배치된다. 즉, 제3n-2 열에 배열된 서브 픽셀들과 제3n-1 열에 배열된 서브 픽셀들은, 제2 बैं크(43)에 의해 구획될 수 있다. 이때, 제2 बैं크(43)는, 제3n-2 열에 배열된 제1-1 전극(30-1)들과 제3n-1 열에 배열된 제1-2 전극(30-2)들 사이에서, 지그 재그 형태로 열 방향을 따라 연장될 수 있다.
- [0039] 제2 बैं크(43)는, 제3n-1 열에 배열된 제1-2 전극(30-2)들과 이와 이웃하는 제3n 열에 배열된 제1-3 전극(30-3)들 사이에 배치된다. 즉, 제3n-1 열에 배열된 서브 픽셀들과 제3n 열에 배열된 서브 픽셀들은, 제2 बैं크(43)에 의해 구획될 수 있다. 이때, 제2 बैं크(43)는, 제3n-1 열에 배열된 제1-2 전극(30-2)들과 제3n 열에 배열된 제1-3 전극(30-3)들 사이에서, 지그 재그 형태로 열 방향을 따라 연장될 수 있다.
- [0040] 제2 बैं크(43)는, 제3n 열에 배열된 제1-3 전극(30-3)들과 이와 행 방향으로 이웃하는 제3n-2열에 배열된 제1-1 전극(30-1)들 사이에는 배치되지 않는다. 즉, 제1-3 전극(30-3)과 제1-1 전극(30-1)이 행 방향으로 이웃하여 배치되는 영역에서, 제1-3 전극(30-3)들과 제1-1 전극(30-1)들은 하나의 제2 개구부(50)를 통해 동시에 노출될 수 있다. 즉, 제3n 열에 배열된 서브 픽셀들과 제3n-2 열에 배열된 서브 픽셀들은, 제2 बैं크(43)에 의해 구획되지 않는다.
- [0041] 예를 들어, 도시된 바와 같이, 제2 개구부(50)는 행 방향을 따라 배열된 제2-1 개구부(50-1), 제2-2 개구부(50-2), 제2-3 개구부(50-3), 제2-4 개구부(50-4), 제2-5 개구부(50-5), 제2-6 개구부(50-6), 제2-7 개구부(50-7)를 포함할 수 있다. 제2-1 개구부(50-1)는 제1 열에 배열된 제1-1 전극(30-1)들을 노출한다. 제2-2 개구부(50-2)는 제2 열에 배열된 제1-2 전극(30-2)들을 노출한다. 제2-3 개구부(50-3)는 제3 열에 배열된 제1-3 전극(30-3)들과 제4 열에 배열된 제1-1 전극(30-1)들을 동시에 노출한다. 제2-4 개구부(50-4)는 제5 열에 배열된 제1-2 전극(30-2)들을 노출한다. 제2-5 개구부(50-5)는 제6 열에 배열된 제1-3 전극(30-3)들과 제7 열에 배열된 제1-1 전극(30-1)들을 동시에 노출한다. 제2-6 개구부(50-6)는 제8 열에 배열된 제1-2 전극(30-2)들을 노출한다. 제2-7 개구부(50-7)는 제9 열에 배열된 제1-3 전극(30-3)들을 노출한다.
- [0042] 제2 개구부 중 제1-2 전극(30-2)들을 노출하는 부분은, 제1-2 전극(30-2)의 면적에 대응하여 상대적으로 넓게 설정될 수 있기 때문에, 용액 공정 시 유기 발광 물질이 적하되는 영역(DP1)으로 할당될 수 있다. 또한, 제2 개구부 중 제1-3 전극(30-3)들과 제1-1 전극(30-1)들을 동시에 노출하는 부분은, 제1-3 전극(30-3) 및 제1-2 전극(30-2)의 면적에 대응하여 상대적으로 넓게 설정될 수 있기 때문에, 용액 공정 시 유기 발광 물질이 적하되는 영역(DP2)으로 할당될 수 있다. 이에 따라, 유기 발광 물질이 제 위치에 적하되지 못함에 따라, 이웃하는 서브 픽셀(SP) 간에 혼색 불량이 발생하는 문제를 최소화할 수 있다.
- [0043] 제1 बैं크(41)와 제2 बैं크(43)에 조합 구조에 의해 노출된 제1 전극(30)의 일부는, 발광 영역으로 정의될 수 있다. 발광 영역의 평면 형상은, 제1 전극(30)의 평면 형상과 대응될 수 있다.
- [0044] 제2 बैं크(43)는 소수성 특성을 가질 수 있다. 일 예로, 제2 बैं크(43)는 유기 절연 물질 상에 소수성 특성의 물질이 코팅된 형태를 가질 수 있고, 소수성 물질이 함유된 유기 절연 물질로 형성될 수 있다. 제2 बैं크(43)의 소수성 특성은, 유기 발광층(50)을 구성하는 유기 발광 물질이 발광 영역의 중앙부로 모이도록 밀어내는 기능을 할 수 있다. 또한, 제2 बैं크(43)는 서로 다른 색의 유기 발광 물질이 서로 혼합되는 것을 방지할 수 있도록, 해당 영역에 적하된 유기 발광 물질을 가두는 배리어(barrier)로써 기능할 수 있다. 즉, 제2 बैं크(43)는 행 방향으로 이웃하는 제2 개구부(50)들에 각각 적하된 서로 다른 색의 유기 발광 물질들이 서로 혼합되지 않도록 한다.
- [0045] 제2 बैं크(43)가 형성된 기판(10) 상에, 유기 발광층(50)이 위치한다. 유기 발광층(50)은, 대응되는 제2 개구부(50) 내에, 제2 개구부(50)의 연장 방향을 따라 형성될 수 있다. 즉, 하나의 제2 개구부(50)에 적하된 유기 발광 물질은, 제2 개구부(50)에 의해 노출된 제1 전극(30)들 및 제1 बैं크(41)들을 덮는다. 경화 공정 이후 제2 개구부(50) 내에 형성된 유기 발광층(50)은, 제1 बैं크(41)에 의해 물리적으로 분리되지 않고, 제1 बैं크(41) 상에서 연속성을 유지한다.
- [0046] 하나의 제2 개구부(50)에 의해 노출된 복수의 제1 전극(30)들 상에는, 동일한 색의 유기 발광 물질이 적하된다. 이는, 하나의 제2 개구부(50)와 대응되는 위치에 할당된 복수의 서브 픽셀(SP)들에서, 동일한 색의 광이 방출됨을 의미한다. 유기 발광층(50)의 평면 형상은 제2 개구부(50)의 평면 형상과 대응될 수 있다.
- [0047] 서로 다른 색의 유기 발광 물질들은, 대응되는 제2 개구부(50)들 각각에 적하될 수 있다. 예를 들어, 유기 발광층(50)은 제1 색을 발광하는 제1 유기 발광층(50-1), 제2 색을 발광하는 제2 유기 발광층(50-2), 제3 색을 발

광하는 제3 유기 발광층(50-3)을 포함할 수 있다. 제1 열에 배열된 제1-1 전극(30-1)들을 노출하는 제2-1 개구부(OA2-1) 상에는, 제1의 유기 발광층(50-1)이 형성될 수 있다. 제2 열에 배열된 제1-2 전극(30-2)들을 노출하는 제2-2 개구부(OA2-2) 상에는, 제2 유기 발광층(50-2)이 형성될 수 있다. 제3 열에 배열된 제1-3 전극(30-3)들과 제4 열에 배열된 제1-1 전극(30-1)들을 동시에 노출하는 제2-3 개구부(OA2-3) 상에는, 제3 유기 발광층(50-3)이 형성될 수 있다. 제5 열에 배열된 제1-2 전극(30-2)들을 노출하는 제2-4 개구부(OA2-4) 상에는, 제2 유기 발광층(50-2)이 형성될 수 있다. 제6 열에 배열된 제1-3 전극(30-3)들과 제7 열에 배열된 제1-1 전극(30-1)들을 동시에 노출하는 제2-5 개구부(OA2-5) 상에는, 제1 유기 발광층(50-1)이 형성될 수 있다. 제8 열에 배열된 제1-2 전극(30-2)들을 노출하는 제2-6 개구부(OA2-6) 상에는, 제2 유기 발광층(50-2)이 형성될 수 있다. 제9 열에 배열된 제1-3 전극(30-3)들을 노출하는 제2-7 개구부(OA2-7) 상에는, 제3 유기 발광층(50-3)이 형성된다.

- [0048] 본 발명에서는, 유기 발광 물질이 열 방향으로 연장된 제2 개구부(OA2) 상의 넓은 영역에 균일한 두께로 퍼져나갈 수 있기 때문에, 경화 후 전술한 파일 업 현상에 의한 두께 불균일 현상이 개선될 수 있다. 이에 따라, 본 발명의 실시예에 따른 유기발광 표시장치는, 유기 발광층(50)의 균일도 저하를 방지할 수 있어, 서브 픽셀(SP) 내 두께 편차에 기인한 표시 품질 저하를 저감할 수 있다. 또한, 유기 발광층(50)의 균일도를 확보하여, 소자의 수명이 저하되거나 암점이 발생하는 불량을 방지할 수 있다.
- [0049] 또한, 전술한 바와 같이, 본 발명의 바람직한 실시예에 따른 유기발광 표시장치는 유기 발광 물질의 적하 면적을 충분히 확보할 수 있기 때문에, 혼색 불량에 의한 표시 품질 저하를 현저히 개선할 수 있는 이점을 갖는다.
- [0050] 도 5 내지 도 8은 제1 전극, बैं크, 및 유기 발광층의 형성 과정을 시계열적으로 설명하기 위한 도면들이다.
- [0051] 도 5a 및 도 5b를 참조하면, 기판(10) 상에는 제1 전극(30)이 형성된다. 제1 전극(30)은 서브 픽셀(SP)들 각각에 하나씩 할당될 수 있다. 이하에서는, 서브 픽셀이 행 방향을 따라 7개가 배열되고, 열 방향을 따라 6개가 배열된 경우를 예로 들어 도시하였으나, 이에 한정되는 것은 아니다.
- [0052] 제1 전극(30)들은 제1-1 전극(30-1), 제1-2 전극(30-2), 제1-3 전극(30-3)을 포함한다. 제1-1 전극(30-1), 제1-2 전극(30-2), 제1-3 전극(30-3)은 서로 다른 평면 형상을 갖는다.
- [0053] 제1-1 전극(30-1)들은 제1 열, 제4 열, 제7 열에 배치될 수 있다. 제1-2 전극(30-2)들은 제2 열, 제5 열, 제8 열에 배치될 수 있다. 제1-3 전극(30-3)들은 제3 열, 제6 열, 제9 열에 배치될 수 있다.
- [0054] 도 6a 및 도 6b를 참조하면, 제1 전극(30)이 형성된 기판(10) 상에는, 제1 बैं크(41)가 형성된다. 제1 बैं크(41)는 제1 개구부(OA1)를 포함한다. 제1 개구부(OA1)는 한 픽셀에 대응되는 복수의 제1 전극(30)들을 노출한다. 예를 들어, 하나의 제1 개구부(OA1)는 한 쌍의 제1-1 전극(30-1), 제1-2 전극(30-2), 제1-3 전극(30-3)을 노출할 수 있다.
- [0055] 도 7a 및 도 7b를 참조하면, 제1 बैं크(41)가 형성된 기판(10) 상에는, 제2 बैं크(43)가 형성된다. 제2 बैं크(43)는 제2 개구부(OA2)를 포함한다. 제2 개구부(OA2)는 열 방향을 따라 배열된 복수의 제1 전극(30)들을 노출한다. 제1 बैं크와 제2 बैं크(43)에 의해 발광 영역이 정의될 수 있다.
- [0056] 예를 들어, 제2 개구부(OA2)는 행 방향을 따라 배열된 제2-1 개구부(OA2-1), 제2-2 개구부(OA2-2), 제2-3 개구부(OA2-3), 제2-4 개구부(OA2-4), 제2-5 개구부(OA2-5), 제2-6 개구부(OA2-6), 제2-7 개구부(OA2-7)를 포함할 수 있다. 제2-1 개구부(OA2-1)는 제1 열에 배열된 제1-1 전극(30-1)들을 노출한다. 제2-2 개구부(OA2-2)는 제2 열에 배열된 제1-2 전극(30-2)들을 노출한다. 제2-3 개구부(OA2-3)는 제3 열에 배열된 제1-3 전극(30-3)들과 제4 열에 배열된 제1-1 전극(30-1)들을 동시에 노출한다. 제2-4 개구부(OA2-4)는 제5 열에 배열된 제1-2 전극(30-2)들을 노출한다. 제2-5 개구부(OA2-5)는 제6 열에 배열된 제1-3 전극(30-3)들과 제7 열에 배열된 제1-1 전극(30-1)들을 동시에 노출한다. 제2-6 개구부(OA2-6)는 제8 열에 배열된 제1-2 전극(30-2)들을 노출한다. 제2-7 개구부(OA2-7)는 제9 열에 배열된 제1-3 전극(30-3)들을 노출한다.
- [0057] 도 8a 및 도 8b를 참조하면, 제2 बैं크(43)가 형성된 기판(10) 상에는, 유기 발광층(50) 및 제2 전극(60)이 순차적으로 형성된다.
- [0058] 유기 발광층(50)은 제1 색을 발광하는 제1 유기 발광층(50-1), 제2 색을 발광하는 제2 유기 발광층(50-2), 제3 색을 발광하는 제3 유기 발광층(50-3)을 포함할 수 있다.
- [0059] 예를 들어, 제1 유기 발광층(50-1)은, 제2-1 개구부(OA2-1), 제2-5 개구부(OA2-5) 상에 배치될 수 있다. 제2 유기 발광층(50-2)은 제2-2 개구부(OA2-2), 제2-4 개구부(OA2-4), 제2-6 개구부(OA2-6) 상에 배치될 수 있다.

제3 유기 발광층(50-3)은 제2-3 개구부(OA2-3), 제2-7 개구부(OA2-7) 상에 배치될 수 있다.

- [0060] <적용예>
- [0061] 도 9는 유기발광 표시장치의 개략적인 블록도이다. 도 10은 서브픽셀의 개략적인 회로도이다. 도 11은 서브픽셀의 구체적인 회로도이다.
- [0062] 도 9에 도시된 바와 같이, 유기발광표시장치(100)에는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(130), 스캔 구동부(140) 및 표시 패널(200)이 포함된다.
- [0063] 영상 처리부(110)는 외부로부터 공급된 데이터 신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다.
- [0064] 타이밍 제어부(120)는 영상 처리부(110)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터 신호(DATA)를 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 스캔 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.
- [0065] 데이터 구동부(130)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(120)로부터 공급되는 데이터 신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(130)는 데이터 라인들(DL1 ~ DLn)을 통해 데이터 신호(DATA)를 출력한다. 데이터 구동부(130)는 IC(Integrated Circuit) 형태로 형성될 수 있다.
- [0066] 스캔 구동부(140)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 스캔 신호를 출력한다. 스캔 구동부(140)는 게이트 라인들(GL1 ~ GLm)을 통해 스캔 신호를 출력한다. 스캔 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 표시 패널(200)에 게이트인패널(Gate In Panel; GIP) 방식으로 형성된다.
- [0067] 표시 패널(200)은 데이터 구동부(130) 및 스캔 구동부(140)로부터 공급된 데이터 신호(DATA) 및 스캔 신호에 대응하여 영상을 표시한다. 표시 패널(200)은 영상을 표시할 수 있도록 동작하는 서브픽셀들(SP)을 포함한다.
- [0068] 도 10에 도시된 바와 같이, 하나의 서브픽셀에는 스위칭 트랜지스터(230), 구동 트랜지스터(235), 커패시터(240), 보상회로(245) 및 유기발광 다이오드(260)가 포함된다.
- [0069] 스위칭 트랜지스터(230)는 제1 게이트 라인(232)을 통해 공급된 스캔 신호에 응답하여, 제1 데이터 라인(236)을 통해 공급되는 데이터 신호가 커패시터(245)에 데이터 전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(235)는 커패시터(245)에 저장된 데이터 전압에 따라 전원 라인(242)(고전위전압)과 캐소드 전원 라인(244)(저전위전압) 사이로 구동 전류가 흐르도록 동작한다. 유기발광 다이오드(260)는 구동 트랜지스터(235)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0070] 보상회로(245)는 구동 트랜지스터(235)의 문턱전압 등을 보상하기 위해 서브픽셀 내에 추가된 회로이다. 보상회로(245)는 하나 이상의 트랜지스터로 구성된다. 보상회로(245)의 구성은 외부 보상 방법에 따라 매우 다양한바 이에 대한 예시를 설명하면 다음과 같다.
- [0071] 도 11에 도시된 바와 같이, 보상회로(245)에는 센싱 트랜지스터(265)와 센싱 라인(270)(또는 레퍼런스라인)이 포함된다. 센싱 트랜지스터(265)는 구동 트랜지스터(235)의 소스 전극과 유기발광 다이오드(260)의 애노드 전극 사이(이하 센싱노드)에 접속된다. 센싱 트랜지스터(265)는 센싱 라인(270)을 통해 전달되는 초기화전압(또는 센싱전압)을 구동 트랜지스터(235)의 센싱 노드에 공급하거나 구동 트랜지스터(235)의 센싱 노드 또는 센싱 라인(270)의 전압 또는 전류를 센싱할 수 있도록 동작한다.
- [0072] 스위칭 트랜지스터(230)는 제1 데이터 라인(236)에 제1 전극이 연결되고, 구동 트랜지스터(235)의 게이트 전극에 제2 전극이 연결된다. 구동 트랜지스터(235)는 전원 라인(242)에 제1 전극이 연결되고 유기발광 다이오드(260)의 애노드 전극에 제2 전극이 연결된다. 커패시터(245)는 구동 트랜지스터(235)의 게이트 전극에 제1 전극이 연결되고 유기발광 다이오드(260)의 애노드 전극에 제2 전극이 연결된다. 유기발광 다이오드(260)는 구동 트랜지스터(235)의 제2 전극에 애노드 전극이 연결되고 제2 전원 라인(244)에 캐소드 전극이 연결된다. 센싱 트랜지스터(265)는 센싱 라인(270)에 제1 전극이 연결되고 센싱 노드인 유기발광 다이오드(260)의 애노드 전극 및 구동 트랜지스터(235)의 제2 전극에 제2 전극이 연결된다.

- [0073] 센싱 트랜지스터(265)의 동작 시간은 외부 보상 알고리즘(또는 보상 회로의 구성)에 따라 스위칭 트랜지스터(230)와 유사/동일하거나 다를 수 있다. 일례로, 스위칭 트랜지스터(230)는 제1 게이트 라인(232)에 게이트 전극이 연결되고, 센싱 트랜지스터(265)는 제2 게이트 라인(234)에 게이트 전극이 연결될 수 있다. 이 경우, 제1 게이트 라인(232)에는 스캔 신호(Scan)가 전달되고 제2 게이트 라인(234)에는 센싱 신호(Sense)가 전달된다. 다른 예로, 스위칭 트랜지스터(230)의 게이트 전극에 연결된 제1 게이트 라인(232)과 센싱 트랜지스터(265)의 게이트 전극에 연결된 제2 게이트 라인(234)은 공통으로 공유하도록 연결될 수 있다.
- [0074] 센싱 라인(270)은 데이터 구동부에 연결될 수 있다. 이 경우, 데이터 구동부는 실시간, 영상의 비표시기간 또는 N 프레임(N은 1 이상 정수) 기간 동안 서브픽셀의 센싱 노드를 센싱하고 센싱결과를 생성할 수 있게 된다. 한편, 스위칭 트랜지스터(230)와 센싱 트랜지스터(265)는 동일한 시간에 턴온될 수 있다. 이 경우, 데이터 구동부의 시분할 방식에 의거 센싱 라인(270)을 통한 센싱 동작과 데이터 신호를 출력하는 데이터 출력 동작은 상호 분리(구분) 된다.
- [0075] 이 밖에, 센싱결과에 따른 보상 대상은 디지털 형태의 데이터신호, 아날로그 형태의 데이터신호 또는 감마 등이 될 수 있다. 그리고 센싱결과를 기반으로 보상신호(또는 보상전압) 등을 생성하는 보상 회로는 데이터 구동부의 내부, 타이밍 제어부의 내부 또는 별도의 회로로 구현될 수 있다.
- [0076] 광차단층(303)은 구동 트랜지스터(235)의 채널영역 하부에만 배치되거나 구동 트랜지스터(235)의 채널영역 하부뿐만 아니라 스위칭 트랜지스터(230) 및 센싱 트랜지스터(265)의 채널영역 하부에도 배치될 수 있다. 광차단층(303)은 단순히 외광을 차단할 목적으로 사용하거나, 광차단층(303)을 다른 전극이나 라인과의 연결을 도모하고, 커패시터 등을 구성하는 전극으로 활용할 수 있다. 그러므로 광차단층(303)은 차광 특성을 갖도록 복층(이중 금속의 복층)의 금속층으로 선택된다.
- [0077] 기타, 도 11에서는 스위칭 트랜지스터(230), 구동 트랜지스터(235), 커패시터(240), 유기발광 다이오드(260), 센싱 트랜지스터(265)를 포함하는 3T(Transistor)1C(Capacitor) 구조의 서브픽셀을 일례로 설명하였지만, 보상 회로(245)가 추가된 경우 3T2C, 4T2C, 5T1C, 6T2C 등으로 구성될 수도 있다.
- [0078] 도 12는 본 발명에 따른 서브픽셀의 평면 레이아웃을 개략적으로 나타낸 도면이다. 도 13는 도 12를 V-V'로 절취한 단면도이다.
- [0079] 도 12를 참조하면, 기판의 표시영역 상에는 제1 서브픽셀(SP1), 제2 서브픽셀(SP2) 및 제3 서브픽셀(SP3)이 형성된다. 제1 서브픽셀(SP1), 제2 서브픽셀(SP2) 및 제3 서브픽셀(SP3) 각각에는 유기발광 다이오드(발광소자)와 유기발광 다이오드를 구동하는 스위칭 트랜지스터(230), 센싱 트랜지스터(265) 및 구동 트랜지스터(235) 등을 포함하는 회로가 형성된다. 제1 서브픽셀(SP1), 제2 서브픽셀(SP2) 및 제3 서브픽셀(SP3) 각각은 스위칭 트랜지스터(230), 센싱 트랜지스터(265) 및 구동 트랜지스터(235)의 동작에 대응하여 유기발광 다이오드가 빛을 발광하게 된다. 제1 서브픽셀(SP1), 제2 서브픽셀(SP2) 및 제3 서브픽셀(SP3) 사이에는 전원 라인(242), 센싱 라인(270), 제1 내지 제3 데이터 라인들(236, 238, 252)이 배치된다. 제1 및 제2 게이트 라인들(232, 234)은 제1 서브픽셀(SP1), 제2 서브픽셀(SP2) 및 제3 서브픽셀(SP3)을 가로지르며 배치된다.
- [0080] 전원 라인(242), 센싱 라인(270), 제1 내지 제3 데이터 라인들(236, 238, 252)과 같은 배선들은 물론 박막 트랜지스터를 구성하는 전극들은 서로 다른 층에 위치하지만 콘택홀(비어홀)을 통한 접촉으로 인하여 전기적으로 연결된다. 센싱 라인(270)은 센싱 연결라인(272)을 통해 제1 서브픽셀(SP1), 제2 서브픽셀(SP2) 및 제3 서브픽셀(SP3)의 각 센싱 트랜지스터(265)에 연결된다. 전원 라인(242)은 전원 연결라인(274)을 통해 제1 서브픽셀(SP1), 제2 서브픽셀(SP2) 및 제3 서브픽셀(SP3)의 각 구동 트랜지스터(235)에 연결된다. 제1 및 제2 게이트 라인들(232, 234)은 제1 서브픽셀(SP1), 제2 서브픽셀(SP2) 및 제3 서브픽셀(SP3)의 각 센싱 및 스위칭 트랜지스터(265, 230)에 연결된다.
- [0081] 전술한 제1 서브픽셀(SP1)은 적색 서브픽셀일 수 있고 제2 서브픽셀(SP2)은 녹색 서브픽셀일 수 있으며 제3 서브픽셀(SP3)은 청색 서브픽셀일 수 있다. 그러나, 각 서브픽셀의 배치는 서로 위치가 바뀔 수도 있다.
- [0082] 도 13를 참조하여, 제1 내지 제3 서브픽셀 중 일 예로써 제1 서브픽셀의 단면 구조를 살펴보면 다음과 같다.
- [0083] 도 13을 더 참조하면, 기판(10) 상에 광차단층(303)이 위치한다. 광차단층(303)은 외부의 광이 입사되는 것을 차단하여 트랜지스터에서 광전류가 발생하는 것을 방지하는 역할을 한다. 광차단층(303) 상에 버퍼층(305)이 위치한다. 버퍼층(305)은 광차단층(303)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 트랜지스터를 보호하는 역할을 한다. 버퍼층(305)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의

다중층일 수 있다.

- [0084] 버퍼층(305) 상에 구동 트랜지스터(235)의 반도체층(310)이 위치한다. 반도체층(310)은 실리콘 반도체, 산화물 반도체 또는 유기물 반도체로 이루어질 수 있다. 실리콘 반도체는 비정질 실리콘을 이용하거나, 비정질 실리콘을 결정화한 다결정 실리콘을 이용하여 형성될 수도 있다. 산화물 반도체는 아연 산화물(ZnO), 인듐 아연 산화물(InZnO), 인듐 갈륨 아연 산화물(InGaZnO) 또는 아연 주석 산화물(ZnSnO) 중 어느 하나로 이루어질 수 있다. 유기물 반도체는 펠로시아닌, 프탈로시아닌, 펜타센, 티오펜폴리머 등의 저분자계 또는 고분자계 유기물로 이루어질 수도 있다. 반도체층(310)은 p형 또는 n형의 불순물을 포함하는 드레인 영역 및 소스 영역을 포함하고 이들 사이에 채널을 포함한다.
- [0085] 반도체층(310) 상에 게이트 절연막(315)이 위치한다. 게이트 절연막(315)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다중층일 수 있다. 게이트 절연막(315) 상에 상기 반도체층(310)의 일정 영역, 즉 불순물이 주입되었을 경우의 채널과 대응되는 위치에 게이트 전극(320)이 위치한다. 게이트 전극(320)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 형성된다. 또한, 게이트 전극(GAT)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 예를 들면, 게이트 전극(320)은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.
- [0086] 게이트 전극(320) 상에 게이트 전극(320)을 절연시키는 층간 절연막(325)이 위치한다. 층간 절연막(325)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있다. 층간 절연막(325) 상에 소스 전극(330) 및 드레인 전극(335)이 위치한다. 소스 전극(330) 및 드레인 전극(335)은 반도체층(310)의 소스 및 드레인 영역을 각각 노출하는 콘택홀들(337)을 통해 반도체층(310)에 연결된다. 소스 전극(330) 및 드레인 전극(335)은 단일층 또는 다중층으로 이루어질 수 있으며, 상기 소스 전극(330) 및 드레인 전극(335)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 상기 소스 전극(330) 및 드레인 전극(335)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 티타늄/알루미늄/티타늄, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다. 구동 트랜지스터(235)와 이격된 영역에는 제1 데이터 라인(236)이 위치하고, 또 다른 영역에는 캐소드 전원라인(244)이 위치한다.
- [0087] 따라서, 반도체층(310), 게이트 전극(320), 소스 전극(330) 및 드레인 전극(335)을 포함하는 구동 트랜지스터(235)가 구성된다.
- [0088] 구동 트랜지스터(235)를 포함하는 기관(10) 상에 패시베이션막(340)이 위치한다. 패시베이션막(340)은 하부의 소자를 보호하는 절연막으로, 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있다. 패시베이션막(340)의 일부 영역에는 하부의 구동 트랜지스터(235)의 드레인 전극(335)을 노출시키는 제1 비아홀(342)이 위치하고, 캐소드 전원라인(244)을 노출시키는 제2 비아홀(343)이 위치한다.
- [0089] 패시베이션막(340) 상에 오버코트층(350)이 위치한다. 오버코트층(350)은 하부 구조의 단차를 완화시키기 위한 평탄화막일 수 있으며, 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어진다. 오버코트층(350)의 일부 영역에는 패시베이션막(340)의 제1 비아홀(342)을 노출하여 드레인 전극(335)을 노출시키는 제3 비아홀(352)이 위치하고, 패시베이션막(340)의 제2 비아홀(343)을 노출하여 캐소드 전원라인(244)을 노출시키는 제4 비아홀(354)이 위치한다.
- [0090] 오버코트층(350) 상에는 유기발광 다이오드(260)가 형성된다. 유기발광 다이오드(260)는 구동 트랜지스터(235)에 연결된 제1 전극(30), 제1 전극(30)과 대향하는 제2 전극(60), 및 제1 전극(30)과 제2 전극(60) 사이에 개재된 유기 발광층(50)을 포함한다. 제1 전극(30)은 애노드 전극일 수 있고, 제2 전극(60)은 캐소드 전극일 수 있다.
- [0091] 제1 전극(30)은 오버코트층(350) 상에 위치하여, 오버코트층(350)의 제3 비아홀(352) 및 패시베이션막(340)의 제1 비아홀(342)을 통해 구동 트랜지스터(235)의 드레인 전극(335)에 연결될 수 있다. 제1 전극(30)은 서브 픽셀 당 하나씩 할당될 수 있으나, 이에 한정되는 것은 아니다. 제1 전극(30)은, 채택된 발광 방식에 대응하여, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 등의 투명도전물질로 이루어져 투과 전극으로 기능할 수 있고, 반사층을 포함하여 반사 전극으로 기능할 수 있다. 반사층은 알루미늄(Al), 구리(Cu), 은(Ag), 니켈(Ni) 또는 이들의 합금으로 이루어질 수 있으며, 바람직하게는 APC(은/팔라듐/구리 합금)으로 이루

어질 수 있다.

- [0092] 제1 전극(30)과 이격된 오버코트층(350) 상에는 오버코트층(350)의 제4 비아홀(354) 및 패시베이션막(340)의 제2 비아홀(343)을 통해 캐소드 전원라인(244)과 연결된 연결패턴(365)이 위치한다. 연결패턴(365)은 제1 전극(30)과 동일한 구조로 이루어진다.
- [0093] 제1 전극(30)이 형성된 기판(10) 상에 बैं크(40)이 위치한다. बैं크(40)은 제1 बैं크(41) 및 제2 बैं크(43)을 포함한다. 제1 बैं크(41)은 제1 전극(30)을 노출하는 제1 개구부(OA1)를 포함하고, 제2 बैं크(43)은 제1 बैं크(41)의 일부 및 제1 전극(30)을 노출하는 제2 개구부(OA2)를 포함한다. 제2 개구부(OA2)는 제1 개구부(OA1)보다 큰 면적으로 형성되어, 제1 बैं크(41)의 일부를 노출할 수 있다.
- [0094] 또한, 제1 बैं크(41)은 연결패턴(365)을 노출하는 제3 개구부(OA3)를 포함하고, 제2 बैं크(43)은 제1 बैं크(41)의 일부 및 연결패턴(365)을 노출하는 제4 개구부(OA4)를 포함한다. 제4 개구부(OA4)는 제3 개구부(OA3)보다 큰 면적으로 형성되어, 제1 बैं크(41)의 일부를 노출할 수 있다.
- [0095] बैं크(40)이 형성된 기판(10) 상에는 유기 발광층(50)이 배치된다. 유기 발광층(50)은 발광층(Emission layer, EL)을 포함하고, 정공주입층(Hole injection layer, HIL), 정공수송층(Hole transport layer, HTL), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron injection layer, EIL) 중 어느 하나 이상을 더 포함할 수 있다. 유기 발광층(50)은 잉크젯 프린팅 또는 노즐 코팅 등의 용액 공정으로 코팅되고 건조됨으로써, 유기 발광층(50)과 बैं크(40)이 컨택하는 상면은 라운드진 형상으로 이루어질 수 있다.
- [0096] 제2 전극(60)은 유기 발광층(50) 상에 배치된다. 제2 전극(60)은 기판(10)의 전면에 넓게 형성될 수 있다. 제2 전극(60)은, 선택된 발광 방식에 대응하여, 투과 전극 또는 반사 전극으로 기능할 수 있다. 제2 전극(60)이 투과 전극인 경우, ITO(Indium Tin Oxide) IZO(Indium Zinc Oxide)와 같은 투명 도전물질로 형성되거나, 광이 투과될 수 있을 정도로 얇은 두께를 갖는 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있다. 제2 전극(60)은 제1 बैं크(41)의 제3 개구부(OA3) 및 제2 बैं크(43)의 제4 개구부(OA4)를 통해 연결패턴(365)에 연결됨으로써, 캐소드 전원라인(244)에 연결된다.
- [0097] 한편, 구동 트랜지스터(235) 및 유기발광 다이오드(260)가 형성된 기판(10)과 대향하는 대향기판(13)이 위치한다. 대향기판(13)은 기판(10)을 밀봉하는 것으로, 하부에 컬러필터(395)를 포함한다. 컬러필터(395)는 적색 컬러필터일 수 있으며, 적색의 색좌표를 진하게 만들어주는 기능을 한다. 일 예로, 제1 서브픽셀이 적색 서브픽셀인 경우 대향기판(13)은 제1 서브픽셀과 대응하는 영역에 적색 컬러필터를 구비할 수 있다. 그리고, 녹색 서브픽셀인 제2 서브픽셀과 청색 서브픽셀인 제3 서브픽셀과 대응하는 대향기판(13)의 영역에는 어떠한 컬러필터도 구비되지 않을 수 있다. 그러나, 본 발명은 일 예를 설명하는 것일 뿐, 각 서브픽셀에 해당 색의 컬러필터가 모두 구비될 수도 있다. 도 13에 도시된 구조는 당해 서브픽셀뿐만 아니라 다른 서브 픽셀에도 동일하게 적용될 수 있다.
- [0098] 도 14는 제1 전극의 위치 관계를 설명하기 위한 도면이다. 도 15는 बैं크의 위치 관계를 설명하기 위한 도면이다.
- [0099] 도 14를 참조하면, 제1 전극(30)은, 행 방향을 따라 순차적으로 교번하여 배열된 제1-1 전극(30-1), 제1-2 전극(30-1), 제1-3 전극(30-3)을 포함한다. 제1-1 전극(30-1)의 평면 형상은, 제1-2 전극(30-2)과 이웃하는 일측에 형성된 제1 요부(CC)를 갖는다. 제1-2 전극(30-2)의 평면 형상은, 제1-1 전극(30-1)과 이웃하는 일측에 형성된 제1 철부(CV), 및 제1-3 전극(30-3)과 이웃하는 타측에 형성된 제2 철부(CV)를 갖는다. 제1-3 전극(30-3)의 평면 형상은, 제1-2 전극(30-2)과 이웃하는 일측에 형성된 제2 요부(CC)를 갖는다. 제1 철부(CV)는 제1 요부(CC)에 대향하고, 제2 철부(CV)는 제2 요부(CC)에 대향한다.
- [0100] 제1-1 전극(30-1)은 제3n-2 서브 픽셀의 구동 트랜지스터에 전기적으로 연결된다. 제1-2 전극(30-2)은 제3n-1 서브 픽셀의 구동 트랜지스터에 전기적으로 연결된다. 제1-3 전극(30-3)은 제3n 서브 픽셀의 구동 트랜지스터에 전기적으로 연결된다. 제1 전극(30)과 구동 트랜지스터를 연결하기 위한 비아홀들(342, 352, 도 13)은 행 방향으로 연장되는 제1 बैं크(41)에 중첩되도록 형성될 수 있다.
- [0101] 도 15를 참조하면, बैं크(40)는 제1 बैं크(41) 및 제2 बैं크(43)를 포함한다. 제1 बैं크(41)는 복수의 제1 전극(30)들을 노출하는 제1 개구부(OA1)들을 포함한다. 제1 बैं크(41)는, 열 방향으로 이웃하는 제1 전극(30)들 사이에 배치되고, 이웃하는 제1-3 전극(30-3) 및 제1-1 전극(30-1) 사이에 배치된다.
- [0102] 제2 बैं크(43)는 복수의 제1 전극(30)들을 노출하는 제2 개구부(OA2)들을 포함한다. 제2 बैं크(43)는, 제3n-2 열

에 배열된 제1-1 전극(30-1)들과 이와 이웃하는 제3n-1 열에 배열된 제1-2 전극(30-2)들 사이에 배치되고, 제3n-1 열에 배열된 제1-2 전극(30-2)들과 이와 이웃하는 제3n 열에 배열된 제1-3 전극(30-3)들 사이에 배치된다. 이때, 제2 बैं크(43)는 연장 방향을 따라 진행하면서, 서브 픽셀 내에 할당된 스토리지 커패시터(240)의 상부를 가로지를 수 있다.

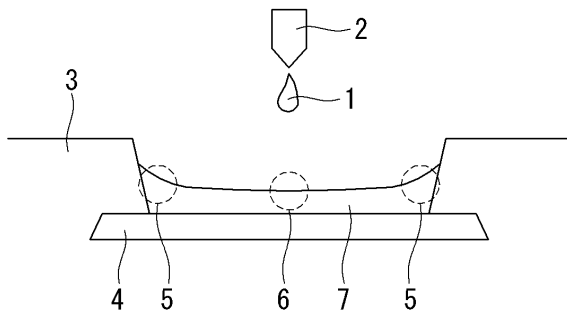
[0103] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양하게 변경 및 수정할 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정해져야만 할 것이다.

부호의 설명

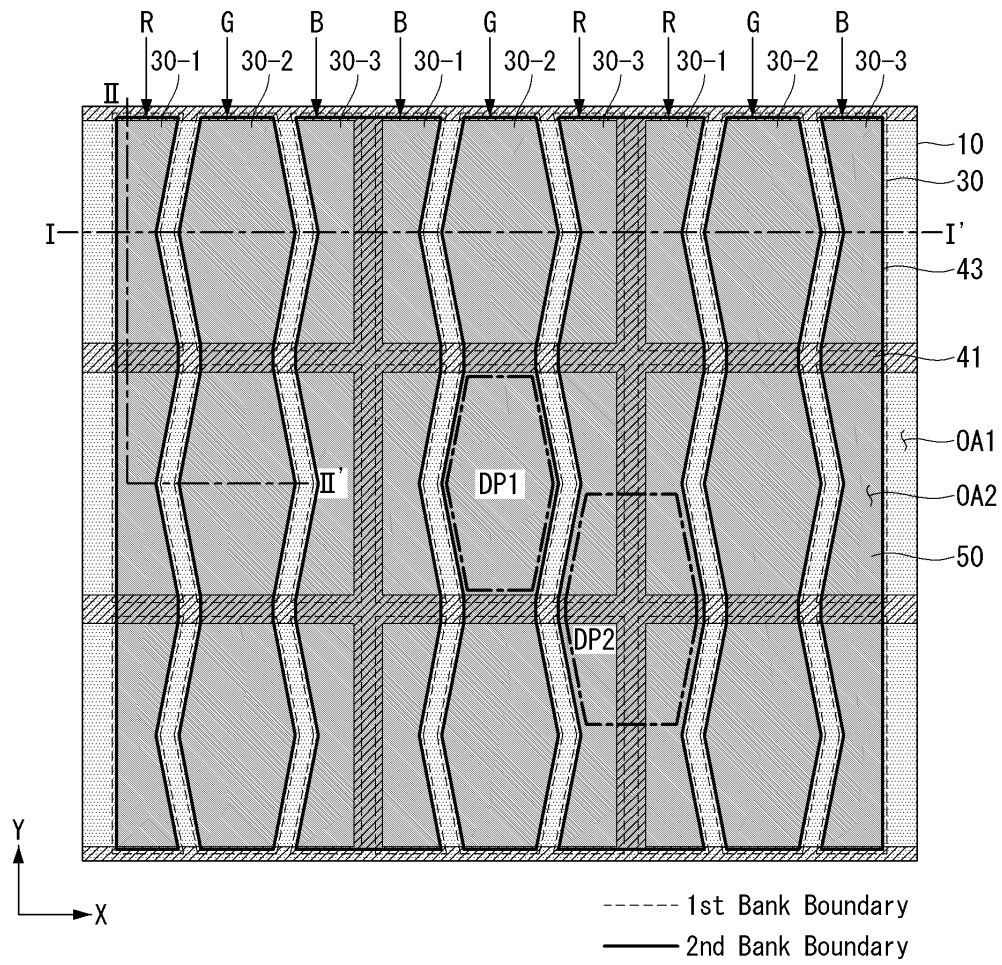
[0104] 10 : 기판 20 : 회로 소자층
30 : 제1 전극 30-1 : 제1-1 전극
30-2 : 제1-2 전극 30-3 : 제1-3 전극
41 : 제1 बैं크 OA1 : 제1 개구부
43 : 제2 बैं크 OA2 : 제2 개구부
50 : 유기 발광층 60 : 제2 전극
DP1, DP2 : 유기 발광 물질 적하 영역

도면

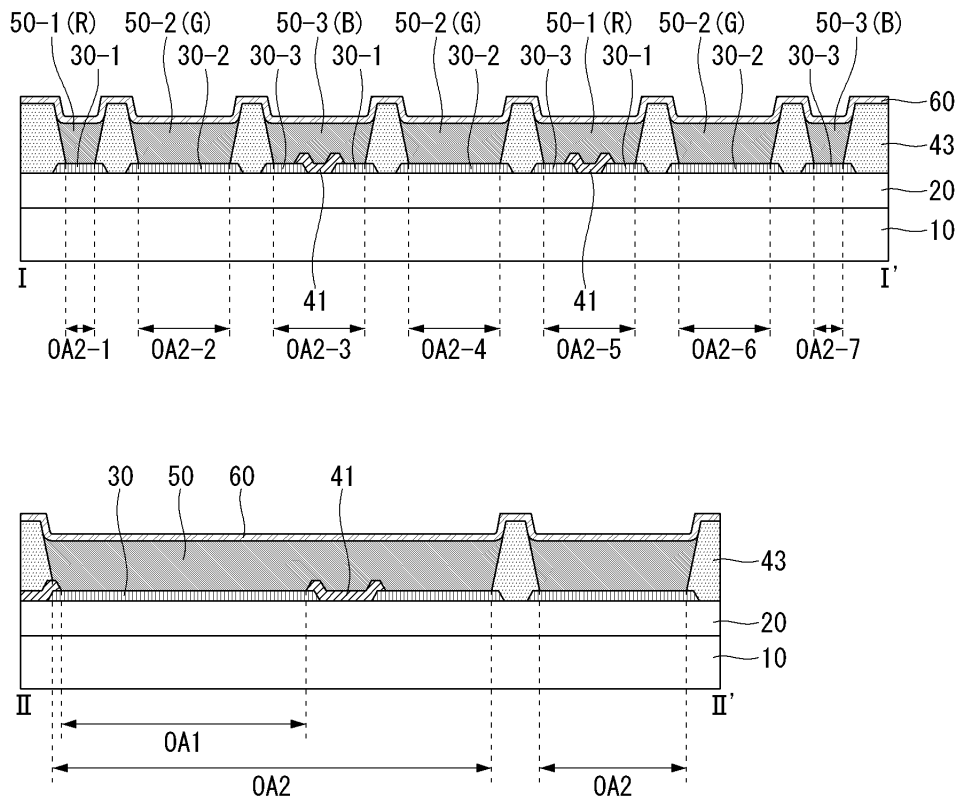
도면1



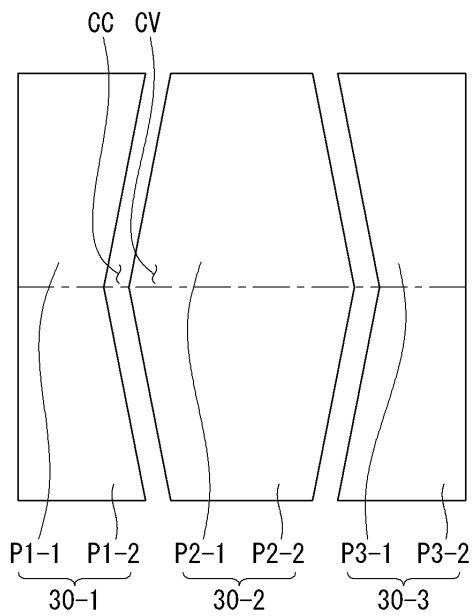
도면2



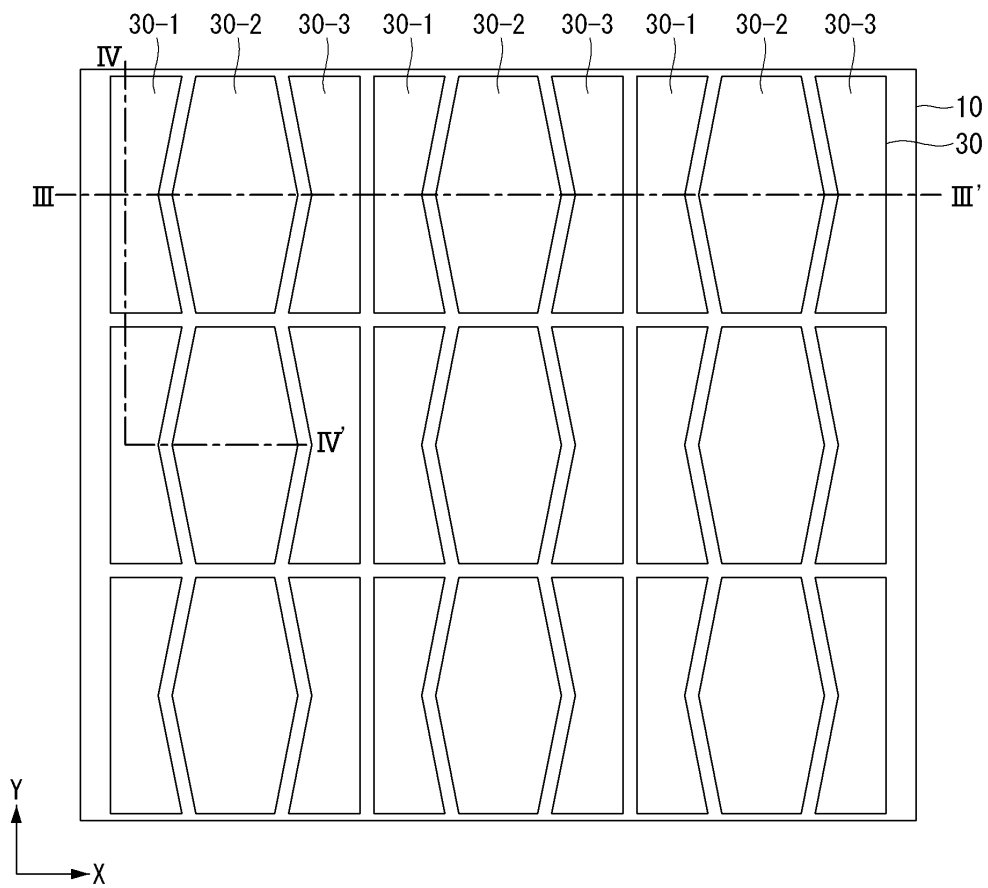
도면3



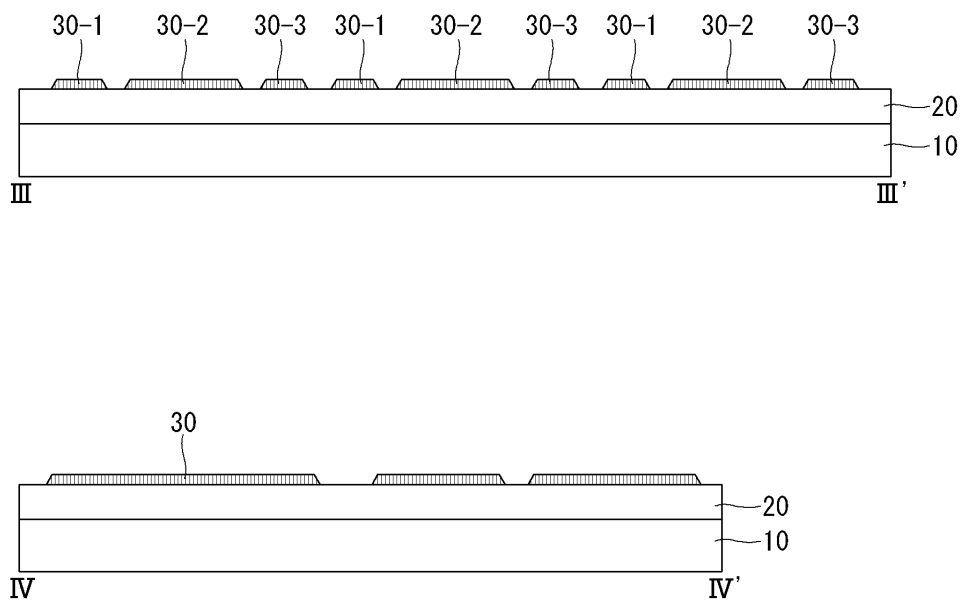
도면4



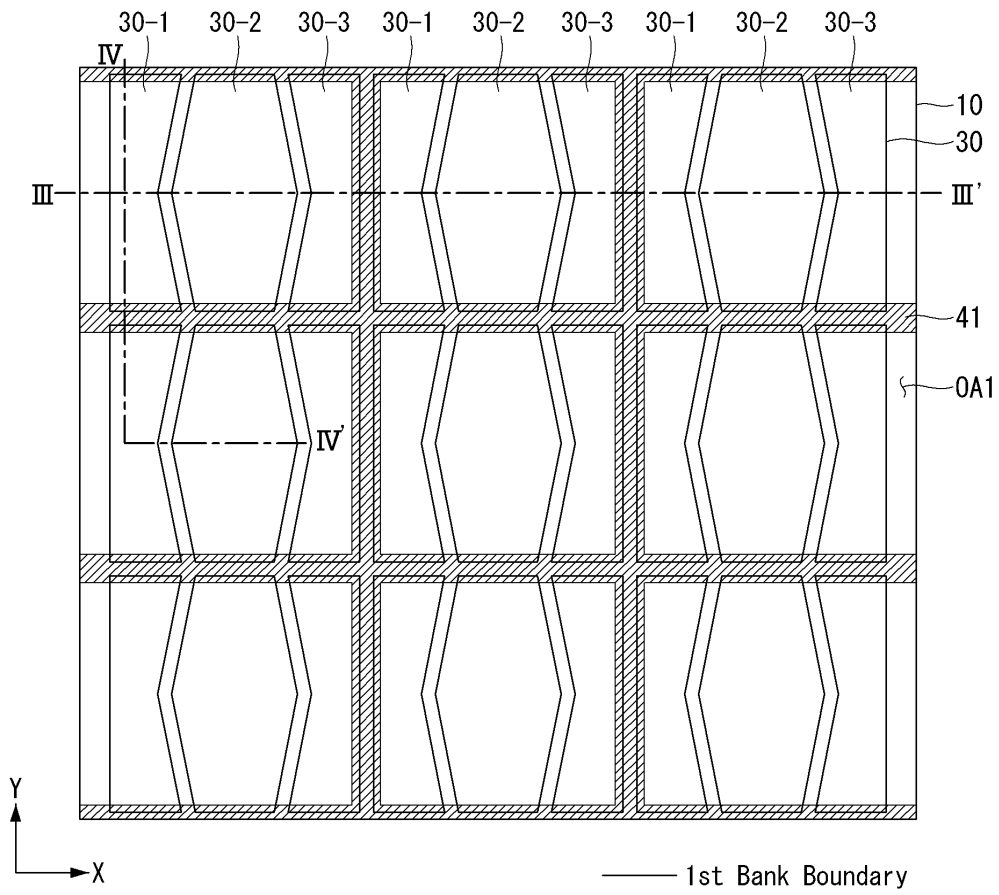
도면5a



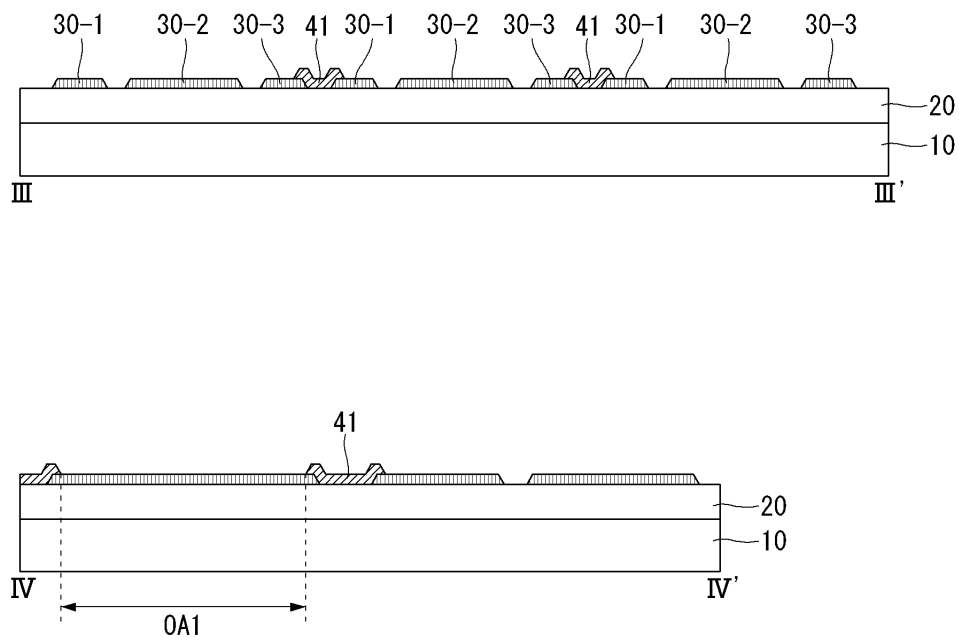
도면5b



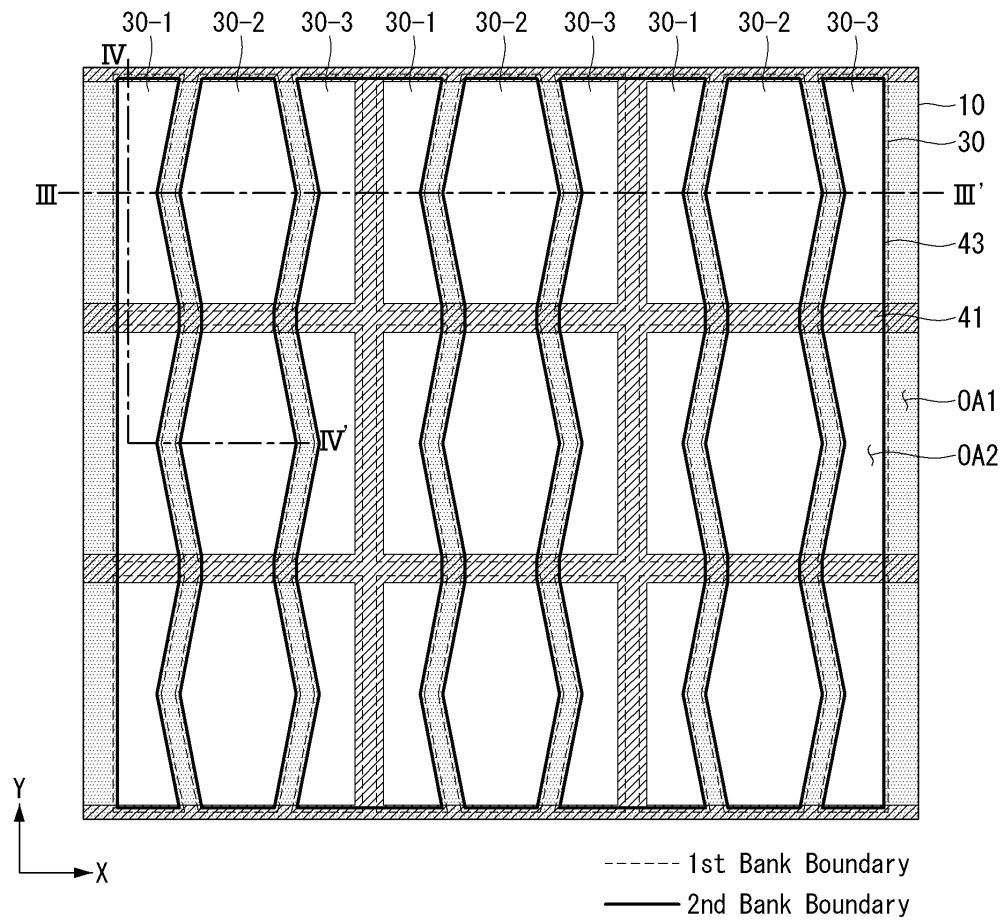
도면6a



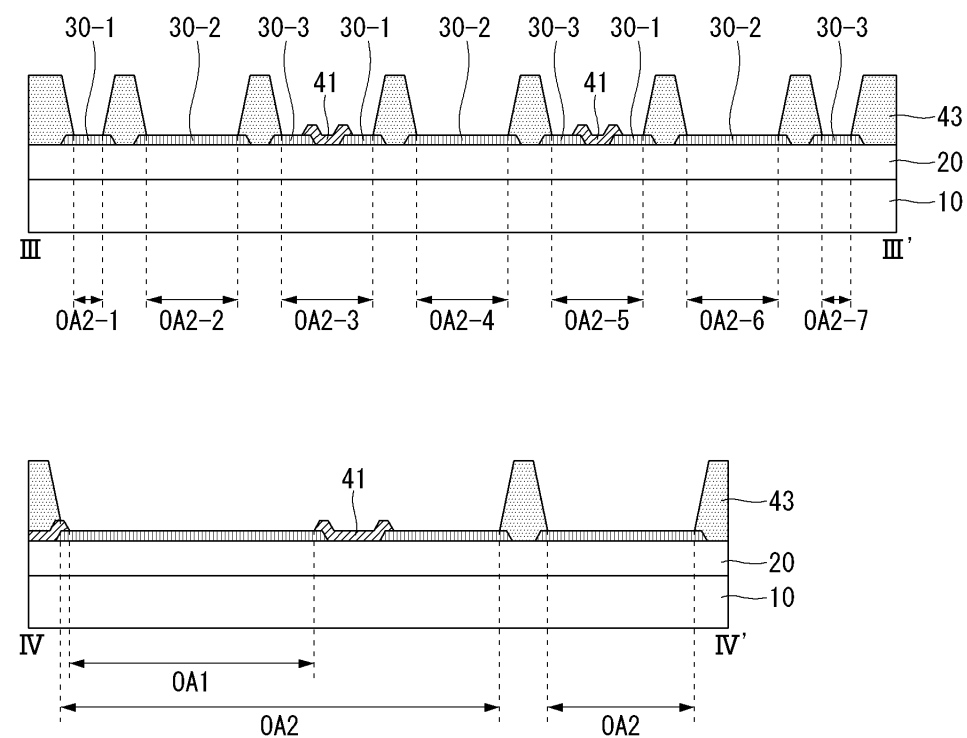
도면6b



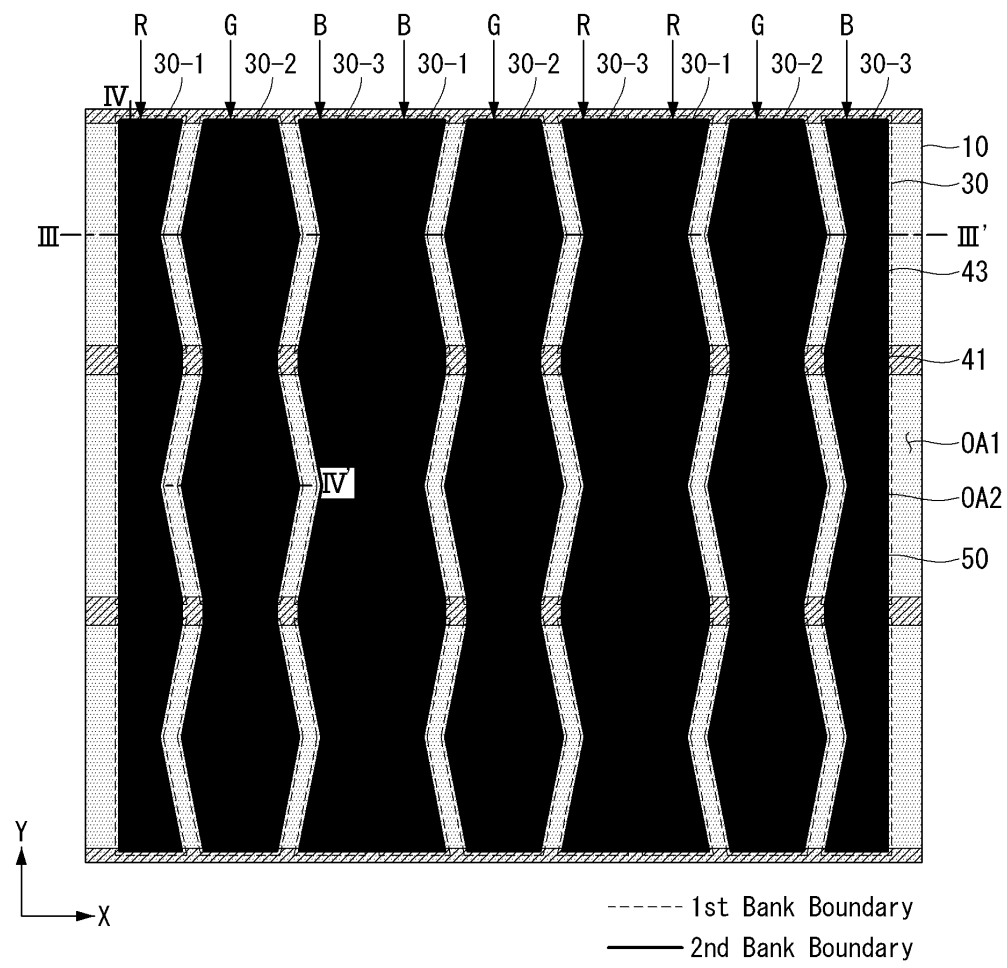
도면7a



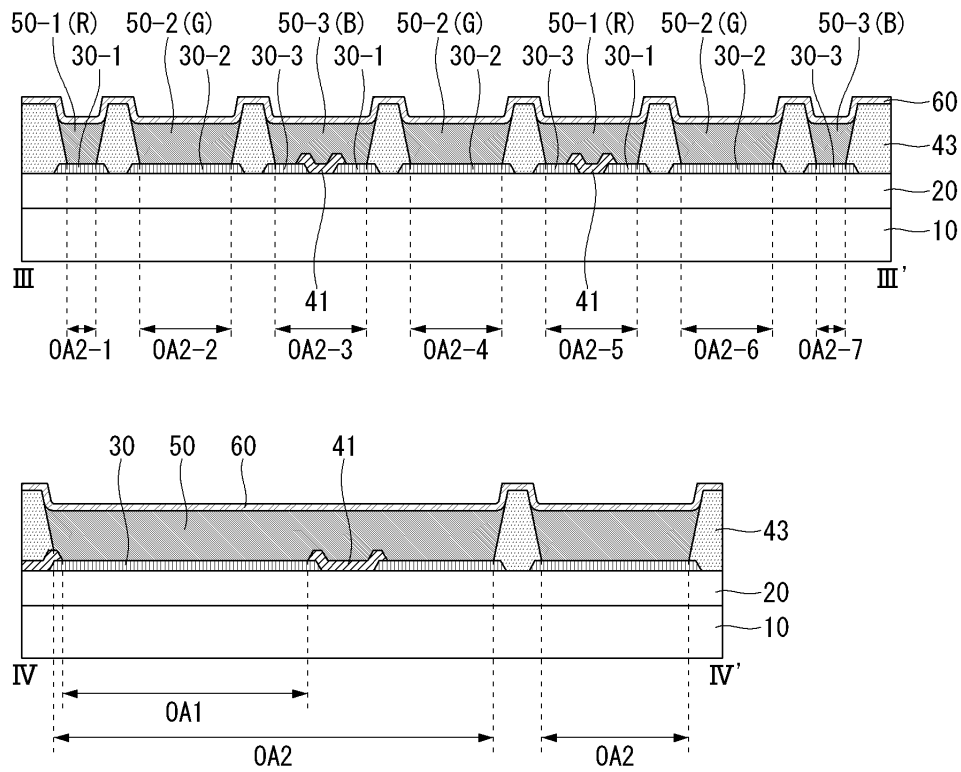
도면7b



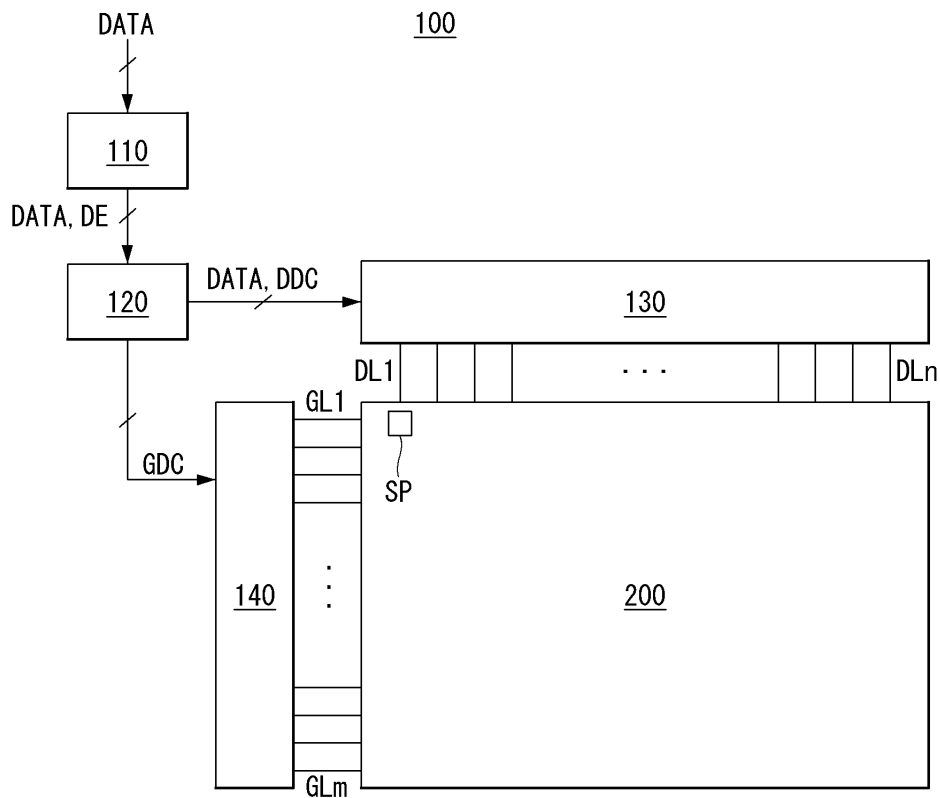
도면8a



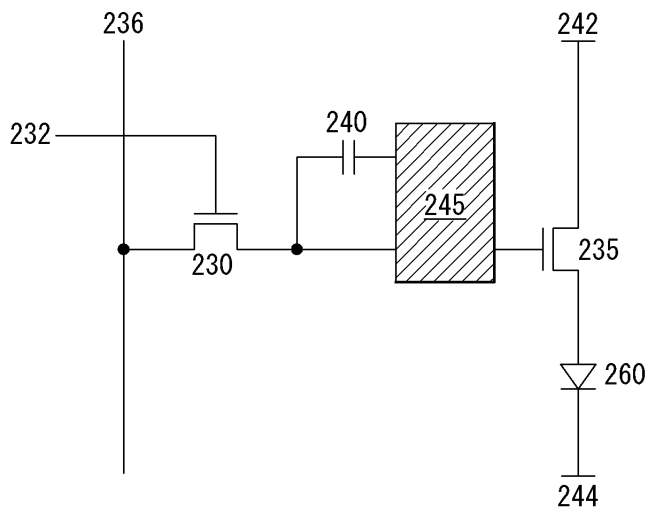
도면8b



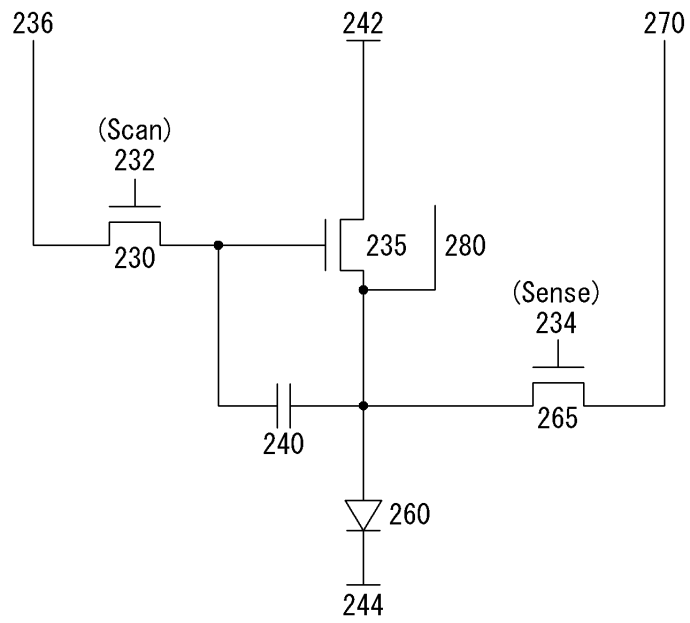
도면9



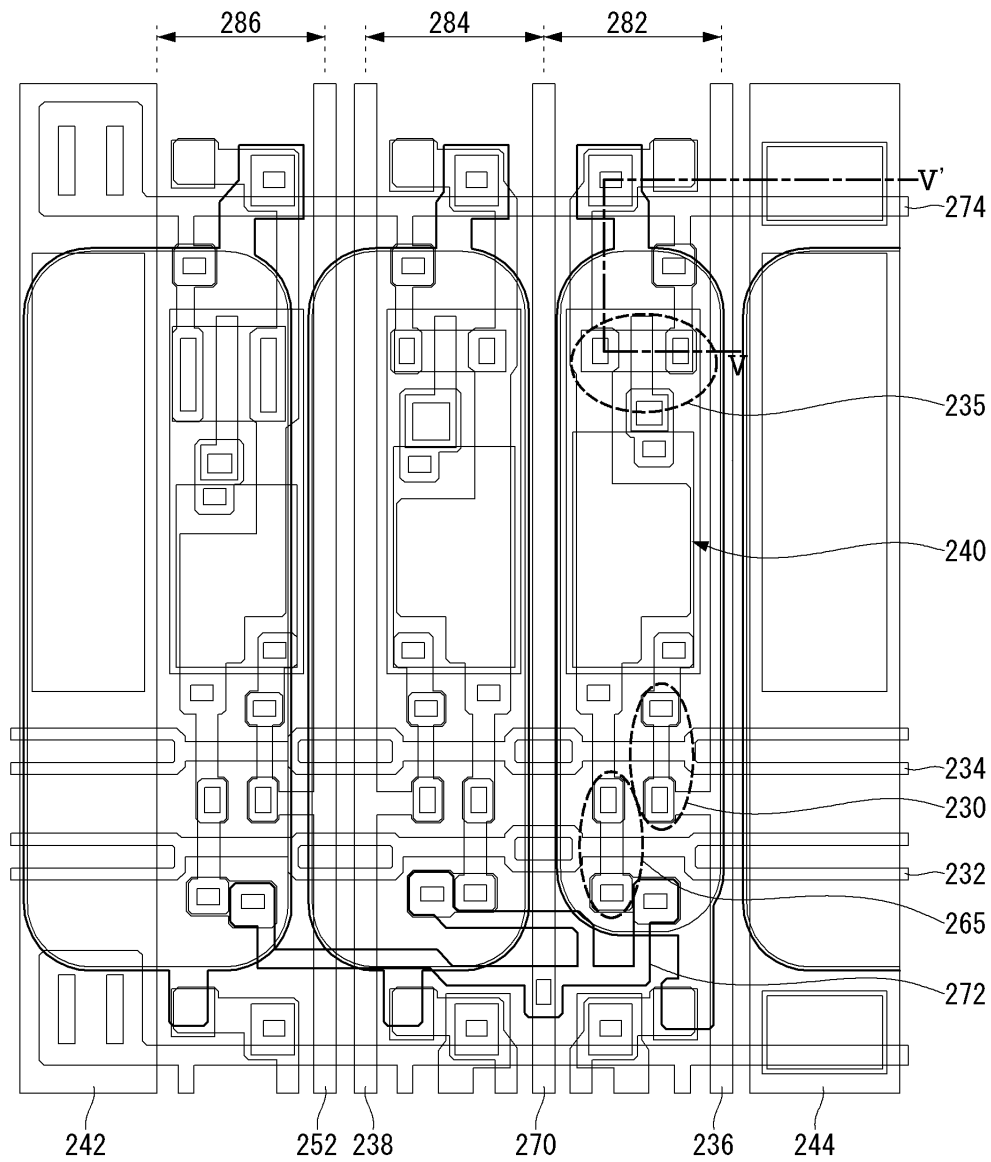
도면10



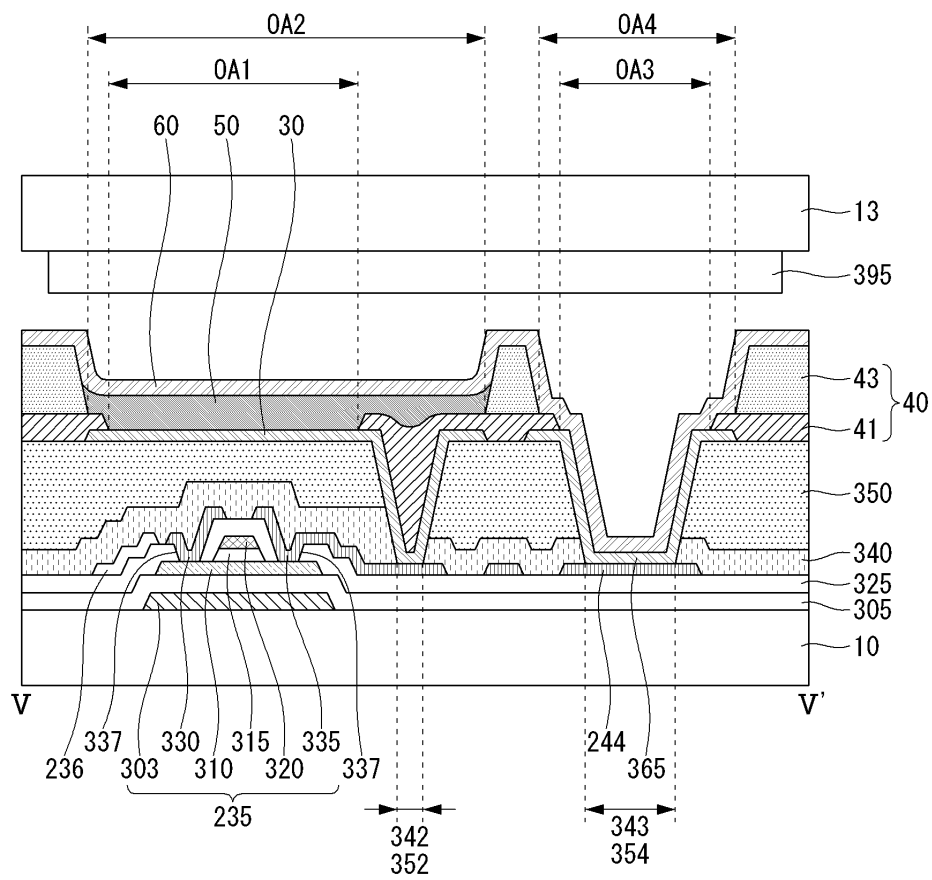
도면11



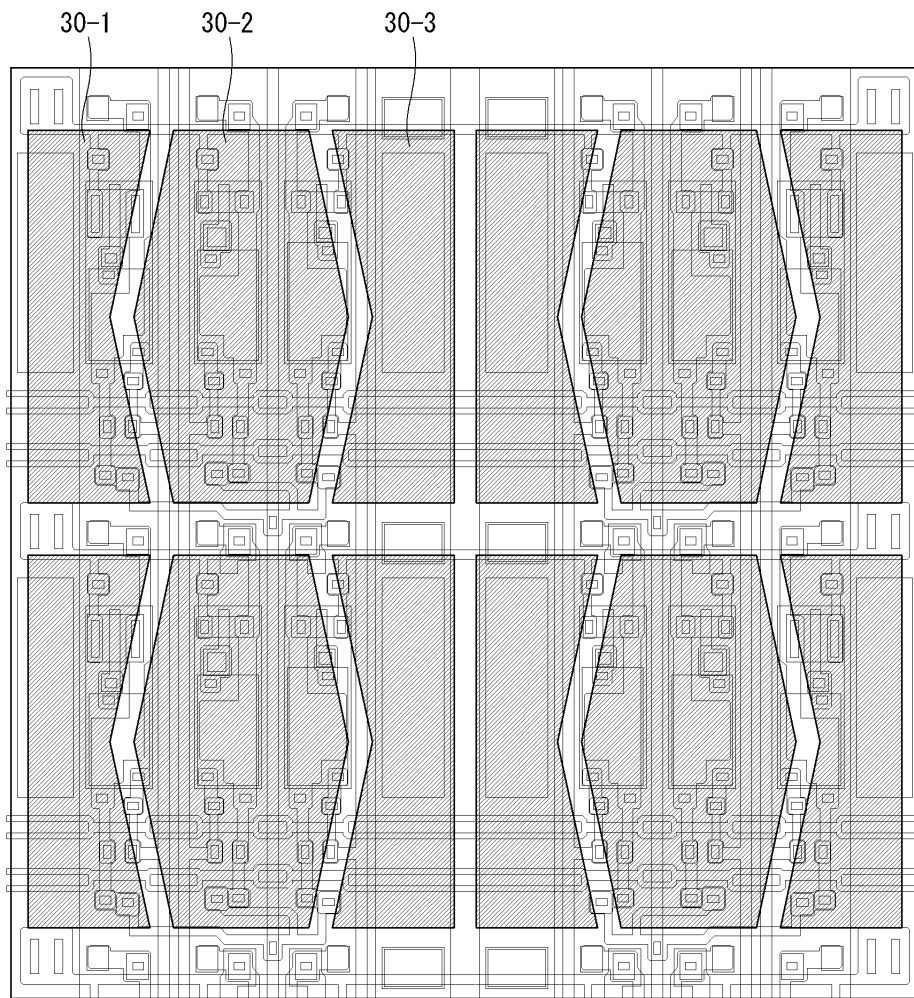
도면12



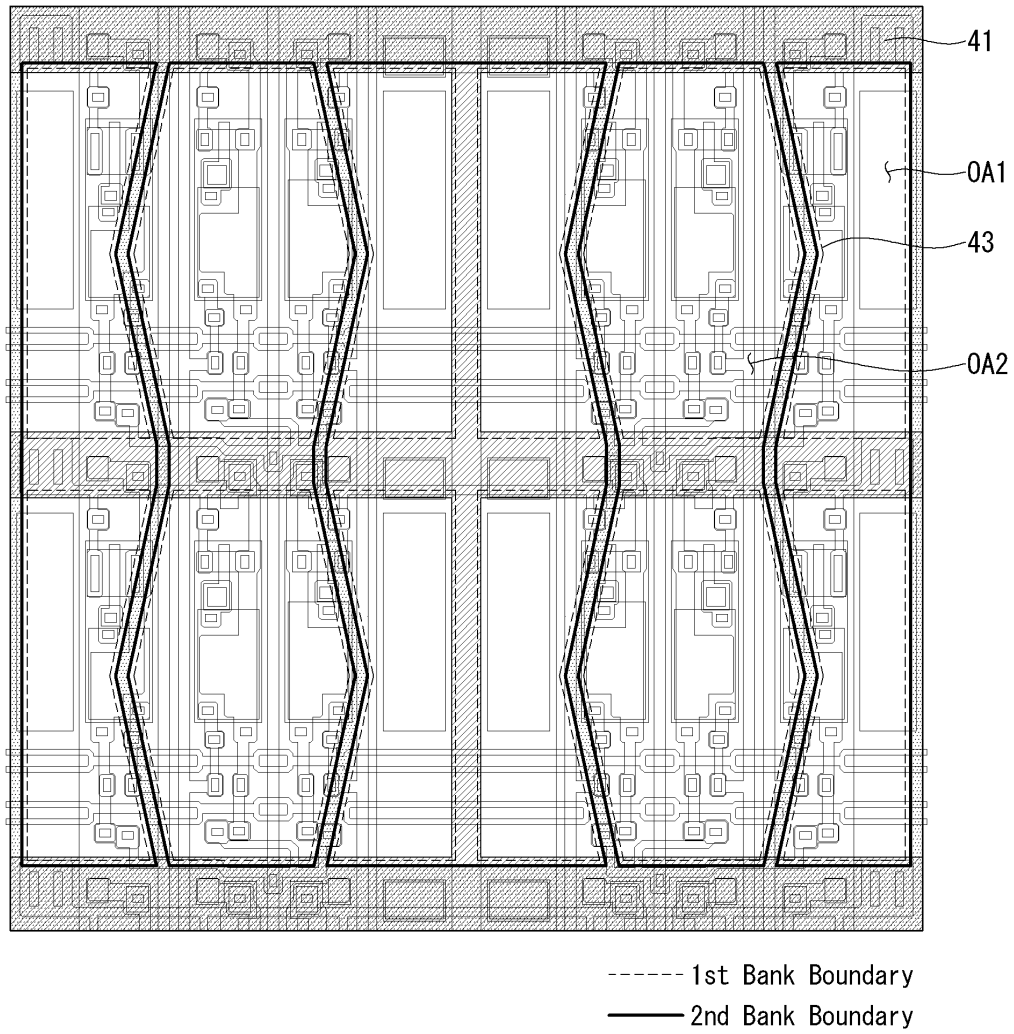
도면13



도면14



도면15



专利名称(译)	有机发光显示装置		
公开(公告)号	KR1020200076407A	公开(公告)日	2020-06-29
申请号	KR1020180165490	申请日	2018-12-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	전홍명 김태웅 김강현		
发明人	전홍명 김태웅 김강현		
IPC分类号	H01L27/32 H01L51/50 H01L51/52		
CPC分类号	H01L27/3276 H01L27/3211 H01L51/5012 H01L51/5203 H01L27/3246 H01L27/326 H01L51/5209 H01L27/3209 H01L27/3248		
外部链接	Espacenet		

摘要(译)

有机发光显示装置包括:基板,其上在列方向和行方向上布置有多个子像素;和 分配给多个子像素的多个第一电极; 第一堤坝,其设置在第一电极上并具有暴露出多个第一电极的多个第一开口; 第二堤坝,其设置在第一堤坝上并具有多个第二开口,该第二开口暴露出多个第一电极和第一堤坝的一部分,其中,多个第一电极包括布置的多个第(1-1)电极 在第(3n-2)列中,在第(3n-1)列中布置了多个第(1-2)个电极,在第3n-列中布置了多个第(1-3)电极 第n列,其中n是等于或大于1的自然数,其中第一堤岸布置在沿列方向相邻的多个第一电极之间并且布置在第(1-3)电极与(1-1)在行方向上相邻的电极,其中第二堤坝设置在布置在第(3n-2)列中的多个第(1-1)电极与多个(1-2)-之间 多个电极与多个第(1-1)电极相邻并排列在第(3n-1)列中,并位于多个第(1-2)电极之间,排列在第(3n-1) 列和在第3n列中排列的与第(1-2)电极相邻的多个(1-3)电极,并且其中第二存储体未设置在多个(1-3)之间 布置在第3n列中的第)个电极和在行方向上与多个第(1-3)电极相邻的多个(1-1)电极并布置在第(3n-2) 柱。

