



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0023686
(43) 공개일자 2019년03월08일

(51) 국제특허분류(Int. Cl.)
G09G 3/3266 (2016.01) H01L 27/32 (2006.01)
(52) CPC특허분류
G09G 3/3266 (2013.01)
H01L 27/3258 (2013.01)
(21) 출원번호 10-2017-0109828
(22) 출원일자 2017년08월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김경민
경기도 파주시 월롱면 엘지로 245
한인효
경기도 파주시 월롱면 엘지로 245
노석
경기도 파주시 월롱면 엘지로 245
(74) 대리인
박영복

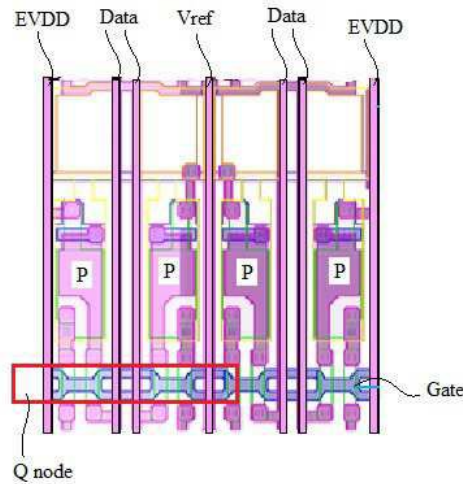
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 OLED 표시 장치

(57) 요약

본 발명에 따른 OLED 표시 장치는, 비 표시 영역과 표시 영역을 구비하여 상기 표시 영역에 복수개의 게이트 라인들과 복수개의 데이터 라인들이 배치되고, 각 게이트 라인과 데이터 라인의 교차 영역에 복수개의 서브 픽셀들이 매트릭스 형태로 배열되는 OLED표시 패널과, 상기 OLED표시 패널의 비 표시 영역에 배치되어 상기 복수개의 게이트 라인들에 스캔 펄스를 공급하는 게이트 구동부를 구비하고, 상기 OLED표시 패널의 상기 표시 영역에 상기 게이트 구동부의 스캔 펄스 출력의 손실을 방지하기 위한 부트스트랩 커패시터가 배치된 것이다.

대표도 - 도6a



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 27/3276 (2013.01)

G09G 2300/0408 (2013.01)

G09G 2300/0426 (2013.01)

G09G 2310/08 (2013.01)

명세서

청구범위

청구항 1

비 표시 영역과 표시 영역을 구비하여 상기 표시 영역에 복수개의 게이트 라인들과 복수개의 데이터 라인들이 배치되고, 각 게이트 라인과 데이터 라인의 교차 영역에 복수개의 서브 픽셀들이 매트릭스 형태로 배열되는 OLED 표시 패널; 그리고

상기 OLED 표시 패널의 비 표시 영역에 배치되어 상기 복수개의 게이트 라인들에 스캔 펄스를 공급하는 게이트 구동부를 구비하고,

상기 OLED 표시 패널의 상기 표시 영역에 상기 게이트 구동부의 스캔 펄스 출력의 손실을 방지하기 위한 부트스트랩 커패시터가 배치되는 OLED 표시 장치.

청구항 2

제 1 항에 있어서,

상기 게이트 구동부는 종속적으로 접속된 복수개의 GIP를 포함하고, 각 GIP는 제 1 노드와 제 2 노드의 전압에 따라 상기 OLED 표시 패널의 게이트 라인에 스캔 펄스를 출력하는 적어도 하나의 스캔 펄스 출력부를 구비하고,

상기 부트스트랩 커패시터는 상기 게이트 라인과 상기 게이트 라인상에 적층된 상기 제 1 노드에 의해 형성되는 OLED 표시 장치.

청구항 3

제 2 항에 있어서,

상기 적어도 하나의 스캔 펄스 출력부는 스캔 펄스를 상기 OLED 표시 패널의 게이트 라인에 공급하기 위해 상기 게이트 라인에 전기적으로 연결되는 출력단을 포함하고,

상기 게이트 라인에 중첩되는 상기 제 1 노드가 상기 출력단까지 연장되어 형성되는 OLED 표시 장치.

청구항 4

제 2 항에 있어서,

상기 각 GIP내에는, 외곽쪽에서 상기 OLED 표시 패널(1)의 표시 영역쪽으로, 타이밍 콘트롤러로부터 클럭신호들을 수신하는 클럭신호 수신부와, 상기 적어도 하나의 스캔 펄스 출력부와, 상기 제 1 및 제 2 노드의 전압을 제어하는 노드 제어부가 차례로 배치되고,

상기 적어도 하나의 스캔 펄스 출력부는 스캔 펄스를 상기 OLED 표시 패널의 게이트 라인에 공급하기 위해 상기 게이트 라인에 전기적으로 연결되는 출력단을 포함하고,

상기 게이트 라인에 중첩되는 상기 제 1 노드가 상기 출력단까지 연장되어 형성되는 OLED 표시 장치.

청구항 5

제 1 항에 있어서,

상기 OLED 표시 패널은 상기 복수개의 데이터 라인과 평행한 방향으로 배열되는 복수개의 정전압 공급 라인 및 기준 전압 공급 라인을 더 구비하고,

상기 OLED 표시 패널은,

기관상에 동일한 방향으로 형성되는 상기 복수개의 데이터 라인과 상기 복수개의 정전압 공급 라인 및 기준 전압 공급 라인과,

상기 데이터 라인과 상기 복수개의 정전압 공급 라인 및 기준 전압 공급 라인을 포함한 상기 기관 전면에 형성

되는 버퍼층과,

상기 버퍼층 상에 상기 데이터 라인에 수직한 방향으로 형성되는 상기 복수개의 게이트 라인과,

상기 복수개의 게이트 라인을 포함한 상기 버퍼층 전면에 형성되는 층간 절연막과,

상기 층간 절연막 상에 상기 게이트 라인에 중첩되도록 형성되는 상기 제 1 노드를 포함하는 OLED 표시 장치.

청구항 6

제 5 항에 있어서,

상기 복수개의 데이터 라인과 복수개의 정전압 공급 라인 및 기준 전압 공급 라인은 상기 OLED 표시 패널의 광 차단층과 동일 물질로 형성되고,

상기 제 1 노드는 상기 OLED 표시 패널의 스위칭 TFT의 소오스/드레인 전극과 동일 물질로 형성되는 OLED 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 OLED 표시 장치에 관한 것으로, 특히 GIP의 부트스트랩 커패시터(Bootstrap Capacitor)를 액티브 영역에 배치하는 OLED(Organic Light Emitting Diode) 표시 장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전하고, 이동통신 단말기 및 노트북 컴퓨터와 같은 각종 휴대용 전자기기가 발전함에 따라 이에 적용할 수 있는 평판 표시 장치(Flat Panel Display Device)에 대한 요구가 점차 증대되고 있다.

[0003] 이와 같은 평판 표시 장치로는, 액정을 이용한 액정 표시 장치(LCD: Liquid Crystal Display)와 유기 발광 다이오드(Organic Light Emitting Diode; 이하 OLED)를 이용한 OLED 표시 장치가 활용되고 있다.

[0004] 이러한 평판 표시 장치들은 영상을 표시하기 위해 복수개의 게이트 라인들 및 복수개의 데이터 라인들을 구비한 표시 패널과, 상기 표시 패널을 구동하기 위한 구동회로로 구성된다.

[0005] 상기 구동회로는 상기 복수개의 게이트 라인들을 구동하는 게이트 구동부와, 상기 복수개의 데이터 라인들을 구동하는 데이터 구동부와, 상기 게이트 구동부와 상기 데이터 구동부에 영상 데이터 및 각종 제어신호를 공급하는 타이밍 콘트롤러 등으로 이루어진다.

[0006] 상기 게이트 구동부는 상기 표시 패널의 상기 복수개의 게이트 라인들 및 복수개의 데이터 라인들과 화소를 형성하는 과정에서, 상기 표시 패널의 비표시 영역상에 동시에 형성될 수 있다.

[0007] 즉, 상기 게이트 구동부를 상기 표시 패널에 직접화시키는 게이트-인-패널(Gate-In-Panel; 이하 “GIP” 라고도 함) 방식이 적용되고 있다.

[0008] 상기 게이트 구동부는 상기 복수개의 게이트 라인들 각각에 스캔 펄스를 순차적으로 공급하기 위하여, 복수개의 스테이지(GIP)를 포함하여 구성된다.

[0009] 그런데, 상기 복수개의 GIP가 상기 복수개의 게이트 라인과 일대일 대응되어 연결되면, 고해상도 및 좁은 베젤(Narrow Bezel)화가 요구되는 최근의 설계를 충족하지 못하게 된다.

[0010] 따라서, 최근에는 하나의 GIP가 적어도 2개의 게이트 라인을 구동할 수 있도록 하나의 캐리 펄스 출력부와 적어도 2개의 스캔 펄스 출력부를 구비한다.

[0011] 도1은 일반적인 GIP의 구성 블럭도이다.

[0012] 상기 각 GIP는, 도 1에 도시한 바와 같이, 전단 GIP에서 출력되는 캐리 펄스(SET)에 의해 셋팅되고, 후단 GIP에서 출력되는 캐리 펄스(RST)에 의해 리셋팅되어 제 1 및 제 2 노드(Q, Qb)의 전압을 제어하는 노드 제어부(100)와, 다수의 스캔 펄스 출력용 클럭신호(SCCLKs) 중 2개의 스캔 펄스 출력용 클럭신호와 상기 다수의 캐리 펄스 출력용 클럭신호(CRCLKs) 중 하나의 캐리 펄스 출력용 클럭 신호를 수신하여, 상기 제 1 및 제 2 노드(Q, Qb)의 전압 레벨에 따라 2개의 스캔 펄스(Vgout(n), Vgout(n+1)) 및 하나의 캐리 펄스(COUT(n))를 출력하는

출력부(200)를 포함하여 구성된다.

- [0013] 도 2는 도 1의 출력부(200)의 회로적 구성도이다.
- [0014] 상기 GIP의 출력부(200)는, 도 2에 도시한 바와 같이, 캐리 펄스 출력부(201), 제 1스캔 펄스 출력부(202) 및 제 2 스캔 펄스 출력부(203)을 구비하여 구성된다.
- [0015] 상기 캐리 펄스 출력부(201)는 복수개의 캐리용 클럭 신호(CRCLKs) 중 하나의 캐리 펄스 출력용 클럭 신호가 인가되는 캐리 펄스 출력용 클럭 신호 단(CRCLK(n))과 제 1 게이트 로우 전압단(VGL1) 사이에 직렬 연결되는 제 1 풀업 트랜지스터(Tpc) 및 제 1 풀다운 트랜지스터(Tdc)를 구비하여 구성된다. 상기 제 1 풀업 트랜지스터(Tpc)는 상기 제 1 노드(Q)의 전압 레벨에 따라 온/오프되고, 상기 제 1 풀다운 트랜지스터(Tdc)는 상기 제 2 노드(Qb)의 전압 레벨에 따라 온/오프되어 상기 입력된 캐리 펄스 출력용 클럭 신호를 캐리 펄스(CR(n))로 출력한다.
- [0016] 상기 제 1스캔 펄스 출력부(202)는, 복수개의 스캔 펄스 출력용 클럭 신호(SCCLKs) 중 하나의 스캔 펄스 출력용 클럭 신호가 인가되는 스캔 펄스 출력용 클럭 신호 단(SCCLK(n))과 제 2 게이트 로우 전압단(VGL2) 사이에 직렬 연결되는 제 2 풀업 트랜지스터(Tp1) 및 제 2 풀다운 트랜지스터(Td1)와, 상기 제 2 풀업 트랜지스터(Tp1)의 게이트 전극과 소오스 전극 사이에 연결되는 부트스트랩(bootstrap) 제 1 커패시터(C1)를 구비하여 구성된다. 상기 제 2 풀업 트랜지스터(Tp1)는 상기 제 1 노드(Q)의 전압 레벨에 따라 온/오프되고, 상기 제 2 풀다운 트랜지스터(Td1)는 상기 제 2 노드(Qb)의 전압 레벨에 따라 온/오프되어 상기 입력된 스캔 펄스 출력용 클럭 신호를 제 1 스캔 펄스(Vout(n))로 출력한다.
- [0017] 상기 제 2스캔 펄스 출력부(203)는, 복수개의 스캔 펄스 출력용 클럭 신호(SCCLKs) 중 다른 하나의 스캔 펄스 출력용 클럭 신호가 인가되는 스캔 펄스 출력용 클럭 신호 단(SCCLK(n+1))과 제 2 게이트 로우 전압단(VGL2) 사이에 직렬 연결되는 제 3 풀업 트랜지스터(Tp2) 및 제 3 풀다운 트랜지스터(Td2)와, 상기 제 3 풀업 트랜지스터(Tp2)의 게이트 전극과 소오스 전극 사이에 연결되는 부트스트랩 제 2 커패시터(C2)를 구비하여 구성된다. 상기 제 3 풀업 트랜지스터(Tp2)는 상기 제 1 노드(Q)의 전압 레벨에 따라 온/오프되고, 상기 제 3 풀다운 트랜지스터(Td2)는 상기 제 2 노드(Qb)의 전압 레벨에 따라 온/오프되어 상기 입력된 스캔 펄스 출력용 클럭 신호를 제 2 스캔 펄스(Vout(n+1))로 출력한다.
- [0018] 이와 같이, 상기 제 1 및 제 2스캔 펄스 출력부(202, 203) 각각은 출력의 손실(Loss)을 방지하기 위하여 부트스트랩 제 1 및 제 2 커패시터(C1, C2)를 구비한다. 그리고, 상기 제 1 노드(Q)의 리플(ripple)을 방지하기 위해서, 상기 부트스트랩 제 1 및 제 2 커패시터(C1, C2)는 충분한 충전 용량이 요구되고 있다. 따라서, GIP 내에서 상기 부트스트랩 제 1 및 제 2 커패시터(C1, C2)가 차지하는 면적이 크게 되므로 베젤(Bezel)이 증가하게 되는 원인이 된다.

발명의 내용

해결하려는 과제

- [0019] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, GIP의 스캔 펄스 출력부에 요구되는 부트스트랩 커패시터를 표시 영역 내에 배치하여 좁은 베젤(narrow bezel)을 구현할 수 있는 OLED 평판 표시 장치를 제공하는데 그 목적이 있다.

과제의 해결 수단

- [0020] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 OLED 평판 표시 장치는, 비 표시 영역과 표시 영역을 구비하여 상기 표시 영역에 복수개의 게이트 라인들과 복수개의 데이터 라인들이 배치되고, 각 게이트 라인과 데이터 라인의 교차 영역에 복수개의 서브 픽셀들이 매트릭스 형태로 배열되는 OLED표시 패널과, 상기 OLED표시 패널의 비 표시 영역에 배치되어 상기 복수개의 게이트 라인들에 스캔 펄스를 공급하는 게이트 구동부를 구비하고, 상기 OLED표시 패널의 상기 표시 영역에 상기 게이트 구동부의 스캔 펄스 출력의 손실을 방지하기 위한 부트스트랩 커패시터가 배치됨에 그 특징이 있다.
- [0021] 여기서, 상기 게이트 구동부는 종속적으로 접속된 복수개의 GIP를 포함하고, 각 GIP는 제 1 노드와 제 2 노드의 전압에 따라 상기 OLED 표시 패널의 게이트 라인에 스캔 펄스를 출력하는 적어도 하나의 스캔 펄스 출력부를 구비하고, 상기 부트스트랩 커패시터는 상기 게이트 라인과 상기 게이트 라인상에 적층된 상기 제 1 노드에 의해

형성됨을 특징으로 한다.

- [0022] 상기 적어도 하나의 스캔 펄스 출력부는 스캔 펄스를 상기 OLED 표시 패널의 게이트 라인에 공급하기 위해 상기 게이트 라인에 전기적으로 연결되는 출력단을 포함하고, 상기 게이트 라인에 중첩되는 상기 제 1 노드가 상기 출력단까지 연장됨을 특징으로 한다.
- [0023] 상기 각 GIP내에는, 외곽쪽에서 상기 OLED표시 패널(1)의 표시 영역쪽으로, 타이밍 콘트롤러로부터 클럭신호들을 수신하는 클럭신호 수신부와, 상기 적어도 하나의 스캔 펄스 출력부와, 상기 제 1 및 제 2 노드의 전압을 제어하는 노드 제어부가 차례로 배치되고, 상기 적어도 하나의 스캔 펄스 출력부는 스캔 펄스를 상기 OLED 표시 패널의 게이트 라인에 공급하기 위해 상기 게이트 라인에 전기적으로 연결되는 출력단을 포함하고, 상기 게이트 라인에 중첩되는 상기 제 1 노드가 상기 출력단까지 연장됨을 특징으로 한다.
- [0024] 상기 OLED 표시 패널은 상기 복수개의 데이터 라인과 평행한 방향으로 배열되는 복수개의 정전압 공급 라인 및 기준 전압 공급 라인을 더 구비하고, 상기 OLED 표시 패널은, 기관상에 동일한 방향으로 형성되는 상기 복수개의 데이터 라인과 상기 복수개의 정전압 공급 라인 및 기준 전압 공급 라인, 상기 데이터 라인과 상기 복수개의 정전압 공급 라인 및 기준 전압 공급 라인을 포함한 상기 기관 전면에 형성되는 버퍼층과, 상기 버퍼층 상에 상기 데이터 라인에 수직한 방향으로 형성되는 상기 복수개의 게이트 라인과, 상기 복수개의 게이트 라인을 포함한 상기 버퍼층 전면에 형성되는 층간 절연막과, 상기 층간 절연막 상에 상기 게이트 라인에 중첩되도록 형성되는 상기 제 1 노드를 포함함을 특징으로 한다.
- [0025] 상기 복수개의 데이터 라인과 복수개의 정전압 공급 라인 및 기준 전압 공급 라인은 상기 OLED 표시 패널의 광 차단층과 동일 물질로 형성되고, 상기 제 1 노드는 상기 OLED 표시 패널의 스위칭 TFT의 소오스/드레인 전극과 동일 물질로 형성됨을 특징으로 한다.

발명의 효과

- [0026] 상기와 같은 특징을 갖는 본 발명에 따른 OLED 표시 장치에 있어서는 다음과 같은 효과가 있다.
- [0027] 게이트 구동부의 GIP의 부트스트랩 커패시터를 OLED표시 패널의 표시 영역에 배치하므로 베젤 사이즈를 줄일 수 있다.
- [0028] 또한, 상기GIP 내부에 출력단을 길게 형성하고, 상기 출력단까지 연장하여 상기 GIP의 부트스트랩용 커패시터를 형성하므로, 상대적으로 OLED 표시 패널(1)의 표시 영역에서 상기 게이트 라인과 상기 제 1 노드(Q)의 중첩 영역을 줄일 수 있거나, 부트스트랩용 커패시터의 용량을 충분히 확보할 수 있다.

도면의 간단한 설명

- [0029] 도 1은 종래의 GIP의 구성 블록도
- 도 2는 도 1의 출력부의 회로적 구성도
- 도 3은 본 발명에 따른 OLED 표시 장치를 간략히 나타내는 구성도
- 도 4는 본 발명에 따른 게이트 구동부의 블록 구성도
- 도 5a는 종래의 OLED 표시 패널의 레이아웃도
- 도 5b는 도 5a의 게이트 라인 방향의 계략적인 단면도
- 도 6a는 본 발명에 따른 OLED 표시 패널의 레이아웃도
- 도 6b는 도 6a의 게이트 라인 방향의 계략적인 단면도
- 도 7은 종래의 각 GIP 내부의 구체적인 구성 블록도
- 도 8은 본 발명에 따른 GIP 내부의 구체적인 구성 블록도
- 도 9는 종래와 본 발명에 따른 OLED 표시 장치의 베젤 사이즈를 비교한 표

발명을 실시하기 위한 구체적인 내용

- [0030] 상기와 같은 특징을 갖는 본 발명에 따른 OLED 표시 장치를 첨부된 도면을 참조하여 보다 상세히 설명하면 다음

과 같다.

- [0031] 도 3은 본 발명에 따른 OLED 표시 장치를 간략히 나타내는 구성도이다.
- [0032] 본 발명에 따른 OLED 표시 장치는, 도 1에 도시한 바와 같이, OLED표시 패널(1), 게이트 구동부(2), 데이터 구동부(3) 및 타이밍 컨트롤러(4)를 포함하여 구성된다.
- [0033] 상기 OLED표시 패널(1)은 복수개의 게이트 라인들(GL)과 복수개의 데이터 라인들(DL)이 배치되고, 상기 복수개의 게이트 라인들(GL)과 복수개의 데이터 라인들(DL)의 교차 영역에 복수개의 서브 픽셀들(P)이 매트릭스 형태로 배열된다. 상기 복수개의 서브 화소들(P)은 상기 게이트 라인들(GL)로부터 공급되는 스캔 펄스(G)에 응답하여 상기 복수개의 데이터 라인들(DL)로부터 공급되는 영상 신호(데이터 전압)에 따른 영상을 표시한다.
- [0034] 상기 서브 화소(P)들은, 애노드 및 캐소드와 상기 애노드 및 캐소드 사이의 유기 발광층으로 구성된 OLED와, 상기 OLED를 독립적으로 구동하는 화소 회로를 구비한다.
- [0035] 상기 화소 회로는 다양하게 구성될 수 있으나, 적어도 하나의 스위칭 TFT, 커패시터 및 구동 TFT를 포함한다.
- [0036] 상기 적어도 하나의 스위칭 TFT는 스캔 펄스에 응답하여 데이터 전압을 상기 커패시터에 충전한다. 상기 구동 TFT는 상기 커패시터에 충전된 데이터 전압에 따라 OLED로 공급되는 전류량을 제어하여 OLED의 발광량을 조절한다.
- [0037] 이러한 상기 OLED표시 패널(1)은, 사용자에게 이미지를 제공하는 표시 영역(active area, AA)과 상기 표시영역(AA)의 주변 영역인 비표시 영역(non-active area, NA)으로 정의된다.
- [0038] 상기 게이트 구동부(2)는 GIP(gate in panel)형 게이트 드라이버로서, OLED표시 패널(1)의 비표시 영역에 배치된다.
- [0039] 이러한 게이트 구동부(2)는 상기 타이밍 컨트롤러(4)로부터 제공된 복수개의 게이트 제어 신호들(GCS)에 따라 각 게이트 라인들(GL)에 스캔 펄스(게이트 구동 신호, Vgout)를 순차적으로 공급하는 게이트 쉬프트 레지스터로 구성된다.
- [0040] 상기 복수개의 게이트 제어신호들(GCS)는 서로 다른 위상을 갖는 복수개의 클럭 신호(CLKs), 상기 게이트 구동부(2)의 구동 시작을 지시하는 게이트 스타트 신호(VST), 게이트 하이 전압(VGH) 및 게이트 로우 전압(VGL) 등을 포함한다.
- [0041] 상기 데이터 구동부(3)는 상기 타이밍 컨트롤러(4)로부터 입력되는 디지털 영상 데이터(RGB)를 기준 감마 전압을 이용하여 아날로그 데이터 전압으로 변환하고, 변환된 아날로그 데이터 전압을 상기 복수개의 데이터 라인들(DL)에 공급한다. 이러한 데이터 구동부(3)는 상기 타이밍 컨트롤러(4)로부터 제공된 복수개의 데이터 제어 신호들(DCS)에 따라 제어된다.
- [0042] 상기 타이밍 컨트롤러(4)는 외부로부터 입력되는 영상 데이터(RGB)를 표시 패널(1)의 크기 및 해상도에 맞게 정렬하여 상기 데이터 구동부(3)에 공급한다. 또한, 상기 타이밍 컨트롤러(4)는 외부로부터 입력되는 동기 신호(SYNC)들, 예를 들어 도트클럭(DCLK), 데이터 인에이블 신호(DE), 수평 동기신호(Hsync), 수직 동기신호(Vsync)를 이용하여 복수개의 게이트 제어신호들(GCS) 및 복수개의 데이터 제어신호들(DCS)를 생성하여 상기 게이트 구동부(2) 및 상기 데이터 구동부(3)에 각각 공급한다.
- [0043] 상기 게이트 구동부(2)는 상기 복수개의 게이트 라인들(GL) 각각에 스캔 펄스(게이트 구동 신호, Vgout)를 순차적으로 공급하기 위하여, 복수개의 스테이지(GIP)를 포함하여 구성된다.
- [0044] 본 발명은 하나의 GIP는 하나의 캐리 펄스 출력부와 적어도 하나의 스캔 펄스 출력부를 구비한다.
- [0045] 도4는 본 발명에 따른 게이트 구동부의 블록 구성도이다.
- [0046] 도 4에 도시한 바와 같이, 본 발명에 따른 게이트 구동부(2)는, 종속적으로 접속된 복수개의 스테이지(GIP)를 포함한다. 그리고, 각 스테이지(GIP)는 적어도 하나의 게이트 라인(GL)에 연결되어, 타이밍 컨트롤러(4)로부터 인가되는 상기 클럭신호(SCCLKs, CRCLKs), 상기 게이트 스타트 신호(VST), 상기 게이트 하이 전압(VGH) 및 상기 게이트 로우 전압(VGL)을 수신하여, 하나의 캐리 펄스(Carry pulse, COUT(n))와 적어도 하나의 스캔 펄스(Scan pulse; Vgout(n), Vgout(n+1))를 생성하는 출력부를 포함한다.
- [0047] 도 4에서는 각 GIP가 2개의 스캔 펄스를 출력함을 도시하였다. 하지만 이에 한정되지 않고, 각 GIP가 1개, 2개

또는 4개 등 다양한 개수의 스캔 펄스를 출력할 수 있다.

- [0048] 여기서, 각 스테이지(GIP)의 구성은 상기 도 1 및 도 2에서 설명한 바와 같이 구성된다. 그러나, 상기 제 1 및 제 2 스캔 펄스 출력부(202, 203) 각각에 형성되는 부트스트랩 제 1 및 제 2 커패시터(C1, C2)는 상기 각 스테이지(GIP)의 내부에 형성되지 않고, 상기 OLED표시 패널(1)의 표시 영역(active area, AA)에 배치된다.
- [0049] 도 2와 같이 구성된 출력부(200)에서, 상기 제 1 및 제 2 스캔 펄스 출력부(202, 203)는 제 1 스캔 펄스(Vout(n)) 및 제 2 스캔 펄스(Vout(n+1))를 해당 게이트 라인에 공급하기 위하여, 상기 제 1 및 제 2 스캔 펄스 출력부(202, 203)의 출력단은 각각 상기 OLED표시 패널(1)의 표시 영역(A/A)에 배치되는 해당 게이트 라인에 연결된다.
- [0050] 그리고, 도 2에 도시한 바와 같이, 상기 부트스트랩 제 1 커패시터(C1)는 상기 제 2 풀업 트랜지스터(Tp1)의 게이트 전극과 소오스 전극 사이에 연결되고, 상기 부트스트랩 제 2 커패시터(C2)는 상기 제 3 풀업 트랜지스터(Tp2)의 게이트 전극과 소오스 전극 사이에 연결된다.
- [0051] 상기의 연결 관계를 더 넓게 확장하면, 상기 제 2 풀업 트랜지스터(Tp1)의 게이트 전극은 상기 제 1 노드(Q)와 연결되고, 상기 제 2 풀업 트랜지스터(Tp1)의 소오스 전극은 상기 제 1 스캔 펄스 출력부(202)의 출력단을 통해 상기 OLED표시 패널(1)의 표시 영역에 형성되는 해당 게이트 라인에 연결된다.
- [0052] 마찬가지로, 상기 제 3 풀업 트랜지스터(Tp2)의 게이트 전극은 상기 제 1 노드(Q)와 연결되고, 상기 제 3 풀업 트랜지스터(Tp2)의 소오스 전극은 상기 제 2 스캔 펄스 출력부(203)의 출력단을 통해 상기 OLED표시 패널(1)의 표시 영역에 형성되는 해당 게이트 라인에 연결된다.
- [0053] 따라서, 상기 OLED표시 패널(1)의 표시 영역에 형성되는 해당 게이트 라인 상에 상기 제 1 노드(Q)를 중첩하면, 상기 GIP의 상기 부트스트랩용 제 1 및 제 2 커패시터(C1, C2)를 상기 OLED표시 패널(1)의 표시 영역에 형성할 수 있다.
- [0054] 이를 구체적으로 설명하면 다음과 같다.
- [0055] 도 5a는 종래의 OLED 표시 패널의 레이아웃도이고, 도 5b는 도 5a의 게이트 라인 방향의 계략적인 단면도이다.
- [0056] 종래의 OLED 표시 패널(1)은, 도 5a에 도시한 바와 같이, 수직한 방향으로 배열되는 복수개의 정전압 공급 라인(EVDD) 및 복수개의 데이터 라인(Data)과, 수평한 방향으로 배열되는 복수개의 게이트 라인(Gate)과, 상기 각 게이트 라인과 각 데이터 라인이 교차되어 정의되는 화 영역에 배치되는 복수개의 서브 화소들(P)을 구비한다. 도 5a에서는 서브 화소가 3T1C 구조를 가짐을 도시한 것으로, 복수개의 기준 전압 공급 라인(Vref)이 상기 정전압 공급 라인(EVDD)과 상기 데이터 라인(Data)에 평행하게 수직한 방향으로 더 배열됨을 도시하였다.
- [0057] 이와 같이 구성된 종래의 OLED 표시 패널(1)의 단면 구조는, 도 5b에 도시한 바와 같이, 기판(Substrate)상에 버퍼층(Buffer)이 형성되고, 상기 버퍼층(Buffer) 상에 수평 방향으로 게이트 라인(Gate)이 형성된다.
- [0058] 상기 게이트 라인(Gate)을 포함한 상기 버퍼층 전면에는 층간 절연막(ILD)이 형성되고, 상기 층간 절연막(ILD) 상에 수직한 방향으로 정전압 공급 라인(EVDD), 데이터 라인(Data) 및 기준 전압 공급 라인(Vref)이 형성된다.
- [0059] 본 발명에 따른 OLED 표시 패널을 설명하면 다음과 같다.
- [0060] 도 6a는 본 발명에 따른 OLED 표시 패널의 레이아웃도이고, 도 6b는 도 6a의 게이트 라인 방향의 계략적인 단면도이다.
- [0061] 본 발명에 따른 OLED 표시 패널(1)은, 도 6a에 도시한 바와 같이, 수직한 방향으로 배열되는 복수개의 정전압 공급 라인(EVDD) 및 복수개의 데이터 라인(Data)과, 수평한 방향으로 배열되는 복수개의 게이트 라인(Gate)과, 상기 각 게이트 라인과 각 데이터 라인이 교차되어 정의되는 화 영역에 배치되는 복수개의 서브 화소들(P)을 구비한다. 그리고, 상기 게이트 구동부(2)와 인접한 상기 OLED 표시 패널(1)의 게이트 라인(Gate) 상측에, 층간 절연막을 사이에 두고, 상기 게이트 라인과 중첩되도록 GIP의 제 1 노드(Q node)를 배치한다.
- [0062] 도 6a에서는 서브 화소가 3T1C 구조를 가짐을 도시한 것으로, 복수개의 기준 전압 공급 라인(Vref)이 상기 정전압 공급 라인(EVDD)과 상기 데이터 라인(Data)에 평행하게 수직한 방향으로 더 배열됨을 도시하였다.
- [0063] 상기 각 서브 화소(P)는 OLED와 상기OLED를 독립적으로 구동하는 화소 회로를 구비한다. 그리고 상기 화소 회로는 다양하게 구성될 수 있으나, 적어도 하나의 스위칭 TFT, 커패시터 및 구동 TFT를 포함한다. 즉, 상기 화소 회로는 2T1C, 3T1C, 4T1C, 4T2C 등 다양하게 구성될 수 있다.

- [0064] 이와 같이 구성된 본 발명에 따른 OLED 표시 패널(1)의 단면 구조는, 도 6b에 도시한 바와 같이, 기판 (Substrate)상에 수직인 방향으로 정전압 공급 라인(EVDD), 데이터 라인(Data) 및 기준 전압 공급 라인(Vref)이 형성된다.
- [0065] 그리고, 상기 정전압 공급 라인(EVDD), 상기 데이터 라인(Data) 및 상기 기준 전압 공급 라인(Vref)을 포함한 기판 전면에서 버퍼층(Buffer)이 형성되고, 상기 버퍼층(Buffer) 상에 수평 방향으로 게이트 라인(Gate)이 형성된다.
- [0066] 상기 게이트 라인(Gate)을 포함한 상기 버퍼층 전면에서 층간 절연막(ILD)이 형성되고, 상기 층간 절연막(ILD) 상에 상기 게이트 라인(Gate)에 중첩되도록 GIP의 제 1 노드(Q-node)가 형성된다.
- [0067] 이와 같이 상기 게이트 라인(Gate)과 GIP의 제 1 노드(Q-node)가 절연막을 사이에 두고 중첩되어, 상기 GIP의 부트스트랩용 커패시터가 형성된다.
- [0068] 도 5b와 도 6b를 비교하면, 종래에는 상기 게이트 라인(Gate) 상측에 상기 정전압 공급 라인(EVDD), 상기 데이터 라인(Data) 및 상기 기준 전압 공급 라인(Vref)을 형성하였다.
- [0069] 하지만, 본 발명에서는 상기 게이트 라인(Gate) 상에 상기 부트스트랩용 커패시터를 형성하기 위하여, 상기 게이트 라인(Gate) 하측에 상기 정전압 공급 라인(EVDD), 상기 데이터 라인(Data) 및 상기 기준 전압 공급 라인(Vref)을 형성하고, 상기 게이트 라인(Gate) 상측에 GIP의 제 1 노드(Q-node)층을 형성한다.
- [0070] 따라서, 본 발명에 따른 OLED 표시 장치의 OLED 표시 패널(1)에서는, 상기 정전압 공급 라인(EVDD), 상기 데이터 라인(Data) 및 상기 기준 전압 공급 라인(Vref) 등은 OLED 표시 패널의 광 차단층(Light shielding layer)과 동일한 물질로 형성되고, 상기 제 1 노드(Q)는 상기 화소 회로를 구성하는 스위칭 TFT의 소오스/드레인 전극과 동일한 물질로 형성된다.
- [0071] 도 6a 및 6b에서는 하나의 부트스트랩용 커패시터를 도시하였지만, 상기 제 1 및 제 2 스캔 펄스 출력부(202, 203)에 의해 스캔 펄스가 인가되는 해당 게이트 라인에 각각 중첩되도록 제 1 노드(Q-node)를 형성하면, 상기 제 1 및 제 2 스캔 펄스 출력부(202, 203)의 상기 부트스트랩용 제 1 및 제 2 커패시터(C1, C2)를 형성할 수 있다.
- [0072] 상기에서 설명한 바와 같이, 상기 게이트 구동부(2)가 GIP(gate in panel)형 태로 상기 OLED표시 패널(1)의 비 표시 영역에 배치되며, 상기 제 1 및 제 2 스캔 펄스 출력부(202, 203)의 상기 부트스트랩용 제 1 및 제 2 커패시터(C1, C2)는 상기 게이트 구동부(2)에 인접한 상기 OLED표시 패널(1)의 표시 영역에 형성된다.
- [0073] 한편, 다른 실시예로, 각 GIP의 출력부와 상기 게이트 구동부(2)에 인접한 상기 OLED표시 패널(1)의 표시 영역에 걸쳐 상기 제 1 및 제 2 스캔 펄스 출력부(202, 203)의 상기 부트스트랩용 제 1 및 제 2 커패시터(C1, C2)를 형성할 수 있다.
- [0074] 도 7은 종래의 각 GIP 내부의 구체적인 구성 블록도이고, 도 8은 본 발명에 따른 GIP 내부의 구체적인 구성 블록도이다.
- [0075] 상기 게이트 구동부(2)가 GIP형태로 상기 OLED표시 패널(1)의 비표시 영역에 배치되므로, 종래의 GIP 내부의 구성은, 도 7에 도시한 바와 같이, 외곽쪽에서 상기 OLED표시 패널(1)의 표시 영역(A/A) 쪽으로, 상기 타이밍 콘트롤러(4)로부터 상기 클럭신호(SCCLKs, CRCLKs)들을 수신하는 클럭신호 수신부(CLK)와, 도 1에서 설명한 바와 같이 제 1 및 제 2 노드(Q, Qb)의 전압을 제어하는 노드 제어부(Logic, 100)와, 상기 제 1 및 제 2 노드(Q, Qb)의 전압 레벨에 따라 상기 스캔 펄스((Vgout(n), Vgout(n+1))) 및 상기 캐리 펄스(COUT(n))를 출력하는 출력부(Output, 200)가 차례로 배치된다.
- [0076] 여기서, 상기 제 1 및 제 2 스캔 펄스 출력부(202, 203)의 부트스트랩용 제 1 및 제 2 커패시터(Cap. B; C1, C2)는 상기 노드 제어부(Logic)와 출력부(Output) 사이에 배치된다.
- [0077] 그러나, 본 발명에 따른 GIP 내부의 구성은, 도 8에 도시한 바와 같이, 외곽쪽에서 상기 OLED표시 패널(1)의 표시 영역(A/A) 쪽으로, 상기 클럭신호 수신부(CLK), 상기 출력부(Output), 및 노드 제어부(Logic)가 차례로 배치된다.
- [0078] 이와 같이, 본 발명에 따른 GIP 내부의 구성은, 종래의 구성에 비해, 상기 출력부(Output)를 상기 OLED 표시 패널(1)의 표시 영역으로부터 멀리 배치하여, 상기 OLED표시 패널(1)의 게이트 라인과 연결되는 상기 출력부

(Output)의 출력단을 GIP 내부에 길게 형성한다.

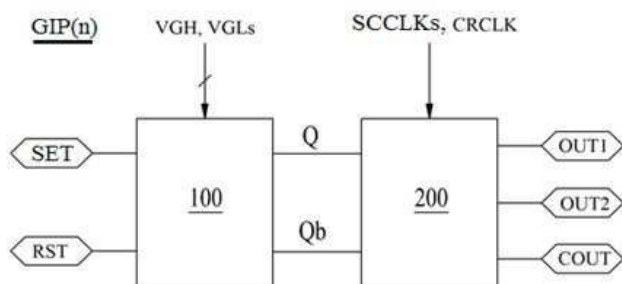
- [0079] 그리고, 상기 6a 및 6b에서 설명한 바와 같이, 상기 게이트 라인(Gate)과 GIP의 제 1 노드(Q-node)를 중첩하여 상기 OLED 표시 패널(1)의 표시 영역내에 상기 GIP의 부트스트랩용 커패시터를 형성할 때, 상기 GIP의 제 1 노드(Q node)를 상기GIP 내부에 길게 형성된 상기 출력부(Output)의 출력단까지 연장하여 상기 GIP의 부트스트랩용 커패시터를 형성할 수 있다.
- [0080] 이와 같이 상기GIP 내부에 길게 형성된 상기 출력부(Output)의 출력단까지 연장하여 상기 GIP의 부트스트랩용 커패시터를 형성하면, 상대적으로 OLED 표시 패널(1)의 표시 영역에서 상기 게이트 라인과 상기 제 1 노드(Q)의 중첩 영역을 줄일 수 있거나, 부트스트랩용 커패시터의 용량을 충분히 확보할 수 있다.
- [0081] 이상에서 설명한 바와 같이, 본 발명에 따른 OLED 표시 장치는 상기 게이트 구동부(2)의 GIP의 부트스트랩 커패시터를 상기 OLED표시 패널(1)의 표시 영역에 배치하므로 베젤 사이즈를 줄일 수 있다.
- [0082] 도 9는 종래와 본 발명에 따른 OLED 표시 장치의 베젤 사이즈를 비교한 표이다.
- [0083] 도 9는 2개의 모델(13.3 FHD (166ppi), 55 UHD (80ppi))에서 종래와 본 발명에 따른 OLED 표시 장치의 베젤 사이즈를 비교한 것이다.
- [0084] 도 9에 도시한 바와 같이, 본 발명은 종래보다 부트스트랩 커패시터 용량을 더 크게함에도 불구하고, 종래보다 베젤 사이즈를 줄일 수 있다.
- [0085] 즉, 13.3 FHD (166ppi) 모델에서, 본 발명은 종래보다 베젤 사이즈를 0.9mm줄일 수 있고, 55 UHD (80ppi) 모델에서, 본 발명은 종래보다 베젤 사이즈를 0.6mm줄일 수 있다.
- [0086] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

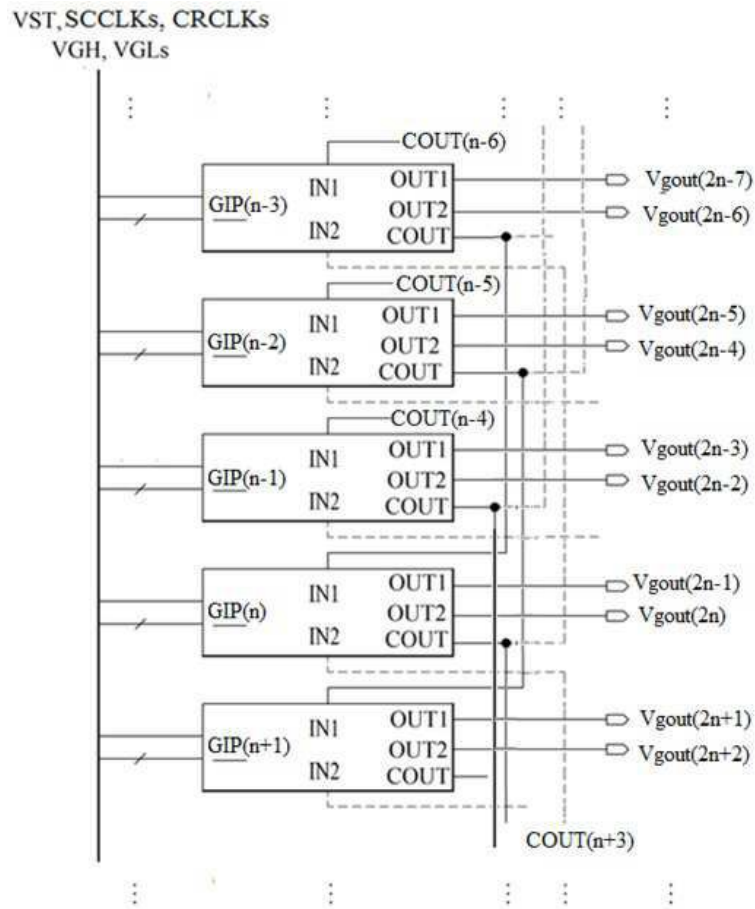
- [0087] 1: OLED 표시 패널 2: 게이트 구동부
- 3: 데이터 구동부 4: 타이밍 콘트롤러

도면

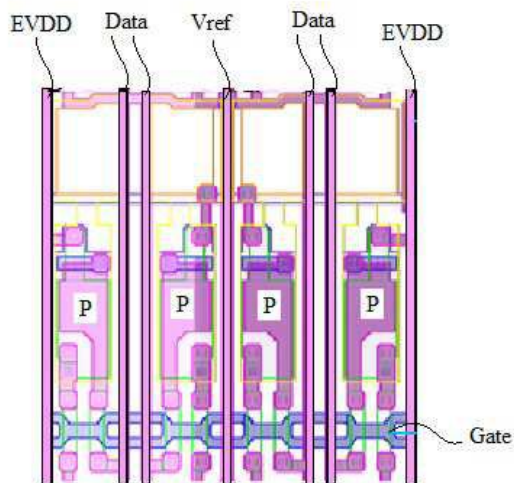
도면1



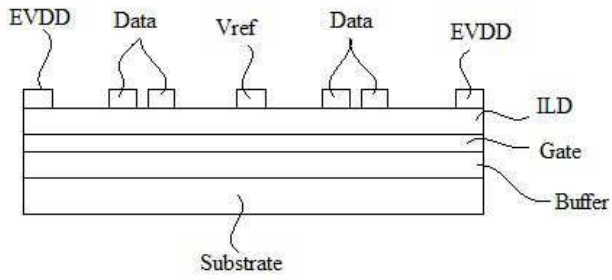
도면4



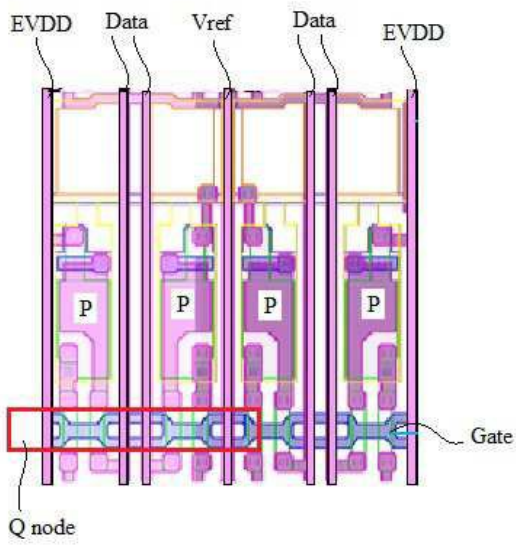
도면5a



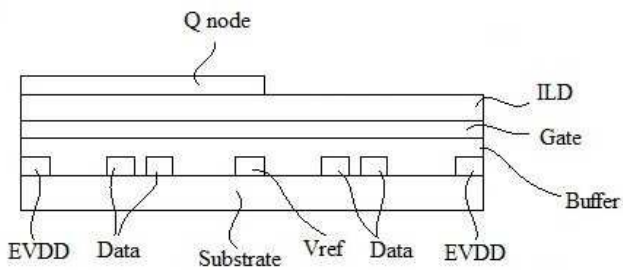
도면5b



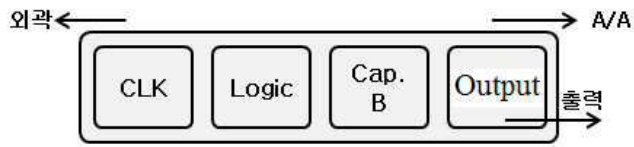
도면6a



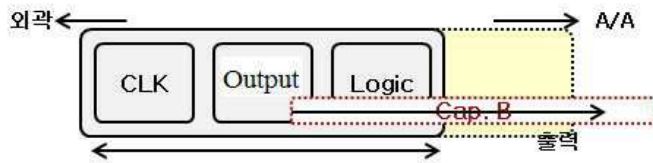
도면6b



도면7



도면8



도면9

구분	13.3"FHD (166ppi)		55"UHD (80ppi)	
	종래	본 발명	종래	본 발명
Bootstrap Cap. (fF)	4,000	4,115	5,000	5,136
S/D 배선 Width (μm)	5	←	6.5	←
Cap. 수평 Length (mm)	0.85	10.74	0.52	11.34
Bezel 내 Cap. 점유 (mm)	0.85	0	0.52	0
Bezel Size (mm)	7.2	6.3	5.5	4.9
비고	-	PXL~70ea	-	PXL~36ea

专利名称(译)	OLED显示屏		
公开(公告)号	KR1020190023686A	公开(公告)日	2019-03-08
申请号	KR1020170109828	申请日	2017-08-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김경민 한인호 노석		
发明人	김경민 한인호 노석		
IPC分类号	G09G3/3266 H01L27/32		
CPC分类号	G09G3/3266 H01L27/3258 H01L27/3262 H01L27/3276 G09G2300/0408 G09G2300/0426 G09G2310/08 G09G3/3208 G09G3/3291 G09G2310/0286 G09G2300/0439		
代理人(译)	Bakyoungbok		
外部链接	Espacenet		

摘要(译)

根据本发明的OLED显示装置包括非显示区域和显示区域，在显示区域中布置多条栅极线和多条数据线，并且在每条栅极线和数据线的相交区域中的多个子像素。显示面板，具有以矩阵形式布置的OLED显示面板和设置在OLED显示面板的非显示区域中以向多个栅极线提供扫描脉冲的栅极驱动器，OLED显示面板的显示区域；自举电容器被布置为防止栅极驱动器的扫描脉冲输出的损失。

