



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0026610
(43) 공개일자 2018년03월13일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 27/12 (2006.01)
H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/1225 (2013.01)
(21) 출원번호 10-2016-0113445
(22) 출원일자 2016년09월02일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김재범
서울특별시 서초구 남부순환로 2183 201동 1301호
(방배동, 방배래미안타워)
김억수
서울특별시 서초구 현릉로8길 10-12 101동 903호
(신원동, 서초엠코타운젠트리스)
(뒷면에 계속)
(74) 대리인
특허법인 고려

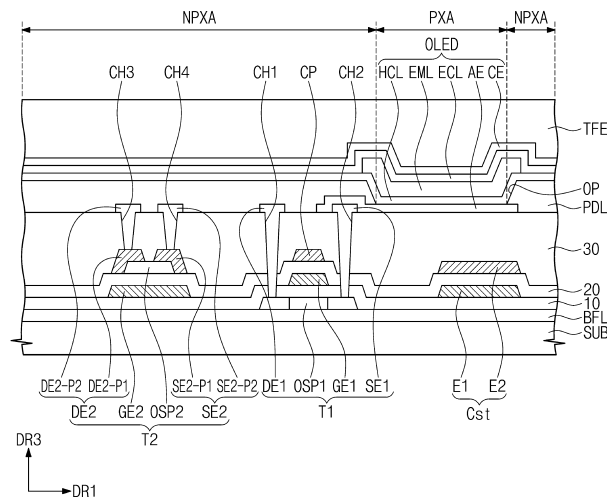
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시장치 및 그 제조방법

(57) 요약

표시장치는 베이스 기판, 제1 박막 트랜지스터, 제2 박막 트랜지스터, 유기발광 다이오드 및 상기 제1 박막 트랜지스터에 전기적으로 연결된 커패시터를 포함한다. 제1 박막 트랜지스터는 제1 중간 절연층 하측에 배치된 제1 반도체 패턴 및 상기 제1 중간 절연층 상측에 배치되고 제2 중간 절연층 하측에 배치된 제1 제어 전극을 포함하고, 제2 박막 트랜지스터는 상기 제1 중간 절연층 상측에 배치되고, 상기 제2 중간 절연층 하측에 배치된 제2 제어 전극 및 상기 제2 중간 절연층 상측에 배치된 제2 반도체 패턴을 포함한다.

대표도 - 도5



(52) CPC특허분류

H01L 27/1251 (2013.01)
H01L 27/1288 (2013.01)
H01L 27/3223 (2013.01)
H01L 27/3265 (2013.01)
H01L 27/3272 (2013.01)
H01L 27/3276 (2013.01)
H01L 51/56 (2013.01)
H01L 2227/323 (2013.01)

(72) 발명자

손경석

서울특별시 성동구 마장로 137 (상왕십리동 , 텐즈
힐 경비실2) 텐즈힐 201동 1601호

임준형

서울특별시 서초구 방배중앙로 207-10 104동 2501
호 (방배동, 대림아크로리버)

임지훈

경기도 고양시 덕양구 지도로103번길 48 102동
1002호 (토당동, 풍림아이원아파트)

명세서

청구범위

청구항 1

베이스 기판;

제1 입력 전극, 제1 출력 전극, 제1 중간 절연층 하측에 배치된 제1 반도체 패턴, 및 상기 제1 중간 절연층 상측에 배치되고 제2 중간 절연층 하측에 배치된 제1 제어 전극을 포함하며, 상기 베이스 기판 상에 배치된 제1 박막 트랜지스터;

제2 입력 전극, 제2 출력 전극, 상기 제1 중간 절연층 상측에 배치되고 상기 제2 중간 절연층 하측에 배치된 제2 제어 전극, 및 상기 제2 중간 절연층 상측에 배치된 제2 반도체 패턴을 포함하며, 상기 베이스 기판 상에 배치된 제2 박막 트랜지스터;

상기 제2 제어전극 상측에 배치된 적어도 하나의 상부 절연층의 상측에 배치된 발광 다이오드; 및

상기 제1 박막 트랜지스터에 전기적으로 연결된 커패시터를 포함하는 표시장치.

청구항 2

제1 항에 있어서,

상기 제1 반도체 패턴은 폴리 실리콘을 포함하고, 상기 제2 반도체 패턴은 산화물 반도체를 포함하는 표시장치.

청구항 3

제2 항에 있어서,

상기 산화물 반도체는 수직 결정들을 포함하는 표시장치.

청구항 4

제1 항에 있어서,

상기 제2 입력 전극과 상기 제2 출력 전극 각각은,

상기 제2 반도체 패턴에 접촉하는 하측부분; 및

상기 적어도 하나의 상부 절연층 상에 배치되고 상기 적어도 하나의 상부 절연층을 관통하는 제1 콘택홀을 통해 상기 하측부분에 연결된 상측부분을 포함하는 표시장치.

청구항 5

제4 항에 있어서,

상기 제1 입력 전극과 상기 제1 출력 전극 각각은,

상기 적어도 하나의 상부 절연층 상에 배치되고, 상기 제1 중간 절연층, 상기 제2 중간 절연층, 및 상기 적어도 하나의 상부 절연층을 관통하는 제2 콘택홀을 통해 상기 제1 반도체 패턴에 연결된 표시장치.

청구항 6

제4 항에 있어서,

상기 커패시터는,

상기 제1 제어전극과 동일한 층 상에 배치된 제1 전극; 및

상기 하측부분과 동일한 층 상에 배치된 제2 전극을 포함하고,

상기 제1 전극과 상기 제2 전극 사이에 상기 제2 중간 절연층이 배치된 표시장치.

청구항 7

제6 항에 있어서,

상기 제2 전극과 상기 제2 중간 절연층 사이에 배치된 더미 반도체 패턴을 더 포함하는 표시장치.

청구항 8

제7 항에 있어서,

상기 더미 반도체 패턴과 상기 제2 반도체 패턴은 동일한 반도체 물질을 포함하는 표시장치.

청구항 9

제4 항에 있어서,

상기 제2 입력 전극의 상기 하측부분과 상기 제2 출력 전극의 상기 하측부분은 상기 제2 반도체 패턴 상에서 제 1 방향으로 이격되어 배치되며,

상기 제2 입력 전극의 상기 하측부분과 상기 제2 출력 전극의 상기 하측부분은 평면 상에서 상기 제2 반도체 패턴의 내측에 배치된 표시장치.

청구항 10

제9 항에 있어서,

상기 제2 입력 전극의 상기 하측부분의 외측면은 상기 제2 반도체 패턴의 제1 외측면과 정렬되고,

상기 제2 출력 전극의 상기 하측부분의 외측면은 상기 제2 반도체 패턴의 제2 외측면과 정렬되고,

상기 제2 반도체 패턴의 상기 제1 외측면과 상기 제2 반도체 패턴의 상기 제2 외측면은 상기 제1 방향에서 마주하는 표시장치.

청구항 11

제4 항에 있어서,

상기 제1 제어 전극과 중첩하고, 상기 제2 중간 절연층 상에 배치된 도전패턴을 더 포함하는 표시장치.

청구항 12

제11 항에 있어서,

상기 도전패턴은 상기 커패시터의 상기 제2 중간 절연층 상에 배치된 하나의 전극과 연결된 표시장치.

청구항 13

제11 항에 있어서,

상기 도전패턴과 상기 제2 중간 절연층 사이에 배치된 더미 반도체 패턴을 더 포함하는 표시장치.

청구항 14

제13 항에 있어서,

상기 더미 반도체 패턴과 상기 제2 반도체 패턴은 동일한 반도체 물질을 포함하는 표시장치.

청구항 15

제13 항에 있어서,

상기 하측부분에 중첩하는 상기 제2 반도체 패턴의 일부분은 도펀트로 도핑되고,

상기 더미 반도체 패턴은 상기 제2 반도체 패턴의 상기 일부분과 동일한 도펀트로 도핑된 표시장치.

청구항 16

제1 항에 있어서,

상기 제2 박막 트랜지스터는 상기 제2 제어 전극에 전기적으로 연결되고, 상기 적어도 하나의 상부 절연층 상에 배치된 제3 제어 전극을 더 포함하는 표시장치.

청구항 17

베이스 기판 상에 제1 반도체 패턴을 형성하는 단계;

베이스 기판 상에 상기 제1 반도체 패턴을 커버하는 제1 중간 절연층을 형성하는 단계;

상기 제1 중간 절연층 상에 상기 제1 반도체 패턴과 중첩하는 제1 제어 전극 및 상기 제1 반도체 패턴과 비중첩하는 제2 제어 전극을 형성하는 단계;

상기 제1 중간 절연층 상에 상기 제1 제어 전극 및 상기 제2 제어 전극을 커버하는 제2 중간 절연층을 형성하는 단계;

상기 제2 중간 절연층 상에 상기 제2 제어 전극과 중첩하는 제2 반도체 패턴 및 상기 제2 반도체 패턴에 연결된 제2 입력 전극의 하측부분 및 제2 출력 전극의 하측부분을 형성하는 단계;

상기 제2 중간 절연층 상에 적어도 하나의 상부 절연층을 형성하는 단계;

상기 상부 절연층 상에 상기 제2 입력 전극의 하측부분 및 상기 제2 출력 전극의 하측부분에 각각 연결된 상기 제2 입력 전극의 상측부분 및 상기 제2 출력 전극의 상측부분을 형성하는 단계;

상기 상부 절연층 상에 상기 제1 반도체 패턴과 연결된 제1 입력 전극 및 제1 출력 전극을 형성하는 단계; 및

상기 적어도 하나의 상부 절연층 상에 발광 다이오드를 형성하는 단계를 포함하는 표시장치의 제조방법.

청구항 18

제17 항에 있어서,

상기 제2 반도체 패턴, 상기 제2 입력 전극의 상기 하측부분 및 상기 제2 출력 전극의 상기 하측부분을 형성하는 단계는,

상기 제2 중간 절연층 상에 반도체층을 형성하는 단계;

상기 반도체층 상에 도전층을 형성하는 단계; 및

상기 제2 입력 전극의 상기 하측부분에 대응하는 제1 차광부분, 상기 제2 출력 전극의 상기 하측부분에 대응하는 제2 차광부분, 및 상기 제1 차광부분과 상기 제2 차광부분 사이에 배치된 반투과부분을 포함하는 하프톤 마스크를 이용하여 상기 반도체층과 상기 도전층을 식각하는 단계를 포함하는 표시장치의 제조방법.

청구항 19

제17 항에 있어서,

상기 제2 중간 절연층 상에 상기 제1 제어 전극과 중첩하는 더미 반도체 패턴을 형성하는 단계; 및

상기 더미 반도체 패턴 상에 도전패턴을 형성하는 단계를 더 포함하는 표시장치의 제조방법.

청구항 20

제17 항에 있어서,

상기 적어도 하나의 상부 절연층 상에 상기 제2 제어 전극과 연결된 제3 제어 전극을 형성하는 단계 더 포함하는 표시장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 표시장치 및 그 제조방법에 관한 것으로, 박막 트랜지스터들을 구비한 표시장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 표시장치는 복수 개의 화소들 및 복수 개의 화소들을 제어하는 구동회로(예컨대, 주사 구동회로 및 데이터 구동회로)를 포함한다. 복수 개의 화소들 각각은 표시소자 및 표시소자를 제어하는 화소의 구동회로를 포함한다. 화소의 구동회로는 유기적으로 연결된 복수 개의 박막 트랜지스터들을 포함할 수 있다.

[0003] 주사 구동회로 및/또는 데이터 구동회로는 복수 개의 화소들과 동일한 공정을 통해 형성될 수 있다. 이러한 구동회로들은 유기적으로 연결된 복수 개의 박막 트랜지스터들을 포함할 수 있다.

[0004] 화소의 구동회로 박막 트랜지스터들은 구동 타이밍에 따라 서로 다른 바이어스 전압이 각각의 제어 전극, 입력 전극, 및 출력 전극에 인가된다. 주사 구동회로 및/또는 데이터 구동회로의 박막 트랜지스터들 역시 구동 타이밍에 따라 서로 다른 바이어스 전압이 각각의 제어 전극, 입력 전극, 및 출력 전극에 인가된다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 동작 특성이 향상된 박막 트랜지스터들을 포함하는 표시장치를 제공하는 것이다.

[0006] 본 발명의 목적은 박막 트랜지스터들을 포함하는 표시장치의 제조방법을 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 따른 표시장치는 베이스 기판 상에 배치된 제1 박막 트랜지스터, 제2 박막 트랜지스터, 발광 다이오드 및 상기 제1 박막 트랜지스터에 전기적으로 연결된 커패시터를 포함한다. 상기 제1 박막 트랜지스터는 제1 입력 전극, 제1 출력 전극, 제1 반도체 패턴, 및 제1 제어 전극을 포함한다. 제1 반도체 패턴은 제1 중간 절연층 하측에 배치된다. 제1 제어 전극은 상기 제1 중간 절연층 상측에 배치되고 제2 중간 절연층 하측에 배치된다. 상기 제2 박막 트랜지스터는 제2 입력 전극, 제2 출력 전극, 제2 반도체 패턴, 및 제2 제어 전극을 포함한다. 상기 제2 제어 전극은 상기 제1 중간 절연층 상측에 배치되고 상기 제2 중간 절연층 하측에 배치된다. 상기 제2 반도체 패턴은 상기 제2 중간 절연층 상측에 배치된다. 상기 발광 다이오드는 상기 제2 제어 전극 상측에 배치된다. 상기 커패시터는 상기 제1 박막 트랜지스터에 전기적으로 연결된다. 상기 산화물 반도체는 수직 결정들을 포함할 수 있다.

[0008] 상기 제2 입력 전극과 상기 제2 출력 전극 각각은, 상기 제2 반도체 패턴에 접촉하는 하측부분 및 상기 적어도 하나의 상부 절연층 상에 배치되고 상기 적어도 하나의 상부 절연층을 관통하는 제1 콘택홀을 통해 상기 하측부분에 연결된 상측부분을 포함할 수 있다.

[0009] 상기 제1 입력 전극과 상기 제1 출력 전극 각각은, 상기 적어도 하나의 상부 절연층 상에 배치되고, 상기 제1 중간 절연층, 상기 제2 중간 절연층, 및 상기 적어도 하나의 상부 절연층을 관통하는 제2 콘택홀을 통해 제1 반도체 패턴에 연결될 수 있다.

[0010] 상기 커패시터는, 상기 제1 제어전극과 동일한 층 상에 배치된 제1 전극 및 상기 하측부분과 동일한 층 상에 배치된 제2 전극을 포함할 수 있다. 상기 제1 전극과 상기 제2 전극 사이에 상기 제2 중간 절연층이 배치될 수 있다.

[0011] 상기 제2 전극과 상기 제2 중간 절연층 사이에 배치된 더미 반도체 패턴을 더 포함할 수 있다.

[0012] 상기 더미 반도체 패턴과 상기 제2 반도체 패턴은 동일한 반도체 물질을 포함할 수 있다.

[0013] 상기 제2 입력 전극의 상기 하측부분과 상기 제2 출력 전극의 상기 하측부분은 상기 제2 반도체 패턴 상에서 제1 방향으로 이격되어 배치되며, 상기 제2 입력 전극의 상기 하측부분과 상기 제2 출력 전극의 상기 하측부분은 평면 상에서 상기 제2 반도체 패턴의 내측에 배치될 수 있다.

[0014] 상기 제2 입력 전극의 상기 하측부분의 외측면은 상기 제2 반도체 패턴의 제1 외측면과 정렬되고, 상기 제2 출

력 전극의 상기 하측부분의 외측면은 상기 제2 반도체 패턴의 제2 외측면과 정렬되고, 상기 제2 반도체 패턴의 상기 제1 외측면과 상기 제2 반도체 패턴의 상기 제2 외측면은 상기 제1 방향에서 마주할 수 있다.

[0015] 상기 제1 제어 전극과 중첩하고, 상기 제2 중간 절연층 상에 배치된 도전패턴을 더 포함할 수 있다.

[0016] 상기 도전패턴은 상기 커패시터의 상기 제2 중간 절연층 상에 배치된 하나의 전극과 연결될 수 있다.

[0017] 상기 도전패턴과 상기 제2 중간 절연층 사이에 배치된 더미 반도체 패턴을 더 포함할 수 있다.

[0018] 상기 더미 반도체 패턴과 상기 제2 반도체 패턴은 동일한 반도체 물질을 포함할 수 있다..

[0019] 상기 하측부분에 중첩하는 상기 제2 반도체 패턴의 일부분은 도펀트로 도핑되고, 상기 더미 반도체 패턴은 상기 제2 반도체 패턴의 상기 일부분과 동일한 도펀트로 도핑될 수 있다.

[0020] 상기 제2 박막 트랜지스터는 상기 제2 제어 전극에 전기적으로 연결되고, 상기 적어도 하나의 상부 절연층 상에 배치된 제3 제어 전극을 더 포함할 수 있다.

[0021] 본 발명의 일 실시예에 따른 표시장치의 제조방법은 베이스 기판 상에 제1 반도체 패턴을 형성하는 단계, 베이스 기판 상에 상기 제1 반도체 패턴을 커버하는 제1 중간 절연층을 형성하는 단계, 상기 제1 중간 절연층 상에 상기 제1 반도체 패턴과 중첩하는 제1 제어 전극 및 상기 제1 반도체 패턴과 비중첩하는 제2 제어 전극을 형성하는 단계, 상기 제1 중간 절연층 상에 상기 제1 제어 전극 및 상기 제2 제어 전극을 커버하는 제2 중간 절연층을 형성하는 단계, 상기 제2 중간 절연층 상에 상기 제2 제어 전극과 중첩하는 제2 반도체 패턴 및 상기 제2 반도체 패턴에 연결된 제2 입력 전극의 하측부분 및 제2 출력 전극의 하측부분을 형성하는 단계, 상기 제2 중간 절연층 상에 적어도 하나의 상부 절연층을 형성하는 단계, 상기 상부 절연층 상에 상기 제2 입력 전극의 하측부분 및 상기 제2 출력 전극의 하측부분에 각각 연결된 상기 제2 입력 전극의 상측부분 및 상기 제2 출력 전극의 상측부분을 형성하는 단계, 상기 상부 절연층 상에 상기 제1 반도체 패턴과 연결된 제1 입력 전극 및 제1 출력 전극을 형성하는 단계 및 상기 적어도 하나의 상부 절연층 상에 발광 다이오드를 형성하는 단계를 포함할 수 있다.

[0022] 상기 제2 반도체 패턴, 상기 제2 입력 전극의 상기 하측부분 및 상기 제2 출력 전극의 상기 하측부분을 형성하는 단계는, 상기 제2 중간 절연층 상에 반도체층을 형성하는 단계, 상기 반도체층 상에 도전층을 형성하는 단계, 및 상기 제2 입력 전극의 상기 하측부분에 대응하는 제1 차광부분, 상기 제2 출력 전극의 상기 하측부분에 대응하는 제2 차광부분, 및 상기 제1 차광부분과 상기 제2 차광부분 사이에 배치된 반투과부분을 포함하는 하프톤 마스크를 이용하여 상기 반도체층과 상기 도전층을 식각하는 단계를 포함할 수 있다.

[0023] 본 발명의 일 실시예에 따른 표시장치의 제조방법은 상기 제2 중간 절연층 상에 상기 제1 제어 전극과 중첩하는 더미 반도체 패턴을 형성하는 단계 및 상기 더미 반도체 패턴 상에 도전패턴을 형성하는 단계를 더 포함할 수 있다.

[0024] 상기 적어도 하나의 상부 절연층 상에 상기 제2 제어 전극과 연결된 제3 제어 전극을 형성하는 단계 더 포함할 수 있다.

발명의 효과

[0025] 상술한 바에 따르면, 데이터 신호를 출력하는 제2 박막 트랜지스터의 게이트 절연층 기능을 갖는 제2 중간 절연층은 얇은 두께를 갖는다. 제2 박막 트랜지스터의 턴-온 전류 특성이 향상된다.

[0026] 데이터 라인은 상부 절연층 상에 배치된다. 상부 절연층이 산화물 반도체의 채널영역을 커버할 수 있다. 산화물 반도체를 커버하기 위한 별도의 무기층을 필요로 하지 않는다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 일 실시예에 따른 표시장치의 블록도이다.

도 2a 본 발명의 일 실시예에 따른 화소의 등가회로도이다.

도 2b는 도 2a에 도시된 화소를 구동하기 위한 구동신호들의 파형도이다.

도 3은 본 발명의 일 실시예에 따른 화소에 대응하는 표시장치의 단면도이다.

도 4는 본 발명의 일 실시예에 따른 화소의 등가회로도이다.

도 5는 본 발명의 일 실시예에 따른 화소에 대응하는 표시장치의 단면도이다.

도 6a 내지 도 6g는 본 발명의 일 실시예에 따른 표시장치의 제조방법을 도시한 단면도이다.

도 7은 본 발명의 일 실시예에 따른 화소에 대응하는 표시장치의 단면도이다.

도 8a 내지 도 8f는 본 발명의 일 실시예에 따른 표시장치의 제조방법을 도시한 단면도이다.

도 9는 본 발명의 일 실시예에 따른 화소에 대응하는 표시장치의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하, 도면을 참조하여 본 발명의 실시예들을 설명한다. 본 명세서에서, 어떤 구성요소(또는 영역, 층, 부분 등)가 다른 구성요소 “상에 있다”, “연결 된다”, 또는 “결합 된다”고 언급되는 경우에 그것은 다른 구성요소 상에 직접 연결/결합될 수 있거나 또는 그들 사이에 제3의 구성요소가 배치될 수도 있다는 것을 의미한다.
- [0029] 동일한 도면부호는 동일한 구성요소를 지칭한다. 또한, 도면들에 있어서, 구성요소들의 두께, 비율, 및 치수는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. “및/또는”은 연관된 구성들이 정의할 수 있는 하나 이상의 조합을 모두 포함한다.
- [0030] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0031] 또한, “아래에”, “하측에”, “위에”, “상측에” 등의 용어는 도면에 도시된 구성들의 연관관계를 설명하기 위해 사용된다. 상기 용어들은 상대적인 개념으로, 도면에 표시된 방향을 기준으로 설명된다.
- [0032] “포함하다” 또는 “가지다” 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0033] 도 1은 본 발명의 일 실시예에 따른 표시장치의 블록도이다. 표시장치는 타이밍 제어부(TC), 주사 구동회로(SDC), 데이터 구동회로(DDC), 및 표시패널(DP)을 포함한다. 본 실시예에서 표시패널(DP)은 발광형 표시패널로 설명된다. 그러나, 본 발명에 따른 표시장치에 있어서 표시패널의 종류는 제한되지 않는다.
- [0034] 타이밍 제어부(TC)는 입력 영상신호들(미 도시)을 수신하고, 주사 구동회로(SDC)와의 인터페이스 사양에 맞도록 입력 영상신호들의 데이터 포맷을 변환하여 영상 데이터들(D-RGB)을 생성한다. 타이밍 제어부(TC)는 영상 데이터들(D-RGB)과 각종 제어 신호들(DCS, SCS)을 출력한다.
- [0035] 주사 구동회로(SDC)는 타이밍 제어부(TC)로부터 주사 제어 신호(SCS)를 수신한다. 주사 제어 신호(SCS)는 주사 구동회로(SDC)의 동작을 개시하는 수직개시신호, 신호들의 출력 시기를 결정하는 클럭신호 등을 포함할 수 있다. 주사 구동회로(SDC)는 복수 개의 주사 신호들을 생성하고, 복수 개의 주사 신호들을 후술하는 복수 개의 주사 라인들(SL1~SLn)에 순차적으로 출력한다. 또한, 주사 구동회로(SDC)는 주사 제어 신호(SCS)에 응답하여 복수 개의 발광 제어 신호들을 생성하고, 후술하는 복수 개의 발광 라인들(EL1~ELn)에 복수 개의 발광 제어 신호들을 출력한다.
- [0036] 도 1에서 복수 개의 주사 신호들과 복수 개의 발광 제어 신호들이 하나의 주사 구동회로(SDC)로부터 출력되는 것으로 도시하였지만, 본 발명은 이에 한정되는 것은 아니다. 본 발명의 일 실시예에서, 복수 개의 주사 구동회로가 복수 개의 주사 신호들을 분할하여 출력하고, 복수 개의 발광 제어 신호들을 분할하여 출력할 수 있다. 또한, 본 발명의 일 실시예에서, 복수 개의 주사 신호들을 생성하여 출력하는 구동회로와 복수 개의 발광 제어 신호들을 생성하여 출력하는 구동회로는 별개로 구분될 수 있다.
- [0037] 데이터 구동회로(DDC)는 타이밍 제어부(TC)로부터 데이터 제어 신호(DCS) 및 영상 데이터들(D-RGB)을 수신한다. 데이터 구동회로(DDC)는 영상 데이터들(D-RGB)을 데이터 신호들로 변환하고, 데이터 신호들을 후술하는 복수 개의 데이터 라인들(DL1~DLm)에 출력한다. 데이터 신호들은 영상 데이터들(D-RGB)의 계조값에 대응하는 아날로그 전압들이다.
- [0038] 발광 표시패널(DP)은 복수 개의 주사 라인들(SL1~SLn), 복수 개의 발광 라인들(EL1~ELn), 복수 개의 데이터 라

인들(DL1~DLm), 및 복수 개의 화소들(PX)을 포함한다. 복수 개의 주사 라인들(SL1~SLn)은 제1 방향(DR1)으로 연장되고, 제1 방향(DR1)에 직교하는 제2 방향(DR2)으로 나열된다. 복수 개의 발광 라인들(EL1~ELn) 각각은 복수 개의 주사 라인들(SL1~SLn) 중 대응하는 주사 라인에 나란하게 배열될 수 있다. 복수 개의 데이터 라인들(DL1~DLm)은 복수 개의 주사 라인들(SL1~SLn)과 절연되게 교차한다. 복수 개의 화소들(PX) 각각은 복수 개의 주사 라인들(SL1~SLn) 중 대응하는 주사 라인, 복수 개의 발광 라인들(EL1~ELn) 중 대응하는 발광 라인, 및 복수 개의 데이터 라인들(DL1~DLm) 중 대응하는 데이터 라인들에 접속된다.

- [0039] 복수 개의 화소들(PX) 각각은 제1 전압(ELVDD) 및 제1 전압(ELVDD)보다 낮은 레벨의 제2 전압(ELVSS)을 수신한다. 복수 개의 화소들(PX) 각각은 제1 전압(ELVDD)이 인가되는 전원 라인(PL)에 접속된다. 복수 개의 화소들(PX) 각각은 초기화 전압(Vint)을 수신하는 초기화 라인(RL)에 접속된다.
- [0040] 복수 개의 화소들(PX) 각각은 3개의 주사 라인들에 전기적으로 연결될 수 있다. 도 1에 도시된 것과 같이, 제2 번째 화소행의 화소들은 제1 번째 내지 제3 번째 주사 라인(SL1 내지 SL3)에 연결될 수 있다.
- [0041] 미 도시되었으나, 발광 표시패널(DP)은 복수 개의 더미 주사 라인들을 더 포함할 수 있다. 발광 표시패널(DP)은 제1 번째 화소행의 화소들(PX)에 연결된 더미 주사 라인 및 제n 번째 화소행의 화소들(PX)에 연결된 더미 주사 라인을 더 포함할 수 있다. 또한, 복수 개의 데이터 라인들(DL1~DLm) 중 어느 하나의 데이터 라인에 연결된 화소들(이하, 화소열의 화소들)은 서로 연결될 수 있다. 화소열의 화소들 중 인접하는 2개의 화소들이 전기적으로 연결될 수 있다.
- [0042] 이상에서, 도 1을 참조하여 일 실시예에 따른 표시장치를 설명하였으나, 본 발명의 표시장치는 이에 제한되지 않는다. 화소 구동회로의 구성에 따라 신호라인들이 더 추가되거나, 생략될 수 있다. 또한, 하나의 화소와 주사 라인들의 연결관계도 변경될 수 있다.
- [0043] 복수 개의 화소들(PX)은 레드 컬러를 발광하는 레드 화소들, 그린 컬러를 발광하는 그린 화소들, 및 블루 컬러를 발광하는 블루 화소들을 포함할 수 있다. 복수 개의 화소들(PX) 각각은 발광 다이오드(미 도시) 및 발광 다이오드의 발광을 제어하는 화소의 구동회로(미 도시)를 포함한다. 레드 화소의 발광 다이오드, 그린 화소의 발광 다이오드, 및 블루 화소의 발광 다이오드는 서로 다른 물질의 발광층을 포함할 수 있다. 본 실시예에서 발광 다이오드는 유기 발광층을 포함하는 유기발광 다이오드로 설명된다. 그러나 본 발명은 이에 제한되지 않는다. 발광층은 퀀텀닷 퀀텀로드, 퀀텀튜브와 같은 무기 발광물질을 포함할 수 있다. 이하, 발광 표시패널은 유기발광 표시패널로 설명된다.
- [0044] 화소 구동회로는 복수 개의 박막 트랜지스터(이하, 트랜지스터)와 박막 트랜지스터에 전기적으로 연결된 커패시터를 포함할 수 있다. 주사 구동회로(SDC)와 데이터 구동회로(DDC) 중 적어도 어느 하나는 화소 구동회로와 동일한 공정을 통해 형성된 복수 개의 박막 트랜지스터들을 포함할 수 있다.
- [0045] 복수 개의 포토리소그래피 공정을 통해 베이스 기판(미 도시) 상에 복수 개의 주사 라인들(SL1~SLn), 복수 개의 발광 라인들(EL1~ELn), 복수 개의 데이터 라인들(DL1~DLm), 전원 라인(PL), 초기화 라인(RL), 복수 개의 화소들(PX), 주사 구동회로(SDC), 및 데이터 구동회로(DDC)을 형성할 수 있다. 복수 개의 증착공정 또는 코팅공정을 통해 베이스 기판(미 도시) 상에 복수 개의 절연층들을 형성할 수 있다. 복수 개의 절연층들 각각은 표시패널(DP) 전체(도 2를 참조하여 설명하는 베이스 기판(SUB)의 상면 전체)를 커버하는 박막이거나, 표시패널(DP)의 특정 구성에만 중첩하는 적어도 하나의 절연 패턴을 포함할 수 있다. 절연층들은 유기층 및/또는 무기층을 포함한다. 그밖에 복수 개의 화소들(PX)을 보호하는 봉지층(미 도시)을 베이스 기판 상에 더 형성할 수 있다.
- [0046] 도 2a 본 발명의 일 실시예에 따른 화소(PXi)의 등가회로도이다. 도 2b는 도 2a에 도시된 화소(PXi)를 구동하기 위한 구동신호들의 파형도이다.
- [0047] 도 2a에는 복수 개의 데이터 라인들(DL1~DLm) 중 k번째 데이터 라인(DLk)에 연결된 i번째 화소(PXi)를 예시적으로 도시하였다. i번째 화소(PXi)는 i번째 주사 라인(SLi)에 인가된 i번째 주사 신호(Si)에 응답하여 활성화된다.
- [0048] i번째 화소(PXi)는 유기발광 다이오드(OLED) 및 유기발광 다이오드를 제어하는 화소 구동회로를 포함한다. 화소 구동회로는 7개의 박막 트랜지스터들(T1~T7) 및 하나의 커패시터(Cst)를 포함할 수 있다. 이하, 7개의 박막 트랜지스터들(T1~T7)은 N타입의 박막 트랜지스터인 것으로 설명된다. 본 발명의 일 실시예에서 박막 트랜지스터들(T1~T7)은 P타입의 박막 트랜지스터일 수도 있다. 도 2a 및 도 2b를 설명함에 있어서 트랜지스터는 박막 트랜지스터를 의미한다.

- [0049] 구동 트랜지스터는 유기발광 다이오드(OLED)에 공급되는 구동전류를 제어한다. 본 발명의 실시예에서 구동 트랜지스터는 제1 트랜지스터(T1)일 수 있다. 제1 트랜지스터(T1)의 출력전극은 유기발광 다이오드(OLED)와 전기적으로 연결된다. 제1 트랜지스터(T1)의 출력전극은 유기발광 다이오드(OLED)의 애노드와 직접 접촉하거나, 다른 트랜지스터를 경유하여 연결될 수 있다.
- [0050] 제어 트랜지스터의 제어 전극은 제어 신호를 수신할 수 있다. i번째 화소(PXi)에 인가되는 제어 신호는 i-1번째 주사 신호(Si-1), i번째 주사 신호(Si), i+1번째 주사 신호(Si+1), 데이터 신호(Dk), 및 i번째 발광 제어 신호(Ei)를 포함할 수 있다. 본 발명의 실시예에서 제어 트랜지스터는 제2 내지 제7 트랜지스터들(T2~T7)을 포함할 수 있다.
- [0051] 제4 트랜지스터(T4)의 출력 전극과 제1 트랜지스터(T1)의 제어 전극 사이의 노드는 제1 노드(N1)로 정의되고, 제7 트랜지스터(T7)와 커패시터(Cst) 사이의 노드는 제2 노드(N2)로 정의된다.
- [0052] 제1 트랜지스터(T1)는 제5 트랜지스터(T5)를 경유하여 제1 전압(ELVDD)을 수신하는 입력 전극, 제1 노드(N1)에 접속된 제어 전극, 및 출력 전극을 포함한다. 제1 트랜지스터(T1)의 출력 전극은 제6 트랜지스터(T6)를 경유하여 유기발광 다이오드(OLED)에 제1 전압(ELVDD)을 제공한다. 제1 트랜지스터(T1)의 입력 전극은 제3 트랜지스터(T3)를 경유하여 제1 노드(N1)에 접속된다. 제1 트랜지스터(T1)는 제1 노드(N1)의 전위에 대응하여 유기발광 다이오드(OLED)에 공급되는 구동전류를 제어한다.
- [0053] 제2 트랜지스터(T2)는 k번째 데이터 라인(DLk)에 접속된 입력 전극, i번째 주사 라인(SLi)에 접속된 제어 전극, 및 제1 트랜지스터(T1)의 출력 전극에 접속된 출력 전극을 포함한다. 제2 트랜지스터(T2)는 i번째 주사 라인(SLi)에 인가된 주사 신호(Si, 이하 i번째 주사 신호)에 의해 턴-온되고, k번째 데이터 라인(DLk)에 인가된 데이터 신호(Dk)를 커패시터(Cst)에 제공한다. 제2 트랜지스터(T2)는 스위칭 트랜지스터로 지칭될 수 있다.
- [0054] 제3 트랜지스터(T3)는 제1 트랜지스터(T1)의 입력 전극에 접속된 입력 전극, i번째 주사 라인(SLi)에 접속된 제어 전극, 및 제1 노드(N1)에 접속된 출력 전극을 포함한다. 제3 트랜지스터(T3)는 i번째 주사 신호(Si)에 응답하여 턴-온된다.
- [0055] 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)가 턴-온될 때, 제1 트랜지스터(T1)는 제2 트랜지스터(T2)와 제3 트랜지스터(T3) 사이에 다이오드 형태로 접속된다. 그에 따라, 제2 트랜지스터(T2)는 제1 트랜지스터(T1) 및 제3 트랜지스터(T3)를 경유하여 제1 노드(N1)에 접속된다.
- [0056] 커패시터(Cst)는 제1 노드(N1)와 유기발광 다이오드(OLED)의 애노드 사이에 접속된다. 커패시터(Cst)는 제1 노드(N1)에 인가된 전압에 대응하는 전압을 충전한다.
- [0057] 제4 트랜지스터(T4)는 전원 라인(PL)에 접속된 입력 전극, i-1번째 주사 신호(Si-1)를 수신하는 제어 전극, 및 제1 노드(N1)에 접속된 출력 전극을 포함한다. 제4 트랜지스터(T4)는 i-1번째 주사 신호(Si-1)에 응답하여 스위칭된다. 제4 트랜지스터(T4)의 제어 전극은 i-1번째 주사 라인(SLi-1)에 접속될 수 있다. i-1번째 주사 신호(Si-1)가 인가되는 신호라인은 더미 신호라인 등으로 변경될 수도 있다.
- [0058] 제5 트랜지스터(T5)는 전원 라인(PL)에 접속된 입력 전극, i번째 발광 라인(ELi)에 접속된 제어 전극, 및 제1 트랜지스터(T1)의 입력 전극에 접속된 출력 전극을 포함한다. 제5 트랜지스터(T5)는 i번째 발광 제어 신호(Ei)에 응답하여 스위칭된다.
- [0059] 제6 트랜지스터(T6)는 제1 트랜지스터(T1)의 출력 전극에 접속된 입력 전극, i번째 발광 라인(ELi)에 접속된 제어 전극, 및 유기발광 다이오드(OLED)의 애노드에 접속된 출력 전극을 포함한다. 제6 트랜지스터(T6)는 i번째 발광 라인(ELi)으로부터 공급되는 i번째 발광 제어 신호(Ei)에 응답하여 스위칭된다.
- [0060] 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)의 동작에 따라 전원 라인(PL)과 유기발광 다이오드(OLED) 사이에 전류패스가 형성 또는 차단된다. 본 발명의 일 실시예에서 제5 트랜지스터(T5) 및 제6 트랜지스터(T6) 중 어느 하나는 생략될 수도 있다.
- [0061] 제7 트랜지스터(T7)는 초기화 라인(RL)에 접속된 입력 전극, i+1번째 주사 신호(Si+1)를 수신하는 제어 전극, 및 유기발광 다이오드(OLED)의 애노드에 접속된 출력 전극을 포함한다. 제7 트랜지스터(T7)의 제어 전극은 i+1번째 주사 라인(SLi+1)에 접속될 수 있다. i+1번째 주사 신호(Si+1)가 인가되는 신호라인은 더미 신호라인 등으로 변경될 수도 있다.
- [0062] 제4 트랜지스터(T4)가 턴-온되면, 제1 노드(N1)는 제1 전압(ELVDD)에 의해 리셋된다. 제7 트랜지스터(T7)가 턴-

온되면, 제2 노드(N2)는 초기화 전압(Vint)에 의해 초기화된다. 유기발광 다이오드(OLED)의 애노드는 제7 트랜지스터(T7)가 턴-온될 때 초기화 전압(Vint)에 의해 초기화된다. 초기화 전압(Vint)과 유기발광 다이오드(OLED)의 캐소드에 인가된 제2 전압(ELVSS) 사이의 전위차는 유기발광 다이오드(OLED)의 발광 문턱전압 보다 작을 수 있다.

- [0063] 도 2a 및 도 2b를 참조하여 i번째 화소(PXi)의 동작을 좀 더 상세히 설명한다. 유기발광 표시패널(DP, 도 1 참조)은 프레임 구간들마다 영상을 표시한다. 각각의 프레임 구간들 동안 복수 개의 주사 라인들(SL1~SLn)에 복수 개의 주사 신호들이 순차적으로 스캐닝된다. 도 2b는 어느 하나의 프레임 구간 중 일부를 도시하였다.
- [0064] i-1번째 주사 신호(Si-1)는 제1 초기화 구간(RP1) 중에 활성화된다. 본 실시예에서 도 2a에 도시된 신호들은 하이 레벨을 가질 때, 활성화되는 것으로 설명된다. 도 2b에 도시된 신호들의 하이 레벨은 해당 신호들이 인가되는 트랜지스터의 턴-온 전압일 수 있다.
- [0065] i-1번째 주사 신호(Si-1)에 의해 제4 트랜지스터(T4)가 턴-온 됨에 따라 제1 전압(ELVDD)은 제1 노드(N1)에 인가된다. i번째 주사 신호(Si)는 제1 초기화 구간(RP1) 다음에 정의되는 데이터 기입 구간(DIP) 중에 활성화된다. 데이터 기입 구간(DIP)에 활성화된 주사 신호(Si)에 의해 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)가 턴-온되고, 제1 트랜지스터(T1)는 제2 트랜지스터(T2)와 제3 트랜지스터(T3) 사이에 다이오드 접속된다.
- [0066] 데이터 기입 구간(DIP) 동안 k번째 데이터 라인(DLk)으로는 데이터 신호(Dk)가 공급된다. 데이터 신호(Dk)는 제2 트랜지스터(T2), 제1 트랜지스터(T1), 및 제3 트랜지스터(T3)를 경유하여 제1 노드(N1)에 제공된다. 이때, 제2 트랜지스터(T2)는 다이오드 접속된 상태이므로, 제1 노드(N1)에는 데이터 신호(Dk)와 제2 트랜지스터(T2)의 문턱전압의 차전압이 제공된다. 데이터 기입 구간(DIP) 동안에 제2 노드(N2)와 제2 노드(N2) 사이의 전압차가 커패시터(Cst)에 저장된다. 제2 노드(N2)는 이전 프레임에서 초기화 전압(Vint)에 의해 초기화된다.
- [0067] 제1 초기화 구간(RP1) 및 데이터 기입 구간(DIP) 동안에 비활성화되었던 i번째 발광 제어 신호(Ei)는 데이터 기입 구간(DIP) 이후에 정의되는 발광 구간(EP) 중에 활성화된다. i번째 발광 제어 신호(Ei)에 의해 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)가 턴-온되고, 커패시터(Cst)에 충전된 전압이 제1 트랜지스터(T1)의 제어 전극에 인가된다.
- [0068] i번째 발광 제어 신호(Ei)에 의해 전원 라인(PL)과 유기발광 다이오드(OLED) 사이에 전류패스가 형성된다. 그에 따라 발광 구간(EP) 동안에 유기발광 다이오드(OLED)는 발광된다. 유기발광 다이오드(OLED)는 커패시터(Cst)에 충전된 전압에 대응하는 휘도로 발광된다.
- [0069] i+1번째 주사 신호(Si+1)는 발광 구간(EP) 이후에 정의되는 제2 초기화 구간(RP2) 중에 활성화된다. i+1번째 주사 신호(Si+1)에 의해 제7 트랜지스터(T7)가 턴-온됨에 따라 초기화 전압(Vint)은 제2 노드(N2)에 인가되고, 유기발광 다이오드(OLED)의 애노드는 초기화 전압(Vint)으로 초기화된다. 제2 초기화 구간(RP2)에 의해 유기발광 다이오드(OLED)의 발광을 중단한다.
- [0070] 도 2b에서 제1 초기화 구간(RP1), 데이터 기입 구간(DIP), 발광 구간(EP), 및 제2 초기화 구간(RP2) 사이에 소정의 지연 구간들이 존재하는 것으로 도시하였으나, 이는 하나의 예시에 불과하다. 본 발명의 일 실시예에서 제1 초기화 구간(RP1), 데이터 기입 구간(DIP), 발광 구간(EP), 및 제2 초기화 구간(RP2)는 연속될 수도 있다.
- [0071] 도 2a 및 도 2b를 참조하여 본 발명의 일 실시예에 따른 화소(PXi)를 설명하였으나, 이에 제한되지 않는다. 화소(PXi)는 유기발광 다이오드 및 유기발광 다이오드를 구동하기 위한 구동회로로써 스위칭 트랜지스터, 구동 트랜지스터, 및 커패시터를 포함하면 충분하다. 화소 회로는 특별히 제한되지 않는다. 이상에서 제어 트랜지스터는 6개의 트랜지스터들로 이루어진 것을 예시적으로 설명하나, 이에 제한되는 것은 아니고, 제어 트랜지스터는 6개 미만이거나 6 초과개의 트랜지스터들로 이루어질 수 있다.
- [0072] 도 3은 본 발명의 일 실시예에 따른 화소(PXi)에 대응하는 표시장치의 단면도이다. 도 3은 도 2a에 도시된 등가회로의 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제6 트랜지스터(T6) 및 유기발광 다이오드(OLED)에 대응하는 부분의 단면을 도시하였다.
- [0073] 도 3을 참조하면, 베이스 기판(SUB)의 상면에 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제6 트랜지스터(T6) 및 유기발광 다이오드(OLED)이 배치된다. 베이스 기판(SUB)의 상면은 제1 방향(DR1, 도 1 참조)과 제2 방향(DR2, 도 1 참조)으로 정의된다. 베이스 기판(SUB)은 플라스틱 기판, 유리 기판, 금속 기판 등을 포함할 수 있다. 플라스틱 기판은 아크릴계 수지, 메타크릴계 수지, 폴리이소프렌, 비닐계 수지, 에폭시계 수지, 우레탄계 수지, 셀룰로오스계 수지, 실록산계 수지, 폴리이미드계 수지, 폴리아미드계 수지 및 페틸렌계 수지 중 적어도 어느

하나를 포함할 수 있다.

- [0074] 제1 트랜지스터(T1), 제2 트랜지스터(T2), 및 제6 트랜지스터(T6) 각각은 입력 전극, 출력 전극, 제어 전극, 및 반도체 패턴을 포함한다. 이하, 입력 전극, 출력 전극, 제어 전극, 및 반도체 패턴의 앞에 기재되는 "제1", "제2", "제6"은 제1 트랜지스터(T1), 제2 트랜지스터(T2), 및 제6 트랜지스터(T6)의 구성요소인 것을 의미한다.
- [0075] 도 3은 제1 방향(DR1)으로 이격된 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 및 제6 박막 트랜지스터(T6)를 도시하였으나, 본 발명은 이에 제한되지 않으며, 이는 하나의 예시에 불과하다. 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 및 제6 박막 트랜지스터(T6)는 독립적으로 설계될 수 있다. 예컨대, 제1 박막 트랜지스터(T1)의 제1 입력 전극(DE1)과 제1 출력 전극(SE1)이 제1 방향(DR1)에서 이격될 때, 제2 박막 트랜지스터(T2)의 제2 입력 전극(DE2)과 제2 출력 전극(SE2)은 제1 방향(DR1)에 교차하며 베이스 기판(SUB)의 상면에 정의된 또 다른 방향으로 이격되어 배치될 수 있다.
- [0076] 베이스 기판(SUB)의 상면에 버퍼층(BFL)이 배치될 수 있다. 버퍼층(BFL)은 베이스 기판(SUB)과 도전성 패턴들 또는 반도체 패턴들의 결합력을 향상시킨다. 버퍼층(BFL)은 무기층을 포함할 수 있다. 별도로 도시되지 않았으나, 이물질이 유입되는 것을 방지하는 배리어층이 베이스 기판(SUB)의 상면에 더 배치될 수도 있다. 버퍼층(BFL)과 배리어층은 선택적으로 배치/생략될 수 있다. 별도로 도시하지 않았으나, 베이스 기판(SUB)과 버퍼층(BFL) 사이에 제1 제어 전극(GE1), 제2 제어 전극(GE2), 및 제6 제어 전극(GE6)에 중첩하는 차광 패턴들이 더 배치될 수 있다.
- [0077] 버퍼층(BFL) 상에 제1 반도체 패턴(OSP1) 및 제6 반도체 패턴(OSP6)이 배치된다. 제1 반도체 패턴(OSP1) 및 제6 반도체 패턴(OSP6) 각각은 폴리 실리콘을 포함할 수 있다. 그러나 이에 제한되지 않고, 제1 반도체 패턴(OSP1) 및 제6 반도체 패턴(OSP6) 각각은 비정질 실리콘을 포함할 수도 있다. 제1 반도체 패턴(OSP1) 및 제6 반도체 패턴(OSP6) 각각은 입력영역, 출력영역, 및 상기 입력영역과 출력영역 사이에 정의된 채널영역을 포함할 수 있다. 제1 반도체 패턴(OSP1) 및 제6 반도체 패턴(OSP6)의 채널영역들은 후술하는 제1 제어 전극(GE1) 및 제6 제어 전극(GE6)에 대응하게 정의될 수 있다. 입력영역과 출력영역은 도판트로 도핑되어 채널영역 대비 상대적으로 전도성이 높다. 입력영역과 출력영역은 n 타입의 도판트로 도핑될 수 있다.
- [0078] 버퍼층(BFL) 상에 제1 절연층(10, 이하 제1 중간 절연층)이 배치된다. 제1 중간 절연층(10)은 복수 개의 화소들(PX, 도 1 참조)에 공통으로 중첩하며, 제1 반도체 패턴(OSP1) 및 제6 반도체 패턴(OSP6)을 커버한다. 제1 중간 절연층(10)은 무기층 또는 유기층일 수 있으며, 단층 또는 다층 구조를 가질 수 있다. 제1 중간 절연층(10)은 알루미늄 옥사이드, 티타늄 옥사이드, 실리콘 옥사이드, 실리콘옥시나이트라이드, 지르코늄옥사이드, 및 hafnium 옥사이드 중 적어도 하나를 포함할 수 있다.
- [0079] 제1 중간 절연층(10) 상에 제1 제어 전극(GE1), 제2 제어 전극(GE2), 제6 제어 전극(GE6), 및 커패시터(Cst)의 제1 전극(E1)이 배치된다. 제1 제어 전극(GE1) 및 제6 제어 전극(GE6)은 제1 반도체 패턴(OSP1)의 채널영역 및 제6 반도체 패턴(OSP6)의 채널영역에 각각 중첩한다. 단면 상에 도시되지는 않았으나, 제1 전극(E1)은 제1 제어 전극(GE1)과 연결될 수 있다.
- [0080] 제1 중간 절연층(10) 상에 제1 제어 전극(GE1), 제2 제어 전극(GE2), 제6 제어 전극(GE6), 및 제1 전극(E1)을 커버하는 제2 절연층(20, 이하 제2 중간 절연층)이 배치된다. 제2 중간 절연층(20)은 복수 개의 화소들(PX, 도 1 참조)에 공통으로 중첩한다. 제2 중간 절연층(20)은 무기층 또는 유기층일 수 있으며, 단층 또는 다층 구조를 가질 수 있다. 제2 중간 절연층(20)은 알루미늄 옥사이드, 티타늄 옥사이드, 실리콘 옥사이드, 실리콘옥시나이트라이드, 지르코늄옥사이드, 및 hafnium 옥사이드 중 적어도 하나를 포함할 수 있다. 제2 중간 절연층(20)은 동일한 두께에서 큰 유전율을 갖는 실리콘 나이트라이드층인 것이 바람직하다. 커패시터(Cst)의 커패시턴스를 증가시키기 위함이다.
- [0081] 제2 중간 절연층(20) 상에 제2 반도체 패턴(OSP2) 및 커패시터(Cst)의 제2 전극(E2)이 배치된다. 제2 반도체 패턴(OSP2)은 산화물 반도체를 포함할 수 있다. 산화물 반도체는 인듐-주석 산화물(ITO), 인듐-갈륨-아연 산화물(IGZO), 아연 산화물(ZnO), 인듐-아연 산화물(IZnO), 아연-인듐 산화물(ZIO), 인듐 산화물(InO), 티타늄 산화물(TiO), 인듐-아연-주석 산화물(IZTO), 아연-주석 산화물(ZTO) 등을 포함할 수 있다.
- [0082] 제2 반도체 패턴(OSP2)은 결정질 산화물 반도체를 포함한다. 상기 결정질 산화물 반도체는 수직방향(DR3)으로 결정화될 수 있다. 도 3에서 수직방향(DR3)은 제3 방향(DR3)으로 표시되고, 베이스 기판(SUB)의 상면의 법선 방향을 의미한다. 수직 결정형 산화물 반도체는 채널의 법선 방향의 성장축을 갖는 산화물 반도체로 정의될 수 있다. 또한, 수직 결정형 산화물 반도체는 c-axis aligned crystal oxide semiconductor로 정의될 수 있다. 제2

반도체 패턴(OSP2)은 부분적으로 결정화될 수 있다. 따라서, 제2 반도체 패턴(OSP2)은 비정질 산화물 반도체를 더 포함할 수 있다.

- [0083] 제2 중간 절연층(20) 상에 도전패턴들이 더 배치될 수 있다. 도전패턴들은 제2 전극(E2)과 동일한 공정을 통해 형성될 수 있다. 즉, 도전패턴들은 제2 전극(E2)과 동일한 물질, 동일한 층구조를 갖는다.
- [0084] 도전패턴들은 제2 입력 전극(DE2)의 하측부분(DE2-P1)과 제2 출력 전극(SE2)의 하측부분(SE2-P1)을 포함한다. 제2 입력 전극(DE2)의 하측부분(DE2-P1)과 제2 출력 전극(SE2)의 하측부분(SE2-P1)은 제2 반도체 패턴(OSP2)에 접촉한다. 제2 입력 전극(DE2)의 하측부분(DE2-P1)과 제2 출력 전극(SE2)의 하측부분(SE2-P1) 각각은 평면상에서 제2 반도체 패턴(OSP2)에 중첩하는 부분과 제2 반도체 패턴(OSP2)에 비중첩하는 부분을 포함할 수 있다. 제2 반도체 패턴(OSP2)에 비중첩하는 부분은 제2 중간 절연층(20)에 접촉한다.
- [0085] 제2 반도체 패턴(OSP2)의 제2 입력 전극(DE2)의 하측부분(DE2-P1) 및 제2 출력 전극(SE2)의 하측부분(SE2-P1)에 접촉한 영역들에 오믹콘택이 정의된다. 제2 반도체 패턴(OSP2)의 제2 입력 전극(DE2)의 하측부분(DE2-P1) 및 제2 출력 전극(SE2)의 하측부분(SE2-P1)에 노출된 영역은 채널영역으로 정의된다. 결과적으로 제2 반도체 패턴(OSP2)은 n 타입 도펀트로 각각 도핑된 입력영역과 출력영역 사이에 배치된 채널영역을 포함할 수 있다. 제2 입력 전극(DE2)의 하측부분(DE2-P1) 및 제2 출력 전극(SE2)의 하측부분(SE2-P1)은 제2 트랜지스터(T2)의 채널 길이 및 채널 폭을 제어한다.
- [0086] 도전패턴들 중 어느 하나의 도전패턴(CP)은 제1 제어 전극(GE1)에 중첩할 수 있다. 단면 상에 도시되지는 않았으나, 상기 어느 하나의 도전패턴은 제2 전극(E2)과 연결될 수 있다.
- [0087] 제2 중간 절연층(20) 상에 제3 절연층(30, 이하 상부 절연층)이 배치된다. 상부 절연층(30)은 단층 또는 다층일 수 있다. 상부 절연층(30)은 유기층 및/또는 무기층을 포함할 수 있다.
- [0088] 적어도 하나의 상부 절연층(30)은 무기층으로 알루미늄 옥사이드, 티타늄 옥사이드, 실리콘 옥사이드, 실리콘옥시나이트라이드, 지르코늄옥사이드, 및 하프늄 옥사이드 중 적어도 하나를 포함할 수 있다. 무기층이 제2 반도체 패턴(OSP2)의 노출된 채널영역을 직접 커버함으로써 유기물질에 의한 제2 반도체 패턴(OSP2)의 채널 손상을 방지할 수 있다.
- [0089] 상부 절연층(30)은 제1 중간 절연층(10) 및 제2 중간 절연층(20) 대비 큰 두께를 갖는다. 데이터 라인(DLk)과 제2 제어 전극(GE2)의 간섭을 방지하기 위함이다. 상부 절연층(30)은 제1 중간 절연층(10) 및 제2 중간 절연층(20) 대비 평탄한 상면을 제공할 수 있다.
- [0090] 상부 절연층(30) 상에 제1 입력 전극(DE1), 제1 출력 전극(SE1), 제2 입력 전극(DE2), 제2 출력 전극(SE2), 데이터 라인(DLk), 제2 입력 전극(DE2)의 상측부분(DE2-P2) 및 제2 출력 전극(SE2)의 상측부분(SE2-P2)이 배치된다. 제1 반도체 패턴(OSP1)의 입력영역과 출력영역을 각각 노출시키는 제1 콘택홀(CH1) 및 제2 콘택홀(CH2)을 통해 제1 입력 전극(DE1)과 제1 출력 전극(SE1)이 제1 반도체 패턴(OSP1)에 접속된다. 제6 반도체 패턴(OSP6)의 입력영역과 출력영역을 각각 노출시키는 제5 콘택홀(CH5) 및 제6 콘택홀(CH6)을 통해 제6 입력 전극(DE6)과 제6 출력 전극(SE6)이 제6 반도체 패턴(OSP6)에 접속된다. 제1 콘택홀(CH1), 제2 콘택홀(CH2), 제5 콘택홀(CH5), 및 제6 콘택홀(CH6)은 제1 중간 절연층(10), 제2 중간 절연층(20), 및 상부 절연층(30)을 관통한다. 제1 출력 전극(SE1)과 제6 입력 전극(DE6)은 상부 절연층(30) 상에서 연결될 수 있다.
- [0091] 제2 입력 전극(DE2)의 하측부분(DE2-P1) 및 제2 출력 전극(SE2)의 하측부분(SE2-P1) 각각 노출시키는 제3 콘택홀(CH3) 및 제4 콘택홀(CH4)을 통해, 제2 입력 전극(DE2)의 상측부분(DE2-P2) 및 제2 출력 전극(SE2)의 상측부분(SE2-P2)이 제2 입력 전극(DE2)의 하측부분(DE2-P1) 및 제2 출력 전극(SE2)의 하측부분(SE2-P1)에 각각 접속된다. 제3 콘택홀(CH3) 및 제4 콘택홀(CH4)은 상부 절연층(30)을 관통한다.
- [0092] 상부 절연층(30) 상에 화소정의막(PDL) 및 유기발광 다이오드(OLED)가 배치된다. 단층의 상부 절연층(30) 상에 직접 배치된 화소정의막(PDL) 및 유기발광 다이오드(OLED)를 예시적으로 도시하였으나 이에 제한되지 않는다. 상부 절연층(30) 상에 유기층이 더 배치될 수 있다.
- [0093] 상부 절연층(30) 상에 애노드(AE)가 배치된다. 애노드(AE)는 제6 출력전극에 직접 연결될 수 있다. 화소정의막(PDL)의 개구부(OP)는 애노드(AE)의 적어도 일부분을 노출시킨다.
- [0094] 화소정의막(PDL)의 개구부(OP)는 화소(PXi)의 발광영역(PXA)을 정의할 수 있다. 예컨대, 복수 개의 화소들(PX, 도 1 참조)은 표시패널(DP, 도 1 참조)의 평면 상에서 일정한 규칙으로 배치될 수 있다. 복수 개의 화소들(PX)이 배치된 영역은 화소 영역으로 정의될 수 있고, 하나의 화소 영역은 발광영역(PXA)과 발광영역(PXA)에 인접한

비발광영역(NPXA)을 포함할 수 있다. 비발광영역(NPXA)은 발광영역(PXA)을 에워 싸을 수 있다.

- [0095] 정공 제어층(HCL)은 발광영역(PXA)과 비발광영역(NPXA)에 공통으로 배치될 수 있다. 별도로 도시되지 않았으나, 정공 제어층(HCL)과 같은 공통층은 복수 개의 화소들(PX, 도 1 참조)에 공통으로 형성될 수 있다. 정공 제어층(HCL)은 정공 수송층 및 정공 주입층을 포함할 수 있다.
- [0096] 정공 제어층(HCL) 상에 유기발광층(EML)이 배치된다. 유기발광층(EML)은 개구부(OP)에 대응하는 영역에만 배치될 수 있다. 즉, 유기발광층(EML)은 복수 개의 화소들(PX) 각각에 분리되어 형성될 수 있다.
- [0097] 유기발광층(EML) 상에 전자 제어층(ECL)이 배치된다. 전자 제어층(ECL)은 전자 수송층 및 전자 주입층을 포함할 수 있다. 전자 제어층(ECL) 상에 캐소드(CE)가 배치된다. 캐소드(CE)는 복수 개의 화소들(PX)에 공통적으로 배치된다.
- [0098] 캐소드(CE) 상에 박막 봉지층(TFE)이 배치된다. 복수 개의 화소들(PX)에 공통적으로 배치된다. 박막 봉지층(TFE)은 적어도 2개의 무기층과 그 사이에 배치된 유기층을 포함한다. 박막 봉지층은 교번하게 적층된 복수 개의 무기층들과 복수 개의 유기층들을 포함할 수 있다.
- [0099] 본 실시예에서 패터닝된 유기발광층(EML)을 예시적으로 도시하였으나, 유기발광층(EML)은 복수 개의 화소들(PX)에 공통적으로 배치될 수 있다. 이때, 유기발광층(EML)은 백색 광을 생성할 수 있다. 또한, 유기발광층(EML)은 다층구조를 가질 수 있다.
- [0100] 본 실시예에서 박막 봉지층(TFE)은 캐소드(CE)를 직접 커버한다. 본 발명의 일 실시예에서, 캐소드(CE)를 커버하는 캡핑층이 더 배치될 수 있다. 이때 박막 봉지층(TFE)은 캡핑층을 직접 커버할 수 있다.
- [0101] 도 3을 참조하면, 제1 트랜지스터(T1)와 제6 트랜지스터(T6)는 폴리 실리콘 반도체를 포함하여 높은 전하이동도를 가질 수 있다. 제2 트랜지스터(T2)의 게이트 절연층 기능을 갖는 제2 중간 절연층(20)이 얇은 두께를 가짐으로써 제2 박막 트랜지스터의 턴-온 전류 특성이 향상된다. 상부 절연층(30)이 상대적으로 큰 두께를 가짐으로써 데이터 라인(DLk)에 의한 신호 간섭이 감소될 수 있다.
- [0102] 도 4는 본 발명의 일 실시예에 따른 화소(PXi)의 등가회로도이다. 도 5는 본 발명의 일 실시예에 따른 화소(PXi)에 대응하는 표시장치의 단면도이다.
- [0103] 화소(PXi)는 표시소자로서 유기발광 다이오드(OLED)를 포함한다. 유기발광 다이오드(OLED)는 전면 발광형 다이오드이거나, 배면 발광형 다이오드일 수 있다. 화소(PXi)는 유기발광 다이오드(OLED)를 구동하기 위한 구동회로로서 제1 트랜지스터(T1, 또는 구동 트랜지스터), 제2 트랜지스터(T2, 또는 스위칭 트랜지스터), 및 커패시터(Cst)를 포함한다.
- [0104] 제2 트랜지스터(T2)는 i번째 주사 라인(SLi)에 인가된 주사 신호에 응답하여 k번째 데이터 라인(DLk)에 인가된 데이터 신호를 출력한다. 커패시터(Cst)는 제2 트랜지스터(T2)로부터 수신한 데이터 신호에 대응하는 전압을 충전한다.
- [0105] 제1 트랜지스터(T1)는 커패시터(Cst)에 저장된 전하량에 대응하여 유기발광 다이오드(OLED)에 흐르는 구동전류를 제어한다. 유기발광 다이오드(OLED)는 제1 트랜지스터(T1)의 턴-온 구간 동안 발광한다.
- [0106] 도 5를 참조하면, 도 3에 도시된 표시장치 대비, 제1 트랜지스터(T1)와 유기발광 다이오드(OLED)의 연결관계가 상이하다. 도 3에서 제1 트랜지스터(T1)는 제6 트랜지스터(T6)를 통해 간접적으로 애노드(AE)에 연결되었으나, 본 실시예에서 제1 트랜지스터(T1)의 출력 전극(SE1)은 애노드(AE)에 직접 연결된다.
- [0107] 도 2a 내지 도 5를 참조하여 설명한 것과 같이, 화소의 구동회로의 구성은 다양하게 변형될 수 있다. 다만, 화소의 구동회로의 구성이 변경되더라도 제1 트랜지스터(T1), 제2 트랜지스터(T2), 및 커패시터(Cst)의 단면상 구조는 동일할 수 있다.
- [0108] 도 6a 내지 도 6g는 본 발명의 일 실시예에 따른 표시장치의 제조방법을 도시한 단면도이다. 도 5에 도시된 표시장치를 기준으로 설명되나, 도 3에 도시된 표시장치에도 동일하게 적용될 수 있다. 다만, 도 3에 도시된 표시장치는 제6 트랜지스터(T6)가 제1 트랜지스터(T1)와 동일한 공정에 의해 더 형성된다. 별도로 도시하지 않았으나, 도 2a에 도시된 제3 내지 제5 트랜지스터들(T3 내지 T5) 및 제7 트랜지스터(T7)는 제1 트랜지스터(T1) 또는 제6 트랜지스터(T6)와 동일한 공정에 의해 형성될 수 있다.
- [0109] 먼저, 도 6a를 참조하면, 베이스 기판(SUB)의 상면에 버퍼층(BFL)을 형성한다. 무기 물질을 증착, 코팅, 또는

프린팅하여 버퍼층(BFL)을 형성할 수 있다. 버퍼층(BFL)의 일부 영역에 제1 반도체 패턴(OSP1)을 형성한다. 버퍼층(BFL)의 상면 전체에 반도체층을 형성한 후, 포토리소그래피 공정을 통해 반도체층을 패터닝 할 수 있다. 제1 반도체 패턴(OSP1)은 폴리 실리콘을 포함할 수 있다. 즉, 결정화 단계가 추가 진행될 수 있다.

- [0110] 도 6b에 도시된 것과 같이, 버퍼층(BFL) 상에 제1 반도체 패턴(OSP1)을 커버하는 제1 중간 절연층(10)을 형성한다. 무기 물질 또는 유기 물질을 증착, 코팅, 또는 프린팅하여 제1 중간 절연층(10)을 형성할 수 있다. 제1 중간 절연층(10) 상에 제1 반도체 패턴(OSP1)과 중첩하는 제1 제어 전극(GE1) 및 제1 반도체 패턴(OSP1)과 비중첩하는 제2 제어 전극(GE2)을 형성한다.
- [0111] 제1 중간 절연층(10) 상에 도전층을 형성한 후, 포토리소그래피 공정을 통해 도전층을 패터닝하여 제1 제어 전극(GE1) 및 제2 제어 전극(GE2)을 형성할 수 있다. 제1 제어 전극(GE1)은 제1 방향(DR1)에서 제1 반도체 패턴(OSP1)의 내측에 배치된다. 이때, 커패시터(Cst)의 제1 전극(E1)을 동일한 공정을 통해 더 형성할 수 있다.
- [0112] 제1 반도체 패턴(OSP1)를 도펀트로 도핑시킬 수 있다. 도핑공정에서 제1 제어 전극(GE1)은 마스크 기능을 수행한다. 제1 제어 전극(GE1)에 중첩하는 영역(이하, 채널영역)은 미도핑되고, 채널영역의 양측 영역들(입력영역 및 출력영역)이 도핑된다. n 타입 도펀트, 즉 5가 원소를 이용하여 도핑할 수 있다.
- [0113] 도 6c에 도시된 것과 같이, 제1 중간 절연층(10) 상에 제1 제어 전극(GE1), 제2 제어 전극(GE2), 및 제1 전극(E1)을 커버하는 제2 중간 절연층(20)을 형성한다. 무기물질을 증착하거나, 유기물질을 증착, 코팅, 또는 프린팅하여 제2 중간 절연층(20)을 형성할 수 있다.
- [0114] 제2 중간 절연층(20) 상에 제2 반도체 패턴(OSP2)을 형성한다. 제2 중간 절연층(20)의 상면 전체에 반도체층을 형성한 후, 포토리소그래피 공정을 통해 반도체층을 패터닝한다.
- [0115] 제2 반도체 패턴(OSP2)는 산화물 반도체를 포함할 수 있다. 비정질 산화물 반도체 또는 결정질 산화물 반도체를 포함할 수 있다. 상기 결정질 산화물 반도체는 별도의 결정화 공정을 진행하여 형성되거나, 산화물 반도체층을 형성하는 공정조건을 제어하여 형성될 수 있다.
- [0116] 도 6d에 도시된 것과 같이, 제2 중간 절연층(20) 상에 도전패턴들을 형성한다. 제2 중간 절연층(20) 상에 증착, 코팅, 또는 프린팅하여 도전층을 형성한 후 포토리소그래피 공정을 통해 도전층을 패터닝한다. 그에 따라 제2 반도체 패턴(OSP2)에 연결된 제2 입력 전극의 하측부분(DE2-P1) 및 제2 출력 전극의 하측부분(SE2-P1)이 형성된다. 제1 제어 전극(GE1)에 중첩하는 도전패턴(CP) 및 커패시터(Cst)의 제2 전극(E2)이 제2 입력 전극의 하측부분(DE2-P1)과 동시에 형성될 수 있다.
- [0117] 도 6e에 도시된 것과 같이, 제2 중간 절연층(20) 상에 상부 절연층(30)을 형성한다. 무기물질을 증착하거나, 유기물질을 증착, 코팅, 또는 프린팅하여 상부 절연층(30)을 형성할 수 있다.
- [0118] 포토리소그래피 공정을 통해 제1 내지 제4 컨택홀들(CH1 내지 CH4)을 형성한다. 제1 컨택홀(CH1) 및 제2 컨택홀(CH2)은 제1 반도체 패턴(OSP1)의 입력영역과 출력영역을 각각 노출시킨다. 제1 컨택홀(CH1) 및 제2 컨택홀(CH2)은 제1 중간 절연층(10), 제2 중간 절연층(20), 및 상부 절연층(30)을 관통한다. 제3 컨택홀(CH3) 및 제4 컨택홀(CH4)은 제2 반도체 패턴(OSP2)의 입력영역과 출력영역을 각각 노출시킨다.
- [0119] 도 6f에 도시된 것과 같이, 상부 절연층(30) 상에 도전패턴들을 형성한다. 상부 절연층(30) 상에 증착, 코팅, 또는 프린팅하여 도전층을 형성한 후 포토리소그래피 공정을 통해 도전층을 패터닝한다. 제1 컨택홀(CH1) 및 제2 컨택홀(CH2)을 통해 제1 반도체 패턴(OSP1)의 입력영역과 출력영역에 각각 연결된 제1 입력 전극(DE1) 및 제1 출력 전극(SE1)을 형성한다. 제3 컨택홀(CH3) 및 제4 컨택홀(CH4)을 통해 제2 입력 전극의 하측부분(DE2-P1) 및 제2 출력 전극의 하측부분(SE2-P1)에 각각 연결된 제2 입력 전극(DE2)의 상측부분(DE2-P2) 및 제2 출력 전극(SE2)의 상측부분(SE2-P2)을 형성한다.
- [0120] 이후, 도 6g에 도시된 것과 같이, 상부 절연층(30) 상에 화소정의막(PDL), 유기발광 다이오드(OLED), 및 박막 봉지층(TFE)을 형성한다. 상부 절연층(30) 상에 애노드(AE)를 형성한다. 애노드(AE)를 노출시키는 개구부를 구비한 화소정의막(PDL)을 형성한다. 이후, 복수 회의 증착, 또는 코팅, 또는 프린팅 공정을 통해 복수 개의 층들을 형성할 수 있다. 또한, 포토리소그래피 공정을 통해 특정한 층을 패터닝할 수 있다. 이러한 공정들을 통해 유기발광 다이오드(OLED), 및 박막 봉지층(TFE) 등을 형성할 수 있다.
- [0121] 도 7은 본 발명의 일 실시예에 따른 화소에 대응하는 표시장치의 단면도이다. 도 8a 내지 도 8f는 본 발명의 일 실시예에 따른 표시장치의 제조방법을 도시한 단면도이다. 이하, 도 5 내지 도 6g를 통해 설명된 표시장치 및

제조방법과 본 실시예에 따른 표시장치 및 제조방법의 차이점을 중심으로 설명한다.

- [0122] 도 7에 도시된 것과 같이, 제2 입력 전극(DE2)의 하측부분(DE2-P1)과 제2 출력 전극(SE2)의 하측부분(SE2-P1)은 제2 반도체 패턴(OSP2)의 내측에 배치된다. 제2 입력 전극(DE2)의 하측부분(DE2-P1)과 제2 출력 전극(SE2)의 하측부분(SE2-P1)은 제2 반도체 패턴(OSP2) 상에서 제1 방향(DR1)으로 이격되어 배치된다. 별도로 도시하지 않았으나, 평면 상에서 제2 입력 전극(DE2)의 하측부분(DE2-P1)과 제2 출력 전극(SE2)의 하측부분(SE2-P1)은 제2 반도체 패턴(OSP2)의 내측에 배치된다. 다시 말해, 제2 입력 전극(DE2)의 하측부분(DE2-P1)과 제2 출력 전극(SE2)의 하측부분(SE2-P1)은 전체 영역에서 제2 반도체 패턴(OSP2)과 중첩한다. 제2 입력 전극(DE2)의 하측부분(DE2-P1)과 제2 출력 전극(SE2)의 하측부분(SE2-P1)은 제2 중간 절연층(20)에 비접촉한다.
- [0123] 제2 입력 전극(DE2)의 하측부분(DE2-P1)의 외측면(P1-S1)은 제2 반도체 패턴(OSP2)의 제1 외측면(OSP2-S1)과 정렬되고, 제2 출력 전극(SE2)의 하측부분(SE2-P1)의 외측면(P1-S2)은 제2 반도체 패턴(OSP2)의 제2 외측면(OSP2-S2)과 정렬된다. 여기서 "측면과 측면이 정렬"되었다는 것은 2개의 층이 하나의 공정을 통해 식각되었다는 것을 의미하고, 측면과 측면이 평행한 것으로 한정되지 않는다.
- [0124] 제2 반도체 패턴(OSP2)의 제1 외측면(OSP2-S1)과 제2 반도체 패턴(OSP2)의 제2 외측면(OSP2-S2)은 제1 방향(DR1)에서 마주한다. 제2 입력 전극(DE2)의 하측부분(DE2-P1)의 내측면과 제2 출력 전극(SE2)의 하측부분(SE2-P1)의 내측면은 제1 방향(DR1)에서 서로 이격된다. 제2 입력 전극(DE2)의 하측부분(DE2-P1)의 내측면과 제2 출력 전극(SE2)의 하측부분(SE2-P1)의 내측면 사이의 거리는 제2 반도체 패턴(OSP2)의 채널 길이와 실질적으로 동일할 수 있다.
- [0125] 도 7에 도시된 것과 같이, 제2 전극(E2)과 제2 중간 절연층(20) 사이에 더미 반도체 패턴(OSP-C)이 배치될 수 있다. 더미 반도체 패턴(OSP-T1)은 도전패턴(CP)과 제2 중간 절연층(20) 사이에도 배치될 수 있다.
- [0126] 더미 반도체 패턴들(OSP-C, OSP-T1)과 제2 반도체 패턴(OSP2)은 동일한 반도체 물질을 포함한다. 더미 반도체 패턴들(OSP-C, OSP-T1)과 제2 반도체 패턴(OSP2)은 산화물 반도체를 포함할 수 있다.
- [0127] 더미 반도체 패턴들(OSP-C, OSP-T1)은 제2 반도체 패턴(OSP2)과 동일한 공정을 통해 형성되므로, 동일한 특성을 가질 수 있다. 예컨대, 더미 반도체 패턴들(OSP-C, OSP-T1)과 제2 반도체 패턴(OSP2)은 수직 결정질 산화물 반도체를 포함할 수 있다.
- [0128] 더미 반도체 패턴들(OSP-C, OSP-T1) 각각은 유전층 또는 도전층의 기능을 가질 수 있다. 더미 반도체 패턴들(OSP-C, OSP-T1)은 고유전율을 갖는 반도체 물질을 포함할 수 있다. 이때 더미 반도체 패턴들(OSP-C, OSP-T1)은 유전성을 갖는다. 더미 반도체 패턴(OSP-C)은 커패시터(Cst)의 커패시턴스를 증가시킬 수 있다.
- [0129] 더미 반도체 패턴들(OSP-C, OSP-T1)과 제2 반도체 패턴(OSP2)은 n타입의 도펀트로 도핑될 수 있다. 그에 따라 더미 반도체 패턴들(OSP-C, OSP-T1)과 제2 반도체 패턴(OSP2)은 도전성을 가질 수 있다. 다만, 제2 반도체 패턴(OSP2)의 채널영역은 도전성을 갖지 않는다. 이에 대한 상세한 설명은 후술한다.
- [0130] 도 8a에 도시된 것과 같이, 베이스 기판(SUB) 상에 버퍼층(BFL), 제1 반도체 패턴(OSP1), 제1 중간 절연층(10), 제1 제어 전극(GE1), 제2 제어 전극(GE2), 제1 전극(E1), 및 제2 중간 절연층(20)을 형성한다. 도 6a 내지 도 6c를 참조하여 설명한 공정과 동일할 수 있는 바, 상세한 설명은 생략한다.
- [0131] 도 8b에 도시된 것과 같이, 제2 중간 절연층(20) 상에 반도체층(OSL) 및 도전층(ML)을 형성한다. 반도체층(OSL)을 형성한 후, 도전층(ML)을 반도체층(OSL) 상에 직접 형성할 수 있다. 반도체층(OSL)은 산화물 반도체를 포함할 수 있다. 반도체층(OSL)을 형성한 후 도핑공정을 더 진행할 수 있다. 예컨대, n타입의 도펀트로 도핑된 반도체층은 도전성을 가질 수 있다.
- [0132] 도전층(ML)과 반도체층(OSL)을 동시에 패터닝할 수 있다. 예컨대, 하프톤 마스크(MSK)를 이용할 수 있다. 하프톤 마스크(MSK)는 제2 입력 전극(DE2)의 하측부분(DE2-P1)에 대응하는 제1 차광부분(ST1), 제2 출력 전극(SE2)의 하측부분(SE2-P1)에 대응하는 제2 차광부분(ST2), 및 제1 차광부분(ST1)과 제2 차광부분(ST2) 사이에 배치된 반투과부분(HT)을 포함한다. 반투과부분(HT)에는 복수 개의 슬릿이 정의된다. 하프톤 마스크(MSK)는 제1 제어 전극(GE1)에 대응하는 제3 차광부분(ST3) 및 제2 전극(E2)에 대응하는 제4 차광부분(ST4)을 더 포함할 수 있다. 또한, 광을 투과시키는 복수 개의 투광부분들(MSK-OP)을 포함할 수 있다.
- [0133] 도 8b에 설명한 것과 같이 도전층(ML)과 반도체층(OSL)을 동시에 패터닝하면, 도 8c에 도시된 제2 중간 절연층(20) 상에 제2 반도체 패턴(OSP2), 더미 반도체 패턴들(OSP-T1, OSP-C), 제2 입력 전극(DE2)의 하측부분(DE2-P1), 제2 출력 전극(SE2)의 하측부분(SE2-P1), 도전패턴(CP), 제2 전극(E2)이 형성된다. 제2 입력 전극(DE2)의

하측부분(DE2-P1), 제2 출력 전극(SE2)의 하측부분(SE2-P1), 도전패턴(CP), 제2 전극(E2) 각각은 제2 반도체 패턴(OSP2) 및 더미 반도체 패턴들(OSP-T1, OSP-C) 중 대응하는 반도체 패턴들 상에 배치되고, 제2 중간 절연층(20)에 비접촉한다.

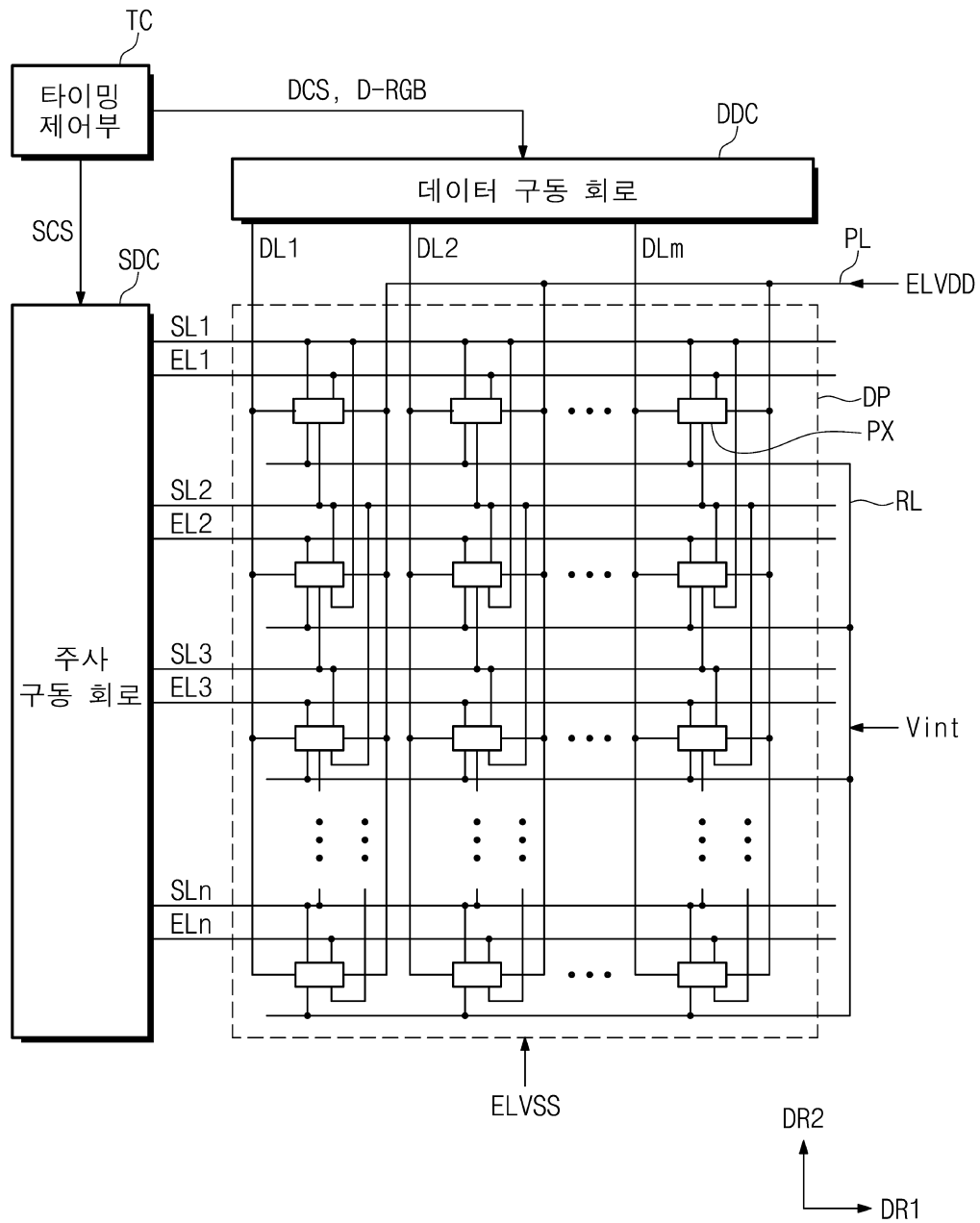
- [0134] 제2 반도체 패턴(OSP2)의 중심영역은 제2 입력 전극(DE2)의 하측부분(DE2-P1)과 제2 출력 전극(SE2)의 하측부분(SE2-P1)에 의해 노출된다. 제2 반도체 패턴(OSP2)의 중심영역의 도전성을 제거하고, 제2 반도체 패턴(OSP2)의 채널영역을 형성하기 위해, 도 8c에 도시된 것과 같이 플라즈마처리를 실시할 수 있다. N2 가스를 플마즈마 가스(PT)로 이용하여 노출된 제2 반도체 패턴(OSP2)의 중심영역을 비활성화시킨다.
- [0135] 플라즈마 처리는 선택적으로 진행될 수 있다. 예컨대, 도 8b에 도시된 반도체층(OSL)이 도핑되지 않았다면, 본 공정은 생략될 수 있다.
- [0136] 이후, 도 8d 내지 도 8f에 도시된 후속공정을 진행한다. 도 8d 내지 도 8f에 도시된 공정은 도 6e 내지 도 6g에 도시된 공정과 실질적으로 동일한 바 상세한 설명은 생략한다.
- [0138] 도 9는 본 발명의 일 실시예에 따른 화소에 대응하는 표시장치의 단면도이다. 이하, 도 7에 도시된 표시장치와의 차이점을 중심으로 설명한다.
- [0139] 도 9에 도시된 것과 같이, 제2 트랜지스터(T2)는 2개의 제어 전극들(GE2-1, GE2-2)을 포함할 수 있다. 제2 트랜지스터(T2)는 일명, 더블 게이트 구조를 갖는다. 2개의 제어 전극들(GE2-1, GE2-2) 중 하나의 제어 전극(GE2-1, 이하 하측 제어 전극)은 제1 중간 절연층(10)과 제2 중간 절연층(20) 사이에 배치되고, 다른 하나의 제어 전극(GE2-2, 이하 상측 제어 전극)은 상부 절연층(30) 상에 배치된다. 상기 하측 제어 전극(GE2-1)은 도 7의 제2 제어 전극(GE2)에 대응한다. 이때 상기 상측 제어 전극(GE2-2)은 제3 제어 전극으로 지칭될 수 있다.
- [0140] 상측 제어 전극(GE2-2)은 제2 입력 전극(DE2)의 상측부분(DE2-P2)과 제2 출력 전극(SE2)의 상측부분(SE2-P2) 사이에 배치된다. 도 9에 미 도시되었으나, 하측 제어 전극(GE2-1)과 상측 제어 전극(GE2-2)은 서로 전기적으로 연결된다. 상부 절연층(30)과 제2 중간 절연층(20)을 관통하는 콘택홀을 통해 2개의 제어 전극들(GE2-1, GE2-2)이 서로 연결될 수 있다. 이때, 상부 절연층(30)은 제2 중간 절연층(20)처럼 게이트 절연층의 기능을 갖는다.
- [0141] 상측 제어 전극(GE2-2)은 도 8e에 도시된 제2 입력 전극(DE2)의 상측부분(DE2-P2)을 형성하는 공정을 통해 제2 입력 전극(DE2)의 상측부분(DE2-P2)과 동시에 형성될 수 있다. 상측 제어 전극(GE2-2)은 제2 입력 전극(DE2)의 상측부분(DE2-P2)과 동일한 물질, 동일한 층구조를 가질 수 있다.
- [0142] 별도로 도시하지 않았으나, 도 3에 도시된 제2 트랜지스터(T2) 역시 2개의 제어 전극들(GE2-1, GE2-2)을 포함할 수 있다.
- [0144] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.
- [0145] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

부호의 설명

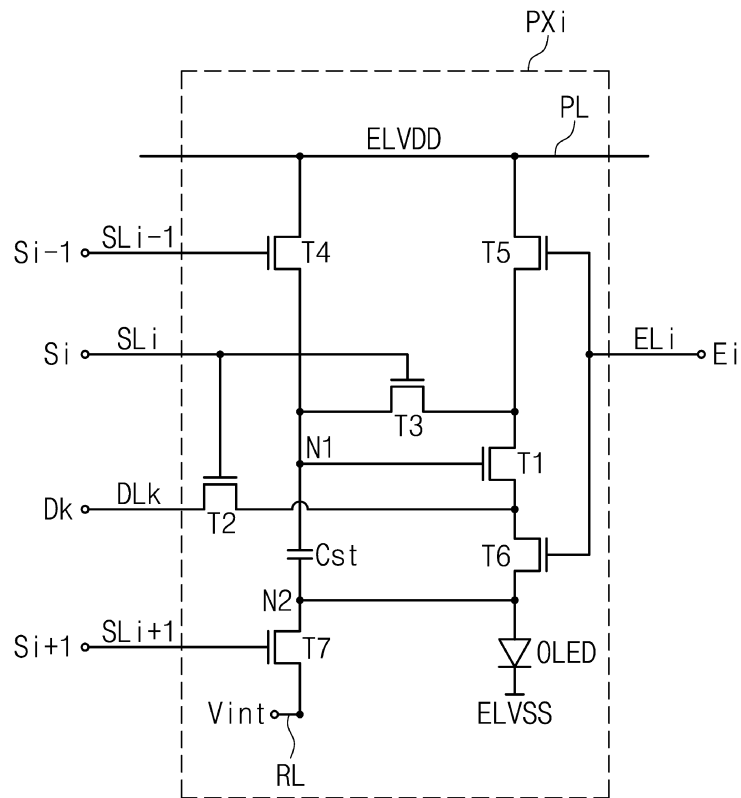
- [0146] T1: 제1 박막 트랜지스터 T2: 제2 박막 트랜지스터
 OLED: 유기발광 다이오드 DE1, DE2: 입력 전극
 SE1, SE2: 출력 전극 GE1, GE2: 제어 전극
 OSP1, OSP2: 반도체 패턴

도면

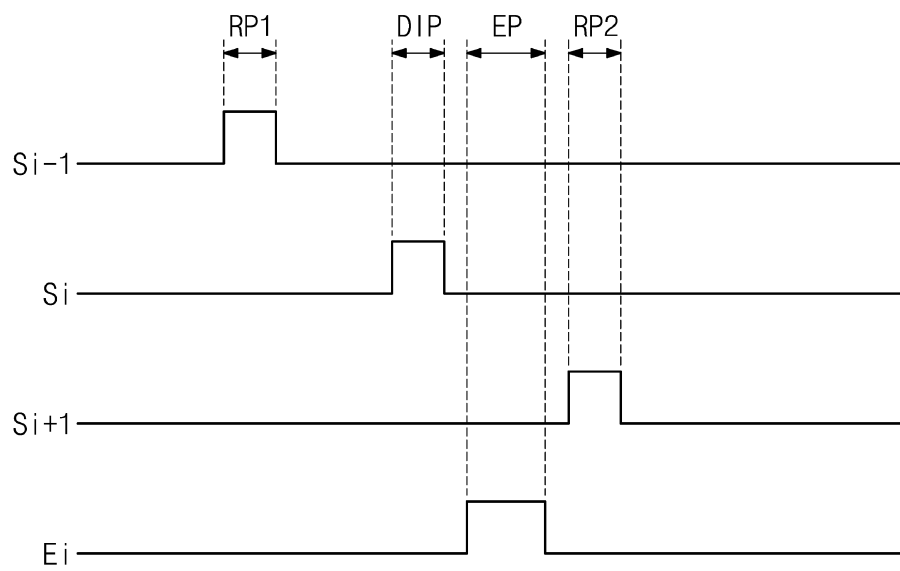
도면1



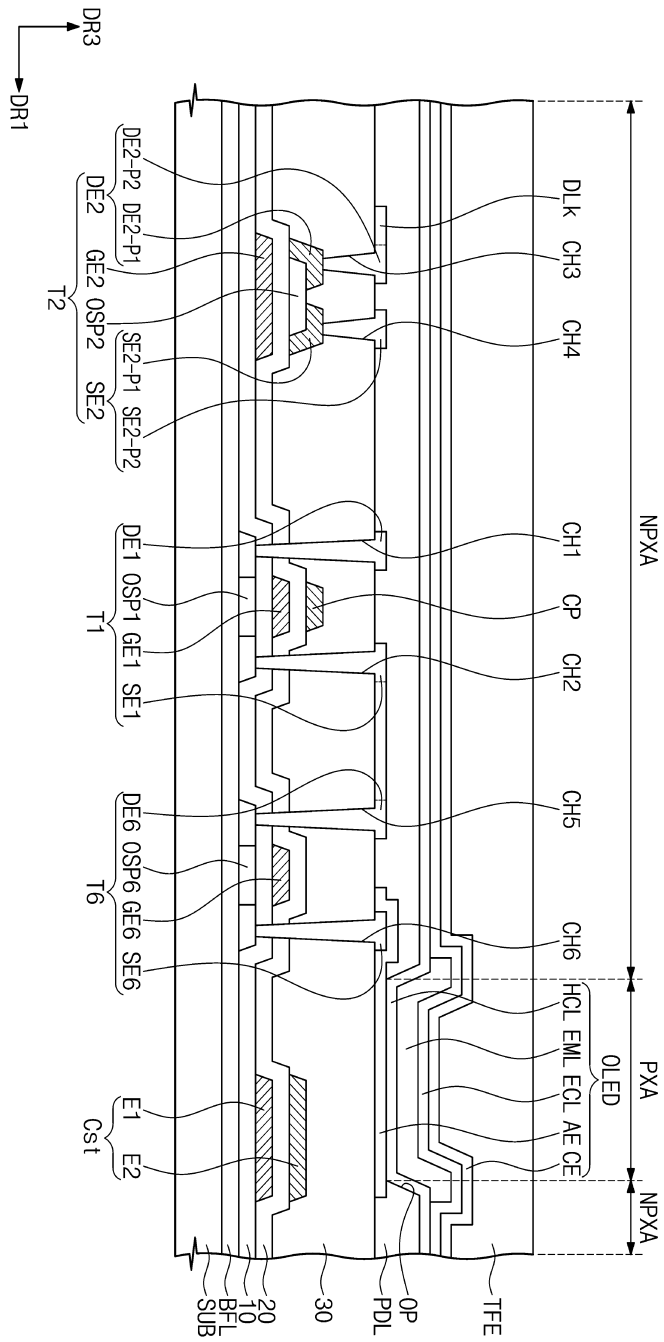
도면2a



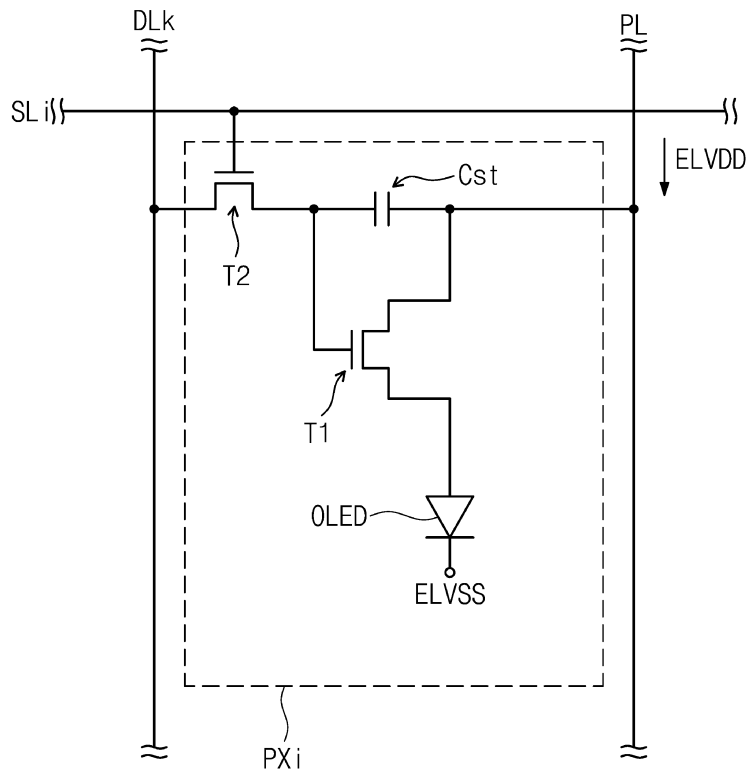
도면2b



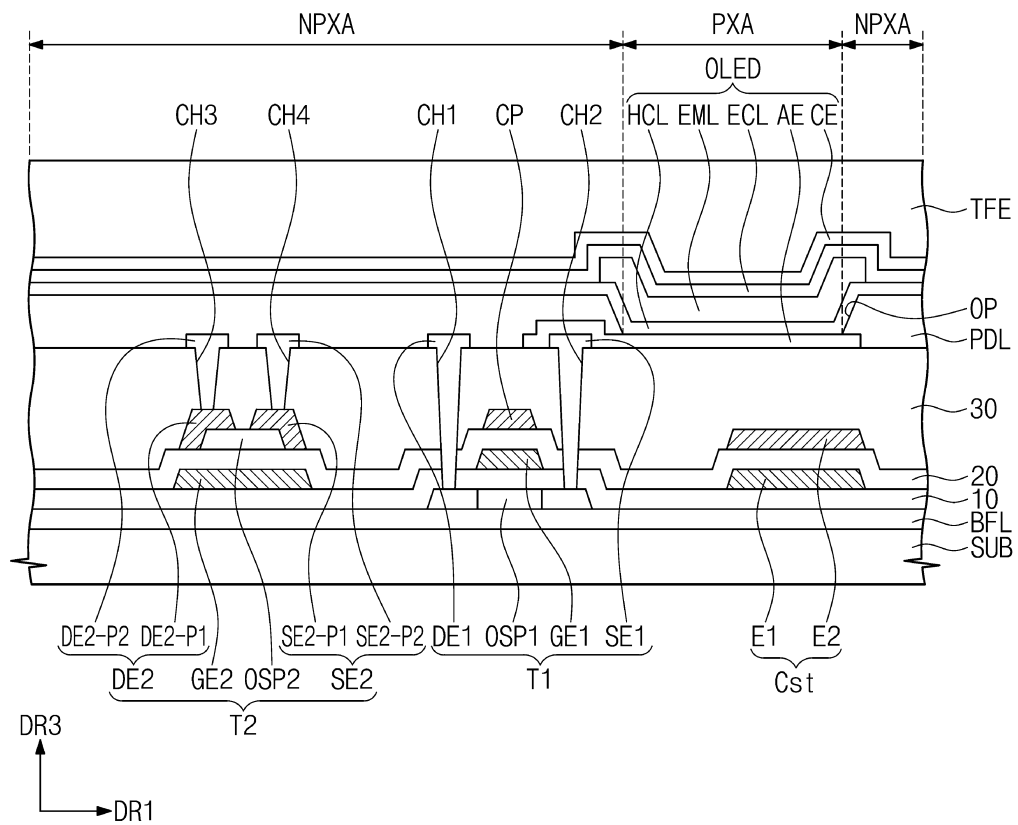
도면3



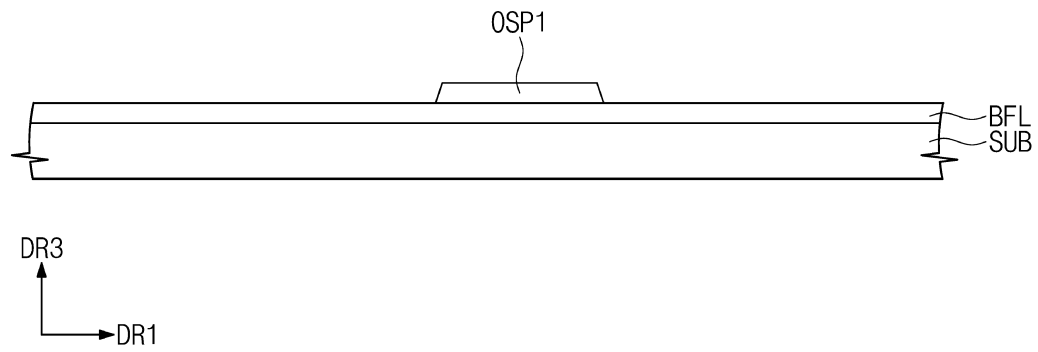
도면4



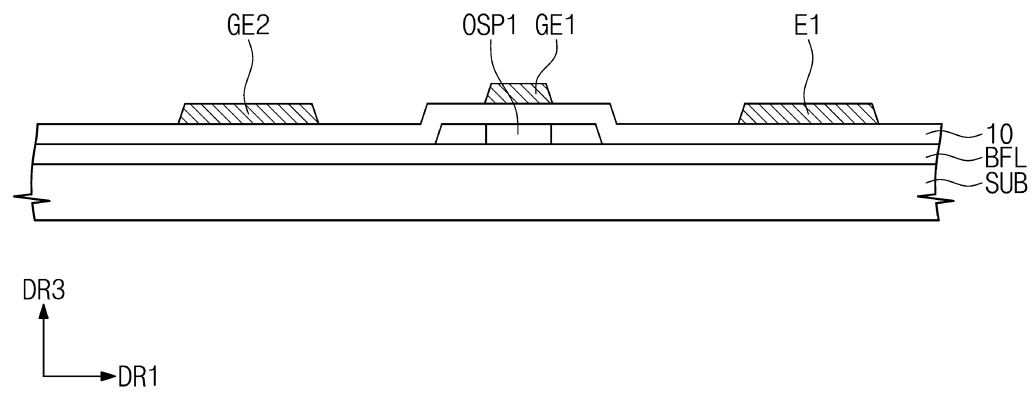
도면5



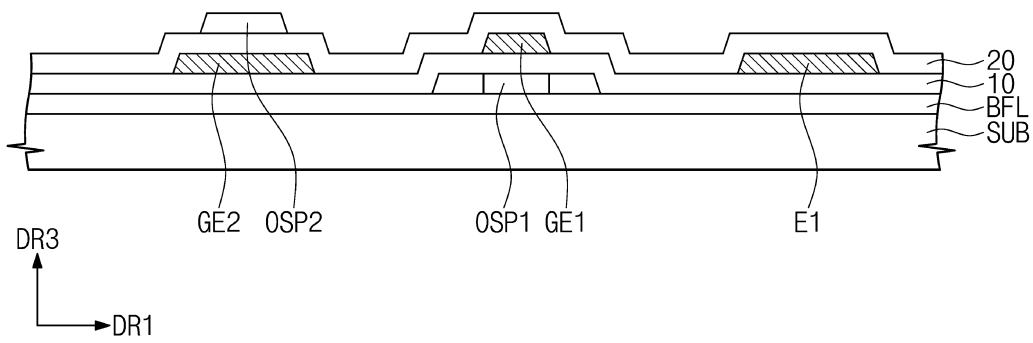
도면6a



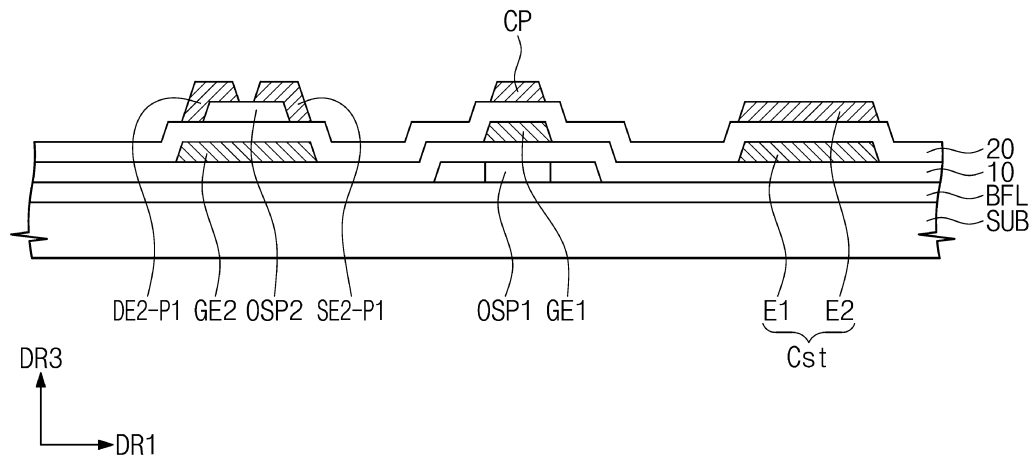
도면6b



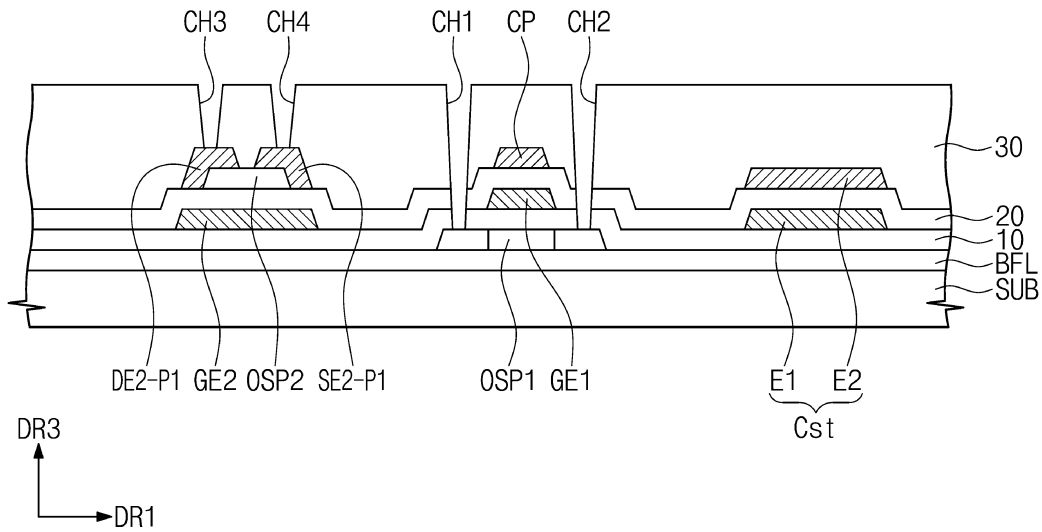
도면6c



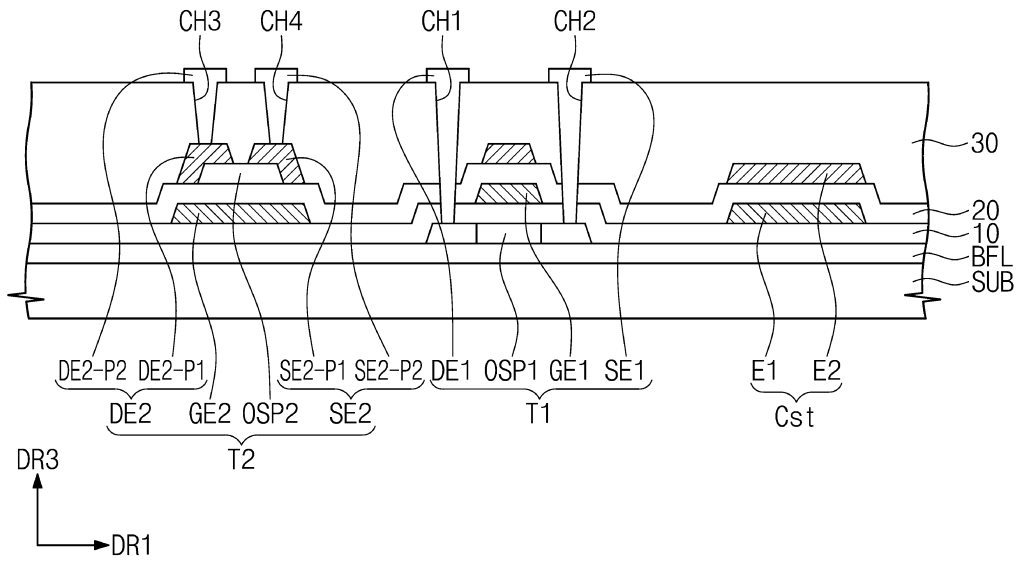
도면6d



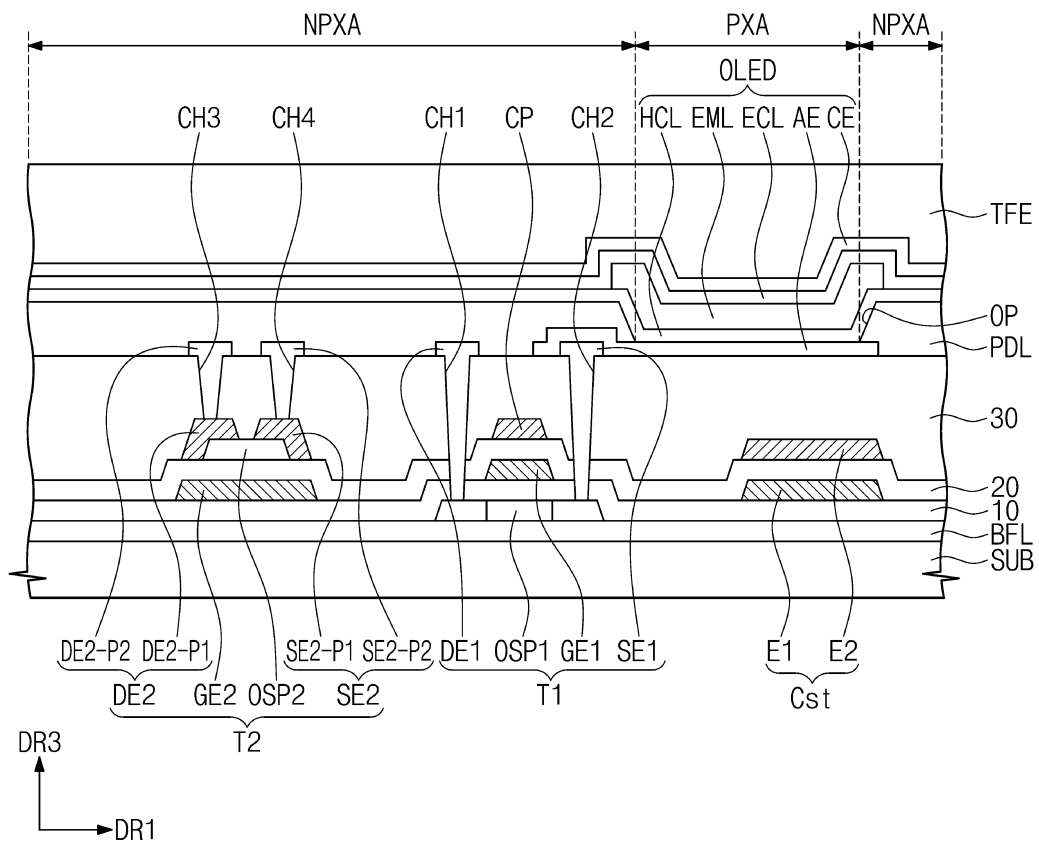
도면6e



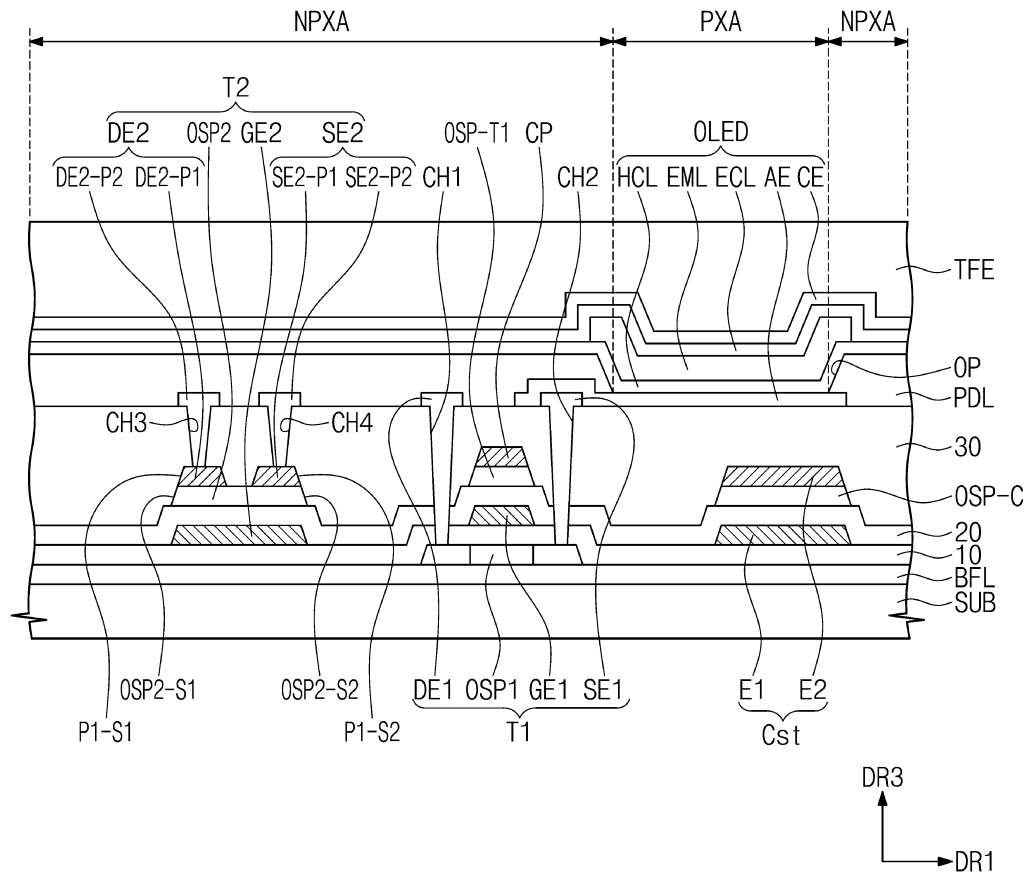
도면6f



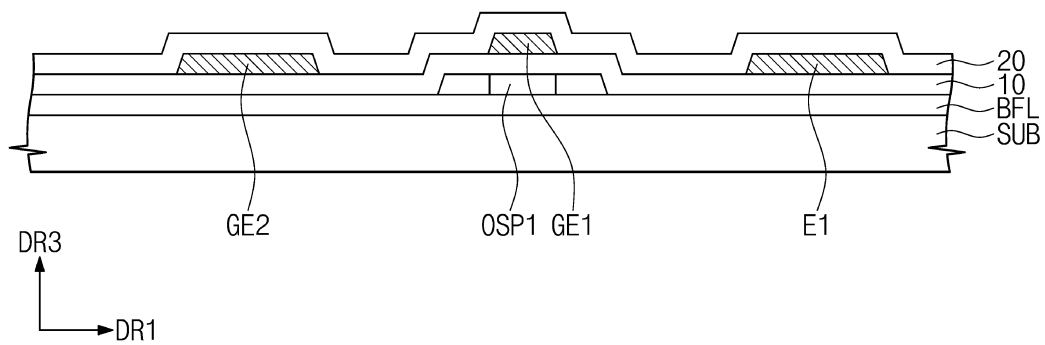
도면6g



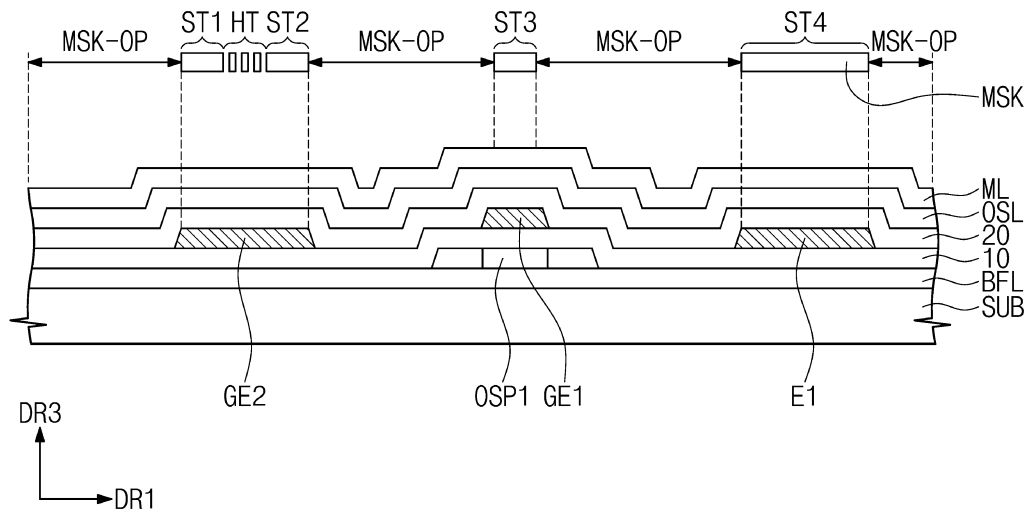
도면7



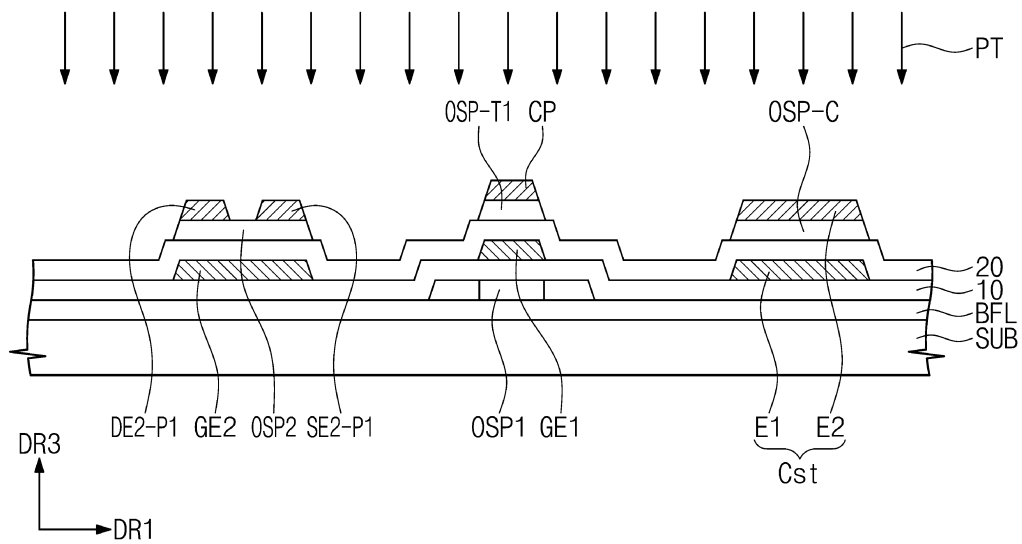
도면8a



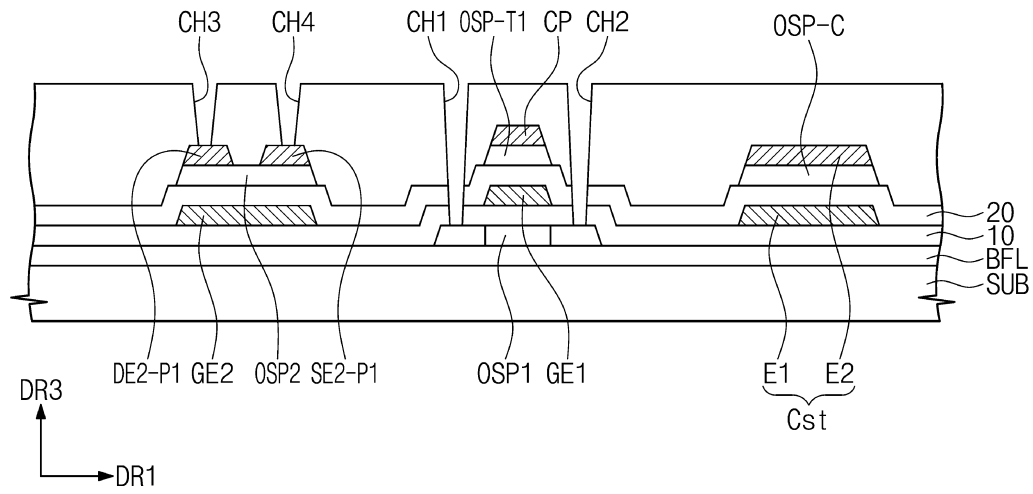
도면8b



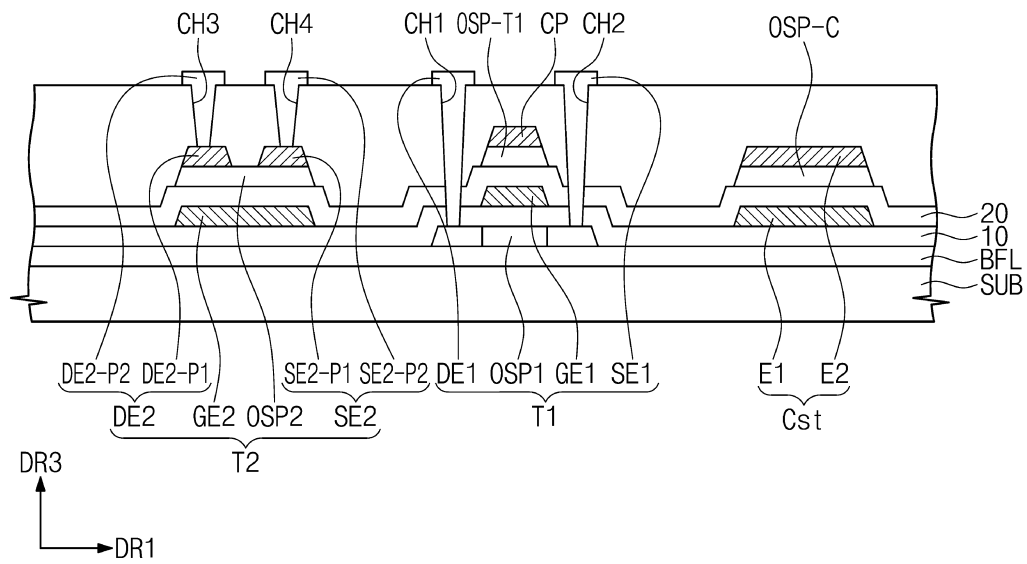
도면8c



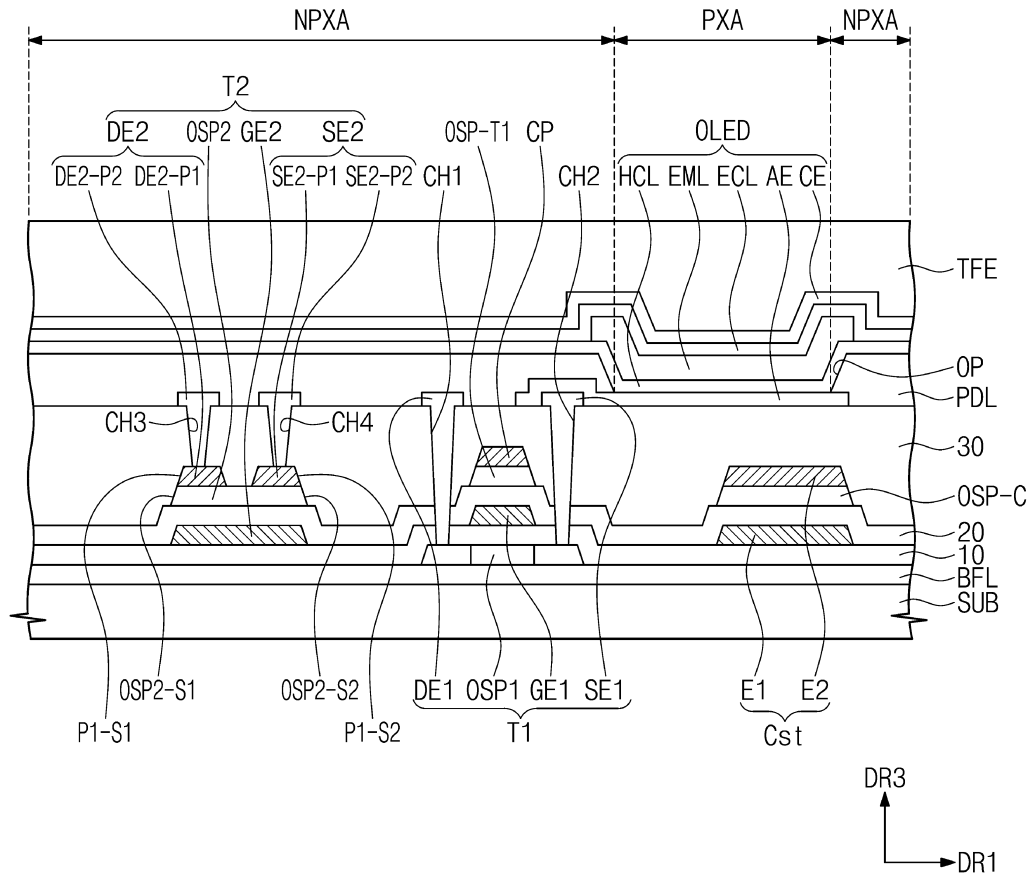
도면8d



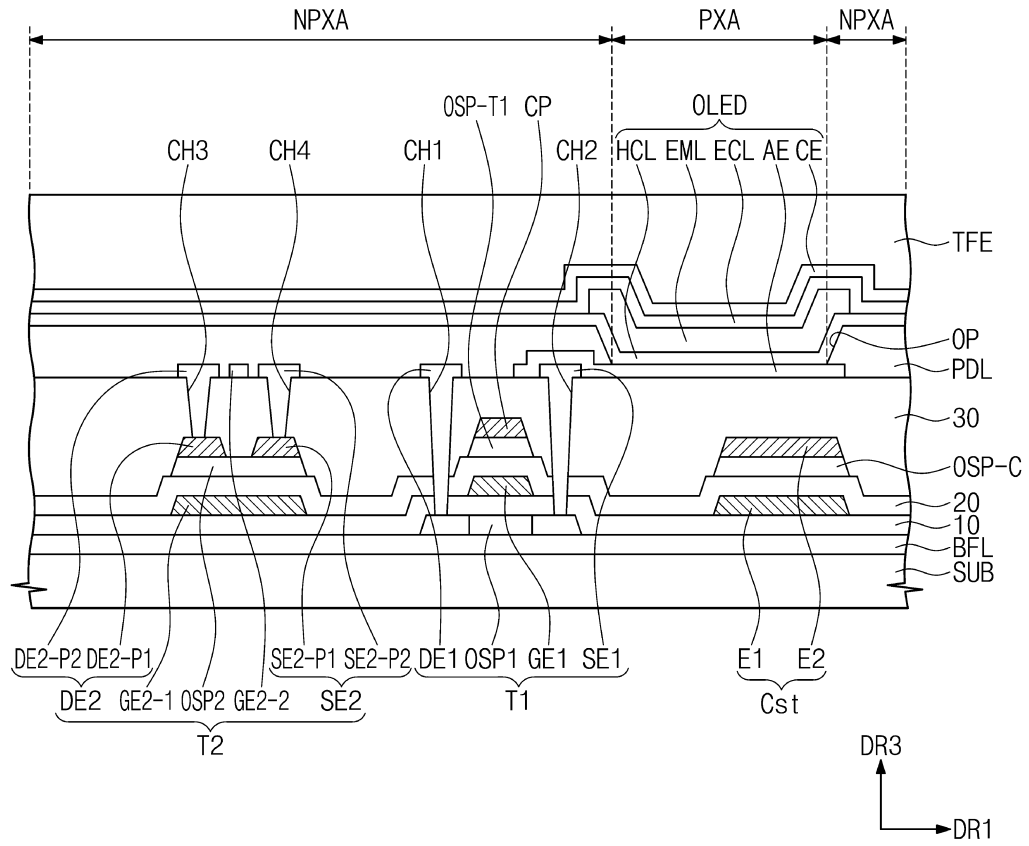
도면8e



도면8f



도면9



专利名称(译)	显示装置及其制造方法		
公开(公告)号	KR1020180026610A	公开(公告)日	2018-03-13
申请号	KR1020160113445	申请日	2016-09-02
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM JAYBUM 김재범 KIM EOK SU 김억수 SON KYOUNG SEOK 손경석 LIM JUN HYUNG 임준형 LIM JIHUN 임지훈		
发明人	김재범 김억수 손경석 임준형 임지훈		
IPC分类号	H01L27/32 H01L27/12 H01L51/56		
CPC分类号	H01L27/3262 H01L27/1251 H01L27/3265 H01L27/1225 H01L27/3276 H01L27/3223 H01L51/56 H01L27/3272 H01L27/1288 H01L2227/323 G09G3/3208 H01L27/1222 H01L27/3244 G09G3/3233 G09G2300/0426 G09G2300/0814 G09G2300/0842 G09G2300/0861 G09G2300/0866 G09G2310/0245 G09G2310/0262 G09G3/32 H01L27/1108 H01L51/0023 H01L51/0096 H01L51/5203 H01L51/5296		
外部链接	Espacenet		

摘要(译)

显示装置包括基础衬底，薄膜晶体管，第二薄膜晶体管和有机发光二极管，以及电连接到薄膜晶体管的电容器。薄膜晶体管包括布置在第一层间电介质下侧中的第一半导体图案，包括布置在第一层间电介质上侧中并布置在第二层间电介质下侧中的第一中介电极的第二中介电极，第二薄膜晶体管布置在第一层间电介质上侧并且布置在第二层间电介质下侧中，并且第二半导体图案布置在第二层间电介质上侧中。

