



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0002926  
(43) 공개일자 2018년01월09일

(51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01) H01L 51/52 (2006.01)  
(52) CPC특허분류  
H01L 27/3276 (2013.01)  
H01L 27/3258 (2013.01)  
(21) 출원번호 10-2016-0081459  
(22) 출원일자 2016년06월29일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
최재영  
서울특별시 노원구 월계로 334 324호 (월계동, 그  
랑디오피스텔)  
(74) 대리인  
특허법인로알

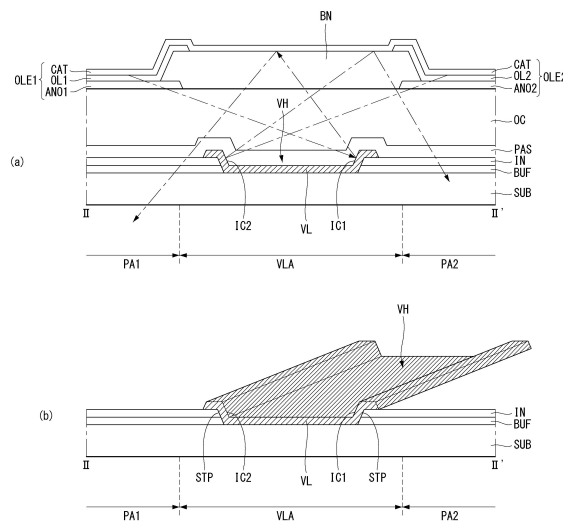
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 유기발광 다이오드 표시장치

### (57) 요약

본 발명에 의한 유기발광 다이오드 표시장치는 표시패널, 수직 라인, 및 싱크홀을 포함한다. 표시패널은 복수의 픽셀들을 갖는다. 수직 라인은 수평 방향으로 이웃하는 픽셀들 사이에 배치된다. 싱크홀은 수직 라인들 하부의 절연막에 구비된다. 수직 라인은 싱크홀과, 싱크홀을 정의하는 절연막의 단차부를 덮는다.

대표도 - 도10



(52) CPC특허분류

**H01L 51/5262** (2013.01)

H01L 2227/32 (2013.01)

H01L 2251/105 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

복수의 픽셀들을 갖는 표시패널;

수평 방향으로 이웃하는 상기 픽셀들 사이에 배치된 수직 라인; 및

상기 수직 라인들 하부의 절연막에 구비된 싱크홀을 포함하고,

상기 수직 라인은,

상기 싱크홀과, 상기 싱크홀을 정의하는 상기 절연막의 단차부를 덮는 유기발광 다이오드 표시장치.

#### 청구항 2

제 1 항에 있어서,

수평으로 이웃한 상기 픽셀들 사이에, 복수 개의 상기 수직 라인들이 서로 나란하게 배치되는 유기발광 다이오드 표시장치.

#### 청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 싱크홀은 복수 개이고,

상기 싱크홀들은,

소정 간격으로 이격된 유기발광 다이오드 표시장치.

#### 청구항 4

제 3 항에 있어서,

수직 방향으로 이웃하는 상기 픽셀들 사이에 배치된 수평 라인을 더 포함하고,

상기 싱크홀들은 수직 방향으로 배치되며,

수직 방향으로 이웃하는 상기 싱크홀들 사이의 공간을 상기 수평 라인이 가로지르는 유기발광 다이오드 표시장치.

#### 청구항 5

제 3 항에 있어서,

상기 싱크홀들 중 어느 하나의 폭은,

다른 하나의 폭과 서로 상이한 유기발광 다이오드 표시장치.

#### 청구항 6

제 3 항에 있어서,

상기 수직 라인의 상부면은,

소정의 경사각을 갖는 제1 경사면, 및 제2 경사면을 포함하는 유기발광 다이오드 표시장치.

#### 청구항 7

제 6 항에 있어서,

상기 제1 경사면이 갖는 경사각은, 상기 제2 경사면이 갖는 경사각과 서로 상이한 유기발광 다이오드 표시장치.

#### 청구항 8

제 6 항에 있어서,

상기 싱크홀들 중 어느 하나의 제1 경사면이 갖는 경사각은, 다른 하나의 제1 경사면이 갖는 경사각과 서로 상이한 유기발광 다이오드 표시장치.

#### 청구항 9

제 6 항에 있어서,

상기 싱크홀들 중 어느 하나의 제2 경사면이 갖는 경사각은, 다른 하나의 제2 경사면이 갖는 경사각과 서로 상이한 유기발광 다이오드 표시장치.

#### 청구항 10

제 1 항에 있어서,

상기 수직 라인은,

데이터 라인 및 전원 라인 중 어느 하나인 유기발광 다이오드 표시장치.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 유기발광 다이오드 표시장치에 관한 것이다.

#### 배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 유기발광 다이오드 표시장치(Organic Light Emitting Display: OLED), 액정표시장치(Liquid Crystal Display: LCD) 및 플라즈마표시장치(Plasma Display Panel: PDP) 등과 같은 표시장치의 사용이 증가하고 있다.

[0003] 그 중 유기발광 다이오드 표시장치는 자발광소자이기 때문에 백라이트가 필요한 액정표시장치에 비하여 소비전력이 낮고, 더 얇게 제작될 수 있다. 또한, 유기 발광 다이오드 표시장치는 시야각이 넓고 응답속도가 빠른 장점이 있다. 유기 발광 다이오드 표시장치는 대화면 양산 기술 수준까지 공정 기술이 발전되어 액정표시장치와 경쟁하면서 시장을 확대하고 있다.

[0004] 유기발광 다이오드 표시장치의 픽셀들은 자발광 소자인 유기발광 다이오드를 포함한다. 유기발광 다이오드 표시장치는 발광재료의 종류, 발광방식, 발광구조, 구동방식 등에 따라 다양하게 나뉘어질 수 있다. 유기발광 다이오드 표시장치는 발광방식에 따라 형광발광, 인광발광으로 나뉘 수 있고, 발광구조에 따라 상부 발광형(Top Emission) 구조와 하부 발광형(Bottom Emission) 구조로 나뉘어질 수 있다. 또한, 유기발광 다이오드 표시장치는 구동방식에 따라 PMOLED(Passive Matrix OLED)와 AMOLED(Active Matrix OLED)로 나뉘어질 수 있다.

[0005] 하부 발광형 구조의 경우, 선택된 픽셀의 유기발광 다이오드로부터의 빛은 유기발광 다이오드 하부에 위치하는 표시 패널의 내부 소자들을 거쳐 하부 방향으로 방출된다. 이때, 도전 물질로 이루어진 금속층으로 입사된 빛은, 금속층에 의해 반사되어 이웃하는 픽셀에 입사될 수 있다. 이웃하는 픽셀에 입사된 빛은, 이웃하는 픽셀에서 구현하고자하는 계조를 왜곡시키는 등 색 관련 불량을 야기한다. 따라서, 제품 신뢰성을 향상시키기 위해 빛샘 불량을 개선할 필요가 있다.

### 발명의 내용

#### 해결하려는 과제

[0006] 본 발명의 목적은 빛샘 불량을 줄일 수 있는 유기발광 다이오드 표시장치를 제공하는 데 있다.

#### 과제의 해결 수단

[0007] 본 발명에 의한 유기발광 다이오드 표시장치는 표시패널, 수직 라인, 및 싱크홀을 포함한다. 표시패널은 복수의 픽셀들을 갖는다. 수직 라인은 수평 방향으로 이웃하는 픽셀들 사이에 배치된다. 싱크홀은 수직 라인들 하부의 절연막에 구비된다. 수직 라인은 싱크홀과, 싱크홀을 정의하는 절연막의 단차부를 덮는다.

### 발명의 효과

[0008] 본 발명은 수직 라인이 구비되는 수직 라인 영역에 싱크 구조를 형성한다. 이에 따라, 본 발명은 빛샘 불량을 줄일 수 있어 이웃하는 픽셀에서 왜곡된 계조가 표현되는 문제를 최소화할 수 있다. 또한, 본 발명은 유기발광 다이오드로부터 방출된 빛의 누설을 줄일 수 있어 광 효율이 향상된 유기발광 다이오드 표시장치를 제공할 수 있다.

### 도면의 간단한 설명

[0009] 도 1은 본 발명에 의한 유기발광 다이오드 표시장치를 개략적으로 나타낸 도면이다.  
 도 2는 도 1에 도시된 픽셀을 개략적으로 나타낸 구성도이다.  
 도 3은 도 1에 도시된 픽셀 내 회로 구성도의 일 예를 보여주는 도면이다.  
 도 4 내지 도 6은 수직 라인들과 픽셀들의 접속 예들을 보여주는 도면들이다.  
 도 7은 본 발명에 의한 유기발광 다이오드 표시장치의 개략적인 구조를 나타내는 평면도이다.  
 도 8은 도 7에 도시한 유기발광 다이오드 표시장치를 절취선 I-I'을 따라 절취한 단면도이다.  
 도 9 및 도 10은 도 7에 도시한 유기발광 다이오드 표시장치를 절취선 II-II'을 따라 절취한 단면도들로, 수직 라인 영역의 구조를 설명하기 위한 도면들이다.  
 도 11 내지 도 16은 본 발명의 바람직한 실시예들을 설명하기 위한 도면들이다.

### 발명을 실시하기 위한 구체적인 내용

[0010] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 여러 실시예들을 설명함에 있어서, 동일한 구성요소에 대하여는 서두에서 대표적으로 설명하고 다른 실시예에서는 생략될 수 있다.

[0011] 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0012] 도 1은 본 발명에 의한 유기발광 다이오드 표시장치를 개략적으로 나타낸 도면이다. 도 2는 도 1에 도시된 픽셀을 개략적으로 나타낸 구성도이다. 도 3은 도 1에 도시된 픽셀 내 회로 구성도의 일 예를 보여주는 도면이다.

[0013] 도 1을 참조하면, 본 발명에 의한 유기발광 다이오드 표시장치(10)는 디스플레이 구동 회로, 표시패널(10)을 포함한다.

[0014] 디스플레이 구동 회로는 데이터 구동회로(12), 게이트 구동회로(14) 및 타이밍 콘트롤러(16)를 포함하여 입력 영상의 비디오 데이터 전압을 표시패널(10)의 픽셀들에 기입한다. 데이터 구동회로(12)는 타이밍 콘트롤러(16)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 감마보상전압으로 변환하여 데이터 전압을 발생한다.

[0015] 표시패널(10)은 픽셀들, 및 픽셀들을 구획하는 수직 라인들과 수평 라인들을 포함한다. 픽셀들 각각은 자발광 소자인 유기발광 다이오드(Organic Light Emitting Diode; 이하 OLED 라 함)를 포함한다. 수직 라인들은 제1 방향(예를 들어, y축 방향)을 따라 형성된다. 수평 라인들은 제1 방향과 교차하는 제2 방향(예를 들어, x축 방향)을 따라 형성된다.

[0016] 수직 라인들은 데이터 라인들 및 전원 라인들을 포함한다. 데이터 라인들에는, 데이터 구동회로(12)로부터 출

력된 데이터 전압이 공급된다. 전원 라인들에는, 전원 발생부로부터 출력된 전원 전압이 공급될 수 있다.

- [0017] 수평 라인들은 게이트 신호가 인가되는 게이트 라인들을 포함한다. 게이트 구동회로(14)는 데이터 전압에 동기되는 게이트 신호를 게이트 라인들에 순차적으로 공급하여 데이터 전압이 기입되는 표시패널(10)의 픽셀들을 선택한다.
- [0018] 타이밍 컨트롤러(16)는 호스트 시스템(19)으로부터 입력되는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(MCLK) 등의 타이밍신호를 입력받아 데이터 구동회로(12)와 게이트 구동회로(14)의 동작 타이밍을 동기시킨다. 데이터 구동회로(12)를 제어하기 위한 데이터 타이밍 제어신호는 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 게이트 구동회로(14)를 제어하기 위한 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다.
- [0019] 호스트 시스템(19)은 텔레비전 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나로 구현될 수 있다. 호스트 시스템(19)은 스케일러 scaler를 내장한 SoC(System on chip)을 포함하여 입력 영상의 디지털 비디오 데이터(RGB)를 표시패널(10)에 표시하기에 적합한 포맷으로 변환한다. 호스트 시스템(19)은 디지털 비디오 데이터와 함께 타이밍 신호들(Vsync, Hsync, DE, MCLK)을 타이밍 컨트롤러(16)로 전송한다.
- [0020] 도 2를 더 참조하면, 표시패널(10)에는 다수의 데이터 라인들(D)과, 다수의 게이트 라인들(G)이 교차되고, 이 교차영역마다 픽셀들이 매트릭스 형태로 배치된다. 픽셀 각각은 OLED, OLED에 흐르는 전류량을 제어하는 구동 박막 트랜지스터(Thin Film Transistor, 이하 TFT라 함)(DT), 구동 TFT(DT)의 게이트-소스간 전압을 셋팅하기 위한 프로그래밍부(SC)를 포함한다.
- [0021] 프로그래밍부(SC)는 적어도 하나 이상의 스위치 TFT와, 적어도 하나 이상의 스토리지 커패시터를 포함할 수 있다. 스위치 TFT는 게이트 라인(G)으로부터의 게이트 신호에 응답하여 턴 온 됨으로써, 데이터 라인(D)으로부터의 데이터 전압을 스토리지 커패시터의 일측 전극에 인가한다. 구동 TFT(DT)는 스토리지 커패시터에 충전된 전압의 크기에 따라 OLED로 공급되는 전류량을 제어하여 OLED의 발광량을 조절한다. OLED의 발광량은 구동 TFT(DT)로부터 공급되는 전류량에 비례한다. 이러한 픽셀은 고전위 전압원(EVDD)과 저전위 전압원(EVSS)에 연결되어, 도시하지 않은 전원 발생부로부터 각각 고전위 전원 전압과 저전위 전원 전압을 공급받는다. 픽셀을 구성하는 TFT들은 p 타입으로 구현되거나 또는, n 타입으로 구현될 수 있다. 또한, 픽셀을 구성하는 TFT들의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다. OLED는 애노드 전극(ANO), 캐소드 전극(CAT), 및 애노드 전극(ANO)과 캐소드 전극(CAT) 사이에 개재된 유기 화합물층을 포함한다. 애노드 전극(ANO)은 구동 TFT(DT)와 접촉된다.
- [0022] 도 3를 더 참조하면, 픽셀은 6T (Transistor) 1C (Capacitor)로 구성될 수 있다. 다만, 본 발명의 픽셀 구성이 6T 1C 구조에 한정되는 것은 아니다. 즉, 본 발명은 구동 TFT를 이용하여 OLED에 흐르는 전류를 조절하는 방식을 사용하는 모든 OLED 픽셀 구조를 포함할 수 있다.
- [0023] 이하, 픽셀에 포함된 TFT가 p 타입인 것을 예로 들어 설명하나 이에 한정되는 것은 아니며, n 타입 등으로 형성될 수 있다. TFT는 타입에 따라 소스 전극과 드레인 전극의 위치가 다를 수 있는바 이하의 설명에서는 이를 제1 전극과 제2 전극으로 명명한다.
- [0024] 제1 TFT(T1)는 제1a 게이트 라인(GL1a)에 연결된 게이트 전극, 제1 데이터 라인(DL1)에 연결된 제1전극, 및 스토리지 커패시터(Cstg)의 일단에 연결된 제2전극을 포함한다. 제1 TFT(T1)는 제1a 게이트 신호(SCAN1)에 응답하여 제1 데이터 라인(DL1)을 통해 공급되는 데이터 전압을 스토리지 커패시터(Cstg)에 전달하는 역할을 한다.
- [0025] 제2 TFT(T2)는 제1b 게이트 라인(GL1b)에 연결된 게이트 전극, 구동 TFT(DT)의 게이트 전극에 연결된 제1 전극, 및 구동 TFT(DT)의 제2 전극에 연결된 제2 전극을 포함한다. 제2 TFT(T2)는 제1b 게이트 신호(SCAN2)에 응답하여 구동 TFT(DT)의 게이트 전극과 소스전극 노드를 다이오드 커넥션 상태로 만들어 주는 역할을 한다.
- [0026] 제3 TFT(T3)는 제1c 게이트 라인(GL1c)에 연결된 게이트 전극, 레퍼런스 라인(VREF)에 연결된 제1 전극, 및 스토리지 커패시터(Cstg)의 일단에 연결된 제2 전극을 포함한다. 제3 TFT(T3)는 제1c 게이트 신호(EM)에 응답하여 스토리지 커패시터(Cstg)의 일단에 기준 전압(Vref)을 공급하는 역할을 한다.
- [0027] 제4 TFT(T4)는 제1c 게이트 라인(GL1c)에 연결된 게이트 전극, 구동 TFT(DT)의 제2 전극에 연결된 제1 전극, 및

유기발광 다이오드(OLED)의 애노드 전극에 연결된 제2 전극을 포함한다. 제4 TFT(T4)는 제1b 게이트 신호(SCAN2)에 응답하여 유기발광 다이오드(OLED)에 구동 전류를 전달하고, 이를 발광시키는 역할을 한다.

[0028] 제5 TFT(T5)는 제1b 게이트 라인(GL1b)에 연결된 게이트 전극, 레퍼런스 라인(VREF)에 연결된 제1 전극, 및 유기발광 다이오드(OLED)의 애노드 전극에 연결된 제2 전극을 포함한다. 제5 TFT(T5)는 제1b 게이트 신호(SCAN2)에 응답하여 유기발광 다이오드(OLED)의 애노드 전극에 기준 전압(Vref)을 공급하는 역할을 한다.

[0029] 구동 TFT(DT)는 스토리지 커패시터(Cstg)의 타단에 연결된 게이트 전극, 제1 전원(또는, 고전위 전압원)(EVDD)에 연결된 제1 전극, 제4 TFT(T4)의 제1 전극에 연결된 제2 전극을 포함한다. 구동 TFT(DT)는 스토리지 커패시터(Cstg)로부터 공급된 데이터 전압에 응답하여 턴 온 되며 유기발광 다이오드(OLED)에 공급할 구동 전류를 생성한다.

[0030] 유기발광 다이오드(OLED)는 제4 TFT(T4)의 제2 전극에 연결된 애노드 전극, 및 제2 전원(또는, 저전위 전압원)(EVSS)에 연결된 캐소드 전극을 포함한다. 유기발광 다이오드(OLED)는 제4 TFT(T4)를 통해 전달된 구동 전류에 대응하여 빛을 발광한다.

[0031] 이하, 도 4 내지 도 6을 더 참조하여, 수직 라인들과 픽셀(P)들의 접속 예를 설명한다. 도 4 내지 도 6은 수직 라인들과 픽셀들의 접속 예들을 보여주는 도면들이다.

[0032] 픽셀(P)들은 컬러 표현을 위한 단위 픽셀(UNIT PIXEL)들을 구성한다. 단위 픽셀은 수평 방향으로 이웃하는 적색 표시용 R 픽셀, 녹색 표시용 G 픽셀, 청색 표시용 B 픽셀을 포함할 수 있다. 또한, 단위 픽셀은, 도시한 바와 같이 필요에 따라 백색 표시용 W 픽셀을 더 포함할 수 있다.

[0033] 픽셀(P)들은 수직 라인(VL)들 및 수평 라인(HL)들에 의해 정의된다. 수직 라인(VL)들은 데이터 라인(D)들 및 전원 라인(20)들을 포함하고, 수평 라인(HL)들은 게이트 라인(G)들을 포함할 수 있다. 전원 라인(20)들은, 고전위 전원 전압 및 저전위 전원 전압을 인가하기 위한 전원 라인(20)들, 및 픽셀(P)들에 기준 전압(또는 초기화 전압, 또는 센싱 전압, 또는 보상 전압)을 인가하기 위한 레퍼런스 라인들을 포함할 수 있다. 레퍼런스 라인들은 픽셀(P)들에 구비된 구동 TFT의 전기적 특성 변화를 센싱 하는 데 이용될 수 있다.

[0034] 각 픽셀(P)은 데이터 라인(D)들 중 어느 하나에 접속되고, 게이트 라인(G)들 중 어느 하나에 접속된다. 각 픽셀(P)은 전원 라인(20)들에 접속된다. 전원 라인(20)들은 그 접속 구조에 따라 도 4와 같은 라인 독립 구조, 또는 도 5 및 도 6과 같은 라인 공유 구조로 구현될 수 있다.

[0035] 도 4에 도시된 전원 라인(20) 독립 구조에 따르면, 동일 수평 라인 상에 배치된 픽셀(P)들 각각은 수직 방향으로 연장된 서로 다른 전원 라인(20)에 독립적으로 접속될 수 있다. 예컨대, 수평 방향으로 나란하게 배열된 R 픽셀, W 픽셀, B 픽셀, G 픽셀 각각이 서로 다른 전원 라인(20)에 개별적으로 접속될 수 있다. 이 경우, 하나의 데이터 라인(D)과 하나의 전원 라인(20)은, 수평 방향으로 이웃하는 픽셀(P)들 사이마다 구비될 수 있다.

[0036] 도 5에 도시된 전원 라인(20) 공유 구조에 따르면, 동일 수평 라인 상에 배치된 어느 하나의 단위 픽셀과 다른 하나의 단위 픽셀은 서로 다른 전원 라인(20)에 독립적으로 접속되고, 각 단위 픽셀 내에 배치된 픽셀(P)들은 하나의 전원 라인(20)을 공유할 수 있다. 예컨대, 일 단위 픽셀을 이루는 R 픽셀, W 픽셀, G 픽셀, B 픽셀이 하나의 전원 라인(20)을 공유할 수 있다. 전원 라인(20\_1)은 수직 방향으로 연장되며, 보조 라인(20\_2)들은 전원 라인(20\_1)으로부터 분기되어 각 픽셀(P)에 접속될 수 있다. 이 경우, 일 단위 픽셀 내에서, 데이터 라인(D)은 수평 방향으로 이웃하는 픽셀(P)들 사이마다 구비되고, 전원 라인(20\_1)은 수평 방향으로 이웃하는 픽셀(P)들 사이 중 어느 하나에 구비될 수 있다.

[0037] 도 6에 도시된 전원 라인(20) 공유 구조에 따르면, 동일 수평 라인 상에 배치된 어느 하나의 단위 픽셀과 다른 하나의 단위 픽셀은 서로 다른 제1 전원 라인(21)에 독립적으로 접속되고, 각 단위 픽셀 내에 배치된 픽셀(P)들은 하나의 제1 전원 라인(21)을 공유할 수 있다. 또한, 동일 수평 라인 상에 배치된 어느 하나의 단위 픽셀과 다른 하나의 단위 픽셀은 서로 다른 제2 전원 라인(23)에 독립적으로 접속되고, 각 단위 픽셀 내에 배치된 픽셀(P)들은 하나의 제2 전원 라인(23)을 공유할 수 있다.

[0038] 예컨대, 일 단위 픽셀을 이루는 R 픽셀, W 픽셀, G 픽셀, B 픽셀이 하나의 제1 전원 라인(21)을 공유할 수 있고, 하나의 제2 전원 라인(23)을 공유할 수 있다. 이 경우, 일 단위 픽셀 내에서, 데이터 라인(D)은 수평 방향으로 이웃하는 픽셀(P)들 사이마다 구비되고, 제1 전원 라인(21)은 수평 방향으로 이웃하는 픽셀(P)들 사이 중 어느 하나에 구비되며, 제2 전원 라인(23)은 수평 방향으로 이웃하는 픽셀(P)들 사이 중 어느 하나에 구비될 수 있다.



- [0039] 일반적으로, 데이터 라인(D)들은 전원 라인(20)들 대비 상대적으로 좁은 폭을 갖는다. 따라서, 일 단위 픽셀 내에서, 수평 방향으로 이웃하는 픽셀(P)들에 각각 접속된 두 개의 데이터 라인(D)들은 이웃하는 픽셀(P)들 사이에 함께 구비되고, 제1 전원 라인(21)은 수평 방향으로 이웃하는 픽셀(P)들 사이 중 데이터 라인(D)들이 배치되지 않은 어느 하나에 구비되며, 제2 전원 라인(23)은 수평 방향으로 이웃하는 픽셀(P)들 사이 중 데이터 라인(D)들이 배치되지 않은 다른 하나에 구비됨이 바람직할 수 있다.
- [0040] 도 5 및 도 6에 도시된 전원 라인(20) 공유 구조는, 도 4에 도시된 전원 라인(20) 공유 구조에 비해 표시패널(10)의 개구율을 확보하기가 더욱 용이하다.
- [0041] 이하, 도 7 내지 도 10을 참조하여, 본 발명에 의한 유기발광 다이오드 표시장치의 구조를 설명한다. 도 7은 본 발명에 의한 유기발광 다이오드 표시장치의 개략적인 구조를 나타내는 평면도이다. 도 8은 도 7에 도시한 유기발광 다이오드 표시장치를 절취선 I-I'을 따라 절취한 단면도이다. 도 9 및 도 10은 도 7에 도시한 유기발광 다이오드 표시장치를 절취선 II-II'을 따라 절취한 단면도들로, 수직 라인 영역의 구조를 설명하기 위한 도면들이다.
- [0042] 도 7을 참조하면, 본 발명에 의한 유기발광 다이오드 표시장치는 입력 영역이 구현되는 표시 영역(AA)과, 표시 영역(AA) 외측의 비 표시 영역(NA)이 정의된 기판(SUB)을 포함한다.
- [0043] 기판(SUB)은 유리 또는 유연한 특성을 갖는 플라스틱 재질로 형성될 수 있다. 예를 들어, 기판(SUB)은 PI(Polyimide), PET(polyethylene terephthalate), PEN(polyethylene naphthalate), PC(polycarbonate), PES(polyethersulfone), PAR(polyarylate), PSF(polysulfone), COC(cyclic-olefin copolymer) 등으로 형성될 수 있다.
- [0044] 표시 영역(AA)에는 매트릭스 방식으로 복수 개의 픽셀(PA)들이 배열된다. 각 픽셀(PA)에는 유기발광 다이오드(OLE)와 유기발광 다이오드(OLE)를 구동하기 위한 박막 트랜지스터들이 형성된다. 박막 트랜지스터들은 픽셀(PA)의 일측 부에 정의된 박막 트랜지스터 영역(TA)에 배치될 수 있다.
- [0045] 픽셀(PA)들은 수직 라인들과 수평 라인들의 교차 구조에 의해 정의된다. 수직 라인들은 수평 방향으로 이웃하는 픽셀(PA)들 사이에 정의된 수직 라인 영역(VLA)에 구비된다. 수평 라인들은 수직 방향으로 이웃하는 픽셀(PA)들 사이에 정의된 수평 라인 영역(HLA)에 구비된다.
- [0046] 도 8을 더 참조하면, 본 발명에 의한 유기발광 다이오드 표시장치는 스위칭 박막 트랜지스터(ST), 스위칭 박막 트랜지스터(ST)와 연결된 구동 박막 트랜지스터(DT), 및 구동 박막 트랜지스터(DT)에 접속된 유기발광 다이오드(OLE)를 포함한다.
- [0047] 스위칭 박막 트랜지스터(ST)는 스캔 라인(SL)과 데이터 라인(DL)이 교차하는 영역에 형성되어, 픽셀을 선택하는 기능을 한다. 스위칭 박막 트랜지스터(ST)는 스캔 라인(SL)과 연결된 스위칭 게이트 전극(SG)과, 데이터 라인(DL)에서 분기된 스위칭 소스 전극(SS)과, 스위칭 드레인 전극(SD), 및 스위칭 채널 영역(SA)이 정의된 스위칭 반도체 층(SSE)을 포함한다.
- [0048] 구동 박막 트랜지스터(DT)는 스위칭 박막 트랜지스터(ST)에 의해 선택된 픽셀의 유기발광 다이오드(OLE)를 구동하는 기능을 한다. 구동 박막 트랜지스터(DT)는 스위칭 박막 트랜지스터(ST)의 스위칭 드레인 전극(SD)과 연결된 구동 게이트 전극(DG)과, 고전위 전원 라인(VDL)에서 분기된 구동 소스 전극(DS)과, 구동 드레인 전극(DD), 및 구동 채널 영역(DA)이 정의된 구동 반도체 층(DSE)을 포함한다. 구동 박막 트랜지스터(DT)의 구동 드레인 전극(DD)은 픽셀 콘택홀(PH)을 통해 유기발광 다이오드(OLE)의 애노드 전극(ANO)과 연결된다.
- [0049] 스위칭 박막 트랜지스터(ST)와 구동 박막 트랜지스터(DT) 하부에는 차광층(SLS, DLS)이 형성될 수 있다. 차광층(SLS, DLS)은 산화물 반도체 물질을 이용하여 반도체 층(SSE, DSE)을 형성하는 경우에 외부광으로부터 산화물 반도체 소자를 보호하기 위하여 형성될 수 있다. 스위칭 차광막(SLS)과 구동 차광막(DLS)는 서로 연결되어 한 몸체로 형성될 수 있고, 도시된 바와 같이 각 반도체 층(SSE, DSE)과 대응되는 영역에 분할되어 형성될 수도 있다. 또한, 차광막(SLS, DLS)은 게이트 전극(SG, DG)과 연결되어 더블 게이트 구조로 형성될 수도 있다.
- [0050] 자세하게는, 기판(SUB) 상에 차광층(SLS, DLS) 및 차광층(SLS, DLS)을 덮는 버퍼 층(BUF)이 차례로 형성될 수 있다. 버퍼 층(BUF) 위에는 반도체 층(SSE, DSE)이 형성된다. 반도체 층(SSE, DSE) 중 이후 형성될 게이트 전극(SG, DG)과 중첩되는 영역은 채널 영역(SA, DA)으로 정의되고, 채널 영역의 양측은 각각 소스 영역과 드레인 영역으로 정의된다. 반도체 층(SSE, DSE)의 채널 영역(SA, DA)은 차광층(SLS, DLS)과 중첩되도록 형성되는 것이 바람직하다.



- [0051] 스위칭 채널 영역(SA) 및 구동 채널 영역(DA)의 상부에는 게이트 절연막(GI)과 게이트 전극(SG, DG)이 형성된다. 게이트 전극(SG, DG)이 형성된 기판(SUB) 전체 표면 위에는 층간 절연막(IN)이 형성된다.
- [0052] 층간 절연막(IN) 위에는 스위칭 소스 전극(SS), 스위칭 소스 전극(SS)과 대향 배치된 스위칭 드레인 전극(SD)이 형성된다. 스위칭 소스 전극(SS)은 스위칭 소스 콘택홀을 통해 스위칭 반도체 층(SSE)의 일측과 연결된다. 스위칭 드레인 전극(SD)은 스위칭 드레인 콘택홀을 통해 스위칭 반도체 층(SSE)의 타측과 연결된다.
- [0053] 층간 절연막(IN) 위에는 고전위 전원 라인(VDL)에서 분기된 구동 소스 전극(DS), 구동 소스 전극(DS)과 대향 배치된 구동 드레인 전극(DD)이 형성된다. 구동 소스 전극(DS)은 구동 소스 콘택홀을 통해 구동 반도체 층(DSE)의 일측과 연결된다. 구동 드레인 전극(DD)은 구동 드레인 콘택홀을 통해 구동 반도체 층(DSE)의 타측과 연결된다. 이로써, 스위칭 박막 트랜지스터(ST) 및 구동 박막 트랜지스터(DT)가 완성된다. 이때, 스위칭 드레인 전극(SD)은 게이트 콘택홀을 통해 구동 게이트 전극(DG)과 연결된다.
- [0054] 박막 트랜지스터들(ST, DT)이 형성된 기판(SUB) 전체 표면 위에는 보호 층(PAS)이 형성된다. 도시하지는 않았으나, 보호 층(PAS) 위에는 컬러 필터가 배치될 수 있다. 이 경우, 각 픽셀에는 적색, 녹색, 청색의 컬러 필터 중 어느 하나가 배치되며, 이들이 교대로 배치될 수 있다. 컬러 필터는 적색, 녹색, 청색 컬러 필터 외에 백색의 컬러 필터를 더 포함할 수도 있다. 보호층(PAS) 또는 컬러 필터가 형성된 기판(SUB) 전체 표면 위에 평탄화를 위한 오버 코트 층(OC)이 형성된다.
- [0055] 오버 코트 층(OC) 위에는 애노드 전극(ANO)이 형성된다. 애노드 전극(ANO)은 오버 코트 층(OC)과, 보호 층(PAS)을 관통하도록 형성된 픽셀 콘택홀을 통해 구동 박막 트랜지스터(DT)의 구동 드레인 전극(DD)과 연결된다.
- [0056] 애노드 전극(ANO) 위에는 बैं크(BN)가 형성된다. बैं크(BN)는 애노드 전극(ANO)의 외측 테두리 둘레를 덮도록 형성되어, 애노드 전극(ANO)의 일부를 노출시킨다.
- [0057] 노출된 애노드 전극(ANO) 위에는 유기 발광 층(OL)이 형성되고, 유기 발광 층(OL) 위에는 유기 발광 층(OL)을 덮도록 캐소드 전극(CAT)이 형성된다. 이로써, 애노드 전극(ANO), 유기 발광 층(OL), 캐소드 전극(CAT)을 포함하는 유기발광 다이오드(OLED)가 완성된다. 본 발명에 의한 유기발광 다이오드 표시장치는 하부 발광형(bottom emission type)으로 구현된다.
- [0058] 도 9를 참조하면, 수직 라인 영역(VLA)을 사이에 두고, 수평 방향으로 이웃하는 제1 픽셀(PA1)과 제2 픽셀(PA2)이 정의된다. 제1 픽셀(PA1)은 제1 애노드 전극(ANO1), 제1 유기 발광층(OL1), 및 캐소드 전극(CAT)을 갖는 제1 유기발광 다이오드(OLED1)를 포함한다. 제2 픽셀(PA2)은 제2 애노드 전극(ANO2), 제2 유기 발광층(OL2), 및 캐소드 전극(CAT)을 갖는 제2 유기발광 다이오드(OLED2)를 포함한다.
- [0059] 선택된 픽셀이 구동되어 빛이 발광하는 경우, 발광한 빛의 이동 경로에 따라 수평 방향으로 이웃하는 픽셀로 빛이 누설될 수 있다.
- [0060] 구체적으로, 제1 픽셀(PA1)이 선택된 경우, 제1 픽셀(PA1)이 구동되어 제1 픽셀(PA1)의 유기발광 다이오드(OLED1)로부터 빛이 발광한다. 제1 픽셀(PA1)의 유기발광 다이오드(OLED1)로부터 방출된 빛 중 대부분은 당해 픽셀에 대응되는 영역의 하부로 향한다. 다만, 다른 일부는 수직 라인 영역(VLA)에 구비된 적어도 하나의 수직 라인(VL)으로 향하고, 수직 라인(VL)에 반사되어 제2 픽셀(PA2)로 입사될 수 있다.
- [0061] 일반적으로 수직 라인(VL)은, 이웃하는 픽셀 사이의 수직 라인 영역(VLA)에서 수직 방향으로 연장되며, 절연막 위에서 평평한 상부 표면을 갖도록 형성된다. 따라서, 제1 픽셀(PA1)의 유기발광 다이오드(OLED1)로부터 수직 라인(VL)으로 입사된 빛은 차단됨이 없이 수직 라인(VL)에 반사되어 제2 픽셀(PA2)로 입사된다. 제2 픽셀(PA2)로 입사된 빛은 캐소드 전극(CAT)과 같은 소자에 의해 재 반사되어 제2 픽셀(PA2)에 대응되는 영역의 하부로 방출될 수 있다. 이러한 빛샘 현상은, 이웃하는 픽셀에서 구현하고자 하는 계조에 왜곡을 발생시킬 수 있다.
- [0062] 도 10을 참조하면, 본 발명의 바람직한 실시예는 전술한 빛샘 현상을 최소화하기 위해, 수직 라인 영역(VLA)에 싱크(sink) 구조를 형성한다.
- [0063] 싱크 구조는, 수직 방향으로 연장된 수직 라인(VL)의 상부 표면이 단차를 갖는 구조를 의미한다. 싱크 구조는, 수직 라인 영역(VLA)에서, 수직 라인(VL) 하부에 구비되는 적어도 하나의 절연막(IN, BUF)을 패터닝하여 싱크홈(VH)을 형성하고, 싱크홈(VH)의 형상을 따라 도전 물질을 증착함으로써 구현될 수 있다.

- [0064] 싱크홈(VH)은 패터닝 절연막(IN, BUF)의 형상을 따라 정의될 수 있다. 즉, 싱크홈(VH)은 함몰된 형상을 가질 수 있고, 형상을 결정하는 절연막(IN, BUF)의 단차부(STP)에 의해 그 깊이 및 폭이 정의될 수 있다. 수직 라인(VL)은 싱크홈(VH)과, 싱크홈(VH)을 정의하는 절연막(IN, BUF)의 단차부(STP)를 덮도록 배치된다. 수직 라인(VL)의 상부면은 싱크홈(VH)에 의해 형성된 단차부(STP)를 따라 제1 경사면(IC1) 및 제2 경사면(IC2)을 갖는다.
- [0065] 제1 경사면(IC1)은, 소정의 경사를 갖도록 형성되어, 제1 픽셀(PA1)로부터 제1 경사면(IC1)으로 입사된 빛의 경로를 변환한다. 이는, 제1 픽셀(PA1)로부터 제1 경사면(IC1)에 입사된 빛이 제1 경사면(IC1)에 의해 변환된 경로로 반사됨으로써, 제2 픽셀(PA2) 방향으로 진행하지 않음을 의미할 수 있다. 이는, 제1 경사면(IC1)의 경사각을 설정하여, 제1 픽셀(PA1)로부터 제1 경사면(IC1)으로 입사된 빛의 진행 방향을 선택할 수 있음을 의미할 수 있다. 이는, 제1 경사면(IC1)의 경사각을 조정하여, 제1 픽셀(PA1)로부터 제1 경사면(IC1)으로 입사된 빛을 제1 픽셀(PA1)의 하부로 향하게 유도할 수 있음을 의미할 수 있다.
- [0066] 제2 경사면(IC2)은, 소정의 경사를 갖도록 형성되어, 제2 픽셀(PA2)로부터 제2 경사면(IC2)으로 입사된 빛의 경로를 변환한다. 이는, 제2 픽셀(PA2)로부터 제2 경사면(IC2)에 입사된 빛이 제2 경사면(IC2)에 의해 변환된 경로로 반사됨으로써, 제1 픽셀(PA1) 방향으로 진행하지 않음을 의미할 수 있다. 이는, 제2 경사면(IC2)의 경사각을 설정하여, 제2 픽셀(PA2)로부터 제2 경사면(IC2)으로 입사된 빛의 진행 방향을 선택할 수 있음을 의미할 수 있다. 이는, 제2 경사면(IC2)의 경사각을 조정하여, 제2 픽셀(PA2)로부터 제2 경사면(IC2)으로 입사된 빛을 제2 픽셀(PA2)의 하부로 향하게 유도할 수 있음을 의미할 수 있다.
- [0067] 이에 따라, 본 발명의 바람직한 실시예는, 빛샘 불량을 줄일 수 있어 이웃하는 픽셀에서 왜곡된 계조가 표현되는 문제를 최소화할 수 있다. 또한, 본 발명의 바람직한 실시예는 유기발광 다이오드로부터 방출된 빛의 누설을 줄일 수 있어 광 효율이 향상된 유기발광 다이오드 표시장치를 제공할 수 있다.
- [0068] 이하, 도 11 내지 도 16을 참조하여, 싱크 구조의 바람직한 실시예들을 설명한다. 도 11 내지 도 16은 본 발명의 바람직한 실시예들을 설명하기 위한 도면들이다. 도 11 내지 도 14는 수직 라인 영역을 확대 도시한 단면도이다. 도 15는 7에 도시한 유기발광 다이오드 표시장치를 절취선 III-III'을 따라 절취한 단면도이다. 도 16은 7에 도시한 유기발광 다이오드 표시장치를 절취선 IV-IV'을 따라 절취한 단면도이다.
- [0069] 본 발명의 바람직한 실시예에 의한 유기발광 다이오드 표시장치는 수직 라인 영역(VLA)에 싱크 구조를 형성한다. 싱크 구조는, 전술한 바와 같이 수직 라인(VL) 하부에 구비되는 적어도 하나의 절연막을 패터닝하여 싱크홈(VH)을 형성하고, 싱크홈(VH)의 형상을 따라 도전 물질을 도포함으로써 구현될 수 있다.
- [0070] 싱크홈(VH)은 수직 라인(VL) 하부에 구비된 적어도 하나의 절연막을 패터닝하여 형성할 수 있다. 예를 들어, 도 10과 같이 수직 라인(VL) 하부에 구비된 두 개의 절연막(IN, BUF)을 패터닝하여 형성할 수 있고, 도 11과 같이 수직 라인(VL) 하부에 구비된 하나의 절연막(IN)을 패터닝하여 형성할 수 있다.
- [0071] 싱크홈(VH)을 형성하기 위한 추가 공정은 요구되지 않을 수 있다. 예를 들어, 도 11과 같이 층간 절연막(IN)을 패터닝하여 싱크홈(VH)을 형성하는 경우, 싱크홈(VH)은 층간 절연막(IN)을 관통하는 소스 콘택홀 및 드레인 콘택홀을 형성할 때 함께 형성할 수 있다. 소스 콘택홀 및 드레인 콘택홀은, 박막 트랜지스터(ST, DT, 도 8)의 소스 전극(SS, DS, 도 8)과 드레인 전극(SD, DD, 도 8)을 반도체층(SSE, DSE, 도 8)의 소스 영역과 드레인 영역에 연결시키는 홀을 의미한다. 이 경우, 별도의 공정 추가 없이 싱크홈(VH)을 갖는 싱크 구조를 형성할 수 있어 제조 공정 추가에 따른 공정 수율 저하 및 제조 비용 상승 문제 등을 방지할 수 있다.
- [0072] 도 12를 참조하면, 하나의 수직 라인(VL)에 대응되는 하나의 싱크 구조는, 복수 개의 싱크홈(VH)을 포함할 수 있다. 이는, 하나의 수직 라인(VL)에 의해 덮이는 싱크홈(VH)이 복수 개일 수 있음을 의미한다. 복수 개의 싱크홈(VH)들은 수평 방향으로 소정 간격 이격되어 배치된다. 하나의 수직 라인(VL)에 대응되는 싱크홈(VH)의 개수는, 수직 라인(VL)의 폭에 따라 적절히 선택될 수 있다.
- [0073] 도 12의 (a)는 하나의 수직 라인(VL)에 대응되는 두 개의 싱크홈들(VH1, VH2)이 수평 방향으로 소정 간격 이격된 예를 도시하고 있으며, 도 12의 (b)는 하나의 수직 라인(VL)에 대응되는 세 개의 싱크홈들(VH1, VH2, VH3)이 각각 수평 방향으로 소정 간격 이격된 예를 도시하고 있다.
- [0074] 하나의 수직 라인(VL)은, 복수 개 싱크홈(VH)들의 형상을 따라 단차를 갖도록 형성될 수 있다. 수직 라인(VL)의 상부 표면은 싱크홈(VH)들에 의해 형성된 단차를 따라 복수의 제1 경사면(IC1)들 및 제2 경사면(IC2)들을 갖는다. 경사면의 개수가 증가함에 따라, 더욱 효과적으로 빛의 경로를 변환할 수 있고, 빛을 원하는 방향으로 유도할 수 있다.

- [0075] 각 경사면마다 설정되는 경사 각도는 서로 다를 수 있다. 예를 들어, 제1 경사면(IC1)들과 제2 경사면(IC2)들의 경사각은 상이할 수 있다. 제1 경사면(IC1)들 중 어느 하나의 경사각은 다른 하나의 경사각과 상이할 수 있다. 제2 경사면(IC2)들 중 어느 하나의 경사각은 다른 하나의 경사각과 상이할 수 있다. 싱크홈(VH)은 제1 경사면(IC1), 제2 경사면(IC2), 및 제1 경사면(IC1)과 제2 경사면(IC2)을 연결하는 평탄면에 의해 정의될 수 있고, 상기 경사각은 경사면과 평탄면이 이루는 각도로 정의될 수 있다.
- [0076] 도 13을 참조하면, 이웃하는 픽셀 사이에 정의된 수직 라인 영역(VLA)에는 복수 개의 수직 라인(VL)들이 구비될 수 있다. 예를 들어, 하나의 수직 라인 영역(VLA)에는, 도 5와 같이 데이터 라인과 전원 라인이 함께 구비될 수 있고, 도 6과 같이 두 개의 데이터 라인들이 함께 구비될 수 있다.
- [0077] 이 경우, 수직 라인 영역(VLA)에는, 수직 라인(VL)들에 대응되는 수의 싱크 구조들이 형성될 수 있다. 일 예로, 제1 수직 라인(VL1) 아래에는 적어도 하나의 제1 싱크홈(VH1)이 형성되고, 제2 수직 라인(VL2) 아래에는 적어도 하나의 제2 싱크홈(VH2)이 형성될 수 있다.
- [0078] 제1 수직 라인(VL1)의 상부 표면은 제1 싱크홈(VH1)들에 의해 형성된 단차를 따라 제1 경사면(IC1)들 및 제2 경사면(IC2)들을 갖는다. 제2 수직 라인(VL2)의 상부 표면은 제2 싱크홈(VH2)들에 의해 형성된 단차를 따라 제1 경사면(IC1)들 및 제2 경사면(IC2)들을 갖는다. 경사면의 개수가 증가함에 따라, 더욱 효과적으로 빛의 경로를 변환할 수 있고, 빛을 원하는 방향으로 유도할 수 있다.
- [0079] 도 14를 참조하면, 싱크홈(VH)은 적어도 하나의 절연막을 패턴함으로써 형성된다. 복수의 싱크홈(VH)이 형성된 경우, 어느 하나의 싱크홈(VH)을 형성하기 위해 패턴되는 절연막의 수는, 다른 하나의 싱크홈(VH)을 형성하기 위해 패턴되는 절연막의 수와 상이할 수 있다. 일 예로, 제1 수직 라인(VL1) 아래에는 적어도 하나의 제1 싱크홈(VH1)이 형성되고, 제2 수직 라인(VL2) 아래에는 적어도 하나의 제2 싱크홈(VH2)이 형성될 수 있다. 이때, 제1 싱크홈(VH1)은 두 개의 절연막(IN, BUF)을 패턴하여 형성될 수 있고, 제2 싱크홈(VH2)은 하나의 절연막(IN)을 패턴하여 형성될 수 있다.
- [0080] 제1 싱크홈(VH1)의 폭(W1)은 제1 수직 라인(VL1)의 폭에 따라 적절히 선택될 수 있다. 제2 싱크홈(VH2)의 폭(W2)은 제2 수직 라인(VL2)의 폭에 따라 적절히 선택될 수 있다. 제1 싱크홈(VH1)의 폭(W1)과 제2 싱크홈(VH2)의 폭(W2)은 서로 상이할 수 있다.
- [0081] 도 15를 참조하면, 수직 라인 영역(VLA)에 형성된 적어도 하나의 싱크 구조는, 적어도 하나의 싱크홈(VH)을 포함한다. 도 15의 (a)를 참조하면, 하나의 수직 라인(VL)에는, 이와 대응되는 하나의 싱크홈(VH)이 형성될 수 있다.
- [0082] 도 15의 (b)를 참조하면, 싱크홈(VH)은 수평방향으로 이웃하는 픽셀들 사이에서 수직 방향으로 연장되되, 복수 개로 분할될 수 있다. 이는, 하나의 수직 라인(VL)에 의해 덮이는 싱크홈(VH)이 복수 개일 수 있음을 의미한다. 복수 개의 싱크홈(VH)들은 수직 방향으로 소정 간격 이격되어 배치된다. 하나의 수직 라인(VL)에 대응되는 싱크홈(VH)의 개수는, 수직 라인(VL)의 길이에 따라 적절히 선택될 수 있다.
- [0083] 예를 들어, 제1 싱크홈(VH1)은 제1\_1 싱크홈(VH1\_1) 및 제1\_2 싱크홈(VH1\_2)으로 분할될 수 있다. 제1\_1 싱크홈(VH1\_1) 및 제1\_2 싱크홈(VH1\_2)은 적어도 하나의 절연막을 사이에 두고, 수직 방향으로 이웃하여 구비된다. 수직 방향으로 이웃하는 제1\_1 싱크홈(VH1\_1) 및 제1\_2 싱크홈(VH1\_2)을 구획하는 적어도 하나의 절연막은, 싱크홈(VH) 형성 시 패턴되지 않은 절연막일 수 있다.
- [0084] 도 16을 참조하면, 수직 라인 영역(VLA)에서 수평 라인 영역(HLA)과 중첩되는 영역은, 싱크 구조가 형성되지 않는 영역일 수 있다. 따라서, 싱크홈(VH)은 수평방향으로 이웃하는 픽셀들 사이에서 수직 방향으로 연장되되, 복수 개로 분할될 수 있고, 분할된 싱크홈들(VH1\_3, VH1\_4)은 수평 라인 영역(HLA)에 의해 구획될 수 있다. 다시 말해, 복수 개의 싱크홈들(VH1\_3, VH1\_4)은 수직 방향으로 소정 간격 이격되어 배치되고, 수평 라인(VH)은 수직 방향으로 이웃하는 싱크홈들(VH1\_3, VH1\_4) 사이 공간을 가로지르는 형태로 배치될 수 있다.
- [0085] 예를 들어, 제1 싱크홈(VH1)은 제1\_3 싱크홈(VH1\_3) 및 제1\_4싱크홈(VH)으로 분할될 수 있다. 제1\_3 싱크홈(VH1\_3) 및 제1\_4 싱크홈(VH1\_4)은 수평 라인(HL)을 사이에 두고, 수직 방향으로 이웃하여 구비된다.
- [0086] 수직 라인 영역(VLA)에서 수평 라인 영역(HLA)과 중첩되는 영역은 싱크 구조가 형성될 수 없는 영역일 수 있다. 즉, 수평 라인 영역(HLA)에는 게이트 라인(GL)과 같이 수평 방향으로 연장되는 수평 라인(HL)이 구비된다. 수평 라인(HL)은 수직 라인 영역(VLA)과 수평 라인 영역(HLA)이 중첩되는 영역에서 수직 방향으로 연장되는 수직 라인(VL)과 하나의 절연막(IN)만을 사이에 두고 교차될 수 있다. 당해 영역에서, 싱크 구조를 형성하기 위해

수직 라인(VL) 아래에 구비된 절연막을 패턴하면, 수평 라인(HL)과 수직 라인(VL)이 쇼트(short)되는 불량이 발생할 수 있다. 이러한 경우, 수직 라인 영역(VLA)과 수평 라인 영역(HLA)이 중첩되는 영역에는 싱크 구조가 형성되지 않는다.

[0087] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양하게 변경 및 수정할 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정해져야만 할 것이다.

## 부호의 설명

[0089] VLA : 수직 라인 영역 HLA : 수평 라인 영역

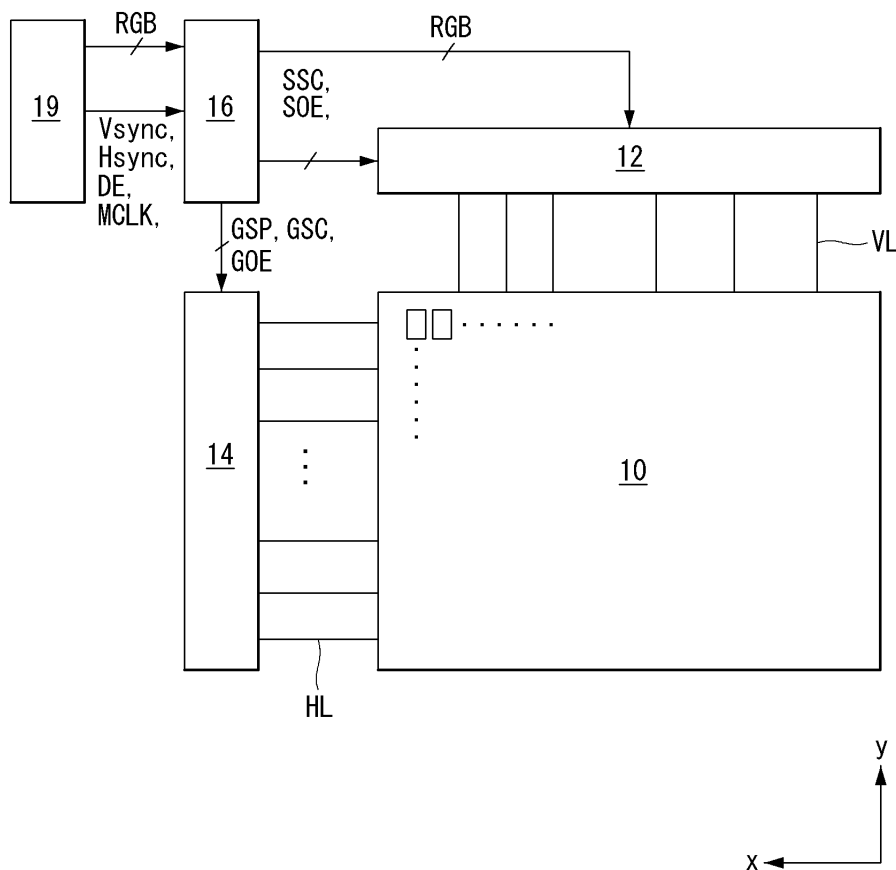
VL : 수직 라인 HL : 수평 라인

VH : 싱크홀 IC1 : 제1 경사면

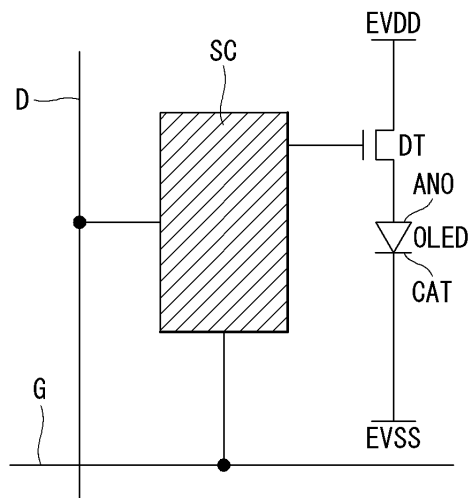
IC2 : 제2 경사면

## 도면

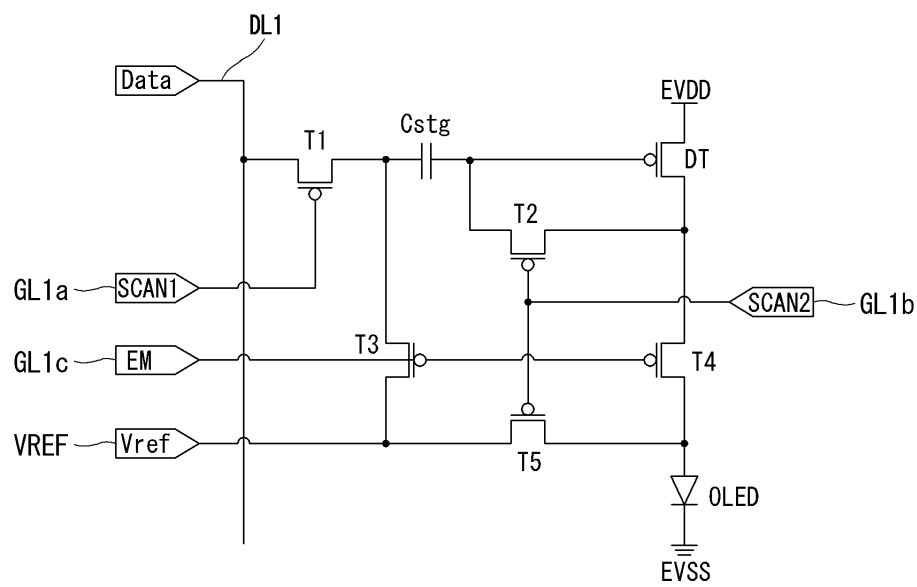
### 도면1



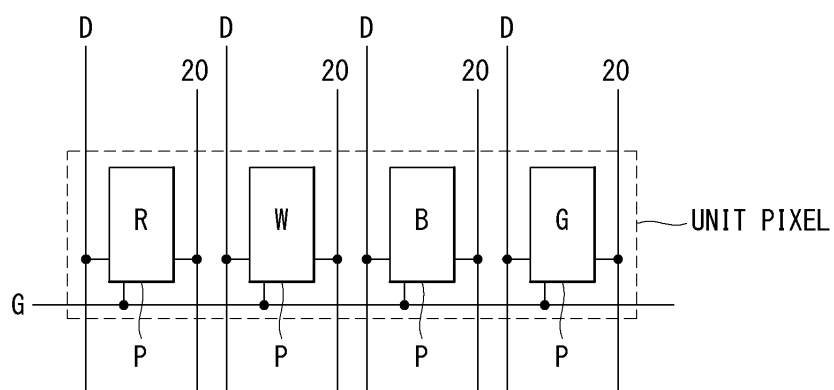
도면2



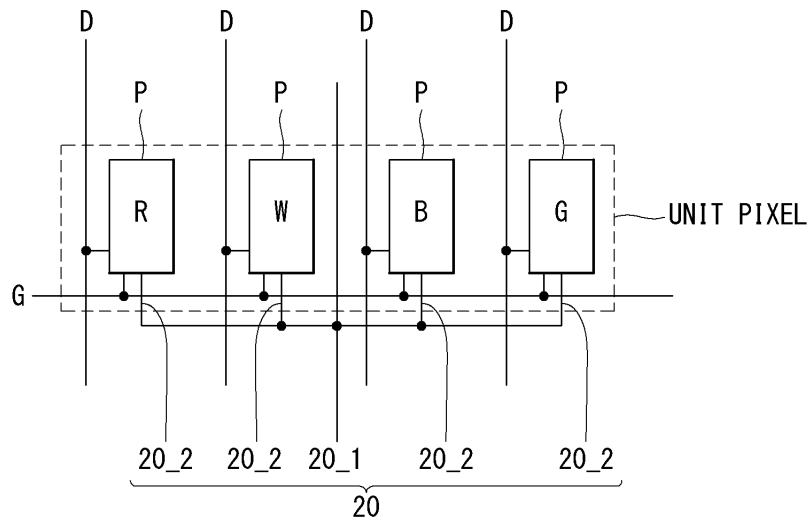
도면3



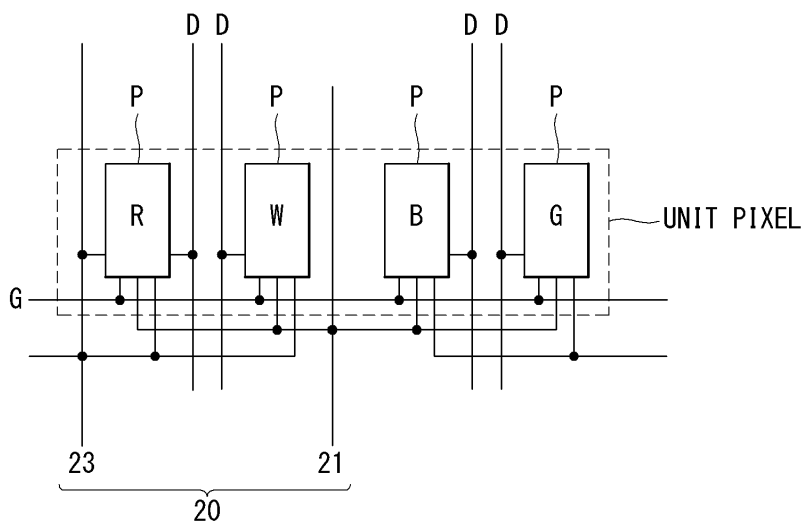
도면4



도면5

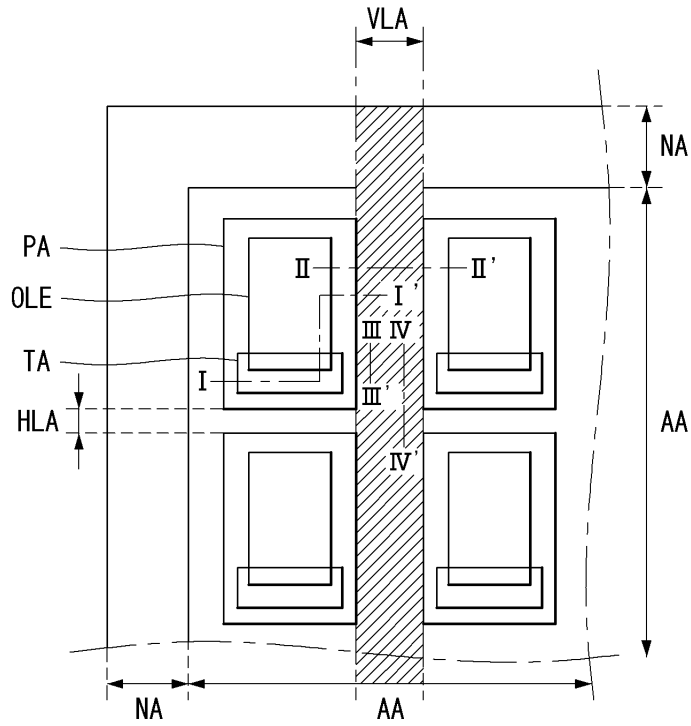


도면6

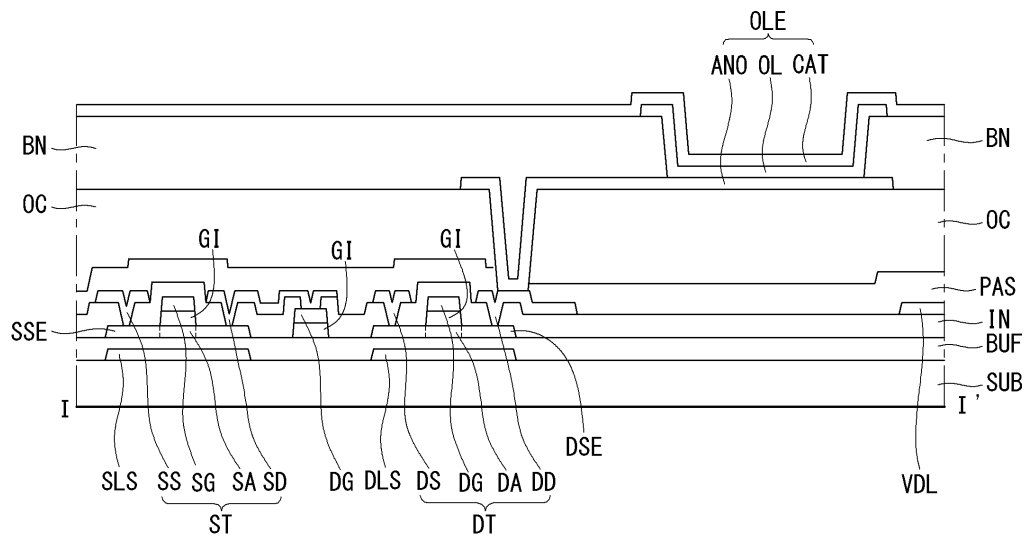




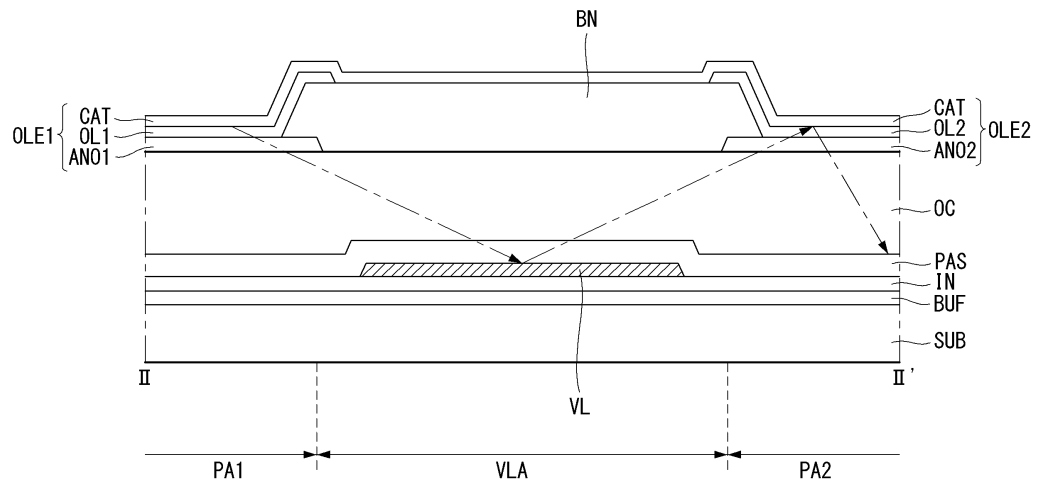
도면7



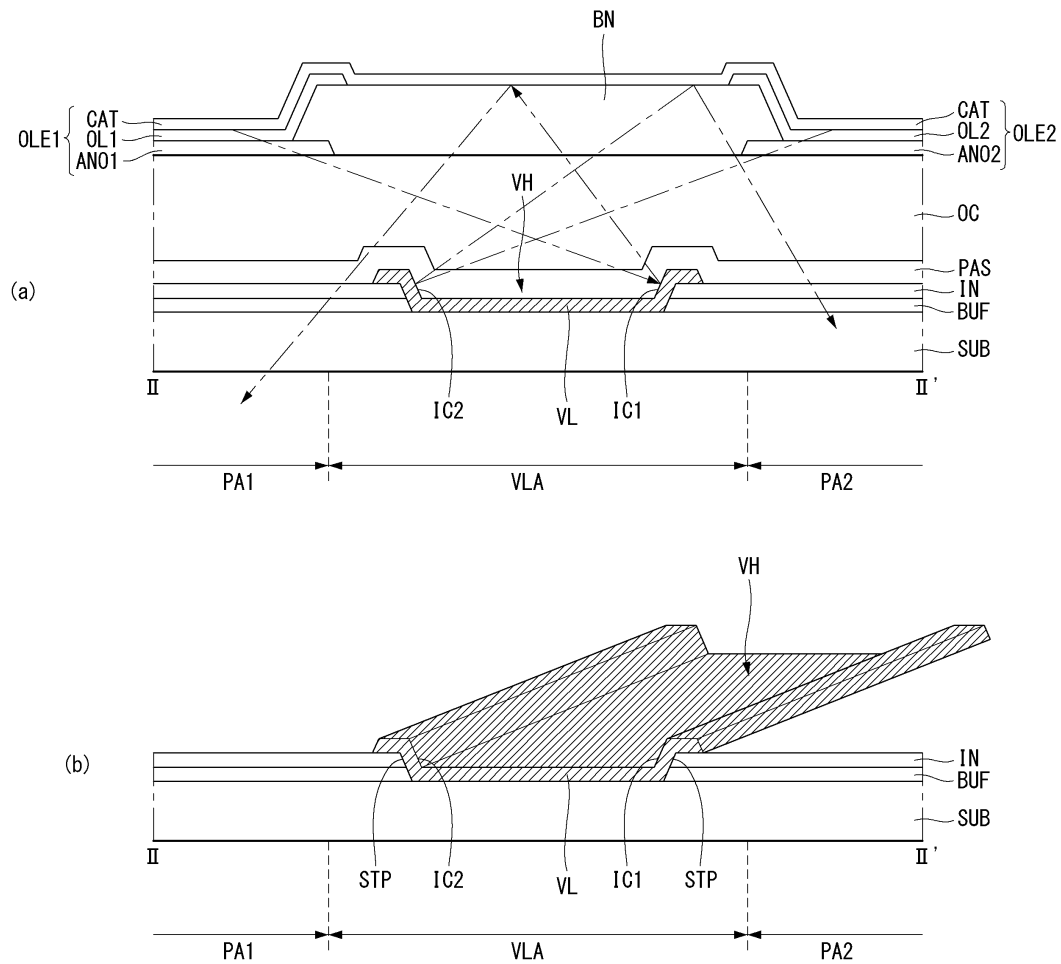
도면8



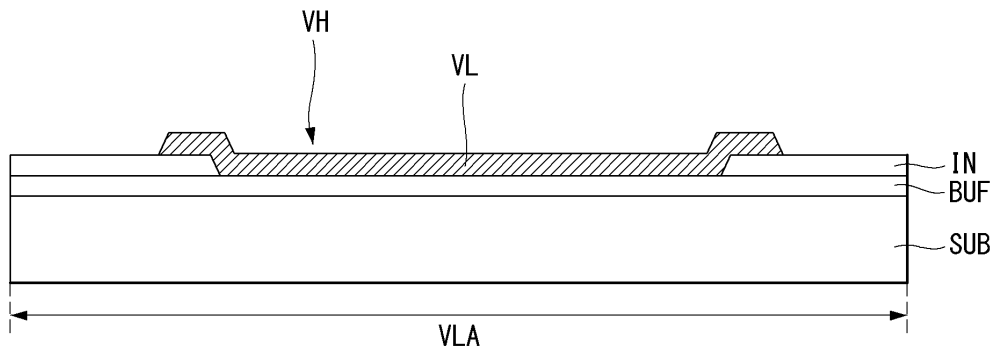
도면9



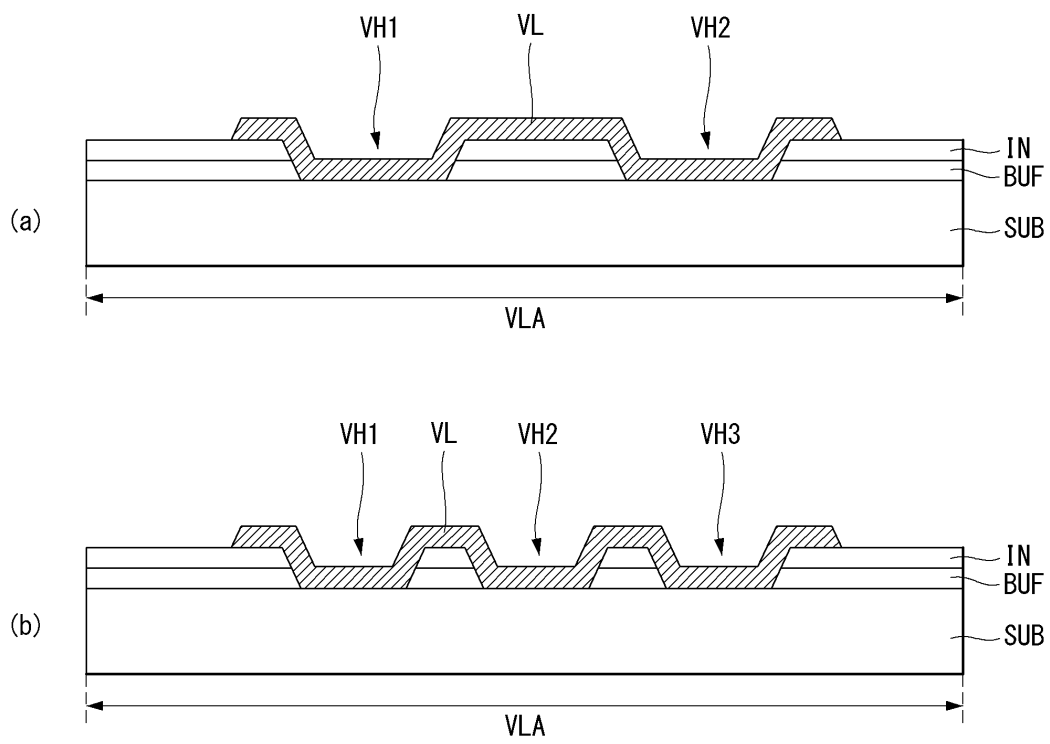
도면10



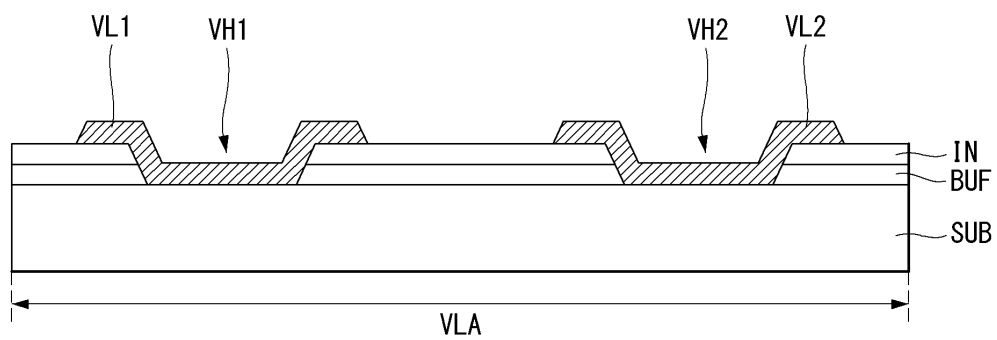
도면11



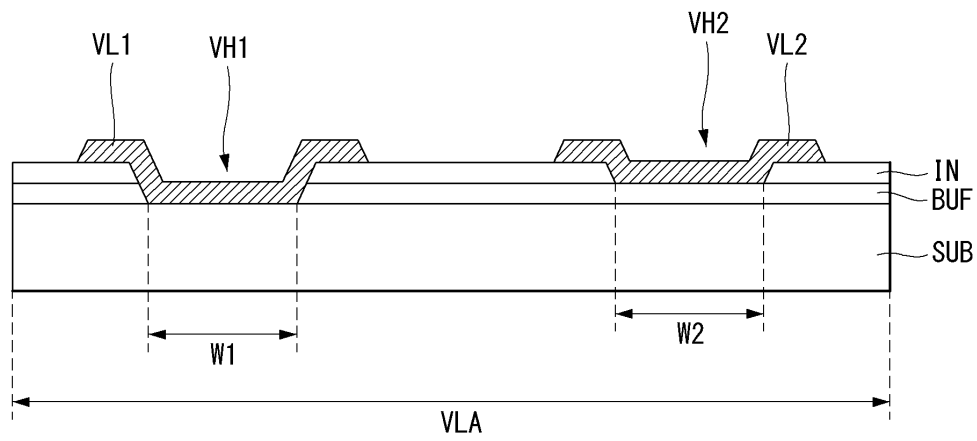
도면12



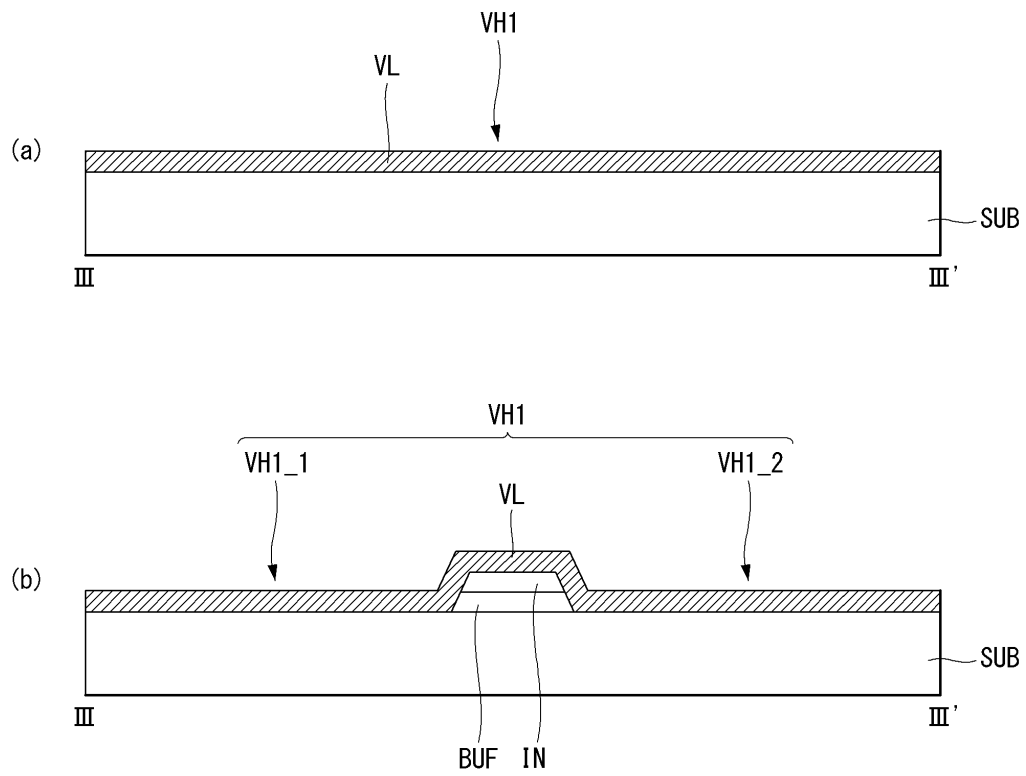
도면13



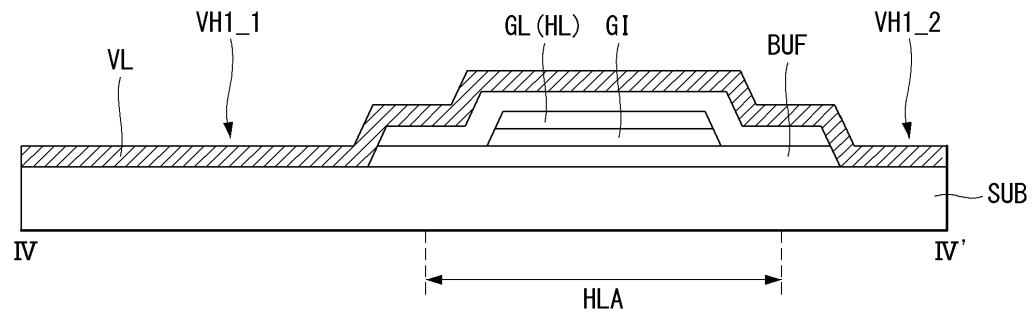
도면14



도면15



도면16



专利名称(译)	有机发光二极管显示器		
公开(公告)号	<a href="#">KR1020180002926A</a>	公开(公告)日	2018-01-09
申请号	KR1020160081459	申请日	2016-06-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI JAE YEONG 최재영		
发明人	최재영		
IPC分类号	H01L27/32 H01L51/52		
CPC分类号	H01L27/3276 H01L51/5262 H01L27/3258 H01L2251/105 H01L2227/32		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

根据本发明的有机发光二极管显示装置包括显示面板，垂直线 and 下沉槽。显示面板具有多个像素。垂直线被布置为相邻像素之间的水平方向。下沉槽配备在垂直线下部的绝缘层中。垂直线覆盖下沉槽的台阶部分，以及限定下沉槽的绝缘层。

