



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0006973

(43) 공개일자 2016년01월20일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01) H01L 51/52 (2006.01)

(21) 출원번호 10-2014-0086749

(22) 출원일자 2014년07월10일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

노소영

경기도 고양시 일산동구 무궁화로 8-28, 1214호(장항동, 삼성메르헨하우스)

(74) 대리인

박영복

전체 청구항 수 : 총 11 항

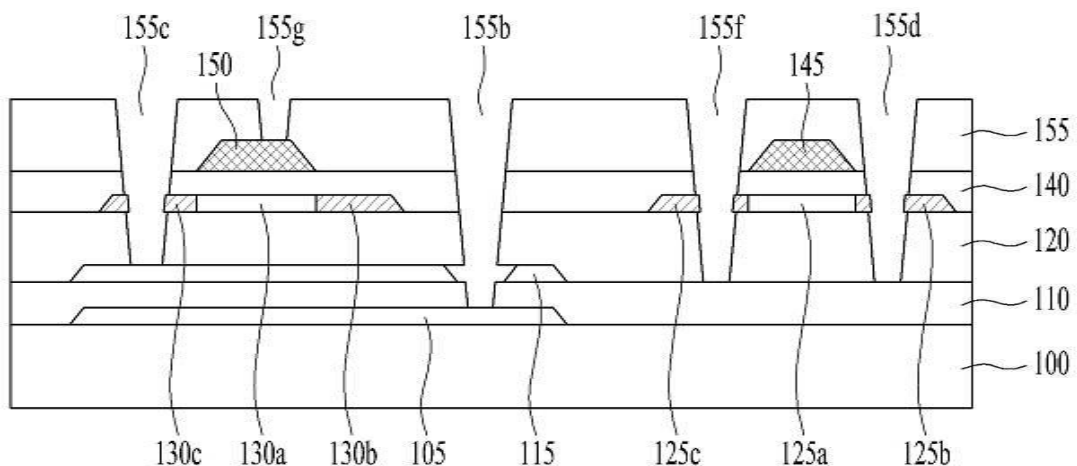
(54) 발명의 명칭 유기 발광 다이오드 표시 장치 및 이의 제조 방법

(57) 요약

본 발명은 하프톤 마스크를 이용하여 제 1, 제 2 스토리지 콘택홀을 형성함으로써, 제 1, 제 2 스토리지 전극이 충분히 중첩되어 스토리지 커패시턴스를 증가시킬 수 있는 유기 발광 다이오드 표시 장치 및 이의 제조 방법에 관한 것으로, 본 발명의 유기 발광 다이오드 표시 장치는 기판 상에 형성된 제 1 스토리지 전극; 상기 제 1 스토

(뒷면에 계속)

대 표 도 - 도3e



리지 전극을 덮도록 상기 기판 상에 형성된 제 1 버퍼층; 상기 제 1 버퍼층 상에 형성되며, 상기 제 1 스토리지 전극과 중첩되며 가장자리가 상기 제 1 스토리지 전극의 가장자리와 일치하는 제 2 스토리지 전극; 상기 제 2 스토리지 전극을 덮도록 형성된 제 2 버퍼층; 상기 제 2 버퍼층 상에 형성된 제 1, 제 2 반도체층; 상기 제 1, 제 2 반도체층을 덮도록 형성된 게이트 절연막; 상기 게이트 절연막 상에 상기 제 1, 제 2 반도체층과 각각 중첩되는 제 1, 제 2 게이트 전극; 상기 제 1, 제 2 게이트 전극을 덮도록 형성된 층간 절연막; 상기 제 2 스토리지 전극을 관통하여 상기 제 1 스토리지 전극을 노출시키는 제 1 스토리지 콘택홀과, 상기 제 2 스토리지 전극을 노출시키는 제 2 스토리지 콘택홀; 및 상기 층간 절연막 상에 상기 제 1 스토리지 콘택홀을 통해 상기 제 1 반도체층, 제 1 스토리지 전극 및 제 2 게이트 전극과 접속하며, 스페이스를 사이에 두고 상기 제 2 스토리지 전극과 이격되는 제 1 드레인 전극 및 상기 제 2 스토리지 콘택홀을 통해 상기 제 2 반도체층 및 제 2 스토리지 전극과 접속하는 제 2 드레인 전극을 포함한다.

명세서

청구범위

청구항 1

기판 상에 형성된 제 1 스토리지 전극;

상기 제 1 스토리지 전극을 덮도록 상기 기판 상에 형성된 제 1 버퍼층;

상기 제 1 버퍼층 상에 형성되며, 상기 제 1 스토리지 전극과 중첩되며 가장자리가 상기 제 1 스토리지 전극의 가장자리와 일치하는 제 2 스토리지 전극;

상기 제 2 스토리지 전극을 덮도록 형성된 제 2 버퍼층;

상기 제 2 버퍼층 상에 형성된 제 1, 제 2 반도체층;

상기 제 1, 제 2 반도체층을 덮도록 형성된 게이트 절연막;

상기 게이트 절연막 상에 상기 제 1, 제 2 반도체층과 각각 중첩되는 제 1, 제 2 게이트 전극;

상기 제 1, 제 2 게이트 전극을 덮도록 형성된 층간 절연막;

상기 제 2 스토리지 전극을 관통하여 상기 제 1 스토리지 전극을 노출시키는 제 1 스토리지 콘택홀과, 상기 제 2 스토리지 전극을 노출시키는 제 2 스토리지 콘택홀; 및

상기 층간 절연막 상에 상기 제 1 스토리지 콘택홀을 통해 상기 제 1 반도체층, 제 1 스토리지 전극 및 제 2 게이트 전극과 접속하며, 스페이스를 사이에 두고 상기 제 2 스토리지 전극과 이격되는 제 1 드레인 전극 및 상기 제 2 스토리지 콘택홀을 통해 상기 제 2 반도체층 및 제 2 스토리지 전극과 접속하는 제 2 드레인 전극을 포함하는 것을 특징으로 하는 유기 발광 다이오드 표시 장치.

청구항 2

제 1 항에 있어서,

상기 스페이스는 상기 제 1 스토리지 콘택홀을 감싸는 것을 특징으로 하는 유기 발광 다이오드 표시 장치.

청구항 3

제 1 항에 있어서,

상기 제 1, 제 2 드레인 전극은 상기 제 1, 제 2 반도체층의 측면 및 상부면에도 접속하는 것을 특징으로 하는 유기 발광 다이오드 표시 장치.

청구항 4

기판 상에 제 1 스토리지 전극을 형성하는 단계;

상기 제 1 스토리지 전극을 덮도록 제 1 버퍼층을 형성하고, 상기 제 1 버퍼층 상에 상기 제 1 스토리지 전극과 동일 형상으로 제 2 스토리지 전극을 형성하는 단계;

상기 제 2 스토리지 전극을 덮도록 제 2 버퍼층을 형성하고, 상기 제 2 버퍼층 상에 제 1, 제 2 반도체층을 형성하는 단계;

상기 제 1, 제 2 반도체층을 덮도록 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 상기 제 1, 제 2 반도체층과 각각 중첩되는 제 1, 제 2 게이트 전극을 형성하는 단계;

상기 제 1, 제 2 게이트 전극을 덮도록 층간 절연막을 형성하는 단계;

하프톤 마스크를 이용하여 상기 제 2 스토리지 전극을 관통하여 제 1 스토리지 전극을 노출시키는 제 1 스토리지 콘택홀과, 상기 제 2 스토리지 전극을 노출시키는 제 2 스토리지 콘택홀을 형성하는 단계; 및

상기 층간 절연막 상에 상기 제 1 스토리지 콘택홀을 통해 상기 제 1 반도체층, 제 1 스토리지 전극 및 제 2 게이트 전극과 접속하며, 스페이스를 사이에 두고 상기 제 2 스토리지 전극과 이격되는 제 1 드레인 전극 및 상기 제 2 스토리지 콘택홀을 통해 상기 제 2 반도체층 및 제 2 스토리지 전극과 접속하는 제 2 드레인 전극을 형성하는 단계를 포함하는 유기 발광 다이오드 표시 장치의 제조 방법.

청구항 5

제 4 항에 있어서,

상기 제 1, 제 2 스토리지 콘택홀을 형성하는 단계는 상기 층간 절연막 전면에 포토 레지스트를 도포하는 단계;

상기 하프톤 마스크를 이용하여 상기 포토 레지스트를 노광 및 현상하여 상기 제 1 스토리지 콘택홀을 형성할 영역을 노출시키며, 이중 두께를 갖는 제 1 포토 레지스트 패턴을 형성하는 단계;

상기 제 1 포토 레지스트 패턴을 이용하여 상기 층간 절연막, 게이트 절연막, 제 2 버퍼층 및 제 2 스토리지 전극을 제거하고 상기 제 1 버퍼층의 상부면의 일부를 제거하여 제 1 스토리지 콘택홀 패턴을 형성하는 단계;

상기 제 1 스토리지 콘택홀 패턴에 의해 노출된 상기 제 2 스토리지 전극의 측면을 더 제거하여 상기 제 2 스토리지 전극에 언더컷 구조를 형성하는 단계;

상기 제 1 포토 레지스트 패턴을 애싱하여 상기 제 2 스토리지 콘택홀을 형성할 영역을 노출시키는 제 2 포토 레지스트 패턴을 형성하는 단계; 및

상기 제 2 포토 레지스트 패턴을 이용하여 상기 제 1 스토리지 콘택홀 패턴에 대응되는 상기 제 1 버퍼층을 제거하여 상기 제 1 스토리지 전극을 노출시키는 제 1 스토리지 콘택홀을 형성하고, 동시에 상기 층간 절연막, 게이트 절연막, 제 2 반도체층 및 제 2 버퍼층을 제거하여 상기 제 2 스토리지 전극을 노출시키는 제 2 스토리지 콘택홀을 형성하는 단계를 포함하는 유기 발광 다이오드 표시 장치의 제조 방법.

청구항 6

제 5 항에 있어서,

상기 제 2 스토리지 콘택홀을 형성한 후, 상기 제 2 스토리지 콘택홀에 의해 노출된 상기 층간 절연막, 게이트 절연막 및 제 2 버퍼층의 측면을 더 제거하는 단계를 더 포함하는 유기 발광 다이오드 표시 장치의 제조 방법.

청구항 7

제 5 항에 있어서,

상기 제 1, 제 2 스토리지 콘택홀을 형성하는 단계는 제 1, 제 2 소스 콘택홀, 드레인 콘택홀 및 게이트 콘택홀을 형성하는 단계를 더 포함하는 유기 발광 다이오드 표시 장치의 제조 방법.

청구항 8

제 7 항에 있어서,

상기 제 1 포토 레지스트 패턴은 상기 제 1, 제 2 소스 콘택홀, 드레인 콘택홀, 게이트 콘택홀 및 제 2 스토리지 콘택홀을 형성할 영역은 제 1 두께를 가지며, 나머지 영역은 상기 제 1 두께보다 두꺼운 제 2 두께를 갖는 유기 발광 다이오드 표시 장치의 제조 방법.

청구항 9

제 8 항에 있어서,

상기 제 2 포토 레지스트 패턴은 상기 제 2 두께보다 얇은 제 3 두께를 가지며, 상기 제 1, 제 2 소스 콘택홀, 드레인 콘택홀, 게이트 콘택홀 및 제 2 스토리지 콘택홀을 형성할 영역의 상기 층간 절연막을 노출시키는 유기 발광 다이오드 표시 장치의 제조 방법.

청구항 10

제 9 항에 있어서,

상기 제 2 포토 레지스트 패턴을 이용하여 상기 층간 절연막, 게이트 절연막, 제 1, 제 2 반도체층 및 제 2 버퍼층을 제거하여 상기 제 1, 제 2 소스 콘택홀, 드레인 콘택홀, 게이트 콘택홀 및 제 2 스토리지 콘택홀을 형성하는 유기 발광 다이오드 표시 장치의 제조 방법.

청구항 11

제 10 항에 있어서,

상기 제 1, 제 2 소스 콘택홀, 드레인 콘택홀, 게이트 콘택홀 및 제 2 스토리지 콘택홀을 형성한 후, 상기 제 1, 제 2 소스 콘택홀, 드레인 콘택홀 및 게이트 콘택홀에 의해 노출된 상기 층간 절연막, 게이트 절연막 및 제 2 버퍼층의 측면을 더 제거하는 단계를 더 포함하는 유기 발광 다이오드 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 다이오드 표시 장치에 관한 것으로, 스토리지 커패시턴스를 증가시킬 수 있는 유기 발광 다이오드 표시 장치 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 다양한 정보를 화면으로 구현하는 영상 표시 장치는 정보 통신 시대의 핵심 기술로, 더 얇고 더 가볍고 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 공간성, 편리성의 추구로 구부릴 수 있는 플렉시블 디스플레이가 요구되면서 평판 표시 장치로 유기 발광층의 발광량을 제어하는 유기 발광 다이오드 표시 장치가 근래에 각광받고 있다.

[0003] 도 1은 일반적인 유기 발광 다이오드 표시 장치의 회로도이다.

[0004] 도 1과 같이, 일반적인 유기 발광 다이오드 표시 장치는 데이터 배선(DL)과 게이트 배선(GL)에 의해 정의된 서브 화소마다 형성된 스위칭 박막 트랜지스터(S-TFT), 구동 박막 트랜지스터(D-TFT), 스토리지 커패시터(C_{st}) 및 유기 발광 다이오드(OLED)를 포함한다. 유기 발광 다이오드(OLED)는 구동 박막 트랜지스터(D-TFT)와 접속되며, 제 1 전극, 제 2 전극 및 제 1 전극과 제 2 전극 사이에 형성된 유기 발광층을 포함하여 이루어진다. 유기 발광 다이오드(OLED)는 제 1 전극 및 제 2 전극에 전계를 가하여 유기 발광층 내에 전자와 정공을 주입 및 전달시켜 유기 발광층에서 쌍을 이룬 전자와 정공은 여기상태로부터 기저상태로 떨어지면서 발광한다.

[0005] 도 2는 도 1의 스토리지 커패시터의 단면도이다.

[0006] 도 2와 같이, 스토리지 커패시터(C_{st})는 박막 트랜지스터와 중첩되도록 기판(10) 상에 형성되며, 도면에서는 스토리지 커패시터(C_{st})가 구동 박막 트랜지스터(D-TFT)와 중첩되는 것을 도시하였다. 스토리지 커패시터(C_{st})는 제 1 버퍼층(20)을 사이에 두고 제 1, 제 2 스토리지 전극(15, 25)이 중첩된 구조이다.

[0007] 제 1 스토리지 전극(15)은 제 1 스토리지 콘택홀(50a)을 통해 스위칭 박막 트랜지스터(S-TFT)의 드레인 전극(55a)과 접속되며 제 2 스토리지 전극(25)은 제 2 스토리지 콘택홀(50b)을 통해 구동 박막 트랜지스터(D-TFT)의 드레인 전극(55b)과 접속된다. 그리고, 제 2 스토리지 전극(25) 상에는 제 2 버퍼층(30)뿐만 아니라 반도체층(35), 게이트 절연막(40), 게이트 전극(45) 및 층간 절연막(50) 등이 더 형성된다.

[0008] 그러나, 일반적인 스토리지 커패시터는 제 1 스토리지 전극(15)을 노출시키는 제 1 스토리지 콘택홀(50a)과 제 2 스토리지 전극(25)을 노출시키는 제 2 스토리지 콘택홀(50b)을 한번의 패터닝으로 형성한다. 따라서, 제 1 스토리지 콘택홀(50a)을 형성하기 위해서는 제 1 스토리지 콘택홀(50a)이 형성될 A 영역에서 제 1, 제 2 스토리지 전극(15, 25)이 중첩되지 않아야 한다.

[0009] 즉, 일반적인 유기 발광 다이오드 표시 장치는 제 1, 제 2 스토리지 전극(15, 25)을 서로 다른 형상으로 형성하며, 제 2 스토리지 전극(25)을 제 1 스토리지 전극(15)의 일부 영역에만 대응되도록 형성하고 제 1, 제 2 스토리지 전극(15, 25)이 중첩되지 않는 영역에 제 1 스토리지 콘택홀(50a)을 형성한다. 더욱이, 제 1 스토리지 콘택홀(50a)의 공정 마진을 고려하여 제 1, 제 2 스토리지 전극(15, 25)이 중첩되지 않는 영역을 충분히 확보해야 한다.

[0010] 따라서, 일반적인 유기 발광 다이오드 표시 장치는 스토리지 영역에 비해 제 1, 제 2 스토리지 전극(15, 25)의

중첩 면적이 작아 스토리지 커패시턴스가 감소한다. 그리고, 충분한 스토리지 커패시턴스를 형성하기 위해 스토리지 영역을 증가시키는 경우 유기 발광 다이오드 표시 장치의 개구율이 저하된다.

발명의 내용

해결하려는 과제

[0011] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 스토리지 영역을 증가시키지 않고도 제 1, 제 2 스토리지 전극이 충분히 중첩되어 스토리지 커패시턴스를 증가시킬 수 있는 유기 발광 다이오드 표시 장치 및 이의 제조 방법을 제공하는데, 그 목적이 있다.

과제의 해결 수단

[0012] 상기와 같은 목적을 달성하기 위한 본 발명의 유기 발광 다이오드 표시 장치는 기판 상에 형성된 제 1 스토리지 전극; 상기 제 1 스토리지 전극을 덮도록 상기 기판 상에 형성된 제 1 버퍼층; 상기 제 1 버퍼층 상에 형성되며, 상기 제 1 스토리지 전극과 중첩되며 가장자리가 상기 제 1 스토리지 전극의 가장자리와 일치하는 제 2 스토리지 전극; 상기 제 2 스토리지 전극을 덮도록 형성된 제 2 버퍼층; 상기 제 2 버퍼층 상에 형성된 제 1, 제 2 반도체층; 상기 제 1, 제 2 반도체층을 덮도록 형성된 게이트 절연막; 상기 게이트 절연막 상에 상기 제 1, 제 2 반도체층과 각각 중첩되는 제 1, 제 2 게이트 전극; 상기 제 1, 제 2 게이트 전극을 덮도록 형성된 층간 절연막; 상기 제 2 스토리지 전극을 관통하여 상기 제 1 스토리지 전극을 노출시키는 제 1 스토리지 콘택홀과, 상기 제 2 스토리지 전극을 노출시키는 제 2 스토리지 콘택홀; 및 상기 층간 절연막 상에 상기 제 1 스토리지 콘택홀을 통해 상기 제 1 반도체층, 제 1 스토리지 전극 및 제 2 게이트 전극과 접속하며, 스페이스를 사이에 두고 상기 제 2 스토리지 전극과 이격되는 제 1 드레인 전극 및 상기 제 2 스토리지 콘택홀을 통해 상기 제 2 반도체층 및 제 2 스토리지 전극과 접속하는 제 2 드레인 전극을 포함한다.

[0013] 상기 스페이스는 상기 제 1 스토리지 콘택홀을 감싼다.

[0014] 상기 제 1, 제 2 드레인 전극은 상기 제 1, 제 2 반도체층의 측면 및 상부면에도 접속한다.

[0015] 또한, 동일 목적을 달성하기 위한 본 발명의 유기 발광 다이오드 표시 장치의 제조 방법은 기판 상에 제 1 스토리지 전극을 형성하는 단계; 상기 제 1 스토리지 전극을 덮도록 제 1 버퍼층을 형성하고, 상기 제 1 버퍼층 상에 상기 제 1 스토리지 전극과 동일 형상으로 제 2 스토리지 전극을 형성하는 단계; 상기 제 2 스토리지 전극을 덮도록 제 2 버퍼층을 형성하고, 상기 제 2 버퍼층 상에 제 1, 제 2 반도체층을 형성하는 단계; 상기 제 1, 제 2 반도체층을 덮도록 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 상기 제 1, 제 2 반도체층과 각각 중첩되는 제 1, 제 2 게이트 전극을 형성하는 단계; 상기 제 1, 제 2 게이트 전극을 덮도록 층간 절연막을 형성하는 단계; 하프톤 마스크를 이용하여 상기 제 2 스토리지 전극을 관통하여 제 1 스토리지 전극을 노출시키는 제 1 스토리지 콘택홀과, 상기 제 2 스토리지 전극을 노출시키는 제 2 스토리지 콘택홀을 형성하는 단계; 및 상기 층간 절연막 상에 상기 제 1 스토리지 콘택홀을 통해 상기 제 1 반도체층, 제 1 스토리지 전극 및 제 2 게이트 전극과 접속하며, 스페이스를 사이에 두고 상기 제 2 스토리지 전극과 이격되는 제 1 드레인 전극 및 상기 제 2 스토리지 콘택홀을 통해 상기 제 2 반도체층 및 제 2 스토리지 전극과 접속하는 제 2 드레인 전극을 형성하는 단계를 포함한다.

[0016] 상기 제 1, 제 2 스토리지 콘택홀을 형성하는 단계는 상기 층간 절연막 전면에 포토 레지스트를 도포하는 단계; 상기 하프톤 마스크를 이용하여 상기 포토 레지스트를 노광 및 현상하여 상기 제 1 스토리지 콘택홀을 형성할 영역을 노출시키며, 이중 두께를 갖는 제 1 포토 레지스트 패턴을 형성하는 단계; 상기 제 1 포토 레지스트 패턴을 이용하여 상기 층간 절연막, 게이트 절연막, 제 2 버퍼층 및 제 2 스토리지 전극을 제거하고 상기 제 1 버퍼층의 상부면의 일부를 제거하여 제 1 스토리지 콘택홀 패턴을 형성하는 단계; 상기 제 1 스토리지 콘택홀 패턴에 의해 노출된 상기 제 2 스토리지 전극의 측면을 더 제거하여 상기 제 2 스토리지 전극에 언더컷 구조를 형성하는 단계; 상기 제 1 포토 레지스트 패턴을 애싱하여 상기 제 2 스토리지 콘택홀을 형성할 영역을 노출시키는 제 2 포토 레지스트 패턴을 형성하는 단계; 및 상기 제 2 포토 레지스트 패턴을 이용하여 상기 제 1 스토리지 콘택홀 패턴에 대응되는 상기 제 1 버퍼층을 제거하여 상기 제 1 스토리지 전극을 노출시키는 제 1 스토리지 콘택홀을 형성하고, 동시에 상기 층간 절연막, 게이트 절연막, 제 2 반도체층 및 제 2 버퍼층을 제거하여 상기 제 2 스토리지 전극을 노출시키는 제 2 스토리지 콘택홀을 형성하는 단계를 포함한다.

[0017] 상기 제 2 스토리지 콘택홀을 형성한 후, 상기 제 2 스토리지 콘택홀에 의해 노출된 상기 층간 절연막, 게이트

절연막 및 제 2 버퍼층의 측면을 더 제거하는 단계를 더 포함한다.

- [0018] 상기 제 1, 제 2 스토리지 콘택홀을 형성하는 단계는 제 1, 제 2 소스 콘택홀, 드레인 콘택홀 및 게이트 콘택홀을 형성하는 단계를 더 포함한다.
- [0019] 상기 제 1 포토 레지스트 패턴은 상기 제 1, 제 2 소스 콘택홀, 드레인 콘택홀, 게이트 콘택홀 및 제 2 스토리지 콘택홀을 형성할 영역은 제 1 두께를 가지며, 나머지 영역은 상기 제 1 두께보다 두꺼운 제 2 두께를 갖는다.
- [0020] 상기 제 2 포토 레지스트 패턴은 상기 제 2 두께보다 얇은 제 3 두께를 가지며, 상기 제 1, 제 2 소스 콘택홀, 드레인 콘택홀, 게이트 콘택홀 및 제 2 스토리지 콘택홀을 형성할 영역의 상기 층간 절연막을 노출시킨다.
- [0021] 상기 제 2 포토 레지스트 패턴을 이용하여 상기 층간 절연막, 게이트 절연막, 제 1, 제 2 반도체층 및 제 2 버퍼층을 제거하여 상기 제 1, 제 2 소스 콘택홀, 드레인 콘택홀, 게이트 콘택홀 및 제 2 스토리지 콘택홀을 형성한다.
- [0022] 상기 제 1, 제 2 소스 콘택홀, 드레인 콘택홀, 게이트 콘택홀 및 제 2 스토리지 콘택홀을 형성한 후, 상기 제 1, 제 2 소스 콘택홀, 드레인 콘택홀 및 게이트 콘택홀에 의해 노출된 상기 층간 절연막, 게이트 절연막 및 제 2 버퍼층의 측면을 더 제거하는 단계를 더 포함한다.

발명의 효과

- [0023] 상기와 같은 본 발명의 유기 발광 다이오드 표시 장치 및 이의 제조 방법은 다음과 같은 효과가 있다.
- [0024] 첫째, 제 1, 제 2 스토리지 전극을 동일 마스크를 이용하여 동일 형상으로 형성하므로 제조 비용을 절감할 수 있다.
- [0025] 둘째, 하프톤 마스크를 이용하여 제 1 스토리지 콘택홀을 형성할 영역에만 제 2 스토리지 전극을 부분적으로 제거하므로 제 1, 제 2 스토리지 전극이 충분히 중첩되어 스토리지 커패시턴스가 증가한다. 따라서, 스토리지 영역을 증가시키지 않고도 스토리지 커패시턴스를 효율적으로 증가시켜 고개구율 유기 발광 다이오드 표시 장치를 구현할 수 있다.

도면의 간단한 설명

- [0026] 도 1은 일반적인 유기 발광 다이오드 표시 장치의 회로도이다.
- 도 2는 도 1의 스토리지 커패시터의 단면도이다.
- 도 3a 내지 3h는 본 발명의 유기 발광 다이오드 표시 장치의 제조 방법을 나타낸 공정 단면도이다.
- 도 4a 내지 4h는 본 발명의 유기 발광 다이오드 표시 장치의 구동 박막 트랜지스터의 제조 방법을 나타낸 공정 단면도이다.
- 도 5a 내지 도 5e는 도 3e의 제 1, 제 2 스토리지 콘택홀, 게이트 콘택홀, 제 1 소스 콘택홀 및 드레인 콘택홀을 형성하는 단계를 나타낸 공정 단면도이다.
- 도 6a 내지 도 6e는 도 4e의 제 2 스토리지 콘택홀, 게이트 콘택홀 및 제 2 소스 콘택홀을 형성하는 단계를 나타낸 공정 단면도이다.
- 도 7a는 일반적인 스토리지 커패시터의 평면도이다.
- 도 7b는 본 발명의 스토리지 커패시터의 평면도이다.
- 도 8은 본 발명의 유기 발광 다이오드 표시 장치의 단면도이다.
- 도 9는 본 발명의 유기 발광 다이오드 표시 장치의 구동 박막 트랜지스터의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 이하, 첨부된 도면을 참조하여 본 발명의 유기 발광 다이오드 표시 장치의 제조 방법을 상세히 설명하면 다음과 같다.
- [0028] 도 3a 및 도 4a와 같이, 기판(100) 상에 폴리브덴(Mo) 등과 같은 금속으로 제 1 스토리지 금속층을 형성하고 이

를 패터닝하여 제 1 스토리지 전극(105)을 형성한다. 제 1 스토리지 전극(105)은 구동 박막 트랜지스터의 반도체층이 형성될 영역에 형성된다. 도시하지는 않았으나, 기판(100)과 제 1 스토리지 전극(105) 사이에도 버퍼층이 더 형성될 수 있다.

[0029] 그리고, 도 3b 및 도 4b와 같이, 제 1 스토리지 전극(105)을 완전히 덮도록 기판(100) 전면에 제 1 버퍼층(110)을 형성한다. 제 1 버퍼층(110)은 SiO_x , SiN_x 등과 같은 무기 절연 물질로 형성한다. 이어, 제 1 버퍼층(110) 상에 제 2 스토리지 금속층을 형성하고 이를 패터닝하여 제 2 스토리지 금속층(115)을 형성한다. 제 2 스토리지 금속층은 제 1 스토리지 금속층과 같은 몰리브덴으로 형성하거나, 제 1 스토리지 금속층과 상이한 금속으로 형성될 수 있다.

[0030] 제 2 스토리지 금속층(115)을 제 1 스토리지 금속층을 패터닝하는 마스크와 동일한 마스크를 이용하여 패터닝하며, 제 2 스토리지 전극(115)은 제 1 스토리지 전극(105)과 동일 형상으로 형성된다. 따라서, 본 발명은 제 1, 제 2 스토리지 전극(105, 115)이 제 1 버퍼층(110)을 사이에 두고 완전히 중첩된다.

[0031] 도 3c 및 도 4c와 같이, 제 2 스토리지 전극(115)을 완전히 덮도록 제 2 버퍼층(120)을 형성한다. 제 2 버퍼층(120)은 SiO_x , SiN_x 등과 같은 무기 절연 물질로 형성된다. 이어, 제 2 버퍼층(120) 상에 비정질 실리콘을 증착하고 이를 결정화하여 저온 폴리 실리콘막을 형성한다. 그리고, 저온 폴리 실리콘막을 패터닝하여 제 1 반도체층(125)과 제 2 반도체층(130)을 형성한다. 제 2 반도체층(130)은 제 2 스토리지 전극(115)과 중첩되는 것으로 구동 박막 트랜지스터의 반도체층이며, 제 1 반도체층(125)은 스위칭 박막 트랜지스터의 반도체층이다. 이 때, 제 2 반도체층(130)과 중첩되는 제 1, 제 2 스토리지 전극(115)은 기판(100)을 통해 유입된 이물이 제 2 반도체층(130)으로 진행되는 것을 방지할 수 있다.

[0032] 이어, 도 3d 및 도 4d와 같이, 제 1, 제 2 반도체층(125, 130)을 덮도록 기판(100) 전면에 게이트 절연막(140)을 형성한다. 그리고, 게이트 절연막(140) 상에 게이트 금속층을 형성하고 이를 패터닝하여 게이트 배선(미도시), 제 1 게이트 전극(145) 및 제 2 게이트 전극(150)을 형성한다. 제 1 게이트 전극(145)은 스위칭 박막 트랜지스터의 게이트 전극으로 제 1 반도체층(125)과 중첩되도록 형성하며, 제 2 게이트 전극(150)은 구동 박막 트랜지스터의 게이트 전극으로 제 2 반도체층(130)과 중첩되도록 형성한다.

[0033] 제 1, 제 2 게이트 전극(145, 150)을 마스크로 이용하여 제 1, 제 2 반도체층(125, 130)에 불순물을 도핑한다. 구체적으로, 제 1 게이트 전극(145)을 마스크로 이용하여 제 1 반도체층(125)에 불순물을 도핑하면 제 1 게이트 전극(145)과 중첩되는 영역의 제 1 반도체층(125)에는 불순물이 도핑되지 않아 제 1 채널 영역(125a)이 정의되며, 제 1 채널 영역(125a)의 양 측에는 불순물이 도핑되어 제 1 소스 영역(125b)과 제 1 드레인 영역(125c)이 정의된다. 마찬가지로, 제 2 반도체층(130) 역시 제 2 게이트 전극(150)과 중첩되어 불순물이 도핑되지 않은 제 2 채널 영역(130a)과 제 2 채널 영역(130a) 양 측에 불순물이 도핑된 제 2 소스 영역(130b)과 제 2 드레인 영역(130c)이 정의된다. 그리고, 제 1, 제 2 게이트 전극(145, 150)을 덮도록 기판(100) 전면에 층간 절연막(155)을 형성한다.

[0034] 도 3e 및 도 4e와 같이, 제 1, 제 2 스토리지 콘택홀(155b, 155c), 제 1, 제 2 소스 콘택홀(155d, 155e), 드레인 콘택홀(155f) 및 게이트 콘택홀(155g)을 형성한다. 제 1, 제 2 스토리지 콘택홀(155b, 155c), 제 1, 제 2 소스 콘택홀(155d, 155e), 드레인 콘택홀(155f) 및 게이트 콘택홀(155g)은 층간 절연막(155), 게이트 절연막(140), 제 1, 제 2 반도체층(125, 130), 제 1, 제 2 버퍼층(110, 120) 및 제 2 스토리지 전극(115)을 선택적으로 제거하여 형성한다. 제 1, 제 2 스토리지 콘택홀(155b, 155c), 제 1, 제 2 소스 콘택홀(155d, 155e), 드레인 콘택홀(155f) 및 게이트 콘택홀(155g)을 형성하는 단계를 구체적으로 설명하면 다음과 같다.

[0035] 도 5a 내지 도 5e는 도 3e의 제 1, 제 2 스토리지 콘택홀, 게이트 콘택홀, 제 1 소스 콘택홀 및 드레인 콘택홀을 형성하는 단계를 나타낸 공정 단면도이며, 도 6a 내지 도 6e는 도 4e의 제 2 스토리지 콘택홀, 게이트 콘택홀 및 제 2 소스 콘택홀을 형성하는 단계를 나타낸 공정 단면도이다.

[0036] 도 5a 및 도 6a와 같이, 층간 절연막(155) 전면에 포토 레지스트를 도포한다. 그리고, 투과 영역(a), 반투과 영역(b) 및 차단 영역(c)을 갖는 하프톤 마스크(300)를 이용하여 포토 레지스트를 노광 및 현상하여 이중 두께를 갖는 제 1 포토 레지스트 패턴(200a)을 형성한다.

[0037] 하프톤 마스크(300)의 투과 영역(a)은 제 1 스토리지 콘택홀(155b)을 형성할 영역에 대응되며, 반투과 영역(b)은 제 1, 제 2 소스 콘택홀(155d, 155e), 드레인 콘택홀(155f), 게이트 콘택홀(155g) 및 제 2 스토리지 콘택홀(155c)을 형성할 영역에 대응된다. 그리고, 차단 영역(c)은 나머지 영역에 대응된다.

[0038] 상기와 같은 하프톤 마스크(300)를 이용하여 형성된 제 1 포토 레지스트 패턴(200a)은 제 1 스토리지 콘택홀

(155b)을 형성할 영역을 노출시키며, 제 1, 제 2 소스 콘택홀(155d, 155e), 드레인 콘택홀(155f), 게이트 콘택홀(155g) 및 제 2 스토리지 콘택홀(155c)을 형성할 영역은 제 1 두께(d1)를 가지며, 나머지 영역은 제 1 두께(d1)보다 두꺼운 제 2 두께(d2)를 갖는다.

[0039] 상기와 같은 제 1 포토 레지스트 패턴(200a)을 이용하여 제 1 스토리지 콘택홀 패턴(155a)을 형성한다. 제 1 스토리지 콘택홀 패턴(155a)은 건식 식각 방법으로 제 1 포토 레지스트 패턴(155a)에 의해 노출된 영역에 대응되는 층간 절연막(155), 게이트 절연막(140) 및 제 2 버퍼층(120)을 차례로 제거한 후, 습식 식각 방법으로 제 2 스토리지 전극(115)을 제거한다. 그리고, 다시 건식 식각 방법으로 제 1 버퍼층(110)의 상부면의 일부를 제거하여 형성한다.

[0040] 그리고, 도 5b 및 도 6b와 같이, 습식 식각 방법으로 제 2 스토리지 전극(115)의 측면을 더 제거한다. 이에 따라, 제 2 스토리지 전극(115)은 언더컷 구조를 가지며, 제 1 스토리지 콘택홀 패턴(115a)의 측면은 층간 절연막(155), 게이트 절연막(140) 및 제 2 버퍼층(120)의 가장자리가 제 2 스토리지 전극(115)의 가장자리보다 돌출된다. 상기와 같이 제 2 스토리지 전극(115)의 측면을 제거하는 것은 스위칭 박막 트랜지스터의 제 1 드레인 전극이 제 2 스토리지 전극(115)과 접촉되는 것을 방지하기 위함이다.

[0041] 그리고, 도 5c 및 도 6c와 같이, 제 1 포토 레지스트 패턴(200a)을 애싱하여 제 2 포토 레지스트 패턴(200b)을 형성한다. 제 2 포토 레지스트 패턴(200b)은 제 1 포토 레지스트 패턴(200a)의 제 1 두께(d1)를 갖는 영역이 제거된 구조로, 제 1 포토 레지스트 패턴(200a)의 제 2 두께(d2)보다 두께가 얇은 제 3 두께(d3)를 갖는다. 그리고, 제 2 포토 레지스트 패턴(200b)을 마스크로 이용하는 건식 식각 방법으로 게이트 콘택홀(155g), 제 1, 제 2 스토리지 콘택홀(155b, 155c), 제 1, 제 2 소스 콘택홀(155d, 155e) 및 드레인 콘택홀(155f)을 형성한다.

[0042] 구체적으로, 게이트 콘택홀(155g)은 제 2 포토 레지스트 패턴(200b)에 의해 노출된 층간 절연막(155)을 제거하여 형성하며 제 2 게이트 전극(150)을 노출시킨다. 그리고, 제 1 스토리지 콘택홀(155b)은 제 1 스토리지 콘택홀 패턴(155a)에 의해 노출된 제 1 버퍼층(110)을 완전히 제거하여 형성하며 제 1 스토리지 전극(105)을 노출시킨다. 제 2 스토리지 콘택홀(155c)은 층간 절연막(155), 게이트 절연막(140), 제 2 드레인 영역(130c) 및 제 2 버퍼층(120)을 제거하여 형성하는 것으로 제 2 스토리지 전극(115)을 노출시킨다.

[0043] 제 1, 제 2 소스 콘택홀(155d, 155e)은 각각 층간 절연막(155), 게이트 절연막(140) 및 제 1, 제 2 소스 영역(125b, 130b)을 관통하는 구조이며, 드레인 콘택홀(155f) 역시 층간 절연막(155), 게이트 절연막(140) 및 제 1 드레인 영역(125c)을 관통한 구조이다. 이 때, 제 1, 제 2 소스 콘택홀(155d, 155e) 및 드레인 콘택홀(155f)은 제 1, 제 2 소스 영역(125b, 130b) 및 제 1 드레인 영역(125c) 하부의 제 1, 제 2 버퍼층(110, 130)까지 더 식각된 구조일 수 있으며, 식각 정도는 식각 시간을 조절하여 결정된다.

[0044] 그리고, 도 5d 및 도 6d와 같이, 습식 식각 방법으로 게이트 콘택홀(155g), 제 1, 제 2 스토리지 콘택홀(155b, 155c), 제 1, 제 2 소스 콘택홀(155d, 155e) 및 드레인 콘택홀(155f)의 측면을 더 제거한다. 이는 접촉 면적을 증가시켜 접촉 특성을 향상시키기 위한 것이다. 식각액은 반도체층(125, 130)은 제거하지 않는 물질이다. 따라서, 제 1, 제 2 소스 영역(125b, 130b)과 제 1, 제 2 드레인 영역(125c, 130c)의 상부면과 하부면의 일부가 노출되며, 제 2 게이트 전극(150) 및 제 1 스토리지 전극(115)의 상부면이 더 노출된다. 그리고, 도 5e 및 도 6e와 같이, 제 2 포토 레지스트 패턴(200b)을 제거한다.

[0045] 즉, 상기와 같은 본 발명의 유기 발광 다이오드 표시 장치의 제조 방법은 제 1, 제 2 스토리지 전극(105, 115)을 동일 마스크를 이용하여 동일 형상으로 형성한 후, 하프톤 마스크(300)를 이용하여 제 2 스토리지 전극(115)을 부분적으로 제거하므로 제 1, 제 2 스토리지 전극(105, 115)이 충분히 중첩된다. 이에 따라, 스토리지 커패시터의 면적을 증가시키지 않고도 스토리지 커패시턴스를 효율적으로 증가시켜 고개구율 유기 발광 다이오드 표시 장치를 구현할 수 있다.

[0046] 표 1은 일반적인 스토리지 커패시터와 본 발명의 스토리지 커패시터를 비교한 표이다. 그리고, 도 7a는 일반적인 스토리지 커패시터의 평면도이며, 도 7b는 본 발명의 스토리지 커패시터의 평면도이다.

[0047] 도 7a와 같이, 일반적인 스토리지 커패시터는 제 1, 제 2 스토리지 전극(305, 315)을 서로 다른 형상으로 형성하므로, 제 1, 제 2 스토리지 전극(305, 315)이 충분히 중첩되지 못한다.

[0048] 구체적으로, 일반적인 스토리지 커패시터는 충분한 스토리지 커패시턴스를 확보하기 위해 제 1 스토리지 전극(305)을 넓은 면적을 갖도록 형성하더라도 제 1 스토리지 콘택홀(355b)을 형성할 영역에서 제 1 스토리지 전극(305)과 중첩되지 않는 영역을 갖도록 제 2 스토리지 전극(315)을 형성한다. 따라서, 표 1과 같이 일반적인 스토리지 커패시터는 제 1, 제 2 스토리지 전극(305, 315)이 중첩되지 않는 비 중첩 영역의 면적이 넓어 스토리지

영역의 총 면적 대비 스토리지 커패시턴스는 충분하지 않다.

[0049] 반면에, 도 7b와 같이 본 발명의 스토리지 커패시터는 제 1, 제 2 스토리지 전극(105, 115)을 동일한 형상으로 형성한 후, 하프톤 마스크를 이용하여 제 1 스토리지 콘택홀(155b)을 형성할 영역의 제 2 스토리지 전극(115)을 부분적으로 제거한다. 특히, 제 1 스토리지 콘택홀(155b) 주변의 제 2 스토리지 전극(115)을 더 제거하여, 제 1 스토리지 콘택홀(155b)을 감싸도록 진공 상태의 스페이스(115a)가 존재한다.

[0050] 따라서, 본 발명의 스토리지 커패시터는 일반적인 스토리지 커패시터에 비해 스토리지 영역의 총 면적대비 중첩 면적이 증가한다. 즉, 본 발명은 스토리지 영역을 증가시키지 않고 하프톤 마스크를 이용함으로써 제 1, 제 2 스토리지 전극(105, 115)의 중첩 면적을 증가시켜 충분한 스토리지 커패시턴스를 확보할 수 있다.

표 1

[0051]	스토리지 커패시턴스	제 1, 제 2 스토리지 전극의 중첩 면적	제 1, 제 2 스토리지 전극의 비 중첩 면적	스토리지 영역의 총 면적
일반적인 스토리지 커패시터	139fF	$352\mu\text{m}^2$	$246\mu\text{m}^2$	$598\mu\text{m}^2$
본 발명의 스토리지 커패시터	171fF	$434\mu\text{m}^2$	$164\mu\text{m}^2$	$598\mu\text{m}^2$

[0052] 그리고, 도 3f 및 도 4f와 같이, 제 1, 제 2 스토리지 콘택홀(155b, 155c), 제 1, 제 2 소스 콘택홀(155d, 155e), 드레인 콘택홀(155f) 및 게이트 콘택홀(155g)을 포함하는 층간 절연막(155) 상에 데이터 금속층을 형성하고 이를 패터닝하여 게이트 배선(미도시)과 교차하는 데이터 배선(미도시)과 전원 배선(미도시), 제 1, 제 2 소스 전극(160a, 160d) 및 제 1, 제 2 드레인 전극(160b, 160c)을 형성한다.

[0053] 제 1 소스 전극(160a)은 스위칭 박막 트랜지스터의 소스 전극으로, 데이터 배선(미도시)으로부터 연장되어 제 1 소스 콘택홀(155d)을 통해 제 1 소스 영역(125b)과 접속된다. 그리고, 제 2 소스 전극(160d)은 구동 박막 트랜지스터의 소스 전극으로, 전원 배선(미도시)으로부터 연장되어 제 2 소스 콘택홀(155e)을 통해 제 2 소스 영역(130b)과 접속된다. 이 때, 제 1, 제 2 소스 전극(160a, 160d)은 제 1, 제 2 소스 영역(125b, 130b)의 측면뿐만 아니라 제 1, 제 2 소스 영역(125b, 130b)의 상부면에도 접촉되므로 접촉 특성이 향상된다.

[0054] 제 1 드레인 전극(160b)은 스위칭 박막 트랜지스터의 드레인 전극으로, 드레인 콘택홀(155f), 제 1 스토리지 콘택홀(155b) 및 게이트 콘택홀(155g)을 통해 제 1 드레인 영역(125c), 제 1 스토리지 전극(105) 및 제 2 게이트 전극(150)을 서로 연결한다. 이 때, 제 1 드레인 전극(160b)은 진공 상태로 유지되는 스페이스(115a)로 인해 제 1 스토리지 콘택홀(155b) 측면에서 노출된 제 2 스토리지 전극(115)의 가장자리와 접속되지 않는다.

[0055] 제 2 드레인 전극(160c)은 구동 박막 트랜지스터의 드레인 전극으로, 제 2 스토리지 콘택홀(155c)을 통해 제 2 드레인 영역(130c) 및 제 2 스토리지 전극(115)에 접속된다. 이 때, 제 1, 제 2 드레인 전극(160b, 160c) 역시 제 1, 제 2 드레인 영역(125c, 130c)의 측면뿐만 아니라 상부면에도 접촉된다.

[0056] 이어, 도 3g 및 도 4g와 같이, 제 1, 제 2 소스 전극(160a, 160d) 및 제 1, 제 2 드레인 전극(160b, 160c)을 덮도록 보호막(165)을 형성하고 이를 패터닝하여 제 2 드레인 전극(160c)을 노출시킨다.

[0057] 그리고, 도 3h 및 도 4h와 같이, 보호막(165) 상에 유기 발광 다이오드를 형성한다. 유기 발광 다이오드는 제 1 전극(170), 유기 발광층(180) 및 제 2 전극(185)을 포함한다. 구체적으로, 제 1 전극(170)은 보호막(165)에 의해 노출된 제 2 드레인 전극(160c)과 접속된다. 그리고 제 1 전극(170)의 일부 영역을 노출시키는 뱅크 절연막(175)이 보호막(165) 상에 형성되어 발광 영역을 정의하며, 발광 영역에 유기 발광층(180)이 형성된다. 그리고, 유기 발광층(180) 상에 제 2 전극(185)이 형성된다.

[0058] 즉, 본 발명은 제 1, 제 2 스토리지 전극(105, 115)을 동일 마스크를 이용하여 동일 형상으로 형성한 후, 제 1 스토리지 콘택홀(150b)을 형성할 영역의 제 2 스토리지 전극(115)을 부분적으로 제거한다. 따라서, 스토리지 커패시터의 면적 중 제 1, 제 2 스토리지 전극(105, 115)이 중첩되는 영역을 증가시켜 스토리지 커패시터의 면적을 증가시키지 않고 스토리지 커패시턴스를 효율적으로 증가시킬 수 있다.

[0059] 이하, 첨부된 도면을 참조하여, 본 발명의 유기 발광 다이오드 표시 장치를 구체적으로 설명하면 다음과 같다.

[0060] 도 8은 본 발명의 유기 발광 다이오드 표시 장치의 단면도이며, 도 9는 본 발명의 유기 발광 다이오드 표시 장

치의 구동 박막 트랜지스터의 단면도이다.

- [0061] 도 8 및 도 9와 같이, 본 발명의 유기 발광 다이오드 표시 장치는 기판(100) 상에 형성된 제 1 스토리지 전극(105), 제 1 스토리지 전극(105)을 덮도록 기판(100) 상에 형성된 제 1 버퍼층(110), 제 1 버퍼층(110) 상에 형성되어 제 1 스토리지 전극(105)과 중첩되며, 가장자리가 제 1 스토리지 전극(105)의 가장자리와 일치하는 제 2 스토리지 전극(115), 제 2 스토리지 전극(115)을 덮는 제 2 버퍼층(120), 제 2 버퍼층(120) 상에 형성된 제 1, 제 2 반도체층, 제 1, 제 2 반도체층을 덮는 게이트 절연막(140), 게이트 절연막(140) 상에 각각 제 1, 제 2 반도체층과 중첩되는 제 1, 제 2 게이트 전극(145, 150), 제 1, 제 2 게이트 전극(145, 150)을 덮는 층간 절연막(155) 및 층간 절연막(155) 상에 형성된 제 1, 제 2 소스 전극(160a, 160d) 및 제 1, 제 2 드레인 전극(160b, 160c)을 포함한다.
- [0062] 제 1 소스 전극(160a)은 제 1 게이트 전극(145)을 포함하는 스위칭 박막 트랜지스터의 소스 전극으로, 데이터 배선(미도시)으로부터 연장되어 층간 절연막(155) 및 게이트 절연막(140)을 제거하여 형성된 제 1 소스 콘택홀(155d)을 통해 노출된 제 1 소스 영역(125b)과 접속된다. 제 2 소스 전극(160d)은 제 2 게이트 전극(150)을 포함하는 구동 박막 트랜지스터의 소스 전극으로, 전원 배선(미도시)으로부터 연장되어 층간 절연막(155) 및 게이트 절연막(140)을 제거하여 형성된 제 2 소스 콘택홀(155e)을 통해 노출된 제 2 소스 영역(130b)과 접속된다. 이 때, 제 1, 제 2 소스 전극(160a, 160d)은 제 1, 제 2 소스 영역(125b, 130b)의 측면뿐만 아니라 제 1, 제 2 소스 영역(125b, 130b)의 상부면에도 접속된다.
- [0063] 제 1 드레인 전극(160b)은 스위칭 박막 트랜지스터의 드레인 전극으로, 제 1 드레인 전극(160b)은 드레인 콘택홀(155f)에 의해 노출된 제 1 드레인 영역(125c), 제 1 스토리지 콘택홀(155b)에 의해 노출된 제 1 스토리지 전극(105) 및 게이트 콘택홀(155g)에 의해 노출된 제 2 게이트 전극(150)을 서로 연결시킨다. 구체적으로, 드레인 콘택홀(155f)은 층간 절연막(155) 및 게이트 절연막(140)을 제거하여 형성된다. 그리고, 제 1 스토리지 콘택홀(155b)은 층간 절연막(155), 게이트 절연막(140), 제 2 버퍼층(120), 제 2 스토리지 전극(115) 및 제 1 버퍼층(110)을 제거하여 형성되며, 게이트 콘택홀(155g)은 층간 절연막(155)을 제거하여 형성된다.
- [0064] 이 때, 제 1 스토리지 콘택홀(155b) 측면의 제 2 스토리지 전극(115)은 언더컷 구조를 가져, 층간 절연막(155) 게이트 절연막, 제 2 버퍼층, 제 2 스토리지 전극(115) 및 제 1 버퍼층(110)을 제거하여 제 1 스토리지 전극(105)을 노출시키는 제 1 스토리지 콘택홀(155b)의 측면이 층간 절연막(155), 게이트 절연막(140) 및 제 2 버퍼층(120)의 가장자리가 제 2 스토리지 전극(115)의 가장자리보다 돌출된 구조이다.
- [0065] 따라서, 제 1 스토리지 콘택홀(155b)을 따라 형성되는 제 1 드레인 전극(160b)과 제 2 스토리지 전극(115) 사이에는 제 1 스토리지 콘택홀(155b)을 감싸는 진공 상태의 스페이스(115a)가 형성된다. 이에 따라, 스페이스(115a)로 인해 제 1 스토리지 콘택홀(155b) 측면에서 제 1 드레인 전극(160b)과 제 2 스토리지 전극(115)의 가장자리가 접속되지 않는다.
- [0066] 제 2 드레인 전극(160c)은 구동 박막 트랜지스터의 드레인 전극으로, 층간 절연막, 게이트 절연막을 제거하여 노출된 제 2 소스 영역(130b)과 접속된다. 이 때, 이 때, 제 1, 제 2 드레인 전극(160b, 160c) 역시 제 1, 제 2 드레인 영역(125c, 130c)의 측면뿐만 아니라 상부면에도 접속된다.
- [0067] 제 1, 제 2 소스 전극(160a, 160d) 및 제 1, 제 2 드레인 전극(160b, 160c) 상에는 보호막(165)이 형성된다. 보호막(165)은 선택적으로 제거되어 제 2 드레인 전극(160c)을 노출시킨다.
- [0068] 그리고, 보호막(165) 상에 유기 발광 다이오드가 형성된다. 유기 발광 다이오드는 제 1 전극(170), 유기 발광층(180) 및 제 2 전극(185)을 포함한다. 제 1 전극(170)은 보호막(165)에 의해 노출된 제 2 드레인 전극(160c)과 접속된다. 그리고 제 1 전극(170)의 일부 영역을 노출시키는 배그 절연막(175)이 보호막(165) 상에 형성되어 발광 영역을 정의하며, 발광 영역에 유기 발광층(180)이 형성된다. 그리고, 유기 발광층(180) 상에 제 2 전극(185)이 형성된다.
- [0069] 상기와 같은 본 발명의 유기 발광 다이오드 표시 장치는 제 1, 제 2 스토리지 전극(105, 115)을 동일 마스크를 이용하여 동일 형상으로 형성한 후, 제 1 스토리지 콘택홀(150b)을 형성할 영역의 제 2 스토리지 전극(115)을 부분적으로 제거한다. 따라서, 스토리지 커패시터의 면적 중 제 1, 제 2 스토리지 전극(105, 115)이 중첩되는 영역을 증가시켜 스토리지 커패시터의 면적을 증가시키지 않고 스토리지 커패시턴스를 효율적으로 증가시킬 수 있다.
- [0070] 한편, 이상에서 설명한 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분

야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

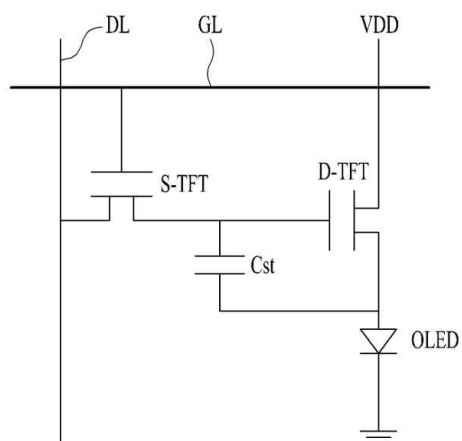
부호의 설명

[0071]

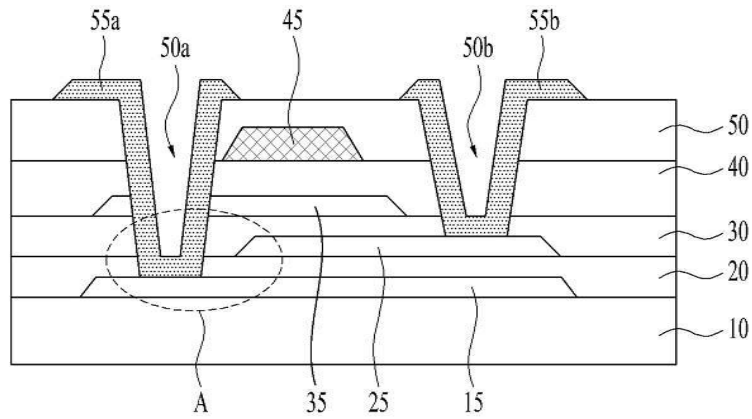
100: 기관 105: 제 1 스토리지 전극
 110: 제 1 버퍼층 115: 제 2 스토리지 전극
 115a: 스페이스 120: 제 2 버퍼층
 125: 제 1 반도체층 125a: 제 1 채널 영역
 125b: 제 1 소스 영역 125c: 제 1 드레인 영역
 130: 제 2 반도체층 130a: 제 2 채널 영역
 130b: 제 2 소스 영역 130c: 제 2 드레인 영역
 140: 게이트 절연막 145: 제 1 게이트 전극
 150: 제 2 게이트 전극 155: 층간 절연막
 155a: 제 1 스토리지 콘택홀 패턴 155b: 제 1 스토리지 콘택홀
 155c: 제 2 스토리지 콘택홀 155d: 제 1 소스 콘택홀
 155e: 제 2 소스 콘택홀 155f: 드레인 콘택홀
 155g: 게이트 콘택홀 160a: 제 1 소스 전극
 160b: 제 1 드레인 전극 160c: 제 2 드레인 전극
 160d: 제 2 소스 전극 165: 보호막
 170: 제 1 전극 175: बैं크 절연막
 180: 유기 발광층 185: 제 2 전극
 300: 하프톤 마스크

도면

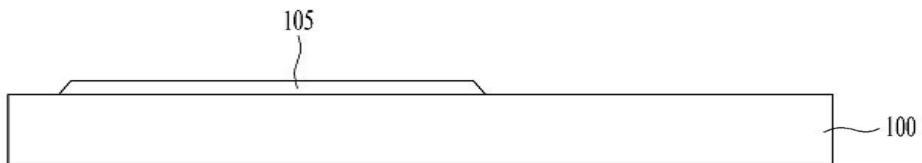
도면1



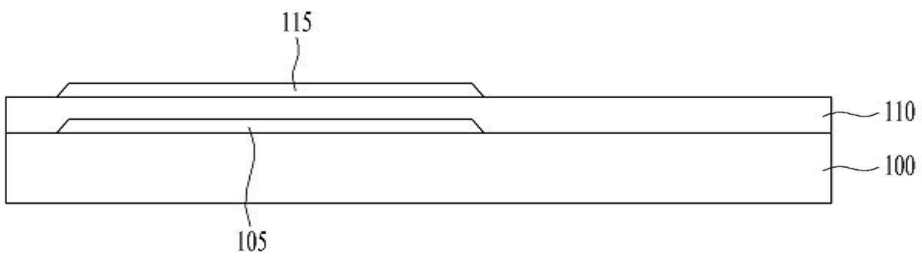
도면2



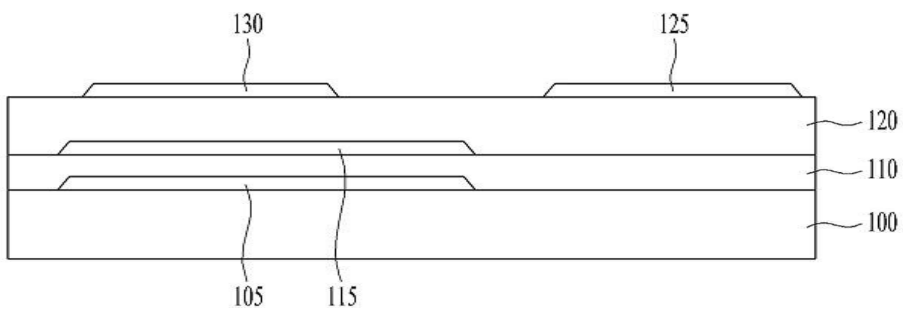
도면3a



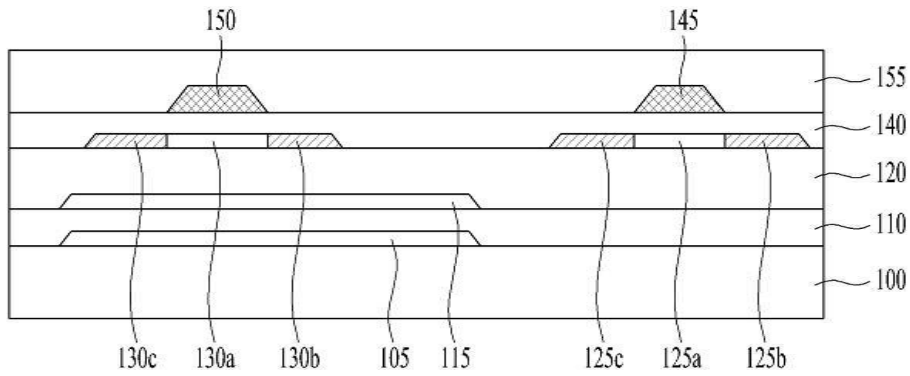
도면3b



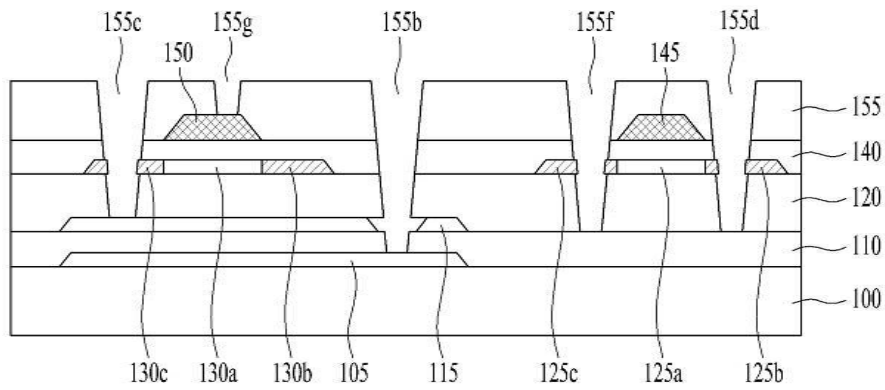
도면3c



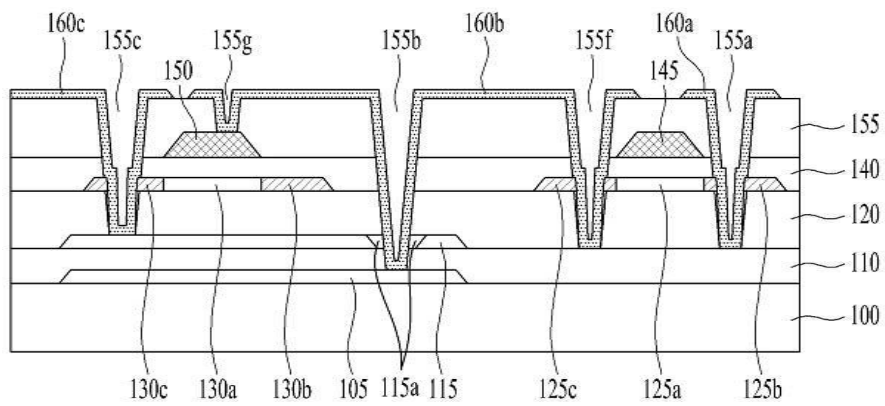
도면3d



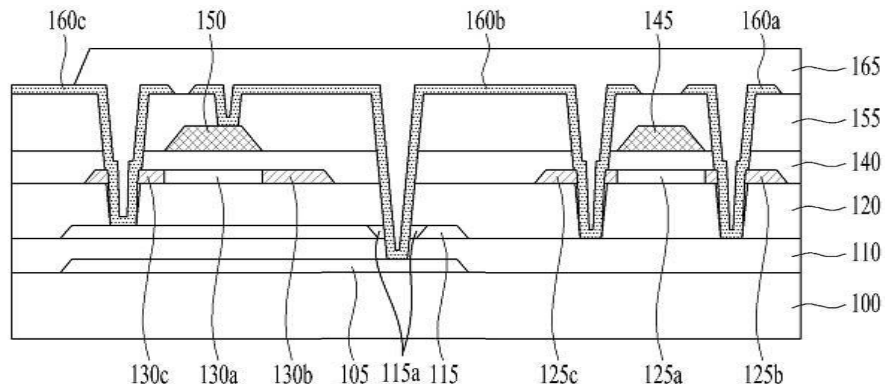
도면3e



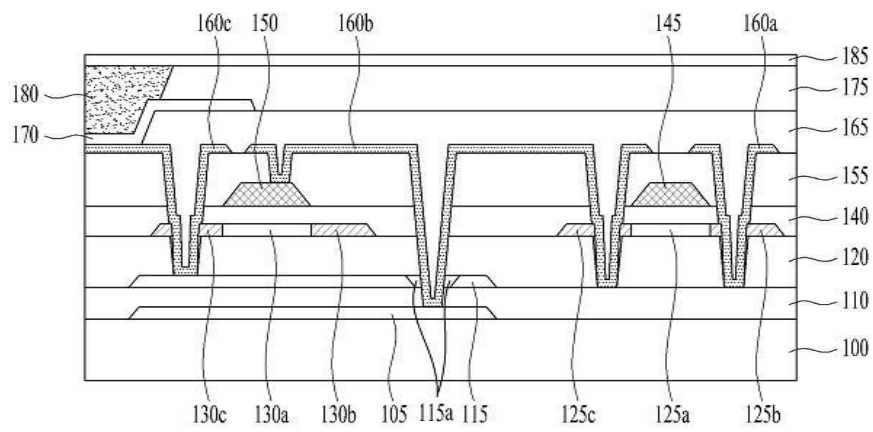
도면3f



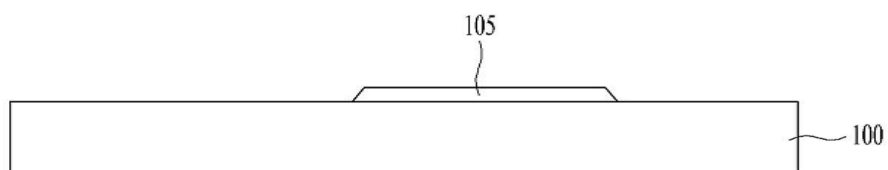
도면3g



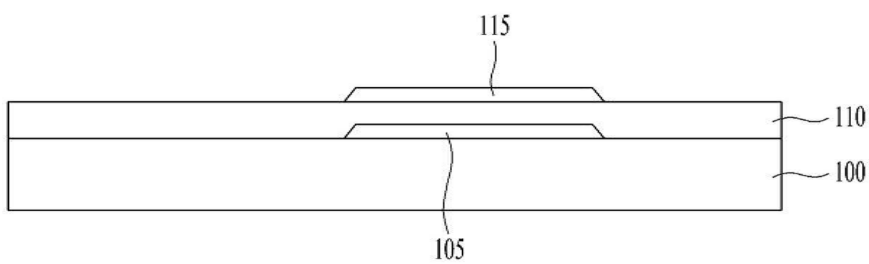
도면3h



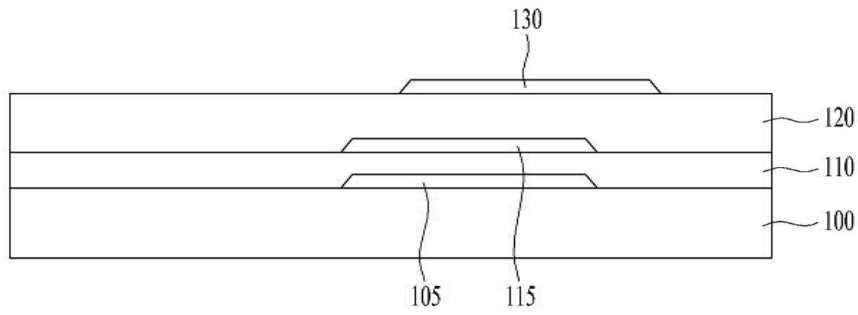
도면4a



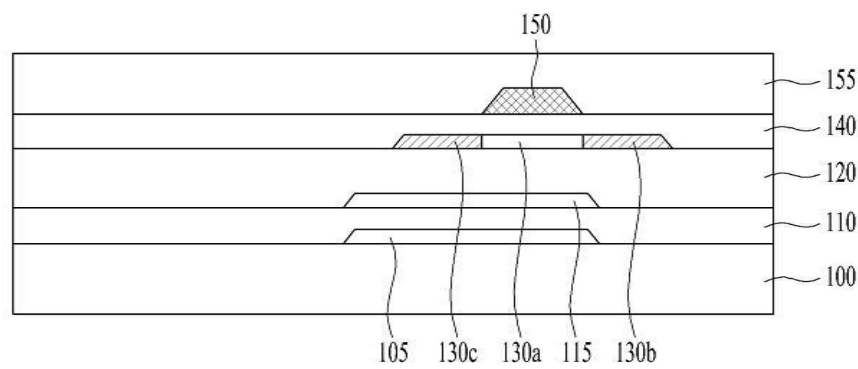
도면4b



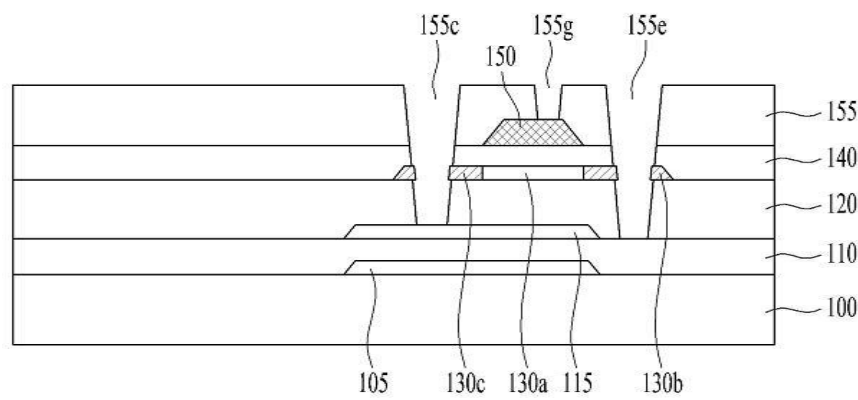
도면4c



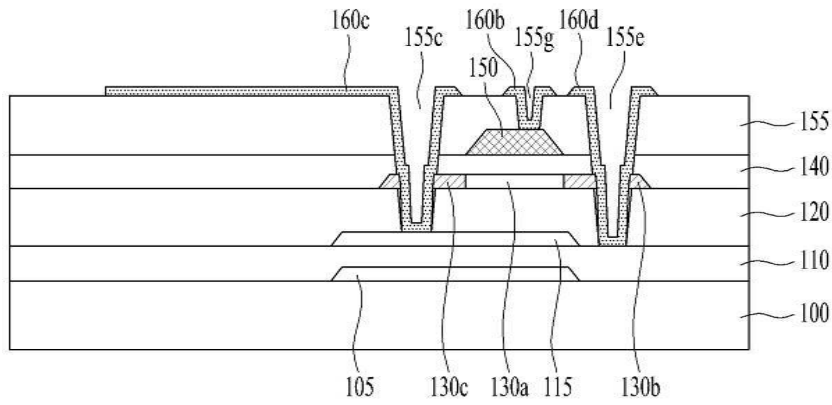
도면4d



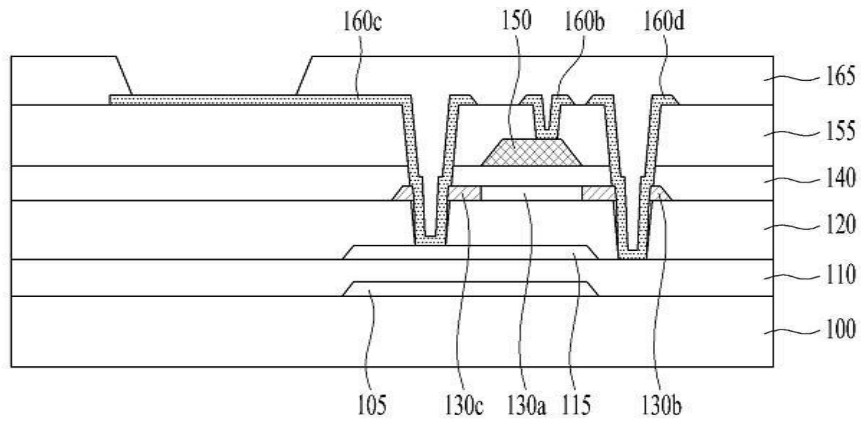
도면4e



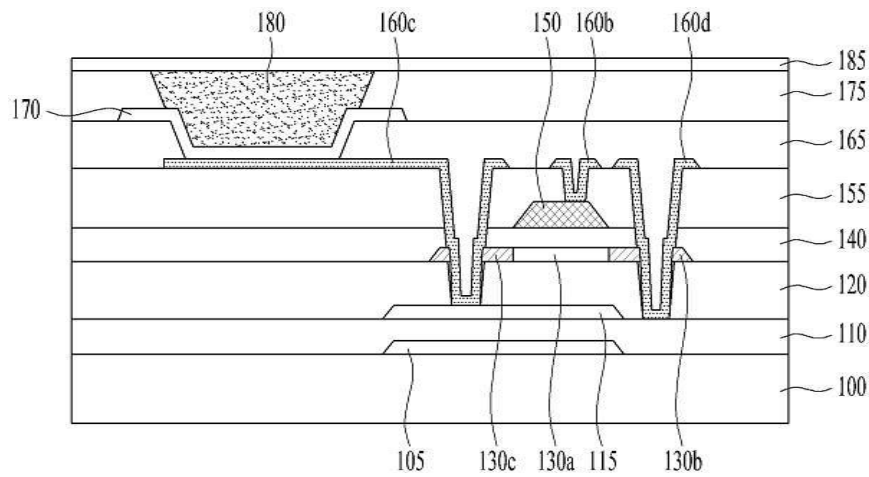
도면4f



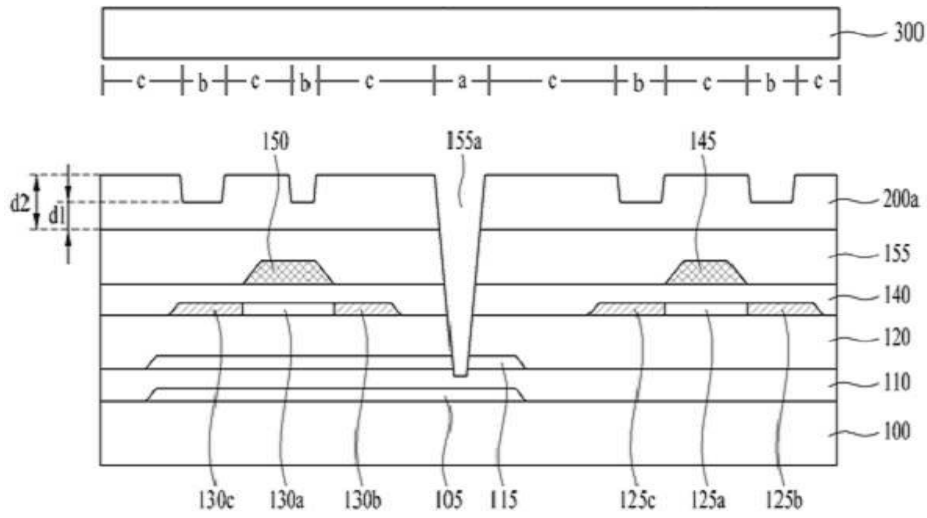
도면4g



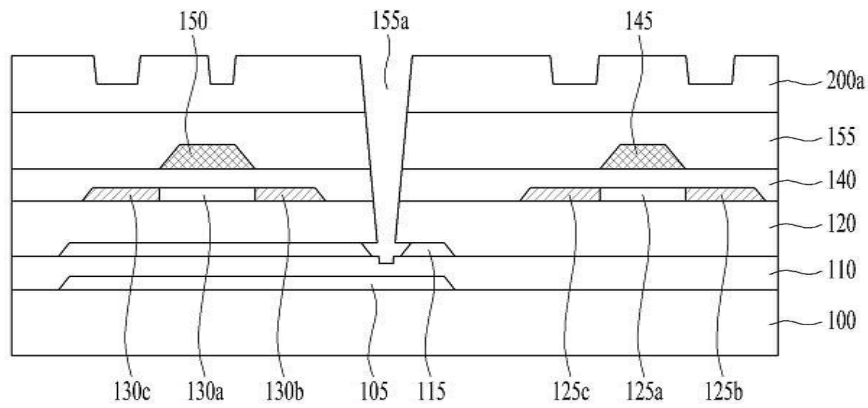
도면4h



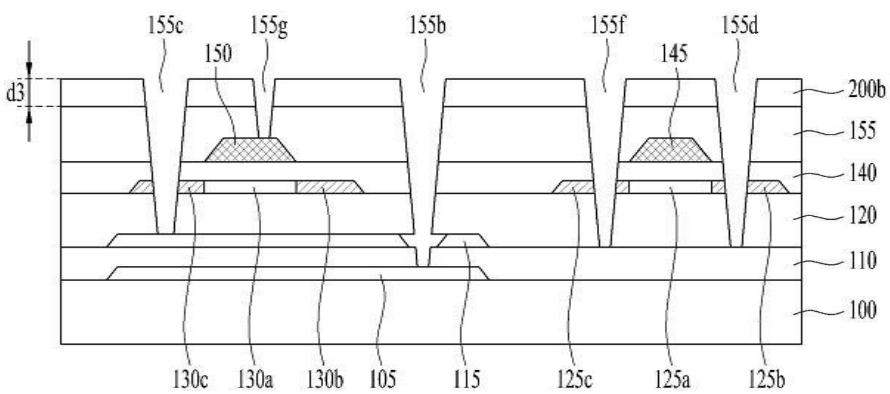
도면5a



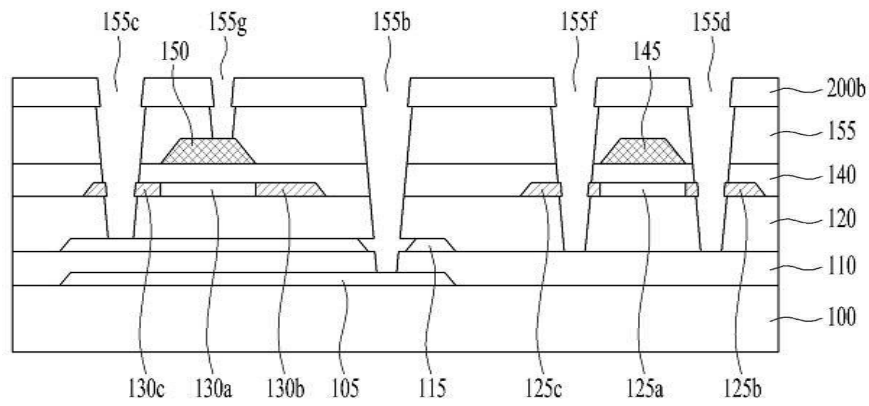
도면5b



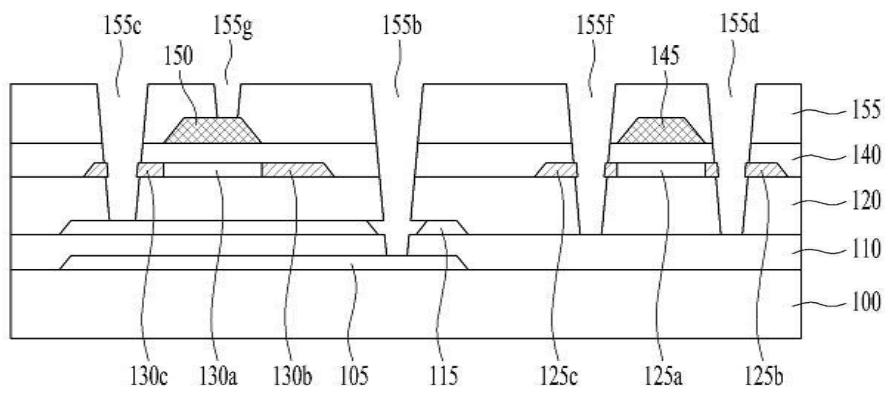
도면5c



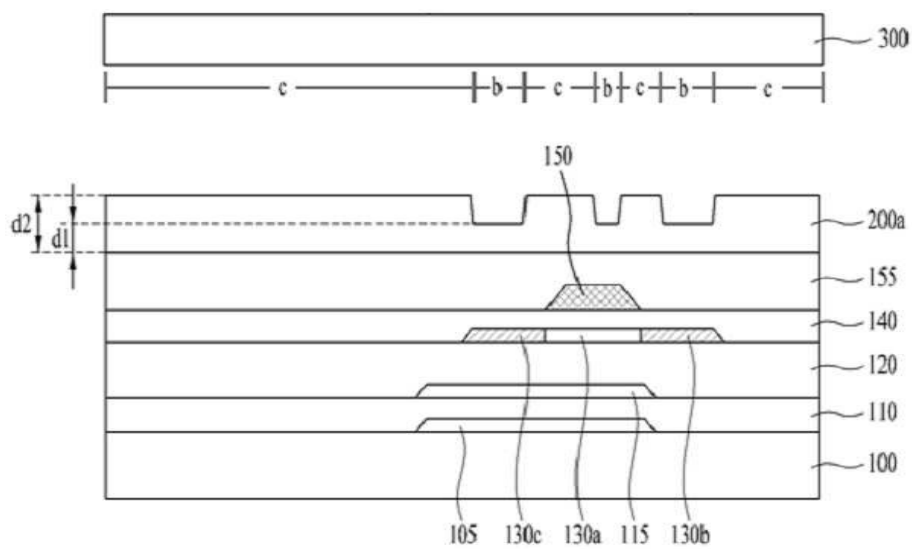
도면5d



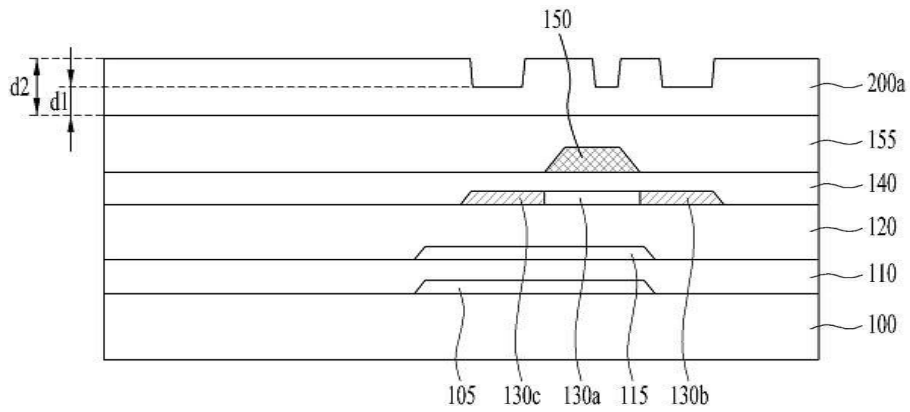
도면5e



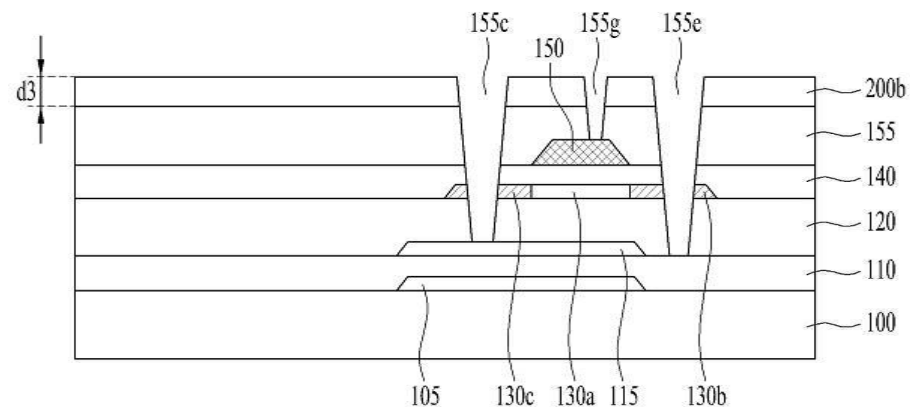
도면6a



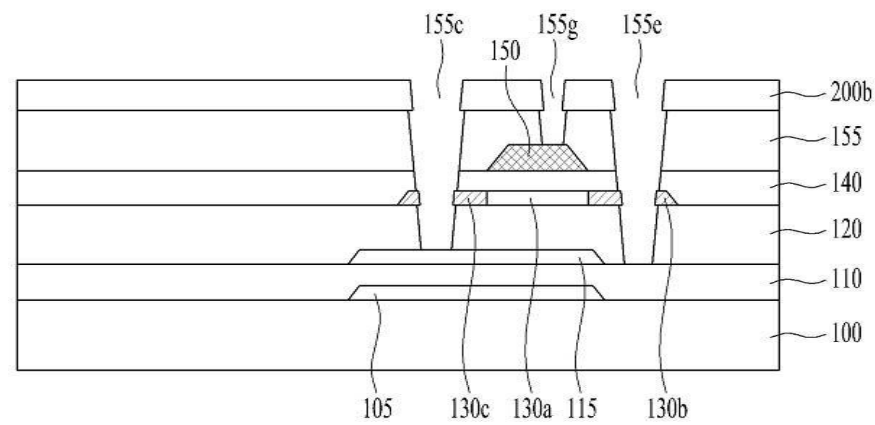
도면6b



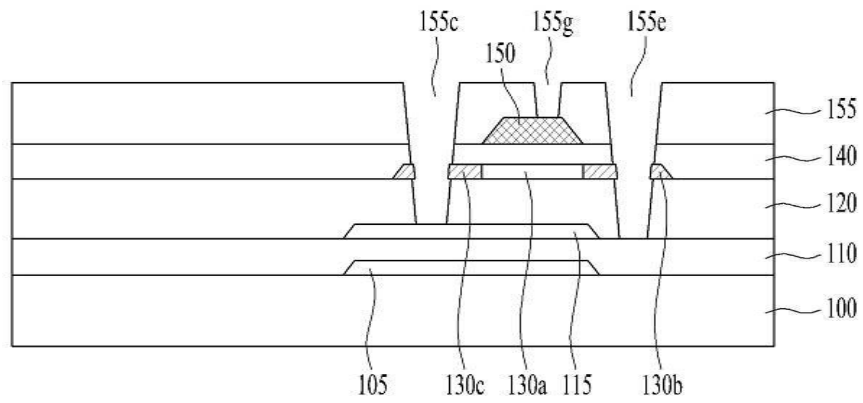
도면6c



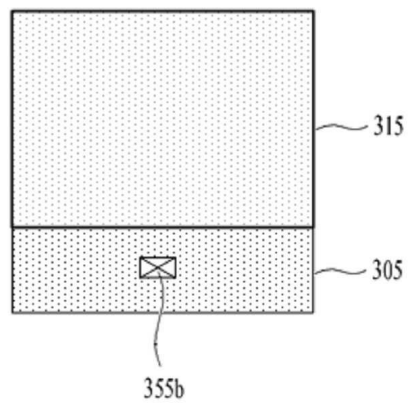
도면6d



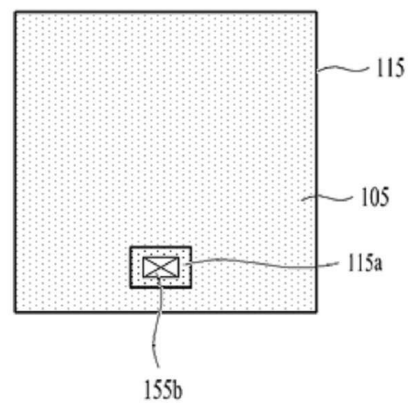
도면6e



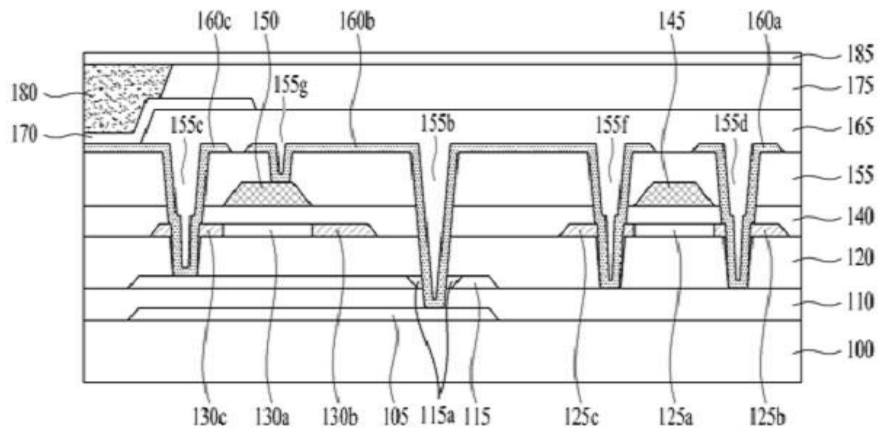
도면7a



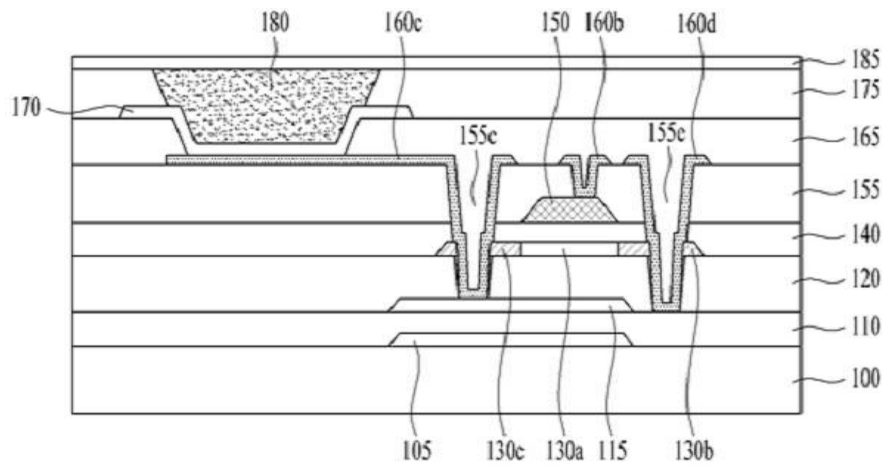
도면7b



도면8



도면9



专利名称(译)	有机发光二极管显示装置及其制造方法		
公开(公告)号	KR1020160006973A	公开(公告)日	2016-01-20
申请号	KR1020140086749	申请日	2014-07-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	NOH SO YOUNG 노소영		
发明人	노소영		
IPC分类号	H01L27/32 H01L51/52		
CPC分类号	H01L27/3265 H01L27/1255 H01L27/1288		
代理人(译)	PARK , YOUNG BOK		
外部链接	Espacenet		

摘要(译)

本发明涉及一种有机发光二极管显示装置及其制造方法，该有机发光二极管显示装置能够通过使用半吨掩模形成第一和第二存储接触孔而使第一和第二存储电极彼此充分重叠，从而增加存储电容。一样。本发明的有机发光二极管显示装置包括：第一存储电极，形成在基板上；形成在基板上以覆盖第一存储电极的第一缓冲层；第二存储电极，形成在第一缓冲层上并与第一存储电极重叠，其边缘部分与第一存储电极的边缘部分重合；形成第二缓冲层以覆盖第二存储电极；形成在第二缓冲层上的第一和第二半导体层；一扇门形成的绝缘膜覆盖第一和第二半导体层；第一和第二栅电极分别形成与第一和第二层重叠；形成层间绝缘膜以覆盖第一和第二栅电极；第一存储接触孔，其穿透第二存储电极以暴露第一存储电极；以及第二存储接触孔，以暴露第二存储电极；第一漏电极，其通过层间绝缘膜上的第一存储接触孔连接到第一半导体层，第一存储电极和第二栅电极，并通过在它们之间插入空间而与第二存储电极分离，并且第二漏电极，其通过第二存储器连接到第二半导体层和第二存储电极接触孔。

