



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0142959

(43) 공개일자 2015년12월23일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2006.01)

(21) 출원번호 10-2014-0071710

(22) 출원일자 2014년06월12일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기 용인시 기흥구 삼성로1(농서동)

(72) 발명자

이재훈

서울특별시 금천구 금하로 816 , 518동 1702호

(74) 대리인

박영우

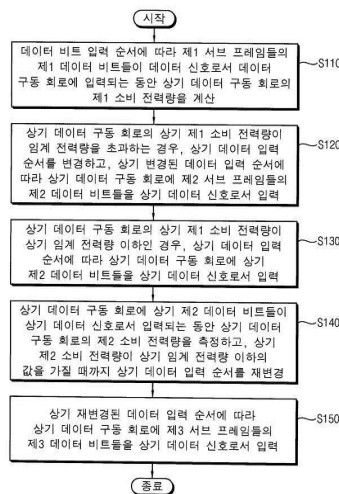
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 유기 발광 표시 장치의 디지털 구동 방법

(57) 요약

유기 발광 표시 장치의 디지털 구동 방법은, 하나의 프레임을 복수의 서브 프레임들로 나누어 표시함에 있어서, 데이터 비트 입력 순서에 따라 제1 서브 프레임들의 제1 데이터 비트들이 데이터 신호로서 데이터 구동 회로에 입력되는 동안 상기 데이터 구동 회로의 제1 소비 전력량을 계산하는 단계 및 상기 데이터 구동 회로의 상기 제1 소비 전력량이 임계 전력량을 초과하는 경우, 상기 데이터 입력 순서를 변경하고, 상기 변경된 데이터 입력 순서에 따라 상기 데이터 구동 회로에 제2 서브 프레임들의 제2 데이터 비트들을 상기 데이터 신호로서 입력하는 단계를 포함한다.

대표도 - 도1



명세서

청구범위

청구항 1

하나의 프레임(Frame)을 복수의 서브 프레임들로 나누어 표시하는 유기 발광 표시 장치의 디지털 구동 방법에 있어서,

데이터 비트 입력 순서에 따라 제1 서브 프레임들의 제1 데이터 비트들이 데이터 신호로서 데이터 구동 회로에 입력되는 동안 상기 데이터 구동 회로의 제1 소비 전력량을 계산하는 단계; 및

상기 데이터 구동 회로의 상기 제1 소비 전력량이 임계 전력량을 초과하는 경우, 상기 데이터 비트 입력 순서를 변경하고, 상기 변경된 데이터 비트 입력 순서에 따라 상기 데이터 구동 회로에 제2 서브 프레임들의 제2 데이터 비트들을 상기 데이터 신호로서 입력하는 단계를 포함하는 유기 발광 표시 장치의 디지털 구동 방법.

청구항 2

제1 항에 있어서,

상기 데이터 구동 회로의 상기 제1 소비 전력량이 상기 임계 전력량 이하인 경우, 상기 데이터 비트 입력 순서에 따라 상기 데이터 구동 회로에 상기 제2 데이터 비트들을 상기 데이터 신호로서 입력하는 단계를 더 포함하는 유기 발광 표시 장치의 디지털 구동 방법.

청구항 3

제1 항에 있어서,

상기 유기 발광 표시 장치는 복수의 화소들 및 복수의 스캔 라인들을 포함하고,

상기 화소들은 상기 스캔 라인들에 각각 연결되고,

상기 하나의 프레임은 상기 스캔 라인들의 수와 동일한 수의 단위 표시 시간들을 포함하는 유기 발광 표시 장치의 디지털 구동 방법.

청구항 4

제3 항에 있어서,

상기 제1 서브 프레임들은 제1 단위 표시 기간 내에서 표시가 시작되는 화소들의 서브 프레임들인 유기 발광 표시 장치의 디지털 구동 방법.

청구항 5

제3 항에 있어서,

상기 제2 서브 프레임들은 제2 단위 표시 기간 내에서 표시가 시작되는 화소들의 서브 프레임들인 유기 발광 표시 장치의 디지털 구동 방법.

청구항 6

제3 항에 있어서,

상기 제1 서브 프레임들 또는 상기 제2 서브 프레임들은 상기 화소들 중 미리 정해진 시간 내에서 표시가 시작되는 화소들의 서브 프레임들인 유기 발광 표시 장치의 디지털 구동 방법.

청구항 7

제1 항에 있어서,

상기 데이터 신호는 한 비트의 신호이고,

상기 제1 데이터 비트들은 상기 데이터 구동 회로에 상기 데이터 신호로서 순차적으로 입력되고,

상기 제2 데이터 비트들은 상기 데이터 구동 회로에 상기 데이터 신호로서 순차적으로 입력되는 유기 발광 표시 장치의 디지털 구동 방법.

청구항 8

제1 항에 있어서,

상기 데이터 구동 회로에 상기 제2 데이터 비트들이 상기 데이터 신호로서 입력되는 동안 상기 데이터 구동 회로의 제2 소비 전력량을 측정하고, 상기 제2 소비 전력량이 상기 임계 전력량 이하의 값을 가질 때까지 상기 데이터 비트 입력 순서를 재변경하는 단계; 및

상기 재변경된 데이터 비트 입력 순서에 따라 상기 데이터 구동 회로에 제3 서브 프레임들의 제3 데이터 비트들을 상기 데이터 신호로서 입력하는 단계를 더 포함하는 유기 발광 표시 장치의 디지털 구동 방법.

청구항 9

제1 항에 있어서,

상기 데이터 구동 회로의 상기 제1 소비 전력량이 상기 임계 전력량을 초과하는 경우, 상기 데이터 비트 입력 순서를 변경하고, 상기 변경된 데이터 비트 입력 순서에 따라 상기 데이터 구동 회로에 상기 제2 서브 프레임들의 상기 제2 데이터 비트들을 상기 데이터 신호로서 입력하는 단계는,

상기 데이터 비트 입력 순서상에서 서로 다른 입력 순서들을 가지는 서브 프레임들의 데이터 비트들의 입력 순서들을 서로 변경하는 단계를 포함하는 유기 발광 표시 장치의 디지털 구동 방법.

청구항 10

제1 항에 있어서,

상기 데이터 구동 회로의 상기 제1 소비 전력량이 상기 임계 전력량을 초과하는 경우, 상기 데이터 비트 입력 순서를 변경하고, 상기 변경된 데이터 비트 입력 순서에 따라 상기 데이터 구동 회로에 상기 제2 서브 프레임들의 상기 제2 데이터 비트들을 상기 데이터 신호로서 입력하는 단계는,

상기 제1 데이터 비트들이 상기 데이터 신호로서 상기 데이터 구동 회로에 입력되는 경우, 상기 데이터 신호의 논리값 천이가 N 번(단, N은 자연수) 발생하도록 상기 데이터 비트 입력 순서를 변경하는 단계를 포함하는 유기 발광 표시 장치의 디지털 구동 방법.

청구항 11

제10 항에 있어서,

상기 제1 데이터 비트들이 상기 데이터 신호로서 상기 데이터 구동 회로에 입력되는 경우, 상기 데이터 신호의 논리값 천이가 N 번 발생하도록 상기 데이터 비트 입력 순서를 변경하는 단계는,

상기 제1 데이터 비트들 중에서 최하위 비트(Least significant bit; LSB)가 논리값 1을 가지는 경우, 상기 최하위 비트의 입력이 가장 빠르도록 상기 데이터 비트 입력 순서를 변경하는 단계를 포함하는 유기 발광 표시 장치의 디지털 구동 방법.

청구항 12

제11 항에 있어서,

상기 제1 데이터 비트들이 상기 데이터 신호로서 상기 데이터 구동 회로에 입력되는 경우, 상기 데이터 신호의 논리값 천이가 N 번 발생하도록 상기 데이터 비트 입력 순서를 변경하는 단계는,

상기 제1 데이터 비트들 중 논리값 1을 가지는 데이터 비트의 입력이 상기 제1 데이터 비트들 중 논리값 0을 가지는 데이터 비트의 입력보다 빠르도록 상기 데이터 비트 입력 순서를 변경하는 단계를 더 포함하는 것을 유기 발광 표시 장치의 디지털 구동 방법.

청구항 13

제10 항에 있어서,

상기 제1 데이터 비트들이 상기 데이터 신호로서 상기 데이터 구동 회로에 입력되는 경우, 상기 데이터 신호의 논리값 천이가 N 번 발생하도록 상기 데이터 비트 입력 순서를 변경하는 단계는,

상기 제1 데이터 비트들 중에서 최하위 비트가 논리값 0을 가지는 경우, 상기 최하위 비트의 입력이 가장 빠르도록 상기 데이터 비트 입력 순서를 변경하는 단계를 포함하는 유기 발광 표시 장치의 디지털 구동 방법.

청구항 14

제13 항에 있어서,

상기 제1 데이터 비트들이 상기 데이터 신호로서 상기 데이터 구동 회로에 입력되는 경우, 상기 데이터 신호의 논리값 천이가 N 번 발생하도록 상기 데이터 비트 입력 순서를 변경하는 단계는,

상기 제1 데이터 비트들 중 논리값 0을 가지는 데이터 비트의 입력이 상기 제1 데이터 비트들 중 논리값 1을 가지는 데이터 비트의 입력보다 빠르도록 상기 데이터 비트 입력 순서를 변경하는 단계를 더 포함하는 것을 유기 발광 표시 장치의 디지털 구동 방법.

청구항 15

제1 항에 있어서,

상기 하나의 프레임에 포함되는 상기 서브 프레임들의 발광 시간의 합에 기초하여 상기 유기 발광 표시 장치에 포함되는 화소의 계조가 표현되는 유기 발광 표시 장치의 디지털 구동 방법.

청구항 16

제15 항에 있어서,

상기 서브 프레임들 중에서 최장 발광 시간을 갖는 서브 프레임이 상기 제1 데이터 비트들 중 최상위 비트(most significant bits; MSB)에 상응하고, 상기 서브 프레임들 중에서 최단 발광 시간을 갖는 서브 프레임이 상기 제1 데이터 비트들 중 최하위 비트에 상응하는 유기 발광 표시 장치의 디지털 구동 방법.

청구항 17

제1 항에 있어서,

상기 데이터 비트 입력 순서에 따라 상기 제1 서브 프레임들의 상기 제1 데이터 비트들이 상기 데이터 신호로서 상기 데이터 구동 회로에 입력되는 동안 상기 데이터 구동 회로의 상기 제1 소비 전력량을 계산하는 단계는,

상기 데이터 구동 회로의 전류량에 기초하여 상기 데이터 구동 회로의 상기 제1 소비 전력량을 계산하는 단계를 포함하는 유기 발광 표시 장치의 디지털 구동 방법.

청구항 18

제1 항에 있어서,

상기 데이터 비트 입력 순서에 따라 상기 제1 서브 프레임들의 상기 제1 데이터 비트들이 상기 데이터 신호로서 상기 데이터 구동 회로에 입력되는 동안 상기 데이터 구동 회로의 상기 제1 소비 전력량을 계산하는 단계는,

상기 데이터 신호의 논리값 천이 횟수에 기초하여 상기 데이터 구동 회로의 상기 제1 소비 전력량을 계산하는 단계를 포함하는 유기 발광 표시 장치의 디지털 구동 방법.

청구항 19

제1 항에 있어서,

상기 유기 발광 표시 장치는 상기 데이터 구동 회로 및 화소들을 포함하고,

상기 데이터 구동 회로는 상기 화소들에 상기 제1 데이터 비트들 또는 상기 제2 데이터 비트들을 구동한 신호들

을 제공하는 유기 발광 표시 장치의 디지털 구동 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치의 구동 방법에 관한 것이다. 보다 상세하게는, 서브 프레임들의 데이터 비트들이 데이터 구동 회로에 입력되는 순서를 변경하여 낮은 전력을 소모하는 유기 발광 표시 장치의 디지털 구동 방법에 관한 것이다.

배경 기술

[0002] 최근, 전자 기기의 소형화 및 저전력화에 따라 표시 장치 중에서 유기 발광 표시 장치가 많이 이용되고 있다. 일반적으로, 유기 발광 표시 장치는 각 화소에 포함된 스토리지 커패시터에 저장된 전압을 이용하여 계조를 표시(즉, 아날로그 구동 방식)한다. 그러나, 상기 아날로그 구동 방식에서는 스토리지 커패시터에 저장된 전압에 기초하여 계조가 표현되기 때문에, 원하는 계조를 정확하게 표현하기가 상대적으로 어렵다.

[0003] 이러한 문제점을 해결하기 위하여, 유기 발광 표시 장치에 디지털 구동 방식을 적용하려는 시도가 이루어지고 있다. 구체적으로, 유기 발광 표시 장치의 디지털 구동 방식은 하나의 프레임을 복수의 서브 프레임들로 나누어 표시할 수 있고, 하나의 프레임은 복수의 서브 프레임들로 나뉠 수 있다. 일 실시예에 있어서, 상기 서브 프레임들의 발광 시간들은 각각 2^n 의 비율로 상이하게 설정될 수 있다. 다른 실시예에 있어서, 상기 서브 프레임들의 발광 시간들은 사용자에게 의해 미리 정해진 비율에 따라 설정될 수 있다. 상기 발광 시간들의 합에 기초하여 소정의 계조가 표현될 수 있다.

[0004] 유기 발광 표시 장치에 포함되는 디스플레이 패널의 화소 수가 증가하면서, 디지털 구동 방식에 따라 동작하는 유기 발광 표시 장치의 전력 소모량이 크게 증가하는 문제점이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 일 목적은 하나의 프레임이 복수의 서브 프레임들로 나누어질 때, 서브 프레임들의 데이터 비트들이 데이터 구동 회로에 데이터 신호로서 입력되는 순서를 변경하여 낮은 전력을 소모하는 유기 발광 표시 장치의 디지털 구동 방법을 제공하는 것이다.

과제의 해결 수단

[0006] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 유기 발광 표시 장치의 디지털 구동 방법은, 하나의 프레임(Frame)을 복수의 서브 프레임들로 나누어 표시함에 있어서, 데이터 비트 입력 순서에 따라 제1 서브 프레임들의 제1 데이터 비트들이 데이터 신호로서 데이터 구동 회로에 입력되는 동안 상기 데이터 구동 회로의 제1 소비 전력량을 계산하는 단계 및 상기 데이터 구동 회로의 상기 제1 소비 전력량이 임계 전력량을 초과하는 경우, 상기 데이터 비트 입력 순서를 변경하고, 상기 변경된 데이터 비트 입력 순서에 따라 상기 데이터 구동 회로에 제2 서브 프레임들의 제2 데이터 비트들을 상기 데이터 신호로서 입력하는 단계를 포함한다.

[0007] 일 실시예에 있어서, 상기 유기 발광 표시 장치의 디지털 구동 방법은 상기 데이터 구동 회로의 상기 제1 소비 전력량이 상기 임계 전력량 이하인 경우, 상기 데이터 비트 입력 순서에 따라 상기 데이터 구동 회로에 상기 제2 데이터 비트들을 상기 데이터 신호로서 입력하는 단계를 더 포함할 수 있다.

[0008] 일 실시예에 있어서, 상기 유기 발광 표시 장치는 복수의 화소들 및 복수의 스캔 라인들을 포함할 수 있다. 상기 화소들은 상기 스캔 라인들에 각각 연결될 수 있다. 상기 하나의 프레임은 상기 스캔 라인들의 수와 동일한 수의 단위 표시 시간들을 포함할 수 있다.

[0009] 일 실시예에 있어서, 상기 제1 서브 프레임들은 제1 단위 표시 기간 내에서 표시가 시작되는 화소들의 서브 프레임들일 수 있다.

[0010] 일 실시예에 있어서, 상기 제2 서브 프레임들은 제2 단위 표시 기간 내에서 표시가 시작되는 화소들의 서브 프레임들일 수 있다.

- [0011] 일 실시예에 있어서, 상기 제1 서브 프레임들 또는 상기 제2 서브 프레임들은 상기 화소들 중 미리 정해진 시간 내에서 표시가 시작되는 화소들의 서브 프레임들일 수 있다.
- [0012] 일 실시예에 있어서, 상기 데이터 신호는 한 비트의 신호일 수 있다. 상기 제1 데이터 비트들은 상기 데이터 구동 회로에 상기 데이터 신호로서 순차적으로 입력될 수 있다. 상기 제2 데이터 비트들은 상기 데이터 구동 회로에 상기 데이터 신호로서 순차적으로 입력될 수 있다.
- [0013] 일 실시예에 있어서, 상기 유기 발광 표시 장치의 디지털 구동 방법은 상기 데이터 구동 회로에 상기 제2 데이터 비트들이 상기 데이터 신호로서 입력되는 동안 상기 데이터 구동 회로의 제2 소비 전력량을 측정하고, 상기 제2 소비 전력량이 상기 임계 전력량 이하의 값을 가질 때까지 상기 데이터 비트 입력 순서를 재변경하는 단계 및 상기 재변경된 데이터 비트 입력 순서에 따라 상기 데이터 구동 회로에 제3 서브 프레임들의 제3 데이터 비트들을 상기 데이터 신호로서 입력하는 단계를 더 포함할 수 있다.
- [0014] 일 실시예에 있어서, 상기 데이터 구동 회로의 상기 제1 소비 전력량이 상기 임계 전력량을 초과하는 경우, 상기 데이터 비트 입력 순서를 변경하고, 상기 변경된 데이터 비트 입력 순서에 따라 상기 데이터 구동 회로에 상기 제2 서브 프레임들의 상기 제2 데이터 비트들을 상기 데이터 신호로서 입력하는 단계는, 상기 데이터 비트 입력 순서상에서 서로 다른 입력 순서들을 가지는 서브 프레임들의 데이터 비트들의 입력 순서들을 서로 변경하는 단계를 포함할 수 있다.
- [0015] 일 실시예에 있어서, 상기 데이터 구동 회로의 상기 제1 소비 전력량이 상기 임계 전력량을 초과하는 경우, 상기 데이터 비트 입력 순서를 변경하고, 상기 변경된 데이터 비트 입력 순서에 따라 상기 데이터 구동 회로에 상기 제2 서브 프레임들의 상기 제2 데이터 비트들을 상기 데이터 신호로서 입력하는 단계는, 상기 제1 데이터 비트들이 상기 데이터 신호로서 상기 데이터 구동 회로에 입력되는 경우, 상기 데이터 신호의 논리값 천이가 N 번 (단, N은 자연수) 발생하도록 상기 데이터 비트 입력 순서를 변경하는 단계를 포함할 수 있다.
- [0016] 일 실시예에 있어서, 상기 제1 데이터 비트들이 상기 데이터 신호로서 상기 데이터 구동 회로에 입력되는 경우, 상기 데이터 신호의 논리값 천이가 N 번 발생하도록 상기 데이터 비트 입력 순서를 변경하는 단계는, 상기 제1 데이터 비트들 중에서 최하위 비트(Least significant bit; LSB)가 논리값 1을 가지는 경우, 상기 최하위 비트의 입력이 가장 빠르도록 상기 데이터 비트 입력 순서를 변경하는 단계를 포함할 수 있다.
- [0017] 일 실시예에 있어서, 상기 제1 데이터 비트들이 상기 데이터 신호로서 상기 데이터 구동 회로에 입력되는 경우, 상기 데이터 신호의 논리값 천이가 N 번 발생하도록 상기 데이터 비트 입력 순서를 변경하는 단계는, 상기 제1 데이터 비트들 중 논리값 1을 가지는 데이터 비트의 입력이 상기 제1 데이터 비트들 중 논리값 0을 가지는 데이터 비트의 입력보다 빠르도록 상기 데이터 비트 입력 순서를 변경하는 단계를 더 포함할 수 있다.
- [0018] 일 실시예에 있어서, 상기 제1 데이터 비트들이 상기 데이터 신호로서 상기 데이터 구동 회로에 입력되는 경우, 상기 데이터 신호의 논리값 천이가 N 번 발생하도록 상기 데이터 비트 입력 순서를 변경하는 단계는, 상기 제1 데이터 비트들 중에서 최하위 비트가 논리값 0을 가지는 경우, 상기 최하위 비트의 입력이 가장 빠르도록 상기 데이터 비트 입력 순서를 변경하는 단계를 포함할 수 있다.
- [0019] 일 실시예에 있어서, 상기 제1 데이터 비트들이 상기 데이터 신호로서 상기 데이터 구동 회로에 입력되는 경우, 상기 데이터 신호의 논리값 천이가 N 번 발생하도록 상기 데이터 비트 입력 순서를 변경하는 단계는, 상기 제1 데이터 비트들 중 논리값 0을 가지는 데이터 비트의 입력이 상기 제1 데이터 비트들 중 논리값 1을 가지는 데이터 비트의 입력보다 빠르도록 상기 데이터 비트 입력 순서를 변경하는 단계를 더 포함할 수 있다.
- [0020] 일 실시예에 있어서, 상기 하나의 프레임에 포함되는 상기 서브 프레임들의 발광 시간의 합에 기초하여 상기 유기 발광 표시 장치에 포함되는 화소의 계조가 표현될 수 있다.
- [0021] 일 실시예에 있어서, 상기 서브 프레임들 중에서 최장 발광 시간을 갖는 서브 프레임이 상기 제1 데이터 비트들 중 최상위 비트(most significant bits; MSB)에 상응하고, 상기 서브 프레임들 중에서 최단 발광 시간을 갖는 서브 프레임이 상기 제1 데이터 비트들 중 최하위 비트에 상응할 수 있다.
- [0022] 일 실시예에 있어서, 상기 데이터 비트 입력 순서에 따라 상기 제1 서브 프레임들의 상기 제1 데이터 비트들이 상기 데이터 신호로서 상기 데이터 구동 회로에 입력되는 동안 상기 데이터 구동 회로의 상기 제1 소비 전력량을 계산하는 단계는, 상기 데이터 구동 회로의 전류량에 기초하여 상기 데이터 구동 회로의 상기 제1 소비 전력량을 계산하는 단계를 포함할 수 있다.
- [0023] 일 실시예에 있어서, 상기 데이터 비트 입력 순서에 따라 상기 제1 서브 프레임들의 상기 제1 데이터 비트들이

상기 데이터 신호로서 상기 데이터 구동 회로에 입력되는 동안 상기 데이터 구동 회로의 상기 제1 소비 전력량을 계산하는 단계는, 상기 데이터 신호의 논리값 천이 횟수에 기초하여 상기 데이터 구동 회로의 상기 제1 소비 전력량을 계산하는 단계를 포함할 수 있다.

[0024] 일 실시예에 있어서, 상기 유기 발광 표시 장치는 상기 데이터 구동 회로 및 화소들을 포함할 수 있다. 상기 데이터 구동 회로는 상기 화소들에 상기 제1 데이터 비트들 또는 상기 제2 데이터 비트들을 구동한 신호들을 제공할 수 있다.

발명의 효과

[0025] 본 발명의 실시예들에 따른 유기 발광 표시 장치의 디지털 구동 방법은 하나의 프레임이 복수의 서브 프레임들로 나누어질 때, 서브 프레임들의 데이터 비트들의 데이터 구동 회로에 데이터 신호로서 입력되는 순서를 변경하여 상기 데이터 신호의 논리값 천이를 최소화하여, 상기 데이터 구동 회로의 소모 전력 및 전체 유기 발광 표시 장치의 소모 전력을 낮출 수 있다. 다만, 본 발명의 효과는 이에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0026] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 디지털 구동 방법을 나타내는 순서도이다.

도 2는 도 1의 순서도에 포함되는 상기 데이터 구동 회로의 상기 제1 소비 전력량을 계산하는 단계(S110)를 나타내는 순서도이다.

도 3은 도 1의 순서도에 포함되는 상기 제2 서브 프레임들의 상기 제2 데이터 비트들을 상기 데이터 신호로서 입력하는 단계(S120)를 나타내는 순서도이다.

도 4 및 5는 도 3의 순서도에 포함되는 상기 데이터 신호의 논리값 천이가 N 번 발생하도록 상기 데이터 비트 입력 순서를 변경하는 단계(S122)의 실시예들을 나타내는 순서도들이다.

도 6은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 나타내는 블록도이다.

도 7은 도 6의 유기 발광 표시 장치에 포함되는 제 1화소들을 나타내는 블록도이다.

도 8은 도 7의 화소들에 포함되는 제1 화소를 나타내는 블록도이다.

도 9는 서브 프레임들의 데이터 비트들이 도 6의 유기 발광 표시 장치에 포함되는 제1 데이터 구동 유닛에 입력되는 순서를 나타내는 도면이다.

도 10 내지 14는 기존의 데이터 비트 입력 순서에 따라 도 7의 화소들의 서브 프레임들의 데이터 비트들이 도 6의 유기 발광 표시 장치에 포함되는 제1 데이터 구동 유닛에 입력되는 과정을 나타내는 타이밍도들이다.

도 15 내지 19는 본 발명의 실시예에 따라 변경된 데이터 비트 입력 순서에 따라 도 7의 화소들의 서브 프레임들의 데이터 비트들이 도 6의 유기 발광 표시 장치에 포함되는 제1 데이터 구동 유닛에 입력되는 과정을 나타내는 타이밍도들이다.

도 20 내지 24는 기존의 데이터 비트 입력 순서에 따라 도 7의 화소들의 서브 프레임들의 데이터 비트들이 도 6의 유기 발광 표시 장치에 포함되는 제1 데이터 구동 유닛에 입력되는 과정을 나타내는 타이밍도들이다.

도 25 내지 29는 본 발명의 실시예에 따라 변경된 데이터 비트 입력 순서에 따라 도 7의 화소들의 서브 프레임들의 데이터 비트들이 도 6의 유기 발광 표시 장치에 포함되는 제1 데이터 구동 유닛에 입력되는 과정을 나타내는 타이밍도들이다.

도 30 및 31은 도 3의 순서도에 포함된 서브 프레임들의 데이터 비트들의 입력 순서들을 서로 변경하는 단계(S121)를 나타내는 타이밍도들이다.

도 32는 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 나타내는 블록도이다.

도 33은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 포함하는 전자 기기를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0027] 이하, 첨부한 도면들을 참조하여 본 발명의 실시예들을 보다 상세하게 설명하고자 한다. 도면 상의 동일한 구성

요소에 대해서는 동일한 참조 부호를 사용하고, 동일한 구성 요소에 대해서는 중복된 설명을 생략하기로 한다.

- [0028] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 디지털 구동 방법을 나타내는 순서도이다.
- [0029] 도 1을 참조하면, 유기 발광 표시 장치의 디지털 구동 방법은, 하나의 프레임(Frame)을 복수의 서브 프레임들로 나누어 표시함에 있어서, 데이터 비트 입력 순서에 따라 제1 서브 프레임들의 제1 데이터 비트들이 데이터 신호로서 데이터 구동 회로에 입력되는 동안 상기 데이터 구동 회로의 제1 소비 전력량을 계산하는 단계(단계 S110) 및 상기 데이터 구동 회로의 상기 제1 소비 전력량이 임계 전력량을 초과하는 경우, 상기 데이터 비트 입력 순서를 변경하고, 상기 변경된 데이터 비트 입력 순서에 따라 상기 데이터 구동 회로에 제2 서브 프레임들의 제2 데이터 비트들을 상기 데이터 신호로서 입력하는 단계(단계 S120)를 포함한다.
- [0030] 상기 유기 발광 표시 장치의 디지털 구동 방법은 상기 데이터 구동 회로의 상기 제1 소비 전력량이 상기 임계 전력량 이하인 경우, 상기 데이터 비트 입력 순서에 따라 상기 데이터 구동 회로에 상기 제2 데이터 비트들을 상기 데이터 신호로서 입력하는 단계(단계 S130)를 더 포함할 수 있다.
- [0031] 상기 유기 발광 표시 장치의 디지털 구동 방법은 상기 데이터 구동 회로에 상기 제2 데이터 비트들이 상기 데이터 신호로서 입력되는 동안 상기 데이터 구동 회로의 제2 소비 전력량을 측정하고, 상기 제2 소비 전력량이 상기 임계 전력량 이하의 값을 가질 때까지 상기 데이터 비트 입력 순서를 재변경하는 단계(단계 S140) 및 상기 재변경된 데이터 비트 입력 순서에 따라 상기 데이터 구동 회로에 제3 서브 프레임들의 제3 데이터 비트들을 상기 데이터 신호로서 입력하는 단계(단계 S150)를 더 포함할 수 있다.
- [0032] 상기 데이터 비트 입력 순서에 따라 상기 제1 서브 프레임들의 상기 제1 데이터 비트들이 상기 데이터 신호로서 상기 데이터 구동 회로에 입력되는 동안 상기 데이터 구동 회로의 상기 제1 소비 전력량을 계산하는 단계(S110)는 도 2를 참조하여 후술한다.
- [0033] 상기 데이터 구동 회로의 상기 제1 소비 전력량이 상기 임계 전력량을 초과하는 경우, 상기 데이터 비트 입력 순서를 변경하고, 상기 변경된 데이터 비트 입력 순서에 따라 상기 데이터 구동 회로에 상기 제2 서브 프레임들의 상기 제2 데이터 비트들을 상기 데이터 신호로서 입력하는 단계(S120)는 도 3을 참조하여 후술한다.
- [0034] 상기 데이터 구동 회로의 상기 제1 소비 전력량이 상기 임계 전력량 이하인 경우, 상기 데이터 비트 입력 순서에 따라 상기 데이터 구동 회로에 상기 제2 데이터 비트들을 상기 데이터 신호로서 입력하는 단계(S130), 상기 데이터 구동 회로에 상기 제2 데이터 비트들이 상기 데이터 신호로서 입력되는 동안 상기 데이터 구동 회로의 상기 제2 소비 전력량을 측정하고, 상기 제2 소비 전력량이 상기 임계 전력량 이하의 값을 가질 때까지 상기 데이터 비트 입력 순서를 재변경하는 단계(S140) 및 상기 재변경된 데이터 비트 입력 순서에 따라 상기 데이터 구동 회로에 상기 제3 서브 프레임들의 상기 제3 데이터 비트들을 상기 데이터 신호로서 입력하는 단계(S150)는, 상기 데이터 비트 입력 순서에 따라 상기 제1 서브 프레임들의 상기 제1 데이터 비트들이 상기 데이터 신호로서 상기 데이터 구동 회로에 입력되는 동안 상기 데이터 구동 회로의 상기 제1 소비 전력량을 계산하는 단계(S110) 및 상기 데이터 구동 회로의 상기 제1 소비 전력량이 상기 임계 전력량을 초과하는 경우, 상기 데이터 비트 입력 순서를 변경하고, 상기 변경된 데이터 비트 입력 순서에 따라 상기 데이터 구동 회로에 상기 제2 서브 프레임들의 상기 제2 데이터 비트들을 상기 데이터 신호로서 입력하는 단계(S120)에 대한 추후 설명에 기초하여 이해할 수 있으므로 설명을 생략한다.
- [0035] 도 2는 도 1의 순서도에 포함되는 상기 데이터 구동 회로의 상기 제1 소비 전력량을 계산하는 단계(S110)를 나타내는 순서도이다.
- [0036] 도 2를 참조하면, 상기 데이터 비트 입력 순서에 따라 상기 제1 서브 프레임들의 상기 제1 데이터 비트들이 상기 데이터 신호로서 상기 데이터 구동 회로에 입력되는 동안 상기 데이터 구동 회로의 상기 제1 소비 전력량을 계산하는 단계(S110)는, 상기 데이터 구동 회로의 전류량에 기초하여 상기 데이터 구동 회로의 상기 제1 소비 전력량을 계산하는 단계(S111)를 포함할 수 있다. 상기 데이터 구동 회로의 상기 전류량에 기초하여 상기 데이터 구동 회로의 상기 제1 소비 전력량을 계산하는 단계(S111)는 도 6 및 32를 참조하여 후술한다.
- [0037] 상기 데이터 비트 입력 순서에 따라 상기 제1 서브 프레임들의 상기 제1 데이터 비트들이 상기 데이터 신호로서 상기 데이터 구동 회로에 입력되는 동안 상기 데이터 구동 회로의 상기 제1 소비 전력량을 계산하는 단계(S120)는, 상기 데이터 신호의 논리값 천이 횟수에 기초하여 상기 데이터 구동 회로의 상기 제1 소비 전력량을 계산하는 단계(S112)를 포함할 수 있다. 상기 데이터 신호의 상기 논리값 천이 횟수에 기초하여 상기 데이터 구동 회로의 상기 제1 소비 전력량을 계산하는 단계(S112)는 도 6 내지 32를 참조하여 후술한다.

- [0038] 도 3은 도 1의 순서도에 포함되는 상기 제2 서브 프레임들의 상기 제2 데이터 비트들을 상기 데이터 신호로서 입력하는 단계(S120)를 나타내는 순서도이다.
- [0039] 도 3을 참조하면, 상기 데이터 구동 회로의 상기 제1 소비 전력량이 상기 임계 전력량을 초과하는 경우, 상기 데이터 비트 입력 순서를 변경하고, 상기 변경된 데이터 비트 입력 순서에 따라 상기 데이터 구동 회로에 상기 제2 서브 프레임들의 상기 제2 데이터 비트들을 상기 데이터 신호로서 입력하는 단계(S130)는, 상기 데이터 비트 입력 순서상에서 서로 다른 입력 순서들을 가지는 서브 프레임들의 데이터 비트들의 입력 순서들을 서로 변경하는 단계(단계 S121)를 포함할 수 있다. 상기 데이터 비트 입력 순서상에서 서로 다른 입력 순서들을 가지는 서브 프레임들의 데이터 비트들의 입력 순서들을 서로 변경하는 단계(S121)는 도 30 및 31을 참조하여 후술한다.
- [0040] 상기 데이터 구동 회로의 상기 제1 소비 전력량이 상기 임계 전력량을 초과하는 경우, 상기 데이터 비트 입력 순서를 변경하고, 상기 변경된 데이터 비트 입력 순서에 따라 상기 데이터 구동 회로에 상기 제2 서브 프레임들의 상기 제2 데이터 비트들을 상기 데이터 신호로서 입력하는 단계(S120)는, 상기 제1 데이터 비트들이 상기 데이터 신호로서 상기 데이터 구동 회로에 입력되는 경우, 상기 데이터 신호의 논리값 천이가 N 번(단, N은 자연수) 발생하도록 상기 데이터 비트 입력 순서를 변경하는 단계(단계 S122)를 포함할 수 있다. 상기 데이터 신호의 상기 논리값 천이가 N 번 발생하도록 상기 데이터 비트 입력 순서를 변경하는 단계(S122)는 도 9 내지 29를 참조하여 후술한다.
- [0041] 상기 데이터 비트 입력 순서상에서 서로 다른 입력 순서들을 가지는 서브 프레임들의 데이터 비트들의 입력 순서들을 서로 변경하는 단계(S121)와 상기 데이터 신호의 상기 논리값 천이가 N 번 발생하도록 상기 데이터 비트 입력 순서를 변경하는 단계(S122)는 선택적으로 수행될 수 있다.
- [0042] 도 4 및 5는 도 3의 순서도에 포함되는 상기 데이터 신호의 논리값 천이가 N 번 발생하도록 상기 데이터 비트 입력 순서를 변경하는 단계(S122)의 실시예들을 나타내는 순서도들이다.
- [0043] 도 4를 참조하면, 일 실시예에 있어서, 상기 제1 데이터 비트들이 상기 데이터 신호로서 상기 데이터 구동 회로에 입력되는 경우, 상기 데이터 신호의 논리값 천이가 N 번 발생하도록 상기 데이터 비트 입력 순서를 변경하는 단계(S122a)는, 상기 제1 데이터 비트들 중에서 최하위 비트(Least significant bit; LSB)가 논리값 1을 가지는 경우, 상기 최하위 비트의 입력이 가장 빠르도록 상기 데이터 비트 입력 순서를 변경하는 단계(단계 S123a) 및 상기 제1 데이터 비트들 중 논리값 1을 가지는 데이터 비트의 입력이 상기 제1 데이터 비트들 중 논리값 0을 가지는 데이터 비트의 입력보다 빠르도록 상기 데이터 비트 입력 순서를 변경하는 단계(단계 S124a)를 더 포함할 수 있다.
- [0044] 상기 제1 데이터 비트들 중에서 상기 최하위 비트가 논리값 1을 가지는 경우, 상기 최하위 비트의 입력이 가장 빠르도록 상기 데이터 비트 입력 순서를 변경하는 단계(S123a) 및 상기 제1 데이터 비트들 중 논리값 1을 가지는 상기 데이터 비트의 입력이 상기 제1 데이터 비트들 중 논리값 0을 가지는 상기 데이터 비트의 입력보다 빠르도록 상기 데이터 비트 입력 순서를 변경하는 단계(S124a)는 도 20 내지 29를 참조하여 후술한다.
- [0045] 도 5를 참조하면, 다른 실시예에 있어서, 상기 제1 데이터 비트들이 상기 데이터 신호로서 상기 데이터 구동 회로에 입력되는 경우, 상기 데이터 신호의 논리값 천이가 N 번 발생하도록 상기 데이터 비트 입력 순서를 변경하는 단계(S122b)는, 상기 제1 데이터 비트들 중에서 최하위 비트가 논리값 0을 가지는 경우, 상기 최하위 비트의 입력이 가장 빠르도록 상기 데이터 비트 입력 순서를 변경하는 단계(단계 123b) 및 상기 제1 데이터 비트들 중 논리값 0을 가지는 데이터 비트의 입력이 상기 제1 데이터 비트들 중 논리값 1을 가지는 데이터 비트의 입력보다 빠르도록 상기 데이터 비트 입력 순서를 변경하는 단계(단계 124b)를 더 포함할 수 있다.
- [0046] 상기 제1 데이터 비트들 중에서 상기 최하위 비트가 논리값 0을 가지는 경우, 상기 최하위 비트의 입력이 가장 빠르도록 상기 데이터 비트 입력 순서를 변경하는 단계(S123b) 및 상기 제1 데이터 비트들 중 논리값 0을 가지는 상기 데이터 비트의 입력이 상기 제1 데이터 비트들 중 논리값 1을 가지는 상기 데이터 비트의 입력보다 빠르도록 상기 데이터 비트 입력 순서를 변경하는 단계(S124b)는 도 10내지 도 19를 참조하여 후술한다.
- [0047] 도 6은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 나타내는 블록도이다.
- [0048] 도 6을 참조하면, 유기 발광 디스플레이 장치(100)는 디스플레이 패널(110), 스캔 구동 회로(120), 데이터 구동 회로(130), 전원 공급 회로(140), 전력 측정부(170) 및 타이밍 제어 회로(160)을 포함할 수 있다. 디스플레이 패널(110)은 제1 화소들(180), 제2 화소들 내지 제M 화소들을 포함할 수 있다. 데이터 구동 회로(130)는 제1 데

이터 구동 유닛(DDU1), 제2 데이터 구동 유닛(DDU2) 내지 제M 데이터 구동 유닛(DDUM)을 포함할 수 있다.

- [0049] 디스플레이 패널(110)은 복수의 스캔 라인들(SL1 내지 SLN)을 통해 스캔 구동 회로(120)와 연결될 수 있다. 디스플레이 패널(110)은 복수의 데이터 라인들(DL1 내지 DLM)을 통해 데이터 구동 회로(130)에 연결될 수 있다. 자세하게는, 제1 화소들(180)은 제1 데이터 라인(DL1)을 통해 제1 데이터 구동 유닛(DDU1)과 연결될 수 있다. 제2 화소들은 제2 데이터 라인(DL2)을 통해 제2 데이터 구동 유닛(DDU2)과 연결될 수 있다. 제M 화소들은 제M 데이터 라인(DLM)을 통해 제M 데이터 구동 유닛(DDUM)과 연결될 수 있다.
- [0050] 제1 화소들(180)은 복수의 스캔 라인들(SL1 내지 SLN)과 각각 연결된 N개의 화소들을 포함할 수 있다. 제2 화소들은 복수의 스캔 라인들(SL1 내지 SLN)과 각각 연결된 N개의 화소들을 포함할 수 있다. 제M 화소들은 복수의 스캔 라인들(SL1 내지 SLN)과 각각 연결된 N개의 화소들을 포함할 수 있다. 디스플레이 패널(110)은 M*N 개의 화소들을 포함할 수 있다. 제1 화소들(180)에 대하여 도 7을 참조하여 후술한다.
- [0051] 타이밍 제어 회로(160)는 입력 영상 픽셀 데이터(R, G, B)에 기초하여 스캔 구동 회로(120)를 제어 하는 스캔 구동 회로 제어 신호(CTL2)를 생성할 수 있다. 타이밍 제어 회로(160)는 입력 영상 픽셀 데이터(R, G, B)에 기초하여 데이터 비트 입력 순서에 따라 제 1 내지 제 M 데이터 비트들을 생성하고, 제 1 내지 제 M 데이터 비트들을 각각 제1 내지 제M 데이터 신호들(DS1 내지 DSM)로서 데이터 구동 회로(130)에 제공할 수 있다.
- [0052] 스캔 구동 회로(120)는 스캔 수동 회로 제어 신호(CTL2)에 기초하여 스캔 신호들을 복수의 스캔 라인들(SL1 내지 SLN)을 통해 디스플레이 패널(110)에 제공할 수 있다.
- [0053] 데이터 구동 회로(130)는 제1 내지 제M 데이터 신호들(DS1 내지 DSM)에 기초하여 제1 내지 제M 구동 데이터 신호들을 복수의 데이터 라인들(DL1 내지 DLM)을 통해 디스플레이 패널(110)에 포함되는 화소들에 제공할 수 있다. 제1 데이터 신호(DS1), 제2 데이터 신호(DS2) 및 제M 데이터 신호(DSM)의 각각은 한 비트의 신호일 수 있다.
- [0054] 일 실시예에 있어서, 전력 측정부(170)는 데이터 구동 회로(130)의 전류량을 측정하고, 상기 전류량에 기초하여 데이터 구동 회로(130)의 소비 전력량(CP)을 계산할 수 있다. 다른 실시예에 있어서, 전력 측정부(170)는 제1 내지 제M 데이터 신호들(DS1 내지 DSM)의 논리값 천이 횟수에 기초하여 데이터 구동 회로(130)의 소비 전력량(CP)을 계산할 수 있다.
- [0055] 타이밍 제어 회로(160)는 데이터 구동 회로(130)의 소비 전력량(CP)에 기초하여 데이터 비트 입력 순서를 변경할 수 있다. 타이밍 제어 회로(160)는 변경된 데이터 비트 입력 순서에 따라 제 1 내지 제 M 데이터 비트들을 생성하고, 제 1 내지 제 M 데이터 비트들을 각각 제1 내지 제M 데이터 신호들(DS1 내지 DSM)로서 데이터 구동 회로(130)에 제공할 수 있다. 데이터 비트 입력 순서를 변경하는 과정은 도 9 내지 31을 참조하여 후술한다.
- [0056] 전원 공급 회로(140)는 디스플레이 패널(110)에 고전원전압(ELVDD) 및 저전원전압(ELVSS)을 제공할 수 있다.
- [0057] 도 7은 도 6의 유기 발광 표시 장치에 포함되는 제1 화소들을 나타내는 블록도이다.
- [0058] 도 7은, 도 6의 유기 발광 표시 장치(100)가 제1 내지 제10 스캔 라인들(SL1 내지 SL10)을 포함하는 경우, 제1 화소들(181 내지 190)은 모두 제1 데이터 라인(DL1)에 연결될 수 있다. 제1 화소들(181 내지 190)은 모두 고전원전압(ELVDD)에 연결될 수 있다. 제1 화소(181)는 제1 스캔 라인(SL1)과 연결될 수 있다. 제2 화소(182)는 제2 스캔 라인(SL2)과 연결될 수 있다. 제3 화소(183)는 제3 스캔 라인(SL3)과 연결될 수 있다. 제4 화소(184)는 제4 스캔 라인(SL4)과 연결될 수 있다. 제5 화소(185)는 제5 스캔 라인(SL5)과 연결될 수 있다. 제6 화소(186)는 제6 스캔 라인(SL6)과 연결될 수 있다. 제7 화소(187)는 제7 스캔 라인(SL7)과 연결될 수 있다. 제8 화소(188)는 제8 스캔 라인(SL8)과 연결될 수 있다. 제9 화소(189)는 제9 스캔 라인(SL9)과 연결될 수 있다. 제10 화소(190)는 제10 스캔 라인(SL10)과 연결될 수 있다.
- [0059] 도 8은 도 7의 화소들에 포함되는 제1 화소를 나타내는 블록도이다.
- [0060] 도 8을 참조하면, 제1 화소(181)는 스위칭 트랜지스터(ST), 구동 트랜지스터(DT), 유기 발광 다이오드(OLED) 및 스토리지 커패시터(STR CAP)를 포함할 수 있다. 스위칭 트랜지스터(ST)의 소스 단자는 제1 데이터 라인(DL1)과 전기적으로 연결될 수 있다. 스위칭 트랜지스터(ST)의 게이트 단자는 제1 스캔 라인(SL1)과 전기적으로 연결될 수 있다. 스위칭 트랜지스터(ST)의 드레인 단자는 스토리지 커패시터(STR CAP)의 일 말단과 구동 트랜지스터(DT)의 게이트 단자와 전기적으로 연결될 수 있다. 스토리지 커패시터(STR CAP)의 타 말단은 고전원전압(ELVDD)과 전기적으로 연결될 수 있다. 구동 트랜지스터(DT)의 소스 단자는 고전원전압(ELVDD)과 전기적으로 연결될 수 있다. 구동 트랜지스터(DT)의 드레인 단자는 유기 발광 다이오드(OLED)의 일 말단과 전기적으로 연결될 수 있다.

있다. 유기 발광 다이오드(OLED)의 타 말단은 저전원전압(ELVSS)과 전기적으로 연결될 수 있다. 제1 데이터 라인(DL1)의 신호와 제1 스캔 라인(SL1)의 신호에 기초하여 스위칭 트랜지스터(ST)와 구동 트랜지스터(DT)가 턴-온이 되는 경우, 유기 발광 소자(OLED)의 양단에는 문턱 전압 이상의 전압이 인가되어, 유기 발광 소자(OLED)는 발광한다.

[0061] 도 9는 서브 프레임들의 데이터 비트들이 도 6의 유기 발광 표시 장치에 포함되는 제1 데이터 구동 유닛에 입력되는 순서를 나타내는 도면이다. 도 6의 유기 발광 표시 장치(100)에 포함되는 제2 및 제M 데이터 구동 유닛은 제1 데이터 구동 유닛(DDU1)과 동일 또는 유사한 구조를 가지고, 제2 및 제M 데이터 구동 유닛의 동작은 제1 데이터 구동 유닛(DDU1)의 동작에 기초하여 이해할 수 있다.

[0062] 도 9를 참조하면, 일반적으로 하나의 프레임(1 FRAME PERIOD)은 도 6의 유기 발광 표시 장치(100)에 포함되는 제1 내지 제M 스캔 라인들(SL1 내지 SLM)의 수(M)와 동일한 수의 제1 내지 제M 단위 표시 시간들을 포함할 수 있다. 도 9는 M이 10이고, 하나의 프레임(1 FRAME PERIOD)이 5개의 서브 프레임들을 가지는 경우를 도시한다. 도 9에서는 하나의 프레임(1 FRAME PERIOD)은 제1 내지 제10 단위 표시 시간들(1H 내지 10H)을 포함할 수 있다. 제1 내지 제10 단위 표시 시간들(1H 내지 10H)의 각각은 서브 프레임들의 개수인 5개의 세부 단위 표시 시간들을 포함한다.

[0063] 제1 화소(181)의 서브 프레임들(SF1, SF2, SF3, SF4, SF5)의 발광 시간의 합에 기초하여 제1 화소(181)의 계조가 표현될 수 있다. 제2 내지 제10 화소(182 내지 190)의 계조 표현은 제1 화소(181)의 계조 표현에 대한 설명에 기초하여 이해할 수 있으므로 설명을 생략한다.

[0064] 일 실시예에 있어서, 제1 화소(181)의 서브 프레임들 중에서 가장 발광 시간을 갖는 서브 프레임(SF4)이 도 1의 순서도의 상기 제1 데이터 비트들 중 최상위 비트(most significant bits; MSB)에 상응하고, 제1 화소(181)의 서브 프레임들 중에서 최단 발광 시간을 갖는 서브 프레임(SF1)이 도 1의 순서도의 상기 제1 데이터 비트들 중 최하위 비트에 상응할 수 있다.

[0065] 다른 실시예에 있어서, 도 1의 순서도의 상기 제1 데이터 비트들에 상응하는 서브 프레임들의 발광 시간은 임의로 정해질 수 있다. 도 9의 경우, 제1 화소(181)의 제1 서브 프레임(SF1)은 데이터 기입 시간으로서 1 세부 단위 표시 시간 및 발광 시간으로서 2 세부 단위 표시 시간을 포함하고, 제1 화소(181)의 제2 서브 프레임(SF2)은 데이터 기입 시간으로서 1 세부 단위 표시 시간 및 발광 시간으로서 5 세부 단위 표시 시간을 포함하고, 제1 화소(181)의 제3 서브 프레임(SF3)은 데이터 기입 시간으로서 1 세부 단위 표시 시간 및 발광 시간으로서 11 세부 단위 표시 시간을 포함하고, 제1 화소(181)의 제4 서브 프레임(SF4)은 데이터 기입 시간으로서 1 세부 단위 표시 시간 및 발광 시간으로서 20 세부 단위 표시 시간을 포함하고, 제1 화소(181)의 제5 서브 프레임(SF5)은 데이터 기입 시간으로서 1 세부 단위 표시 시간 및 발광 시간으로서 7 세부 단위 표시 시간을 포함한다.

[0066] 나머지 화소들(182 내지 190)의 서브 프레임들은 제1 화소(181)의 서브 프레임들에 기초하여 이해할 수 있으므로 설명을 생략한다.

[0067] 제1 실시예에 있어서, 도 1의 순서도의 상기 제1 서브 프레임들 또는 상기 제2 서브 프레임들은 제1 단위 표시 시간(1H) 내지 제10 단위 표시 시간(10H) 중 하나의 단위 표시 시간 내에서 표시가 시작되는 복수의 화소들의 서브 프레임들일 수 있다.

[0068] 제2 실시예에 있어서, 도 1의 순서도의 상기 제1 서브 프레임들 또는 상기 제2 서브 프레임들은 제1 단위 표시 시간(1H) 내지 제10 단위 표시 시간(10H) 내에서 표시가 시작되는 복수의 화소들의 서브 프레임들일 수 있다.

[0069] 제3 실시예에 있어서, 도 1의 순서도의 상기 제1 서브 프레임들 또는 상기 제2 서브 프레임들은 미리 정해진 시간 내에서 표시가 시작되는 복수의 화소들의 서브 프레임들일 수 있다.

[0070] 상기 제1 실시예에 있어서, 도 1의 순서도의 상기 제1 서브 프레임들은 제1 단위 표시 시간(1H) 내에서 표시가 시작되는 제1 화소(181)의 제1 서브 프레임(SF1)을 포함할 수 있고, 제1 단위 표시 시간(1H) 내에서 표시가 시작되는 제1 화소(181)의 제2 서브 프레임(SF2)을 포함할 수 있고, 제1 단위 표시 시간(1H) 내에서 표시가 시작되는 제3 화소(183)의 제5 서브 프레임을 포함할 수 있고, 제1 단위 표시 시간(1H) 내에서 표시가 시작되는 제7 화소(187)의 제4 서브 프레임을 포함할 수 있고, 제1 단위 표시 시간(1H) 내에서 표시가 시작되는 제10 화소(190)의 제3 서브 프레임을 포함할 수 있다. 또한, 도 1의 순서도의 상기 제2 서브 프레임들은 제2 단위 표시 시간(2H) 내에서 표시가 시작되는 제1 화소(181)의 제3 서브 프레임(SF3)을 포함할 수 있고, 제2 단위 표시 시간(2H) 내에서 표시가 시작되는 제2 화소(182)의 제1 서브 프레임을 포함할 수 있고, 제2 단위 표시 시간(2H) 내에서 표시가 시작되는 제2 화소(182)의 제2 서브 프레임을 포함할 수 있고, 제2 단위 표시 시간(2H) 내에서

표시가 시작되는 제4 화소(184)의 제5 서브 프레임을 포함할 수 있고, 제2 단위 표시 시간(2H) 내에서 표시가 시작되는 제8 화소(188)의 제4 서브 프레임을 포함할 수 있다.

- [0071] 도 10 내지 14는 기존의 데이터 비트 입력 순서에 따라 도 7의 화소들의 서브 프레임들의 데이터 비트들이 도 6의 유기 발광 표시 장치에 포함되는 제1 데이터 구동 유닛에 입력되는 과정을 나타내는 타이밍도들이다.
- [0072] 도 10은 기존의 데이터 비트 입력 순서에 따라 제1 화소(181)의 제2 프레임(FRAME 2)에 포함된 서브 프레임들의 데이터 비트들(11110)이 제1 데이터 신호(DS1)의 일부(DS1a)로서 제1 데이터 구동 유닛(DDU1)에 입력되는 과정을 도시한다.
- [0073] 제1 단위 표시 시간(1H)의 첫 번째 세부 단위 표시 시간(210a ~ 211a)에서, 제1 스캔 신호(SCAN1)는 활성화되고, 제1 화소(181)의 제1 서브 프레임의 데이터 비트인 논리값 0이 제1 데이터 신호(DS1)의 일부(DS1a)로서 제1 데이터 구동 유닛(DDU1)에 입력된다.
- [0074] 제1 단위 표시 시간(1H)의 두 번째, 세 번째 세부 단위 표시 시간(211a ~ 212a)에서는, 제1 스캔 신호(SCAN1)는 비활성화되고, 상기 제1 화소(181)의 제1 서브 프레임의 데이터 비트가 논리값 0을 가지므로 제1 화소(181)는 발광하지 않는다.
- [0075] 제1 단위 표시 시간(1H)의 네 번째 세부 단위 표시 시간(212a ~ 213a)에서, 제1 스캔 신호(SCAN1)는 활성화되고, 제1 화소(181)의 제2 서브 프레임의 데이터 비트인 논리값 1이 제1 데이터 신호(DS1)의 일부(DS1a)로서 제1 데이터 구동 유닛(DDU1)에 입력된다.
- [0076] 제1 단위 표시 시간(1H)의 다섯 번째 세부 단위 표시 시간부터 제2 단위 표시 시간(2H)의 네 번째 세부 단위 표시 시간까지(213a ~ 214a), 제1 스캔 신호(SCAN1)는 비활성화되고, 상기 제1 화소(181)의 제2 서브 프레임의 데이터 비트가 논리값 1을 가지므로 제1 화소(181)는 발광한다.
- [0077] 제2 단위 표시 시간(2H)의 다섯 번째 세부 단위 표시 시간(214a ~ 215a)에서, 제1 스캔 신호(SCAN1)는 활성화되고, 제1 화소(181)의 제3 서브 프레임의 데이터 비트인 논리값 1이 제1 데이터 신호(DS1)의 일부(DS1a)로서 제1 데이터 구동 유닛(DDU1)에 입력된다.
- [0078] 제3 단위 표시 시간(3H)의 첫 번째 세부 단위 표시 시간부터 제5 단위 표시 시간(5H)의 첫 번째 세부 단위 표시 시간까지(215a ~ 216a), 제1 스캔 신호(SCAN1)는 비활성화되고, 상기 제1 화소(181)의 제3 서브 프레임의 데이터 비트가 논리값 1을 가지므로 제1 화소(181)는 발광한다.
- [0079] 제5 단위 표시 시간(5H)의 두 번째 세부 단위 표시 시간(216a ~ 217a)에서, 제1 스캔 신호(SCAN1)는 활성화되고, 제1 화소(181)의 제4 서브 프레임의 데이터 비트인 논리값 1이 제1 데이터 신호(DS1)의 일부(DS1a)로서 제1 데이터 구동 유닛(DDU1)에 입력된다.
- [0080] 제5 단위 표시 시간(5H)의 두 번째 세부 단위 표시 시간부터 제9 단위 표시 시간(9H)의 두 번째 세부 단위 표시 시간까지(217a ~ 218a), 제1 스캔 신호(SCAN1)는 비활성화되고, 상기 제1 화소(181)의 제4 서브 프레임의 데이터 비트가 논리값 1을 가지므로 제1 화소(181)는 발광한다.
- [0081] 제9 단위 표시 시간(9H)의 세 번째 세부 단위 표시 시간(218a ~ 219a)에서, 제1 스캔 신호(SCAN1)는 활성화되고, 제1 화소(181)의 제5 서브 프레임의 데이터 비트인 논리값 1이 제1 데이터 신호(DS1)의 일부(DS1a)로서 제1 데이터 구동 유닛(DDU1)에 입력된다.
- [0082] 제9 단위 표시 시간(9H)의 네 번째 세부 단위 표시 시간부터 제10 단위 표시 시간(10H)의 다섯 번째 세부 단위 표시 시간까지(219a ~ 220a), 제1 스캔 신호(SCAN1)는 비활성화되고, 상기 제1 화소(181)의 제5 서브 프레임의 데이터 비트가 논리값 1을 가지므로 제1 화소(181)는 발광한다.
- [0083] 도 10에서 제1 화소(181)의 계조는 제2 내지 제5 서브 프레임의 발광 시간들을 더한 43 세부 단위 표시 시간에 상응한다.
- [0084] 도 11은 기존의 데이터 비트 입력 순서에 따라 제3 화소(183)의 제1 프레임(FRAME 1)에 포함된 제5 서브 프레임의 데이터 비트(0)와 제3 화소(183)의 제2 프레임(FRAME 2)에 포함된 제1 내지 제4 서브 프레임들의 데이터 비트들(0010)이 제1 데이터 신호(DS1)의 일부(DS1b)로서 제1 데이터 구동 유닛(DDU1)에 입력되는 과정을 도시한다. 도 11은 도 10을 참조하여 이해할 수 있으므로 설명을 생략한다. 도 11에서 제3 화소(183)의 계조는 제2 서브 프레임의 발광 시간인 5 세부 단위 표시 시간에 상응한다.

- [0085] 도 12는 기존의 데이터 비트 입력 순서에 따라 제7 화소(187)의 제1 프레임(FRAME 1)에 포함된 제4 및 제5 서브 프레임의 데이터 비트들(01)과 제7 화소(187)의 제2 프레임(FRAME 2)에 포함된 제1 내지 제3 서브 프레임들의 데이터 비트들(100)이 제1 데이터 신호(DS1)의 일부(DS1c)로서 제1 데이터 구동 유닛(DDU1)에 입력되는 과정을 도시한다. 도 12는 도10을 참조하여 이해할 수 있으므로 설명을 생략한다. 도 12에서 제7화소(187)의 계조는 제3 및 제4 서브 프레임들의 발광 시간들을 더한 31 세부 단위 표시 시간에 상응한다.
- [0086] 도 13은 기존의 데이터 비트 입력 순서에 따라 제10 화소(190)의 제1 프레임(FRAME 1)에 포함된 제3내지 제5 서브 프레임의 데이터 비트들(011)과 제10 화소(190)의 제2 프레임(FRAME 2)에 포함된 제1 및 제2 서브 프레임들의 데이터 비트들(01)이 제1 데이터 신호(DS1)의 일부(DS1d)로서 제1 데이터 구동 유닛(DDU1)에 입력되는 과정을 도시한다. 도 13은 도10을 참조하여 이해할 수 있으므로 설명을 생략한다. 도 13에서 제10화소(190)의 계조는 제1, 제3 및 제4 서브 프레임들의 발광 시간들을 더한 33 세부 단위 표시 시간에 상응한다.
- [0087] 도 14를 참조하면, 도 10 내지 도 13의 제1 데이터 신호(DS1)의 일부들(DS1a, DS1b, DS1c, DS1d)이 더해져서 제1 데이터 신호(DS1)가 형성된다. 제1 단위 표시 시간(1H) 내에서, 도 1의 순서도의 상기 데이터 비트 입력 순서에 따라 제1 화소(181)의 제1 서브 프레임의 데이터 비트(논리값 0), 제 7 화소(187)의 제4 서브 프레임의 데이터 비트(논리값 1), 제 3 화소(183)의 제5 서브 프레임의 데이터 비트(논리값 0), 제1 화소(181)의 제2 서브 프레임의 데이터 비트(논리값 1), 제 10 화소(190)의 제3 서브 프레임의 데이터 비트(논리값 1)가 순차적으로 제1 데이터 신호(DS1)로서 제1 데이터 구동 유닛(DDU1)에 입력된다. 제1 데이터 신호(DS1)는 제1 단위 표시 시간(1H) 내에서 3 번의 논리값 천이를 가진다.
- [0088] 도 15 내지 19는 본 발명의 실시예에 따라 변경된 데이터 비트 입력 순서에 따라 도 7의 화소들의 서브 프레임들의 데이터 비트들이 도 6의 유기 발광 표시 장치에 포함되는 제1 데이터 구동 유닛에 입력되는 과정을 나타내는 타이밍도들이다.
- [0089] 도 15 내지 19는 제1 화소(181)의 제1 서브 프레임의 발광 시간은 2 세부 단위 표시 시간이고, 제1 화소(181)의 제2 서브 프레임의 발광 시간은 5 세부 단위 표시 시간이고, 제1 화소(181)의 제3 서브 프레임의 발광 시간은 12 세부 단위 표시 시간이고, 제1 화소(181)의 제4 서브 프레임의 발광 시간은 18 세부 단위 표시 시간이고, 제1 화소(181)의 제5 서브 프레임의 발광 시간은 8 세부 단위 표시 시간이도록 변경하여, 데이터 비트 입력 순서를 변경한 경우를 도시한다.
- [0090] 도 15는 본 발명의 일 실시예에 따라 변경된 데이터 비트 입력 순서에 따라 제1 화소(181)의 제2 프레임(FRAME 2)에 포함된 서브 프레임들의 데이터 비트들(11110)이 제1 데이터 신호(DS1')의 일부(DS1a')로서 제1 데이터 구동 유닛(DDU1)에 입력되는 과정을 도시한다. 도 15는 도 10을 참조하여 이해할 수 있으므로 설명을 생략한다. 도 15에서 제1 화소(181)의 계조는 제2 내지 제5 서브 프레임의 발광 시간들을 더한 43 세부 단위 표시 시간에 상응한다.
- [0091] 도 16은 본 발명의 일 실시예에 따라 변경된 데이터 비트 입력 순서에 따라 제3 화소(183)의 제1 프레임(FRAME 1)에 포함된 제5 서브 프레임의 데이터 비트(0)와 제3 화소(183)의 제2 프레임(FRAME 2)에 포함된 제1 내지 제4 서브 프레임들의 데이터 비트들(0010)이 제1 데이터 신호(DS1')의 일부(DS1b')로서 제1 데이터 구동 유닛(DDU1)에 입력되는 과정을 도시한다. 도 16은 도 11을 참조하여 이해할 수 있으므로 설명을 생략한다. 도 16에서 제3화소(183)의 계조는 제2 서브 프레임의 발광 시간인5 세부 단위 표시 시간에 상응한다.
- [0092] 도 17은 본 발명의 일 실시예에 따라 변경된 데이터 비트 입력 순서에 따라 제7 화소(187)의 제1 프레임(FRAME 1)에 포함된 제4 및 제5 서브 프레임의 데이터 비트들(01)과 제7 화소(187)의 제2 프레임(FRAME 2)에 포함된 제1 내지 제3 서브 프레임들의 데이터 비트들(100)이 제1 데이터 신호(DS1')의 일부(DS1c')로서 제1 데이터 구동 유닛(DDU1)에 입력되는 과정을 도시한다. 도 17은 도12를 참조하여 이해할 수 있으므로 설명을 생략한다. 도 17에서 제7화소(187)의 계조는 제3 및 제4 서브 프레임들의 발광 시간들을 더한30 세부 단위 표시 시간에 상응한다.
- [0093] 도 18은 본 발명의 일 실시예에 따라 변경된 데이터 비트 입력 순서에 따라 제10 화소(190)의 제1 프레임(FRAME 1)에 포함된 제3내지 제5 서브 프레임의 데이터 비트들(011)과 제10 화소(190)의 제2 프레임(FRAME 2)에 포함된 제1 및 제2 서브 프레임들의 데이터 비트들(01)이 제1 데이터 신호(DS1')의 일부(DS1d')로서 제1 데이터 구동 유닛(DDU1)에 입력되는 과정을 도시한다. 도 18은 도13을 참조하여 이해할 수 있으므로 설명을 생략한다. 도 18에서 제10화소(190)의 계조는 제1, 제3 및 제4 서브 프레임들의 발광 시간들을 더한32 세부 단위 표시 시간에 상응한다.

- [0094] 도 19를 참조하면, 도 15 내지 도 18의 제1 데이터 신호(DS1')의 일부들(DS1a', DS1b', DS1c', DS1d')이 더해져서 제1 데이터 신호(DS1')가 형성된다. 제1 단위 표시 시간(1H) 내에서, 변경된 데이터 비트 입력 순서에 따라 제1 화소(181)의 제1 서브 프레임의 데이터 비트(논리값 0), 제3 화소(183)의 제5 서브 프레임의 데이터 비트(논리값 0), 제7 화소(187)의 제4 서브 프레임의 데이터 비트(논리값 1), 제1 화소(181)의 제2 서브 프레임의 데이터 비트(논리값 1), 제10 화소(190)의 제3 서브 프레임의 데이터 비트(논리값 1)가 순차적으로 제1 데이터 신호(DS1')로서 제1 데이터 구동 유닛(DDU1)에 입력된다. 제1 데이터 신호(DS1')는 제1 단위 표시 시간(1H)내에서 1 번의 논리값 천이를 가진다. 변경된 데이터 비트 입력 순서에 따라 제1 데이터 구동 유닛(DDU1) 및 데이터 구동 회로(130)를 동작시키는 경우(도 19), 기존의 데이터 비트 입력 순서에 따라 제1 데이터 구동 유닛(DDU1) 및 데이터 구동 회로(130)를 동작시키는 경우(도 14)보다 제1 데이터 신호(DS1)에 의한 제1 데이터 구동 유닛(DDU1)의 충/방전 횟수가 1/3로 줄어들어, 제1 데이터 구동 유닛(DDU1)의 전력 소모량이 감소하게 된다. 변경된 데이터 비트 입력 순서에 따라 구동된 화소들(181, 183, 187, 190)의 계조들은 기존의 데이터 비트 입력 순서에 따라 구동된 화소들(181, 183, 187, 190)의 계조들과 무시할 수 있는 수준의 오차를 가진다.
- [0095] 도 10 내지 19는 상기 제1 데이터 비트들이 상기 데이터 신호로서 상기 데이터 구동 회로에 입력되는 경우, 상기 데이터 신호의 논리값 천이가 N 번(N이 1인 경우) 발생하도록 상기 데이터 비트 입력 순서를 변경하는 단계(S122), 상기 제1 데이터 비트들 중에서 상기 최하위 비트가 논리값 0을 가지는 경우, 상기 최하위 비트의 입력이 가장 빠르도록 상기 데이터 비트 입력 순서를 변경하는 단계(S123b) 및 상기 제1 데이터 비트들 중 논리값 0을 가지는 상기 데이터 비트의 입력이 상기 제1 데이터 비트들 중 논리값 1을 가지는 상기 데이터 비트의 입력보다 빠르도록 상기 데이터 비트 입력 순서를 변경하는 단계(S124b)를 설명한다.
- [0096] 도 10 내지 19에서, 상기 데이터 비트 입력 순서에서 상기 최하위 비트의 입력이 이미 가장 빠르기 때문에, 상기 제1 데이터 비트들 중에서 상기 최하위 비트가 논리값 0을 가지는 경우, 상기 최하위 비트의 입력이 가장 빠르도록 상기 데이터 비트 입력 순서를 변경하는 단계(S123b)에 의한 상기 데이터 비트 입력 순서의 변경은 없다.
- [0097] 도 20 내지 24는 기존의 데이터 비트 입력 순서에 따라 도 7의 화소들의 서브 프레임들의 데이터 비트들이 도 6의 유기 발광 표시 장치에 포함되는 제1 데이터 구동 유닛에 입력되는 과정을 나타내는 타이밍도들이다.
- [0098] 도 20 내지 도 23은 도 10 내지 도 13을 참조하여 이해할 수 있으므로 설명을 생략한다.
- [0099] 도 24를 참조하면, 도 20 내지 도 23의 제1 데이터 신호(DS1)의 일부들(DS1e, DS1f, DS1g, DS1h)이 더해져서 제1 데이터 신호(DS1)가 형성된다. 제1 단위 표시 시간(1H) 내에서, 도 1의 순서도의 상기 데이터 비트 입력 순서에 따라 제1 화소(181)의 제1 서브 프레임의 데이터 비트(논리값 1), 제7 화소(187)의 제4 서브 프레임의 데이터 비트(논리값 1), 제3 화소(183)의 제5 서브 프레임의 데이터 비트(논리값 0), 제1 화소(181)의 제2 서브 프레임의 데이터 비트(논리값 1), 제10 화소(190)의 제3 서브 프레임의 데이터 비트(논리값 0)가 순차적으로 제1 데이터 신호(DS1)로서 제1 데이터 구동 유닛(DDU1)에 입력된다. 제1 데이터 신호(DS1)는 제1 단위 표시 시간(1H) 내에서 3 번의 논리값 천이를 가진다.
- [0100] 도 25 내지 29는 본 발명의 실시예에 따라 변경된 데이터 비트 입력 순서에 따라 도 7의 화소들의 서브 프레임들의 데이터 비트들이 도 6의 유기 발광 표시 장치에 포함되는 제1 데이터 구동 유닛에 입력되는 과정을 나타내는 타이밍도들이다.
- [0101] 도 25 내지 28은 도 15 내지 도 18을 참조하여 이해할 수 있으므로 설명을 생략한다.
- [0102] 도 29를 참조하면, 도 25 내지 도 28의 제1 데이터 신호(DS1')의 일부들(DS1e', DS1f', DS1g', DS1h')이 더해져서 제1 데이터 신호(DS1')가 형성된다. 제1 단위 표시 시간(1H) 내에서, 변경된 데이터 비트 입력 순서에 따라 제1 화소(181)의 제1 서브 프레임의 데이터 비트(논리값 1), 제7 화소(187)의 제4 서브 프레임의 데이터 비트(논리값 1), 제1 화소(181)의 제2 서브 프레임의 데이터 비트(논리값 1), 제3 화소(183)의 제5 서브 프레임의 데이터 비트(논리값 0), 제10 화소(190)의 제3 서브 프레임의 데이터 비트(논리값 0)가 순차적으로 제1 데이터 신호(DS1')로서 제1 데이터 구동 유닛(DDU1)에 입력된다. 제1 데이터 신호(DS1')는 제1 단위 표시 시간(1H)내에서 1 번의 논리값 천이를 가진다. 변경된 데이터 비트 입력 순서에 따라 제1 데이터 구동 유닛(DDU1) 및 데이터 구동 회로(130)를 동작시키는 경우(도 29), 기존의 데이터 비트 입력 순서에 따라 제1 데이터 구동 유닛(DDU1) 및 데이터 구동 회로(130)를 동작시키는 경우(도 24)보다 제1 데이터 신호(DS1)에 의한 제1 데이터 구동 유닛(DDU1)의 충/방전 횟수가 1/3로 줄어들어, 제1 데이터 구동 유닛(DDU1)의 전력 소모량이 감소하게 된다. 변경된 데이터 비트 입력 순서에 따라 구동된 화소들(181, 183, 187, 190)의 계조들은 기존의 데이터 비트 입력 순서에 따라 구동된 화소들(181, 183, 187, 190)의 계조들과 무시할 수 있는 수준의 오차를 가진다.

- [0103] 도 20 내지 29는 상기 제1 데이터 비트들이 상기 데이터 신호로서 상기 데이터 구동 회로에 입력되는 경우, 상기 데이터 신호의 논리값 천이가 N 번(N이 1인 경우) 발생하도록 상기 데이터 비트 입력 순서를 변경하는 단계(S122), 상기 제1 데이터 비트들 중에서 상기 최하위 비트가 논리값 1을 가지는 경우, 상기 최하위 비트의 입력이 가장 빠르도록 상기 데이터 비트 입력 순서를 변경하는 단계(S123a) 및 상기 제1 데이터 비트들 중 논리값 1을 가지는 데이터 비트의 입력이 상기 제1 데이터 비트들 중 논리값 0을 가지는 데이터 비트의 입력보다 빠르도록 상기 데이터 비트 입력 순서를 변경하는 단계(S124a)를 설명한다.
- [0104] 도 20 내지 29에서, 상기 데이터 비트 입력 순서에서 상기 최하위 비트의 입력이 이미 가장 빠르기 때문에, 상기 제1 데이터 비트들 중에서 상기 최하위 비트가 논리값 1을 가지는 경우, 상기 최하위 비트의 입력이 가장 빠르도록 상기 데이터 비트 입력 순서를 변경하는 단계(S123a)에 의한 상기 데이터 비트 입력 순서의 변경은 없다.
- [0105] 도 30 및 31은 도 3의 순서도에 포함된 서브 프레임들의 데이터 비트들의 입력 순서들을 서로 변경하는 단계(S121)를 나타내는 타이밍도들이다.
- [0106] 도 30은 제1 데이터 신호(DS1)의 순차적인 3개의 데이터 비트들 중에서 두 번째 데이터 비트의 입력 순서와 세 번째 데이터 비트의 입력 순서를 변경한 경우를 나타낸다. 제1 및 제2 단위 표시 시간들(1H, 2H) 내에서 기존 데이터 비트 입력 순서에 따른 제1 데이터 신호(DS1)는 9번의 논리값 천이를 가진다. 이에 반해, 제1 및 제2 단위 표시 시간들(1H, 2H) 내에서 변경된 데이터 비트 입력 순서에 따른 제1 데이터 신호(DS1')는 3 번의 논리값 천이를 가진다.
- [0107] 도 31은 제1 데이터 신호(DS1)의 순차적인 4개의 데이터 비트들 중에서 두 번째 데이터 비트의 입력 순서와 세 번째 데이터 비트의 입력 순서를 변경한 경우를 나타낸다. 제1 및 제2 단위 표시 시간들(1H, 2H) 내에서 기존 데이터 비트 입력 순서에 따른 제1 데이터 신호(DS1)는 9번의 논리값 천이를 가진다. 이에 반해, 제1 및 제2 단위 표시 시간들(1H, 2H) 내에서 변경된 데이터 비트 입력 순서에 따른 제1 데이터 신호(DS1')는 4 번의 논리값 천이를 가진다.
- [0108] 도 32는 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 나타내는 블록도이다.
- [0109] 도 32를 참조하면, 유기 발광 디스플레이 장치(900)는 디스플레이 패널(910), 스캔 구동 회로(920), 데이터 구동 회로(930), 전원 공급 회로(940), 전력 측정부(970) 및 타이밍 제어 회로(960)를 포함할 수 있다. 디스플레이 패널(910)은 제1 화소 영역(911) 및 제2 화소 영역(912)을 포함한다. 제1 화소 영역(911)은 제1 화소들(180)을 포함할 수 있다. 데이터 구동 회로(930)는 제1 데이터 구동 유닛(DDU1), 제2 데이터 구동 유닛(DDU2) 내지 제M-1 데이터 구동 유닛(DDUM-1) 및 제M 데이터 구동 유닛(DDUM)을 포함한다.
- [0110] 디스플레이 패널(910)은 복수의 스캔 라인들(SL1 내지 SLN)을 통해 스캔 구동 회로(920)와 연결될 수 있다. 디스플레이 패널(910)은 복수의 데이터 라인들(DL1 내지 DLM)을 통해 데이터 구동 회로(930)에 연결될 수 있다. 자세하게는, 제1 화소 영역(910)의 화소들은 제1 데이터 라인(DL1) 및 제2 데이터 라인(DL2)을 통해 제1 데이터 구동 유닛(DDU1) 및 제2 데이터 구동 유닛(DDU2)과 연결될 수 있다. 제2 화소 영역(920)의 화소들은 제M-1 데이터 라인(DLM-1) 및 제M 데이터 라인(DLM)을 통해 제M-1 데이터 구동 유닛(DDUM-1) 및 제M 데이터 구동 유닛(DDUM)과 연결될 수 있다.
- [0111] 타이밍 제어 회로(960)는 입력 영상 픽셀 데이터(R, G, B)에 기초하여 스캔 구동 회로(920)를 제어 하는 스캔 구동 회로 제어 신호(CTL2)를 생성할 수 있다. 타이밍 제어 회로(960)는 입력 영상 픽셀 데이터(R, G, B)에 기초하여 제1 데이터 비트 입력 순서에 따라 제 1 및 제 2 데이터 비트들을 생성하고, 상기 제 1 및 제 2 데이터 비트들을 제1 및 제2 데이터 신호들(DS1 및 DS2)로서 데이터 구동 회로(930)에 제공할 수 있다. 타이밍 제어 회로(960)는 입력 영상 픽셀 데이터(R, G, B)에 기초하여 제2 데이터 비트 입력 순서에 따라 제M-1 및 제M 데이터 비트들을 생성하고, 상기 제M-1 및 제M 데이터 비트들을 제M-1 및 제M 데이터 신호들(DSM-1 및 DSM)로서 데이터 구동 회로(930)에 제공할 수 있다.
- [0112] 스캔 구동 회로(920)는 스캔 수동 회로 제어 신호(CTL2)에 기초하여 스캔 신호들을 복수의 스캔 라인들(SL1 내지 SLN)을 통해 디스플레이 패널(910)에 제공할 수 있다.
- [0113] 데이터 구동 회로(930)는 제1 내지 제M 데이터 신호들(DS1 내지 DSM)에 기초하여 제1 내지 제M 구동 데이터 신호들을 복수의 데이터 라인들(DL1 내지 DLM)을 통해 디스플레이 패널(910)에 포함되는 화소들에 제공할 수 있다.
- [0114] 일 실시예에 있어서, 전력 측정부(970)는 데이터 구동 회로(930)의 전류량을 측정하고, 상기 전류량에 기초하여

데이터 구동 회로(930)의 소비 전력량(CP)을 계산할 수 있다. 다른 실시예에 있어서, 전력 측정부(970)는 제1 내지 제M 데이터 신호들(DS1 내지 DSM)의 논리값 천이 횟수에 기초하여 데이터 구동 회로(930)의 소비 전력량(CP)을 계산할 수 있다.

[0115] 타이밍 제어 회로(960)는 데이터 구동 회로(930)의 소비 전력량(CP)에 기초하여 제1 및 제2 데이터 비트 입력 순서들을 변경할 수 있다. 타이밍 제어 회로(960)는 변경된 제1 및 제2 데이터 비트 입력 순서들에 따라 제1 내지 제M 데이터 비트들을 생성하고, 제1 내지 제M 데이터 비트들을 각각 제1 내지 제M 데이터 신호들(DS1 내지 DSM)로서 데이터 구동 회로(930)에 제공할 수 있다. 데이터 비트 입력 순서를 변경하는 과정은 도 9 내지 31에 기초하여 이해할 수 있으므로 설명을 생략한다.

[0116] 전원 공급 회로(940)는 디스플레이 패널(910)에 고전원전압(ELVDD) 및 저전원전압(ELVSS)을 제공할 수 있다.

[0117] 도 33은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 포함하는 전자 기기를 나타내는 블록도이다.

[0118] 도 33을 참조하면, 전자 기기(1000)는 프로세서(1010), 메모리 장치(1020), 저장 장치(1030), 입출력 장치(1040), 파워 서플라이(1050) 및 유기 발광 표시 장치(1060)를 포함할 수 있다. 전자 기기(1000)는 비디오 카드, 사운드 카드, 메모리 카드, USB 장치 등과 통신하거나, 또는 다른 시스템들과 통신할 수 있는 여러 포트(port)들을 더 포함할 수 있다. 한편, 전자 기기(1000)는 스마트폰으로 구현될 수 있으나, 전자 기기(1000)가 그에 한정되는 것은 아니다.

[0119] 프로세서(1010)는 특정 계산들 또는 태스크(task)들을 수행할 수 있다. 실시예에 따라, 프로세서(1010)는 마이크로프로세서(microprocessor), 중앙 처리 장치(CPU) 등일 수 있다. 프로세서(1010)는 어드레스 버스(address bus), 제어 버스(control bus) 및 데이터 버스(data bus) 등을 통하여 다른 구성 요소들에 연결될 수 있다. 실시예에 따라서, 프로세서(1010)는 주변 구성요소 상호연결(Peripheral Component Interconnect; PCI) 버스와 같은 확장 버스에도 연결될 수 있다.

[0120] 메모리 장치(1020)는 전자 기기(1000)의 동작에 필요한 데이터들을 저장할 수 있다. 예를 들어, 메모리 장치(1020)는 EPROM(Erasable Programmable Read-Only Memory), EEPROM(Electrically Erasable Programmable Read-Only Memory), 플래시 메모리(Flash Memory), PRAM(Phase Change Random Access Memory), RRAM(Resistance Random Access Memory), NFGM(Nano Floating Gate Memory), PoRAM(Polymer Random Access Memory), MRAM(Magnetic Random Access Memory), FRAM(Ferroelectric Random Access Memory) 등과 같은 비휘발성 메모리 장치 및/또는 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory), 모바일 DRAM 등과 같은 휘발성 메모리 장치를 포함할 수 있다.

[0121] 저장 장치(1030)는 솔리드 스테이트 드라이브(Solid State Drive; SSD), 하드 디스크 드라이브(Hard Disk Drive; HDD), 씨디롬(CD-ROM) 등을 포함할 수 있다. 입출력 장치(1040)는 키보드, 키패드, 터치패드, 터치스크린, 마우스 등과 같은 입력 수단, 및 스피커, 프린터 등과 같은 출력 수단을 포함할 수 있다. 파워 서플라이(1050)는 전자 기기(1000)의 동작에 필요한 파워를 공급할 수 있다. 유기 발광 표시 장치(1060)는 상기 버스들 또는 다른 통신 링크를 통해서 다른 구성 요소들에 연결될 수 있다.

[0122] 유기 발광 표시 장치(1060)는 도 6의 유기 발광 표시 장치(100) 또는 도 32의 유기 발광 표시 장치(900)일 수 있다. 유기 발광 표시 장치(100) 및 유기 발광 표시 장치(900)에 대하여 도 1 내지 32를 참조하여 이해할 수 있으므로 설명을 생략한다.

[0123] 실시예에 따라, 전자 기기(1000)는 디지털 TV(Digital Television), 3D TV, 개인용 컴퓨터(Personal Computer; PC), 가정용 전자기기, 노트북 컴퓨터(Laptop Computer), 태블릿 컴퓨터(Tablet Computer), 휴대폰(Mobile Phone), 스마트폰(Smart Phone), 개인 정보 단말기(personal digital assistant; PDA), 휴대형 멀티미디어 플레이어(portable multimedia player; PMP), 디지털 카메라(Digital Camera), 음악 재생기(Music Player), 휴대용 게임 콘솔(portable game console), 네비게이션(Navigation) 등과 같은 유기 발광 표시 장치(1060)를 포함하는 임의의 전자 기기일 수 있다.

산업상 이용가능성

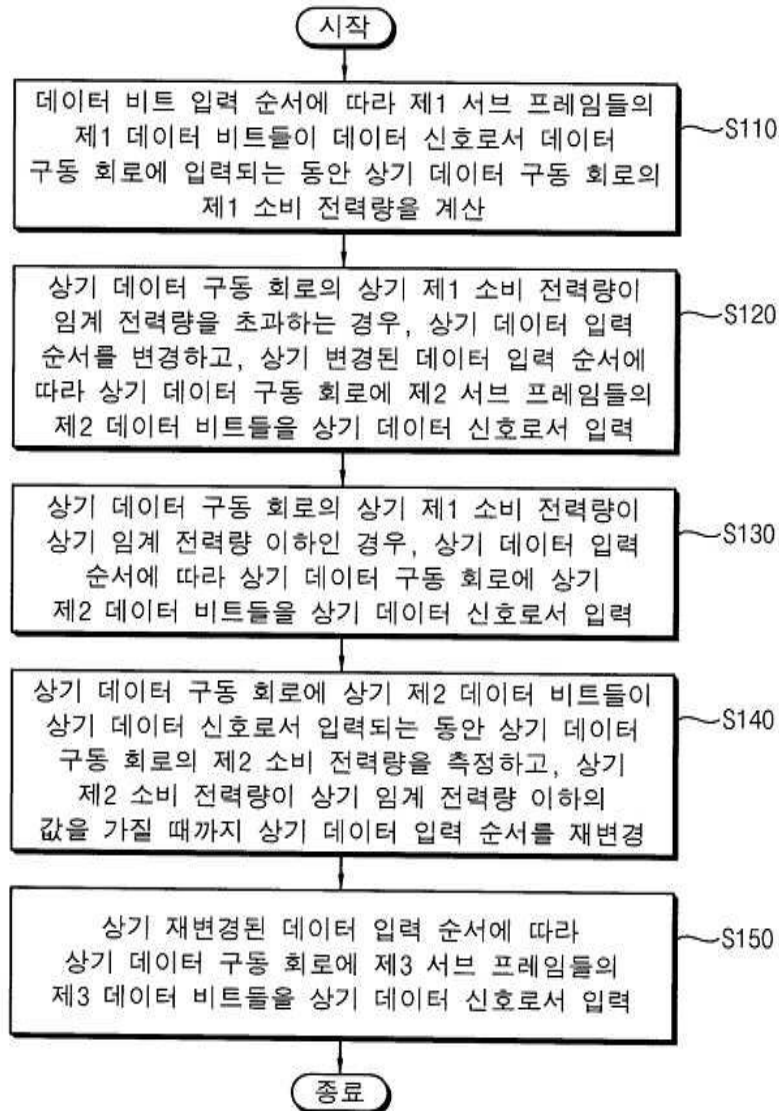
[0124] 본 발명은 유기 발광 표시 장치 및 이를 구비한 전자 기기에 다양하게 적용될 수 있다. 예를 들어, 본 발명은 모니터, 텔레비전, 컴퓨터, 노트북, 디지털 카메라, 휴대폰, 스마트폰, 스마트패드, 피디에이(PDA), 피엠펜(PMP), MP3 플레이어, 네비게이션 시스템, 캠코더 등에 적용될 수 있다.

[0125]

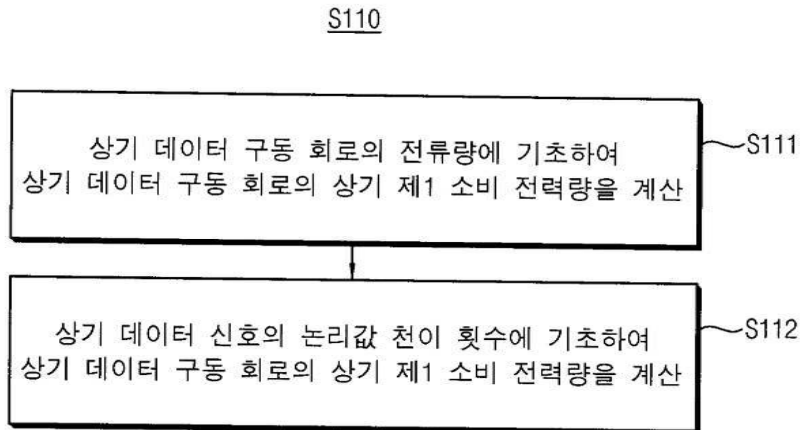
이상에서는 본 발명의 예시적인 실시예들을 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면

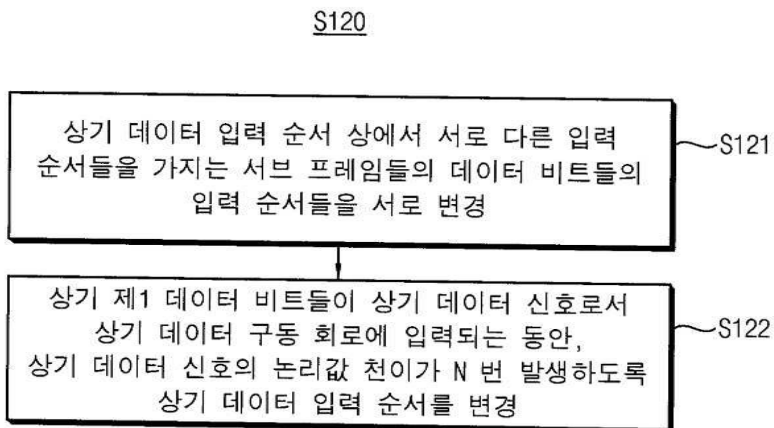
도면1



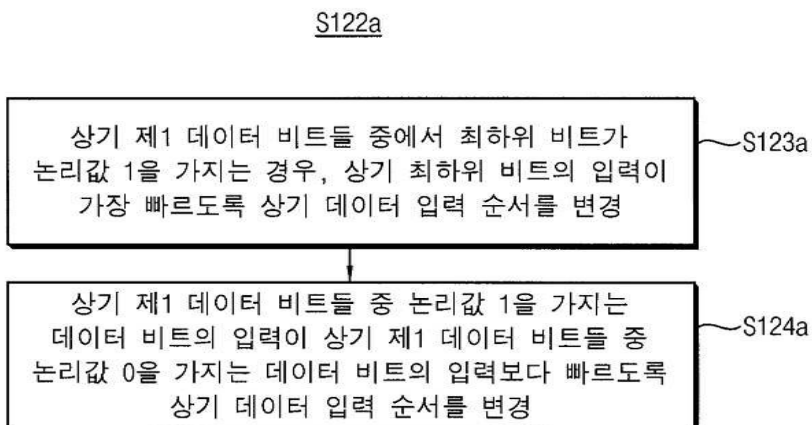
도면2



도면3

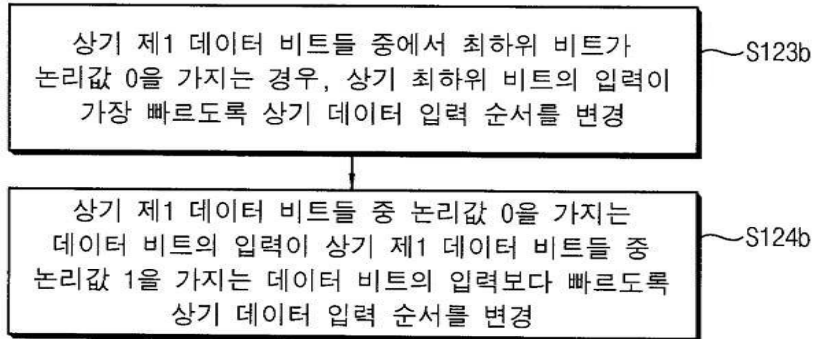


도면4



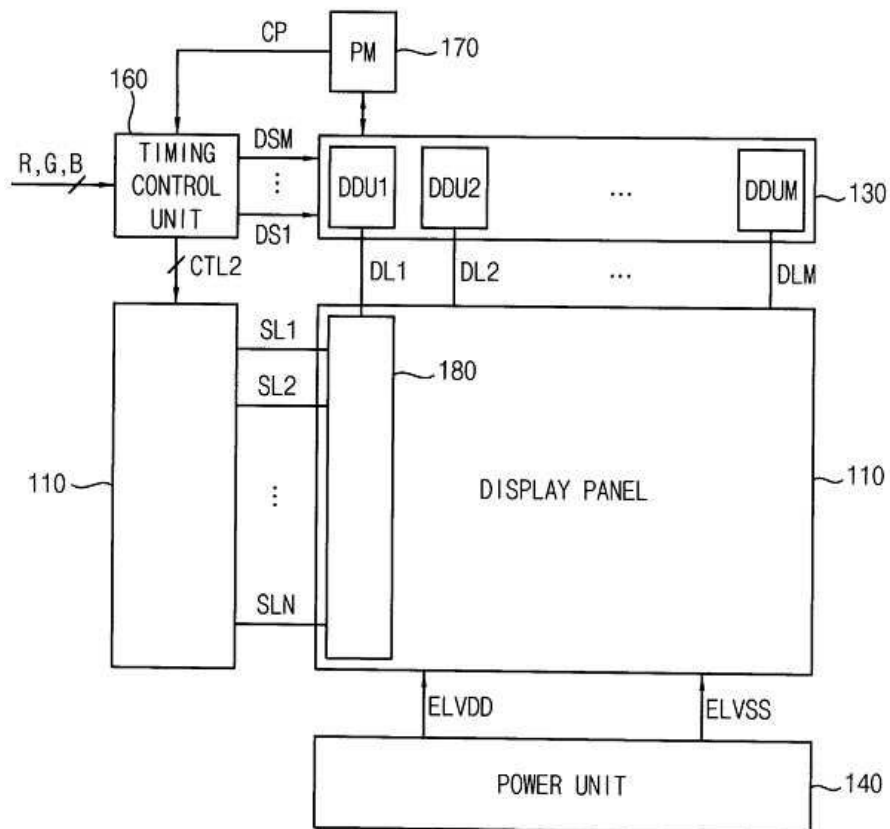
도면5

S122a

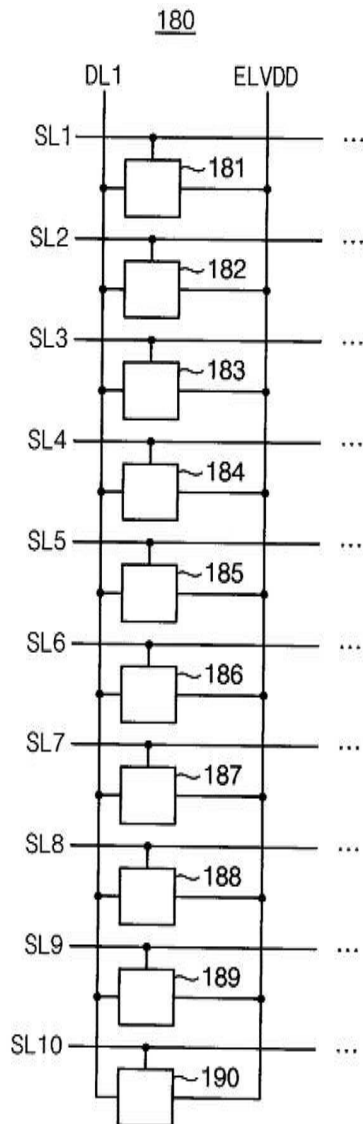


도면6

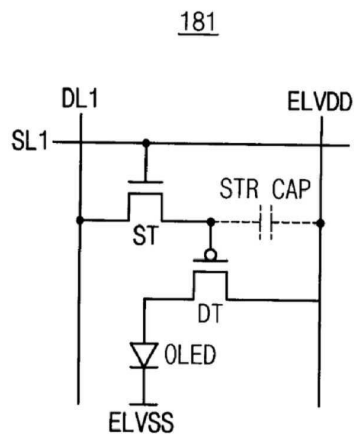
100



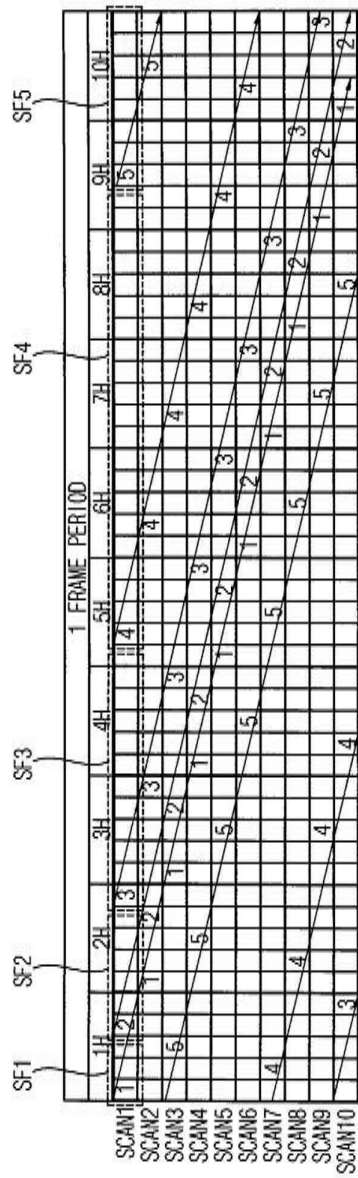
도면7



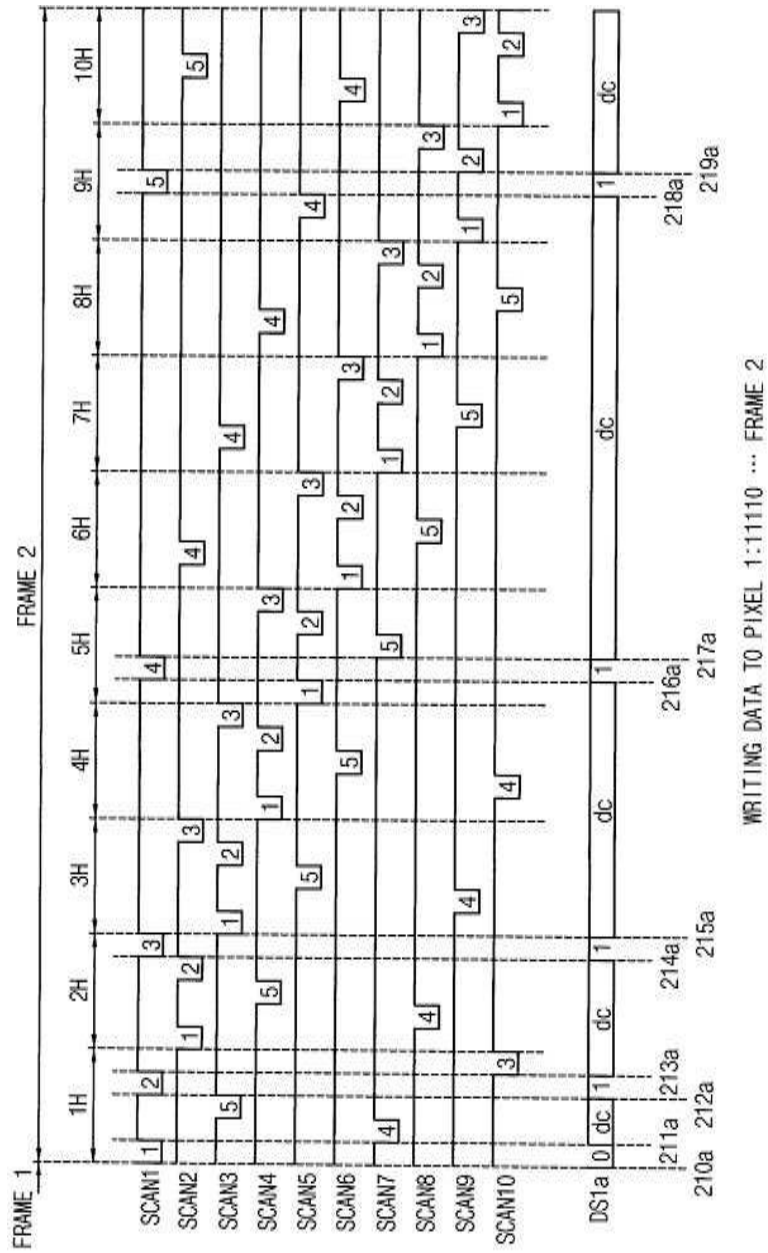
도면8



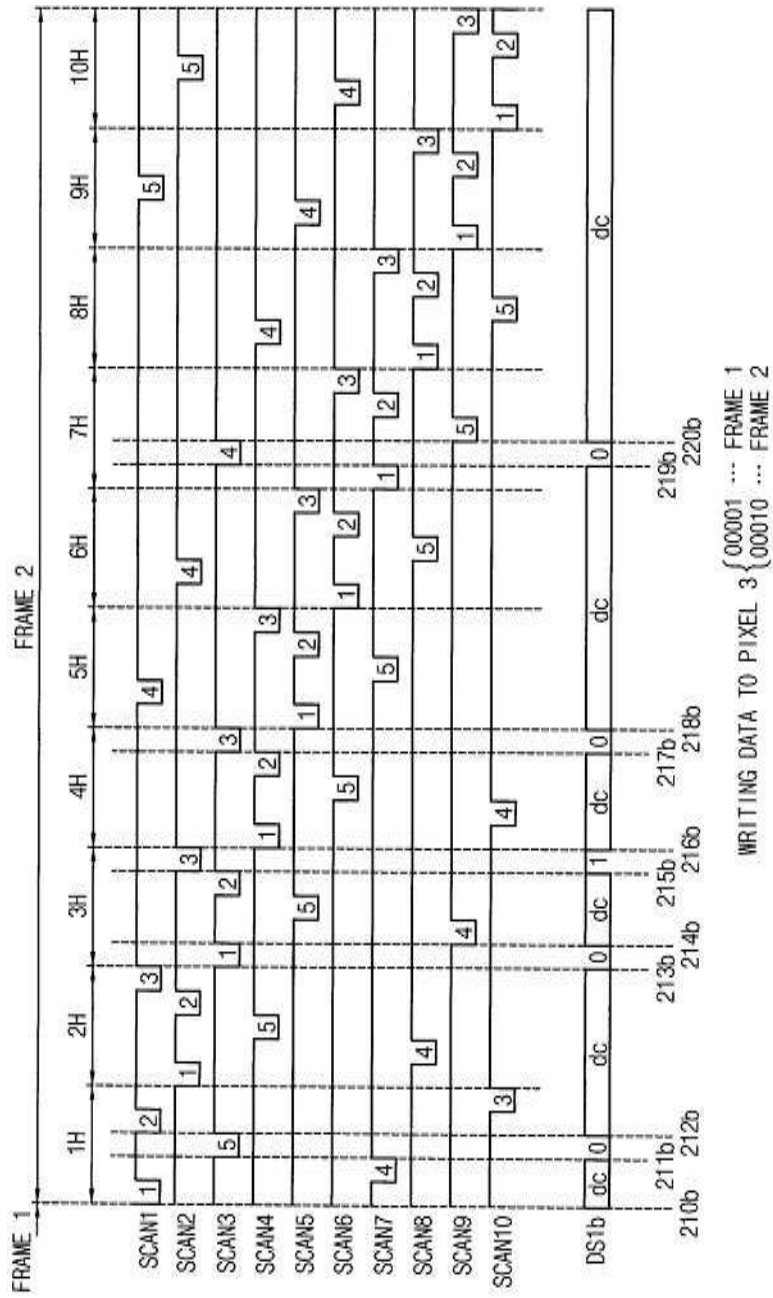
도면9



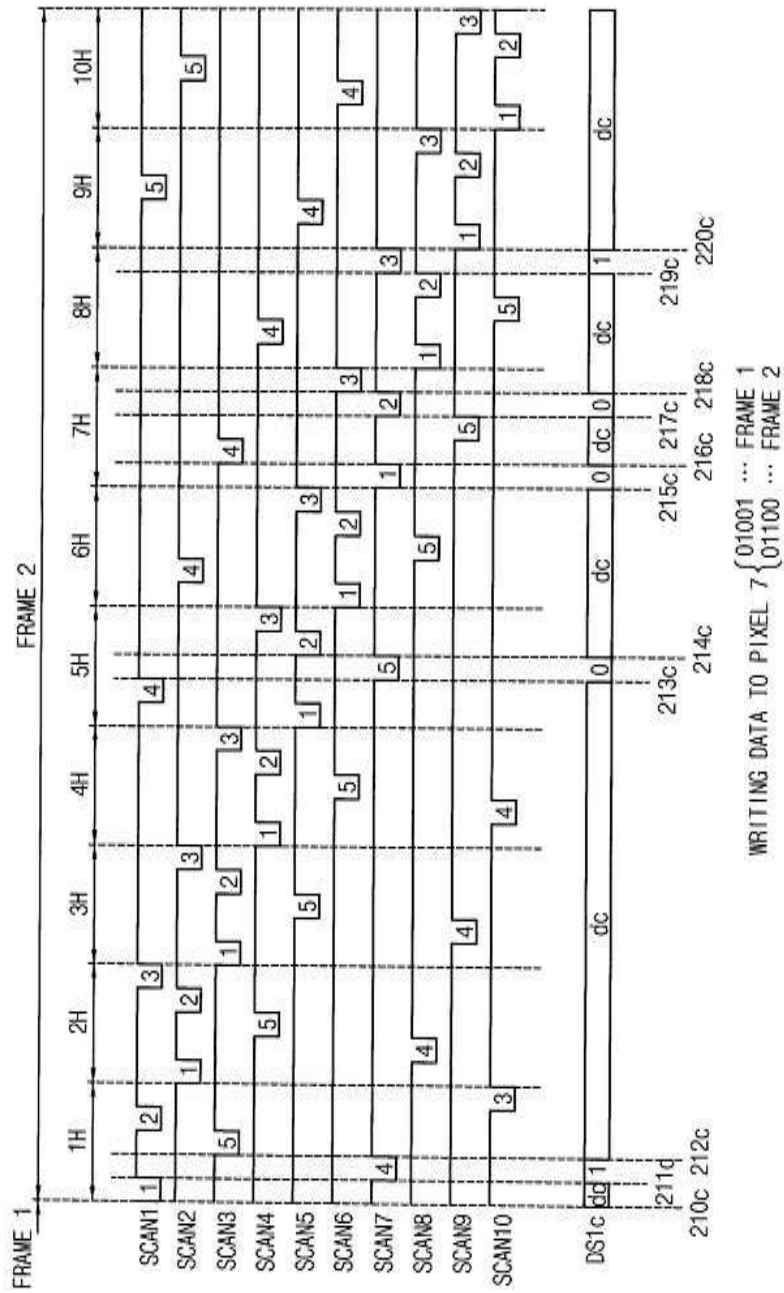
도면10



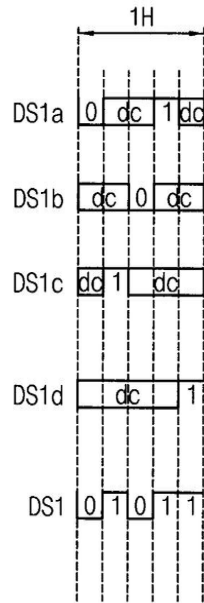
도면11



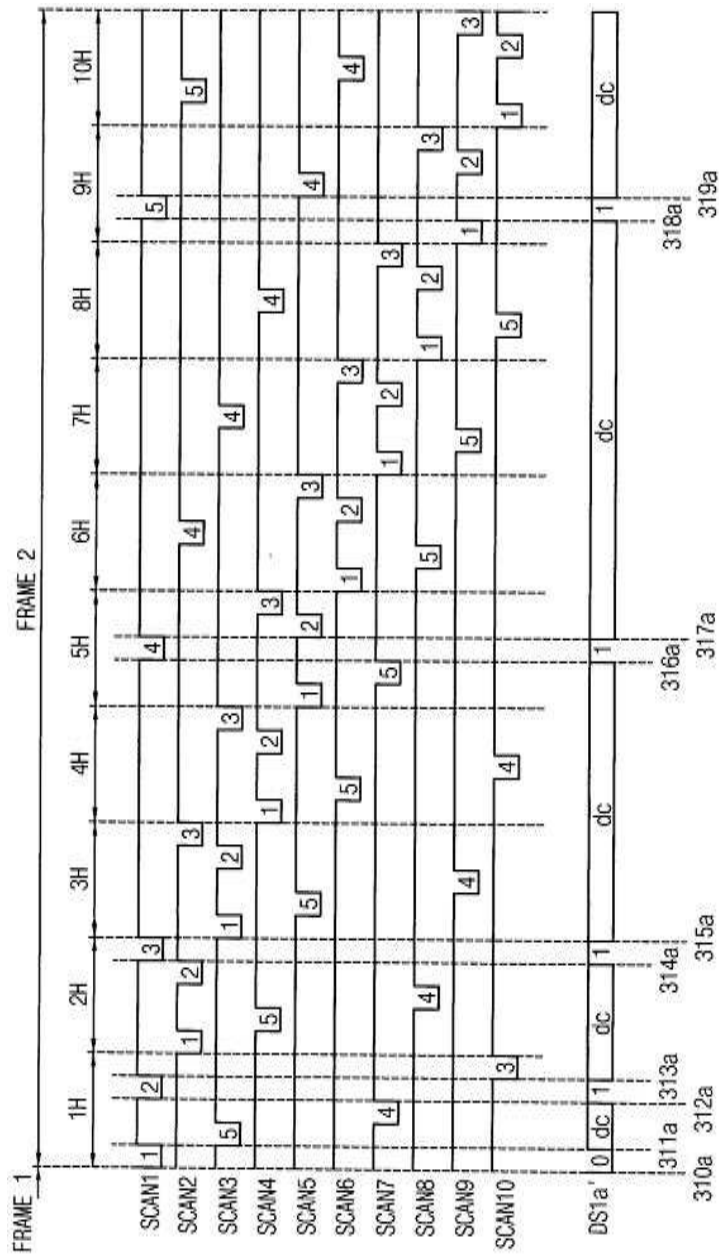
도면12



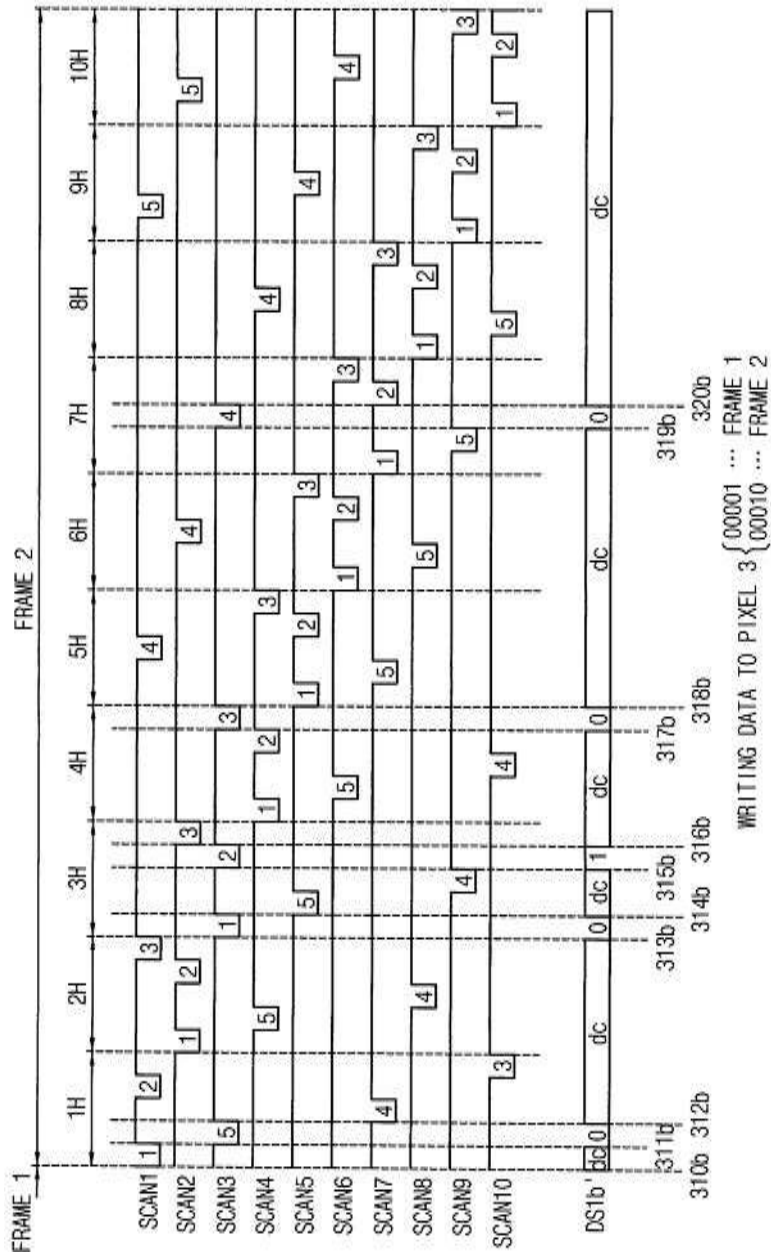
도면14



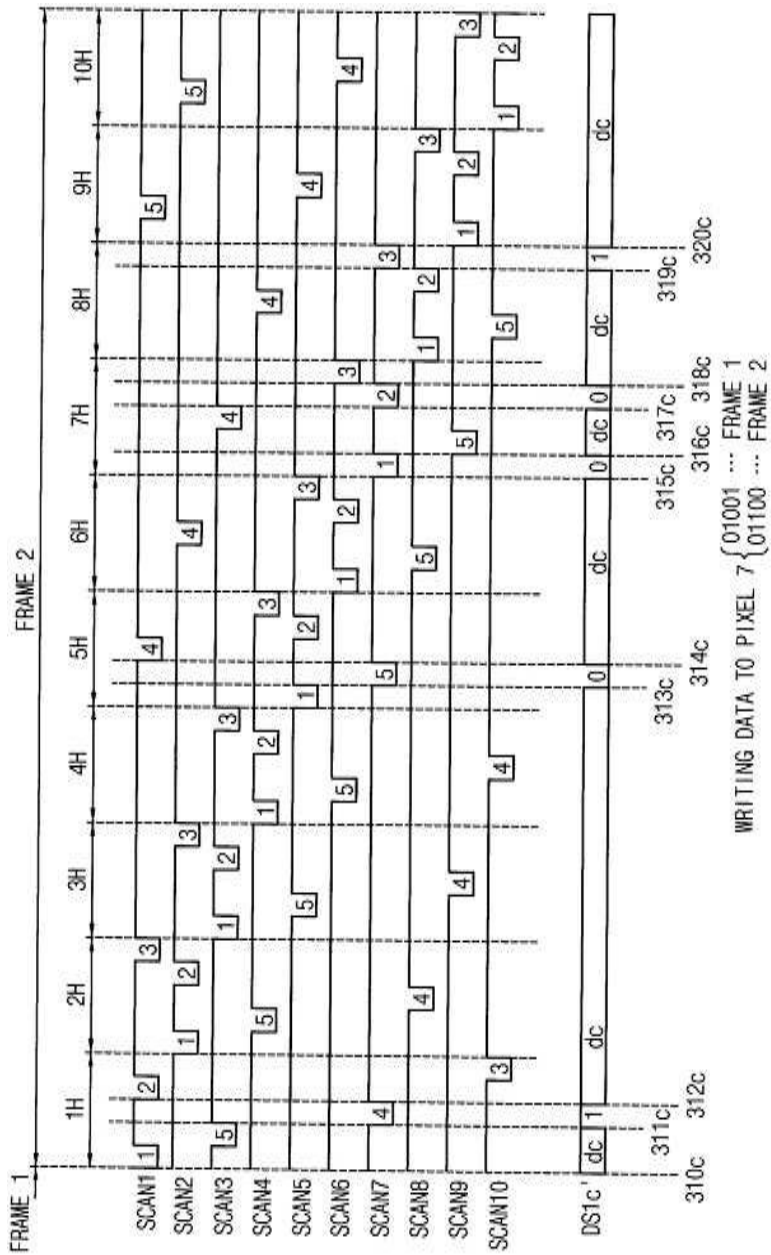
도면15



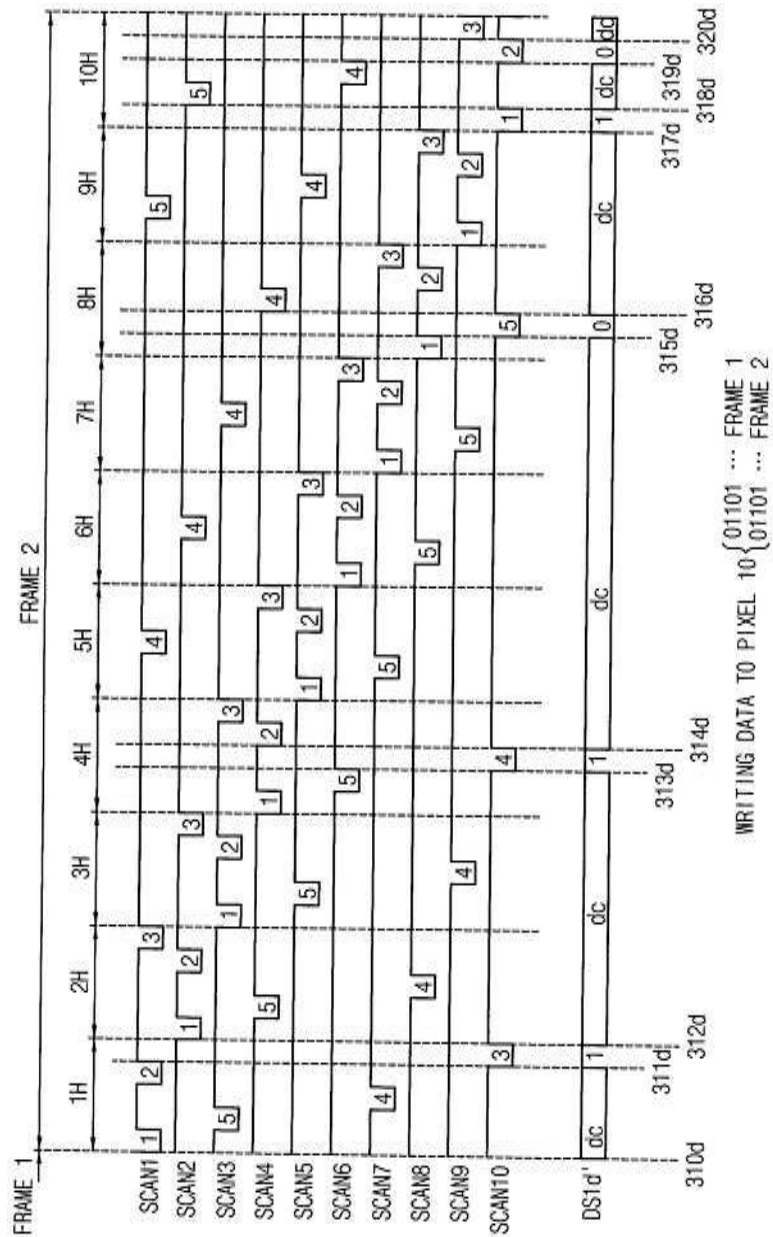
도면16



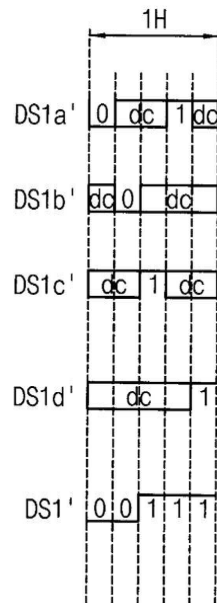
도면17



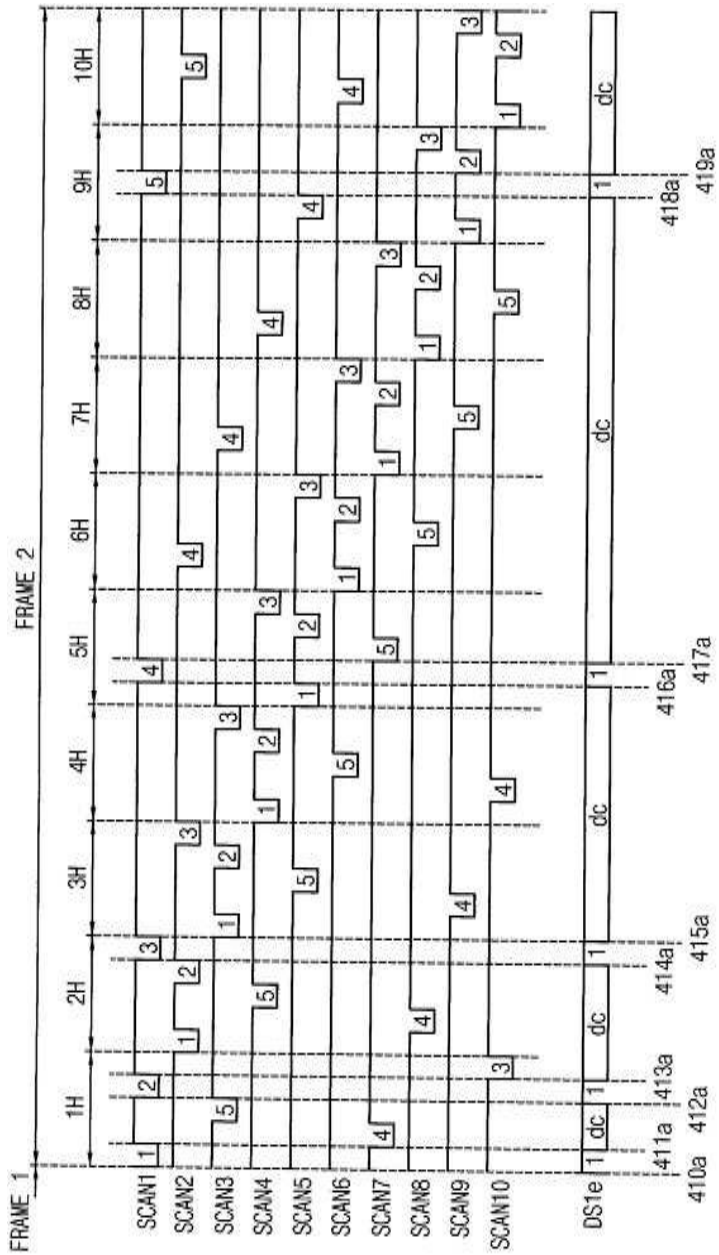
도면18



도면19

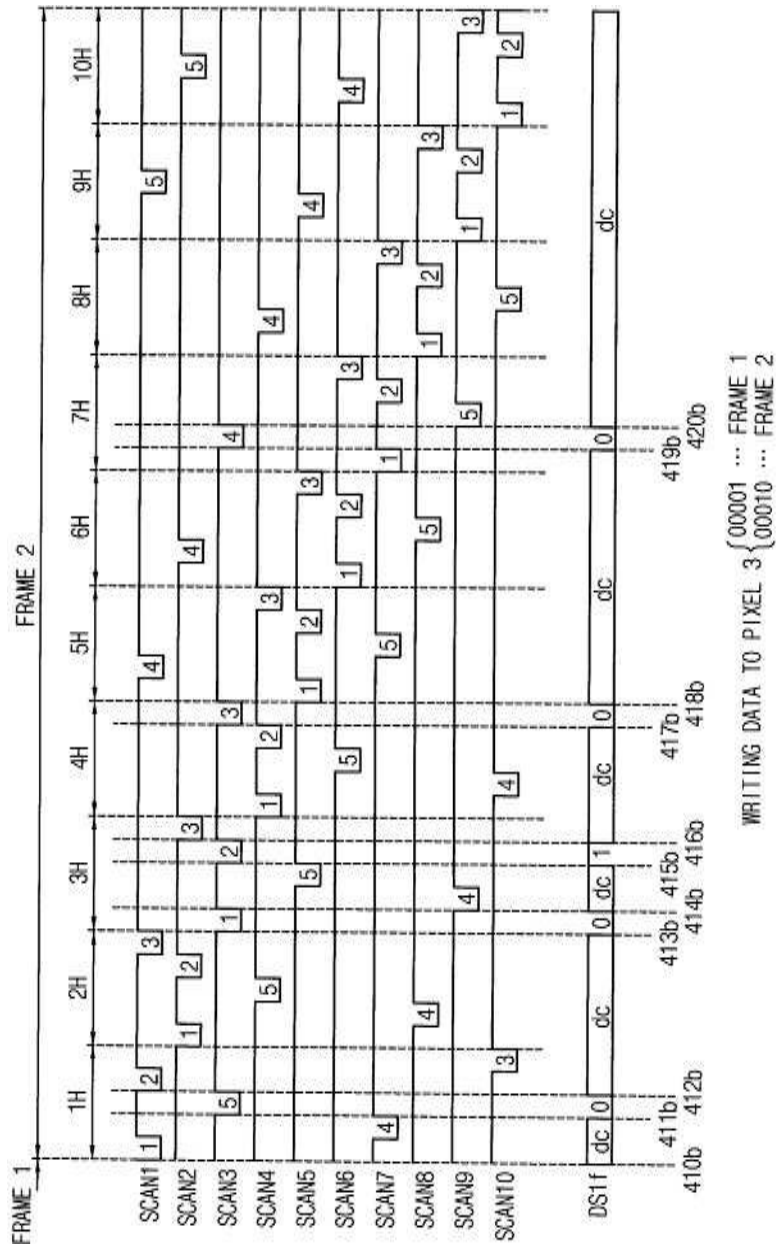


도면20

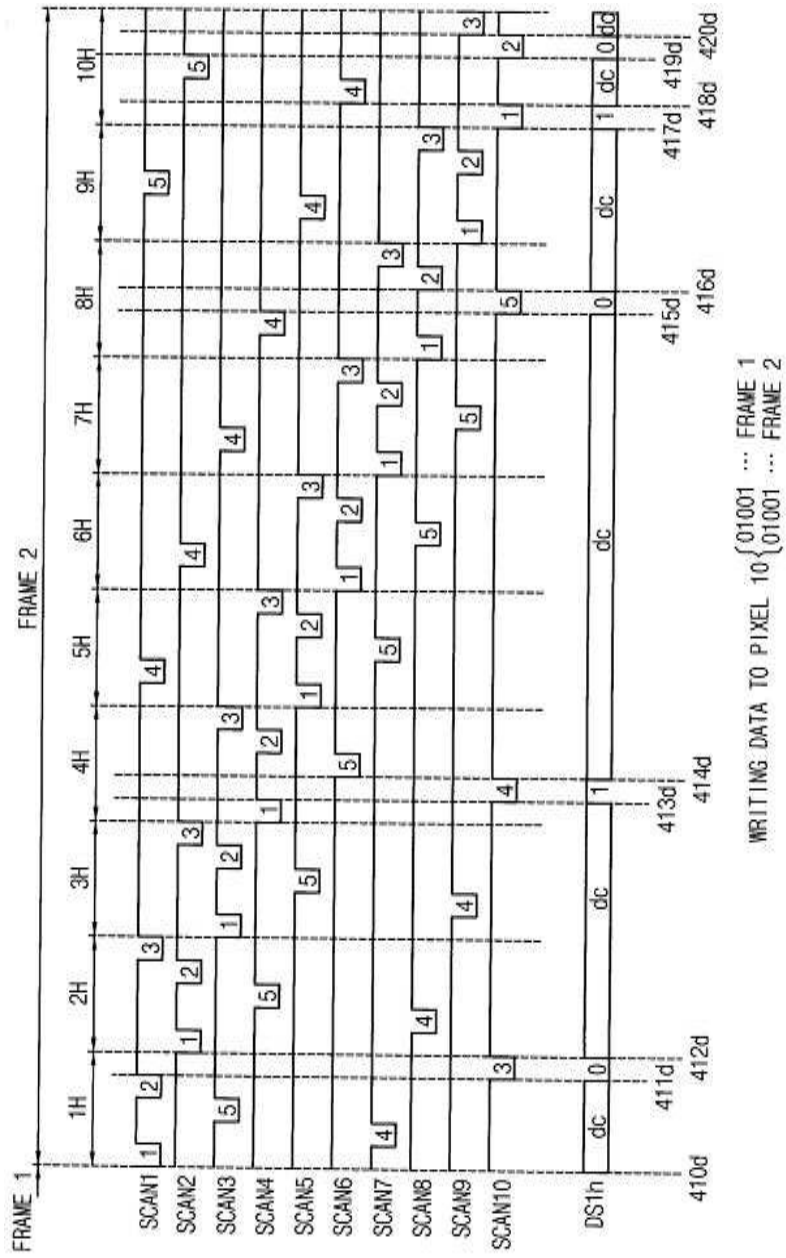


WRITING DATA TO PIXEL 1:11111 ... FRAME 2

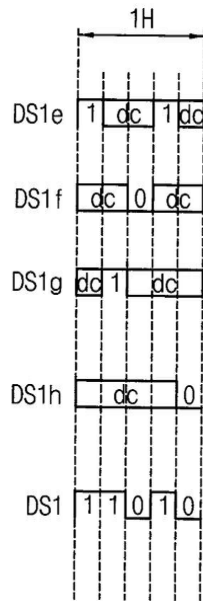
도면21



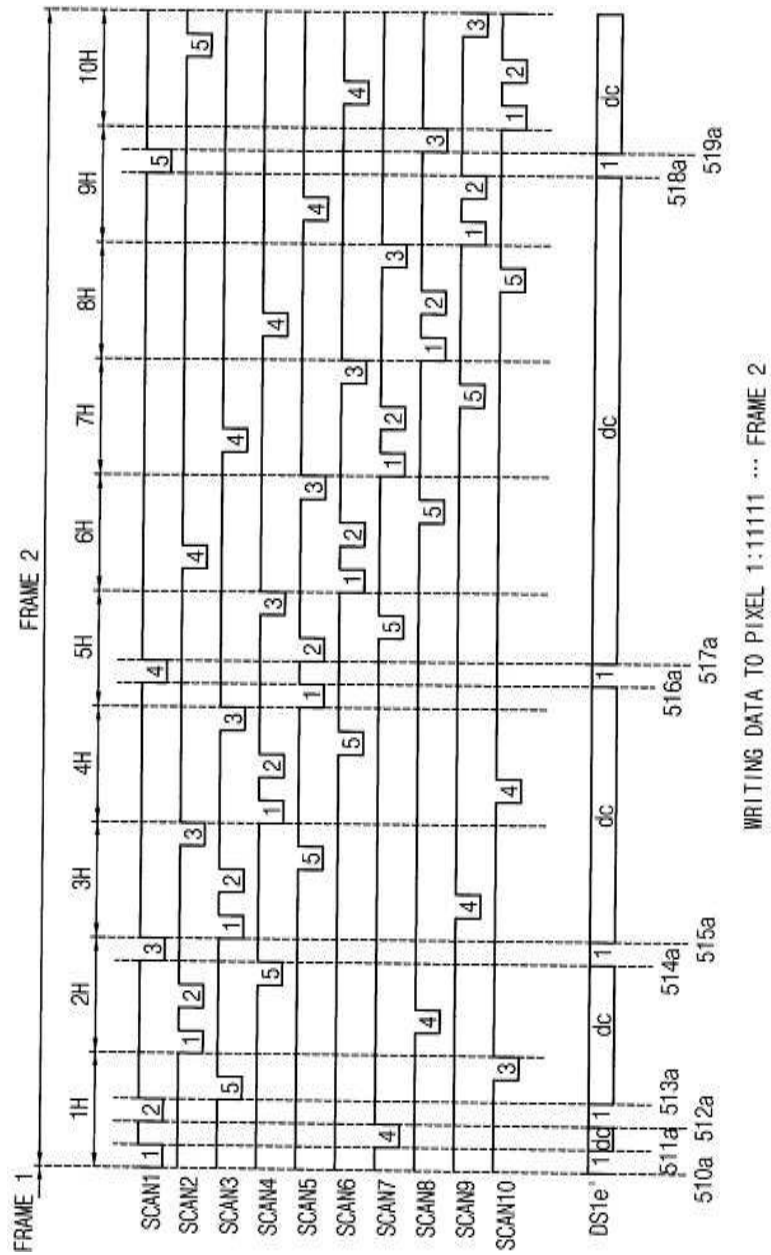
도면23



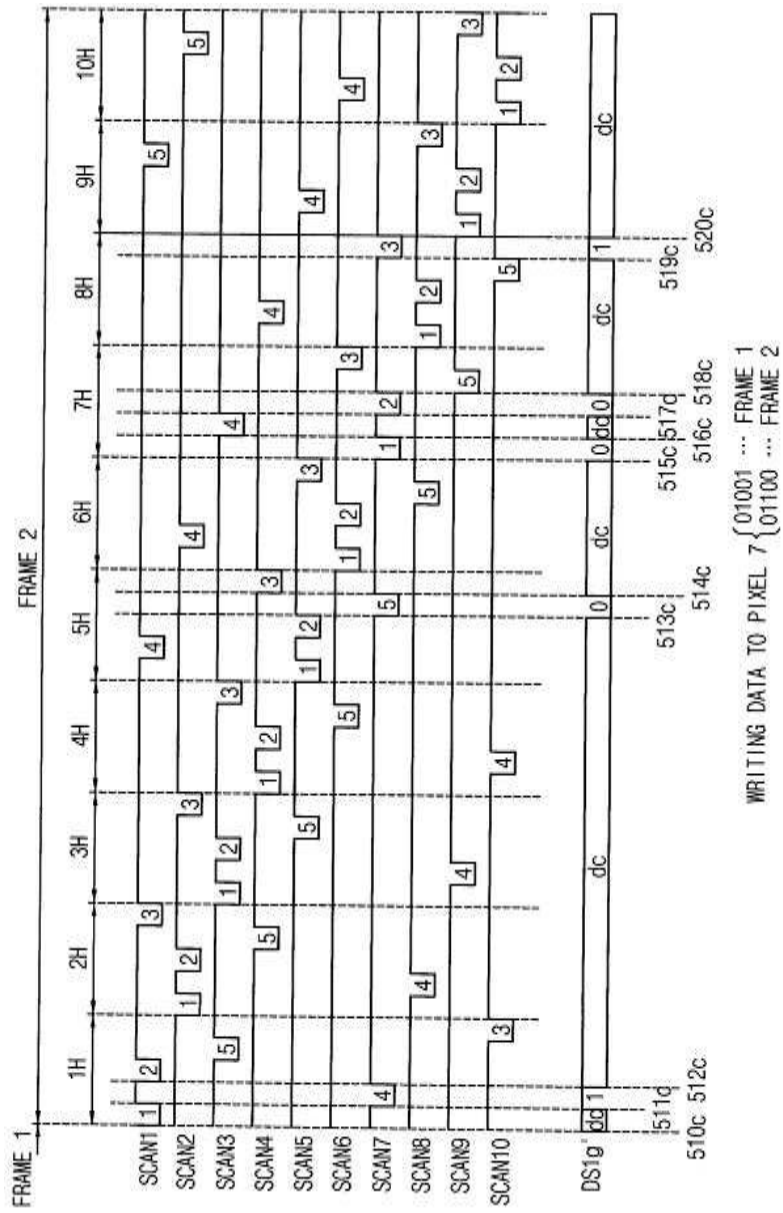
도면24



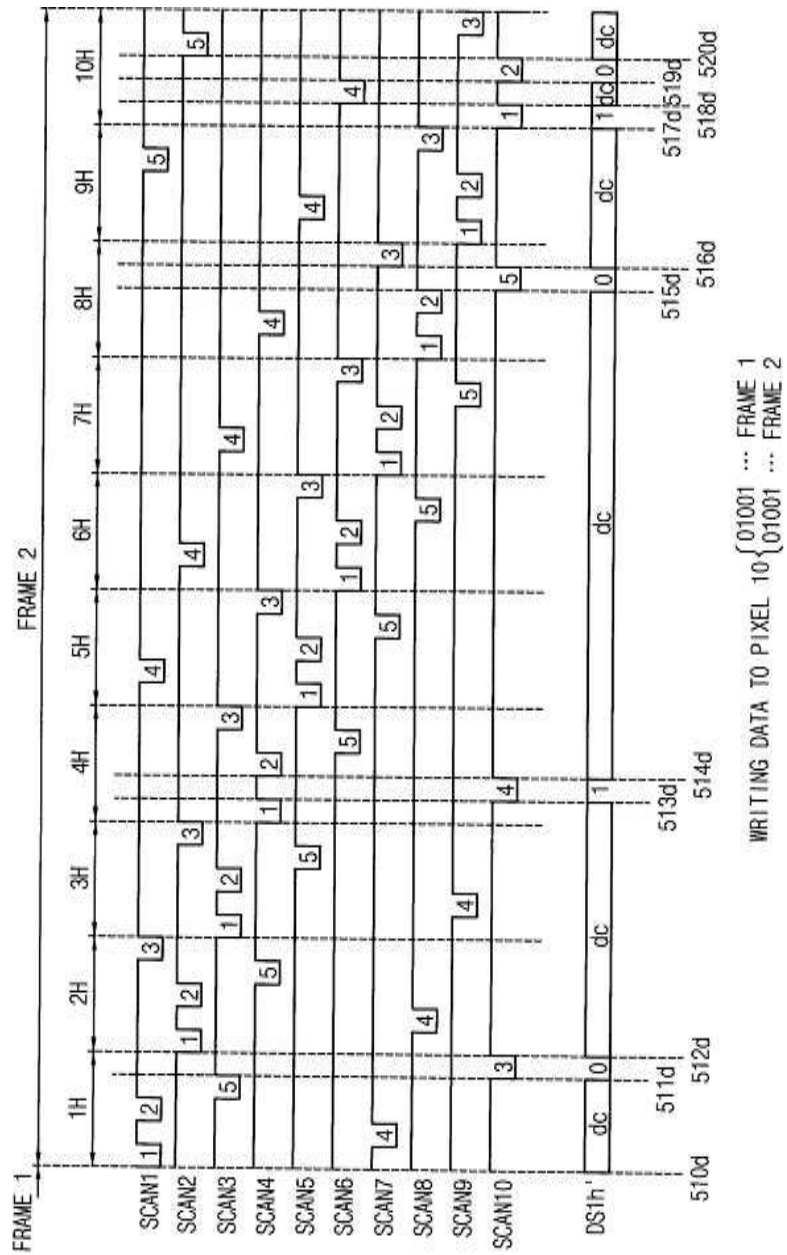
도면25



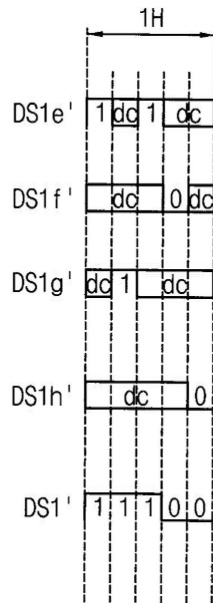
도면27



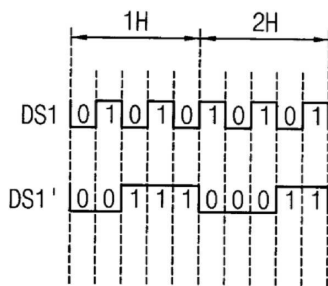
도면28



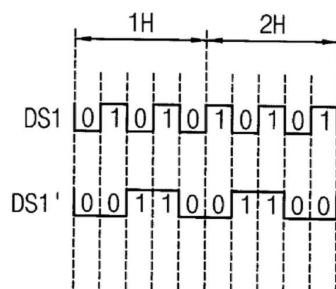
도면29



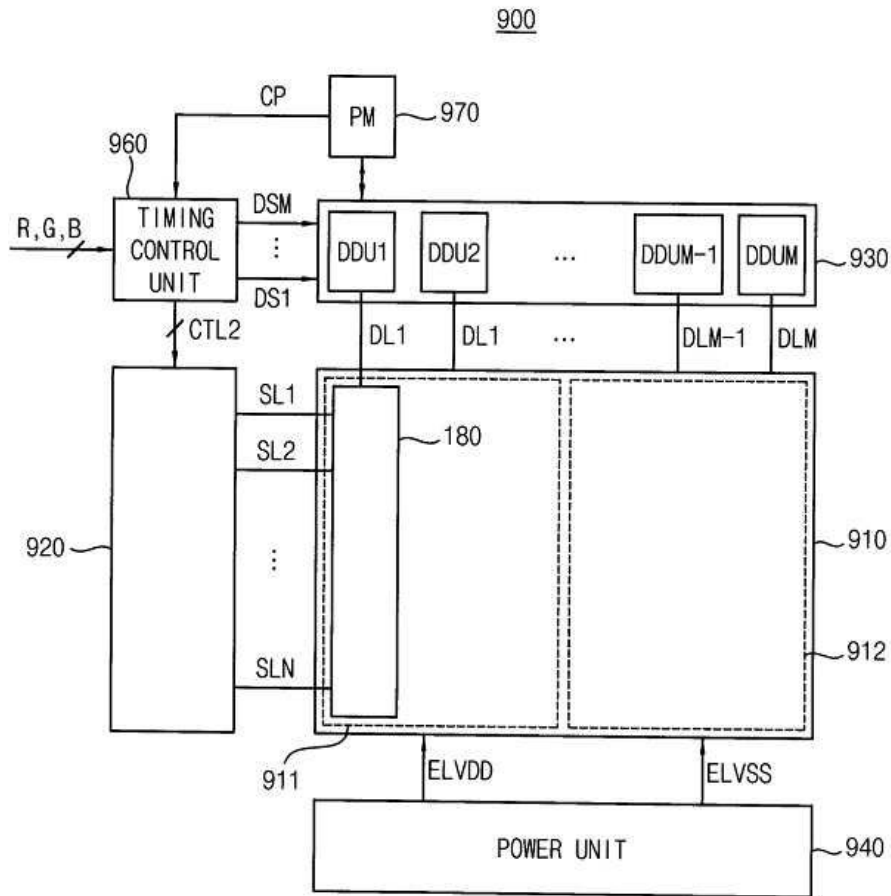
도면30



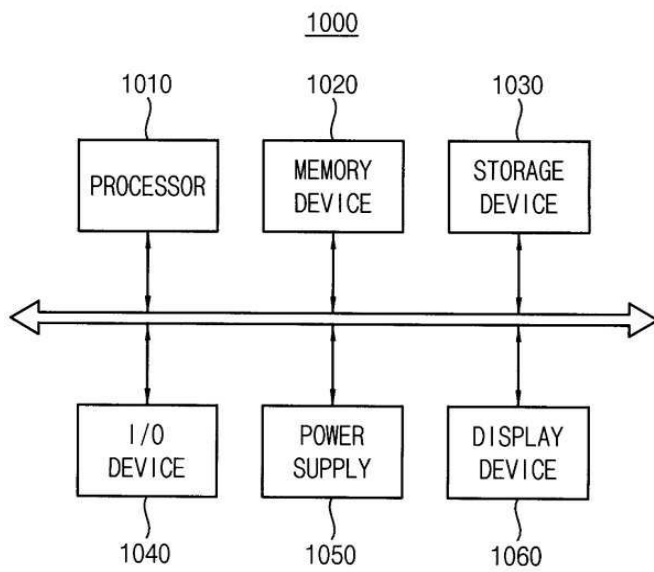
도면31



도면32



도면33



专利名称(译)	标题：有机发光显示装置的数字驱动方法		
公开(公告)号	KR1020150142959A	公开(公告)日	2015-12-23
申请号	KR1020140071710	申请日	2014-06-12
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE JAE HOON 이재훈		
发明人	이재훈		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3208 G09G3/2022 G09G2310/0213 G09G2330/021		
代理人(译)	PARK, YOUNG WOO PARK, YOUNG WOO박영우		
外部链接	Espacenet		

摘要(译)

一种发光显示装置的数字驱动方法，包括以下步骤：当通过划分为多个子帧显示一帧时：在第一子帧的第一数据位时测量数据驱动电路的第一消耗功率量根据数据位输入顺序，在数据驱动电路中输入数据信号；当数据驱动电路的第一消耗功率超过阈值功率量时，修改数据位输入顺序，并根据修改后的数据驱动电路输入第二子帧的第二数据位作为数据信号数据位输入顺序。

