



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0070753

(43) 공개일자 2015년06월25일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2013-0157327

(22) 출원일자 2013년12월17일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

유춘기

충남 아산시 탕정면 탕정면로 37, 201동 1202호
(탕정삼성트라펠리스아파트)

(74) 대리인

특허법인 고려

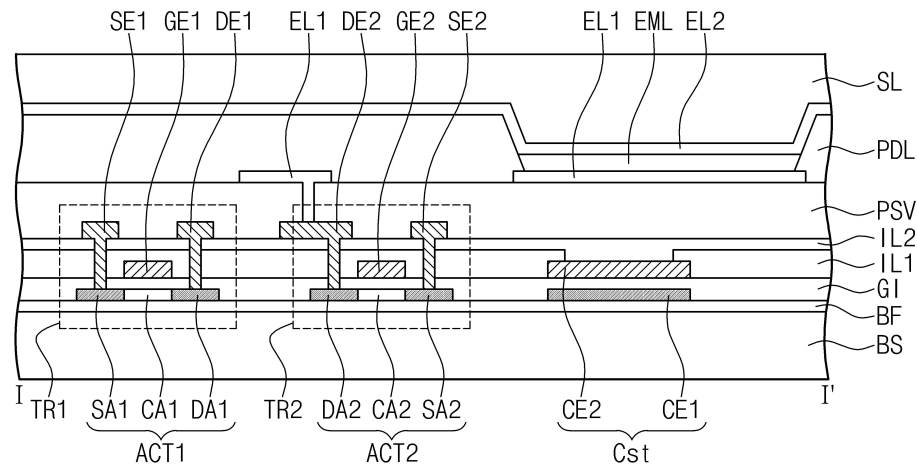
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치 및 이의 제조 방법

(57) 요약

유기 발광 표시 장치는 베이스 기판, 상기 베이스 기판 상에 제공된 활성층, 상기 활성층 상에 제공된 게이트 절연막, 상기 게이트 절연막 상에 제공된 게이트 전극, 상기 게이트 전극 상에 제공된 제1 층간막, 상기 제1 층간막을 커버하는 제2 층간막, 상기 제2 층간막 상에 제공되며, 상기 활성층에 연결되는 소스 전극과 드레인 전극, 상기 드레인 전극에 연결된 제1 전극, 상기 제1 전극 상에 제공된 유기 발광층, 상기 유기 발광층을 사이에 두고 상기 제1 전극과 대향하는 제2 전극, 및 상기 게이트 절연막을 사이에 두고 제공된 제1 및 제2 커패시터 전극을 포함한다. 상기 제1 층간막은 상기 제2 커패시터 전극의 상면을 노출하는 개구부를 포함한다.

대표도 - 도3



명세서

청구범위

청구항 1

베이스 기관;
상기 베이스 기관 상에 제공된 활성층;
상기 활성층 상에 제공된 게이트 절연막;
상기 게이트 절연막 상에 제공된 게이트 전극;
상기 게이트 전극 상에 제공된 제1 층간막;
상기 제1 층간막을 커버하는 제2 층간막;
상기 제2 층간막 상에 제공되며, 상기 활성층에 연결되는 소스 전극과 드레인 전극;
상기 드레인 전극에 연결된 제1 전극;
상기 제1 전극 상에 제공된 유기 발광층;
상기 유기 발광층을 사이에 두고 상기 제1 전극과 대향하는 제2 전극; 및
상기 게이트 절연막을 사이에 두고 제공된 제1 및 제2 커패시터 전극을 포함하고,
상기 제1 층간막은 상기 제2 커패시터 전극의 상면을 노출하는 개구부를 포함하는 유기 발광 표시 장치.

청구항 2

제1 항에 있어서,
상기 제1 층간막은 무기물을 포함하며, 상기 제2 층간막은 유기물을 포함하는 유기 발광 표시 장치.

청구항 3

제2 항에 있어서,
상기 제1 층간막의 개구부는 상기 유기물로 충전되는 유기 발광 표시 장치.

청구항 4

제2 항에 있어서,
상기 베이스 기관은 복수의 화소 영역을 포함하며, 평면 상에서 볼 때 각 화소 영역에서의 상기 개구부의 면적은 상기 각 화소 영역 면적의 10% 이상 50% 이하인 유기 발광 표시 장치.

청구항 5

제2 항에 있어서,
상기 무기 절연막은 실리콘 질화물, 실리콘 산화물, 및 실리콘 산질화물 중 적어도 어느 하나를 포함하는 유기 발광 표시 장치.

청구항 6

제5 항에 있어서
상기 유기물은 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아미드계 고분자, 불소계 고분자, 비닐알콜계 고분자, 페놀계 고분자 및 이들의 블렌드 중 하나인 유기 발광 표시 장치.

청구항 7

제1 항에 있어서,

상기 제1 커패시터 전극은 도펀트가 도핑된 반도체를 포함하는 유기 발광 표시 장치.

청구항 8

제1 항에 있어서,

상기 게이트 전극과 상기 제2 커패시터 전극은 동일 물질을 포함하는 유기 발광 표시 장치.

청구항 9

제1 항에 있어서,

상기 게이트 전극에 연결되며 제1 방향으로 연장된 게이트 라인; 및

상기 소스 전극에 연결되며 상기 제1 방향과 교차하는 제2 방향으로 연장된 데이터 라인을 더 포함하는 유기 발광 표시 장치.

청구항 10

제1 항에 있어서,

상기 유기 발광층으로부터 출사된 광은 상기 제2 전극 방향으로 출사되어 사용자에게 시인되는 유기 발광 표시 장치.

청구항 11

베이스 기판;

상기 베이스 기판 상에 제공된 활성층;

상기 활성층 상에 제공된 게이트 절연막;

상기 게이트 절연막 상에 제공된 게이트 전극;

상기 게이트 전극 상에 제공된 제1 층간막;

상기 제1 층간막을 커버하는 제2 층간막;

상기 제2 층간막 상에 제공되며, 상기 활성층에 연결되는 소스 전극과 드레인 전극; 및

상기 게이트 절연막 사이에 두고 제공된 제1 및 제2 커패시터 전극을 포함하고,

상기 제1 층간막은 상기 제2 커패시터 전극의 상면을 노출하는 개구부를 포함하는 박막 트랜지스터 기판.

청구항 12

제11 항에 있어서,

상기 제1 층간막은 무기물을 포함하며, 상기 제2 층간막은 유기물을 포함하는 유기 발광 표시 장치.

청구항 13

베이스 기판 상에 활성층을 형성하는 단계;

상기 베이스 기판 상에 제1 커패시터 전극을 형성하는 단계;

상기 베이스 기판 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 게이트 전극 및 제2 커패시터 전극을 형성하는 단계;

상기 게이트 절연막 상에 상기 제2 커패시터 전극의 상면을 노출하는 개구부를 갖는 제1 층간막을 형성하는 단계;

상기 제1 층간막 상에 제2 층간막을 형성하는 단계;

상기 제2 층간막 상에 상기 활성층에 연결된 소스 전극과 드레인 전극을 형성하는 단계;
상기 드레인 전극에 연결된 제1 전극을 형성하는 단계;
상기 제1 전극 상에 유기 발광층을 형성하는 단계; 및
상기 유기 발광층 상에 제2 전극을 형성하는 단계를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 14

제13 항에 있어서,
상기 제1 층간막은 무기물을 포함하며, 상기 제2 층간막은 유기물을 포함하는 유기 발광 표시 장치 제조 방법.

청구항 15

제14 항에 있어서,
상기 제1 층간막의 개구부는 상기 유기물로 충전되는 유기 발광 표시 장치 제조 방법.

청구항 16

제13 항에 있어서,
상기 무기 절연막은 실리콘 질화물, 실리콘 산화물, 및 실리콘 산질화물 중 적어도 어느 하나를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 17

제16 항에 있어서
상기 유기물은 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아미드계 고분자, 불소계 고분자, 비닐알콜계 고분자, 페놀계 고분자 및 이들의 블렌드 중 하나인 유기 발광 표시 장치 제조 방법.

청구항 18

제13 항에 있어서,
상기 활성층과 상기 제1 커패시터 전극은 도펀트가 도핑된 반도체를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 19

제13 항에 있어서,
상기 게이트 전극과 상기 제2 커패시터 전극은 금속을 포함하는 유기 발광 표시 장치 제조 방법.

청구항 20

베이스 기판;
상기 베이스 기판 상에 제공된 박막 트랜지스터;
상기 베이스 기판 상에 제공된 커패시터; 및
상기 박막 트랜지스터 및 상기 커패시터에 연결된 유기 발광 소자를 포함하며,
상기 박막 트랜지스터는
상기 베이스 기판 상에 제공된 활성층;
상기 활성층 상에 제공된 게이트 절연막;
상기 게이트 절연막 상에 제공된 게이트 전극;
상기 게이트 전극 상에 제공된 제1 층간막;
상기 제1 층간막을 커버하는 제2 층간막;

상기 제2 층간막 상에 제공되며, 상기 활성층에 연결되는 소스 전극과 드레인 전극을 포함하고,

상기 커패시터는 상기 게이트 절연막을 사이에 두고 제공된 제1 및 제2 커패시터 전극을 포함하고, 상기 제1 층간막은 상기 제2 커패시터 전극의 상면을 노출하는 개구부를 포함하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 평판 표시 장치(flat display device)는 크게 발광형과 수광형으로 분류할 수 있다. 발광형으로는 평판 음극선관(flat cathode ray tube)과, 플라스마 디스플레이 패널(plasma display panel)과, 전계 발광 소자(electro luminescent device) 등이 있다. 수광형으로는 액정 디스플레이(liquid crystal display)를 들 수 있다. 이 중에서, 전계 발광 소자는 시야각이 넓고, 콘트라스트가 우수할 뿐만 아니라 응답 속도가 빠르다는 장점을 가지고 있어서 차세대 표시 소자로서 주목을 받고 있다. 이러한 전자 발광 소자는 발광층을 형성하는 물질에 따라서 무기 전계 발광 소자와 유기 전계 발광 소자로 구분된다.

[0003] 이 중에서, 유기 전계 발광 소자는 형광성 유기 화합물을 전기적으로 여기(excitation)시켜서 발광시키는 자발광형 디스플레이로, 낮은 전압에서 구동이 가능하고, 박형화가 용이하며, 광시야각, 빠른 응답 속도 등 액정 디스플레이에 있어서 문제점으로 지적되는 것을 해결할 수 있는 차세대 디스플레이로 주목받고 있다.

[0004] 유기 전계 발광 소자는 애노드 전극과 캐소드 전극 사이에 유기물로 이루어진 발광층을 구비하고 있다. 유기 전계 발광 소자는 이들 전극들에 양극 및 음극 전압이 각각 인가됨에 따라 애노드 전극으로부터 주입된 정공(hole)이 정공 수송층을 경유하여 발광층으로 이동되고, 전자는 캐소드 전극으로부터 전자 수송층(ETL)을 경유하여 발광층으로 이동되어서, 발광층에서 전자와 정공이 재결합하여 여기자(exiton)을 생성하게 된다. 이 여기자가 여기 상태에서 기저 상태로 변화됨에 따라, 발광층의 형광성 분자가 발광함으로써 화상을 형성하게 된다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 고품질의 영상을 제공하는 유기 발광 표시 장치 및 이의 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 베이스 기판, 상기 베이스 기판 상에 제공된 활성층, 상기 활성층 상에 제공된 게이트 절연막, 상기 게이트 절연막 상에 제공된 게이트 전극, 상기 게이트 전극 상에 제공된 제1 층간막, 상기 제1 층간막을 커버하는 제2 층간막, 상기 제2 층간막 상에 제공되며, 상기 활성층에 연결되는 소스 전극과 드레인 전극, 상기 드레인 전극에 연결된 제1 전극, 상기 제1 전극 상에 제공된 유기 발광층, 상기 유기 발광층을 사이에 두고 상기 제1 전극과 대향하는 제2 전극, 및 상기 게이트 절연막을 사이에 두고 제공된 제1 및 제2 커패시터 전극을 포함한다. 상기 제1 층간막은 상기 제2 커패시터 전극의 상면을 노출하는 개구부를 포함한다.

[0007] 본 발명의 일 실시예에 있어서, 상기 제1 층간막은 무기물을 포함하며, 상기 제2 층간막은 유기물을 포함할 수 있다. 이에 따라, 상기 제1 층간막의 개구부는 상기 유기물로 충전될 수 있다. 상기 베이스 기판은 복수의 화소 영역을 포함하며, 평면 상에서 볼 때 각 화소 영역에서의 상기 개구부의 면적은 상기 각 화소 영역 면적의 10% 이상 50% 이하일 수 있다.

[0008] 본 발명의 일 실시예에 있어서, 상기 무기 절연막은 실리콘 질화물, 실리콘 산화물, 및 실리콘 산질화물 중 적어도 어느 하나를 포함할 수 있으며, 상기 유기물은 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아미드계 고분자, 불소계 고분자, 비닐알콜계 고분자, 페놀계 고분자 및 이들의 블렌드 중 하나일 수 있다.

[0009] 상기 유기 발광 표시 장치에 있어서, 상기 유기 발광층으로부터 출사된 광은 상기 제2 전극 방향으로 출사되어

사용자에게 시인된다.

- [0010] 상기 유기 발광 표시 장치는 베이스 기판 상에 활성층을 형성하고, 상기 베이스 기판 상에 제1 커패시터 전극을 형성하고, 상기 베이스 기판 상에 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 게이트 전극 및 제2 커패시터 전극을 형성하고, 상기 게이트 절연막 상에 상기 제2 커패시터 전극의 상면을 노출하는 개구부를 갖는 제1 층간막을 형성하고, 상기 제1 층간막 상에 제2 층간막을 형성하고, 상기 제2 층간막 상에 상기 활성층에 연결된 소스 전극과 드레인 전극을 형성하고, 상기 드레인 전극에 연결된 제1 전극을 형성하고, 상기 제1 전극 상에 유기 발광층을 형성하고, 상기 유기 발광층 상에 제2 전극을 형성함으로써 제조될 수 있다.

발명의 효과

- [0011] 본 발명의 실시예들에 따르면 고품질의 유기 발광 표시 장치 및 그 제조 방법을 제공한다.

도면의 간단한 설명

- [0012] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 회로도이다.
 도 2는 도 1에 도시된 화소의 평면도이다.
 도 3은 도 2의 I-I'선에 따른 단면도이다.
 도 4a 내지 도 4j는 본 발명의 일 실시예에 따른 유기 발광 소자의 제조 방법을 순차적으로 나타낸 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0014] 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0015] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0016] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 회로도이고, 도 2는 도 1에 도시된 화소의 평면도이며, 도 3은 도 2의 I-I'선에 따른 단면도이다.
- [0017] 이하, 도 1 내지 도 3를 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 설명한다.
- [0018] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 영상을 제공하는 적어도 하나의 화소(PXL)를 포함한다. 상기 화소(PXL)는 화소 영역(PA) 내에 제공된다. 상기 화소(PXL)는 복수 개 제공되어 매트릭스 형태로 배열될 수 있으나, 본 실시예에서는 설명의 편의상 하나의 화소(PXL)만 도시하였다. 여기서, 상기 각 화소(PXL)는 직사각형 모양을 갖는 것으로 도시하였으나, 이에 한정되는 것은 아니며, 다양한 형상으로 변형될 수 있다. 또한, 상기 화소들(PXL)은 서로 다른 면적을 가지도록 제공될 수 있다.
- [0019] 상기 화소(PXL)는 게이트 라인(GL), 데이터 라인(DL), 및 구동 전압 라인(DVL)으로 이루어진 배선부와, 상기 배선부에 연결된 박막 트랜지스터, 상기 박막 트랜지스터에 연결된 유기 발광 소자(EL), 및 커패시터(Cst)를 포함한다.
- [0020] 상기 게이트 라인(GL)은 일 방향으로 연장된다. 상기 데이터 라인(DL)은 상기 게이트 라인(GL)과 교차하는 타

방향으로 연장된다. 상기 구동 전압 라인(DVL)은 상기 데이터 라인(DL)과 실질적으로 동일한 방향으로 연장된다.

- [0021] 상기 게이트 라인(GL)은 상기 박막 트랜지스터에 주사 신호를 전달하고, 상기 데이터 라인(DL)은 상기 박막 트랜지스터에 데이터 신호를 전달하며, 상기 구동 전압 라인(DVL)은 상기 박막 트랜지스터에 구동 전압을 제공한다.
- [0022] 상기 박막 트랜지스터는 상기 유기 발광 소자를 제어하기 위한 구동 박막 트랜지스터(TR2)와, 상기 구동 박막 트랜지스터(TR2)를 스위칭 하는 스위칭 박막 트랜지스터(TR1)를 포함할 수 있다. 본 발명이 일 실시예에서는 한 화소(PXL)가 두 개의 박막 트랜지스터(TR1, TR2)를 포함하는 것을 설명하나, 이에 한정되는 것은 아니며, 하나의 화소(PXL)에 하나의 박막 트랜지스터와 커패시터, 또는 하나의 화소(PXL)에 셋 이상의 박막 트랜지스터와 둘 이상의 커패시터를 구비할 수 있다.
- [0023] 상기 스위칭 박막 트랜지스터(TR1)는 제1 활성층(ACT1), 제1 게이트 전극(GE1)과 제1 소스 전극(SE1), 및 제1 드레인 전극(DE1)을 포함한다. 상기 제1 게이트 전극(GE1)은 상기 게이트 라인(GL)에 연결되며, 상기 제1 소스 전극(SE1)은 상기 데이터 라인(DL)에 연결된다. 상기 제1 드레인 전극(DE1)은 상기 구동 박막 트랜지스터(TR2)의 게이트 전극(즉, 제2 게이트 전극(GE2))에 연결된다. 상기 제1 소스 전극(SE1)과 상기 제2 드레인 전극(DE1)은 상기 제1 활성층(ACT1)에 각각 연결된다.
- [0024] 상기 스위칭 박막 트랜지스터(TR1)는 상기 게이트 라인(GL)에 인가되는 주사 신호에 따라 상기 데이터 라인(DL)에 인가되는 데이터 신호를 상기 구동 박막 트랜지스터(TR2)에 전달한다.
- [0025] 상기 구동 박막 트랜지스터(TR2)는 제2 활성층(ACT2), 제2 게이트 전극(GE2)과, 제2 소스 전극(SE2) 및 제2 드레인 전극(DE2)을 포함한다. 상기 제2 게이트 전극(GE2)은 상기 스위칭 박막 트랜지스터(TR1)에 연결된다. 상기 제2 소스 전극(SE2)은 상기 구동 전압 라인(DVL)에 연결되며, 상기 제2 드레인 전극(DE2)은 상기 유기 발광 소자(EL)에 연결된다. 상기 제2 소스 전극(SE2)과 상기 제2 드레인 전극(DE2)은 상기 제2 활성층(ACT2)에 각각 연결된다.
- [0026] 상기 유기 발광 소자(EL)는 발광층(EML)과, 상기 발광층(EML)을 사이에 두고 서로 대향하는 제1 전극(EL1) 및 제2 전극(EL2)을 포함한다. 상기 제1 전극(EL1)은 상기 구동 박막 트랜지스터(TR2)의 제2 드레인 전극(DE2)과 연결된다. 상기 제2 전극(EL2)에는 공통 전압이 인가되며, 상기 발광층(EML)은 상기 구동 박막 트랜지스터(TR2)의 출력 신호에 따라 발광함으로써 영상을 표시한다.
- [0027] 상기 커패시터(Cst)는 구동 박막 트랜지스터(TR2)의 상기 제2 게이트 전극(GE2)과 상기 제2 소스 전극(SE2) 사이에 연결되며, 상기 구동 박막 트랜지스터(TR2)의 상기 제2 게이트 전극(GE2)에 입력되는 데이터 신호를 충전하고 유지한다.
- [0028] 이하, 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 적층 순서에 따라 설명한다.
- [0029] 도 2 및 도 3을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 베이스 기판(BS)을 포함한다. 상기 베이스 기판(BS)은 유리, 수정, 유기 고분자 등으로 이루어진 절연성 기판일 수 있다. 상기 베이스 기판(BS)을 이루는 유기 고분자로는 PET(Polyethylene terephthalate), PEN(Polyethylene naphthalate), 폴리이미드(Polyimide), 폴리에테르술폰 등을 들 수 있다.
- [0030] 상기 베이스 기판(BS) 상에는 버퍼층(BF)이 형성된다. 상기 버퍼층(BF)은 스위칭 및 구동 박막 트랜지스터(TR1, TR2)에 불순물이 확산되는 것을 막는다. 상기 버퍼층(BF)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx), 실리콘 산질화물(SiOxNy) 등으로 형성될 수 있다. 상기 버퍼층(BF)은 단층 또는 복층으로 형성될 수 있으며, 상기 베이스 기판(BS)의 재료 및 공정 조건에 따라 생략될 수도 있다.
- [0031] 상기 버퍼층(BF) 상에는 제1 활성층(ACT1), 제2 활성층(ACT2), 및 제1 커패시터 전극(CE1)이 제공된다. 상기 제1 활성층(ACT1)과 상기 제2 활성층(ACT2)은 반도체 물질로 형성되며, 각각 스위칭 박막 트랜지스터(TR1)와 구동 박막 트랜지스터(TR2)의 활성층으로 동작한다. 상기 제1 활성층(ACT1)은 제1 소스 영역(SA1), 제1 드레인 영역(DA1), 및 제1 상기 소스 영역(SA1)과 상기 제1 드레인 영역(DA1) 사이에 제공된 제1 채널 영역(CA1)으로 이루어진다. 상기 제2 활성층(ACT2)은 제2 소스 영역(SA2), 제2 드레인 영역(DA2), 및 상기 제2 소스 영역(SA2)과 상기 제2 드레인 영역(DA2) 사이에 제공된 제2 채널 영역(CA2)으로 이루어진다.
- [0032] 상기 제1 활성층(ACT1)과 상기 제2 활성층(ACT2)은 각각 무기 반도체 또는 유기 반도체로부터 선택되어 형성될 수 있다. 예를 들어, 상기 제1 활성층(ACT1)과 상기 제2 활성층(ACT2)은 산화물 반도체, 비정질 실리콘 반도체,

결정질 또는 다결정 실리콘 반도체 등으로 이루어질 수 있다. 상기 산화물 반도체는 인듐(In), 갈륨(Ga), 아연(Zn), 주석(Sn) 중에서 적어도 하나의 원소를 포함하는 산화물로 이루어질 수 있다. 예를 들어, 상기 제1 및 제2 반도체층(SM1, SM2)은 아연 산화물(Zinc Oxide), 주석 산화물(TinOxide), 인듐 산화물(Indium oxide), 인듐-아연 산화물(In-Zn Oxide), 인듐-주석 산화물(In-Sn Oxide), 인듐-갈륨-아연 산화물(In-Ga-Zn Oxide), 인듐-아연-주석 산화물(In-Zn-Sn Oxide), 인듐-갈륨-아연-주석 산화물(In-Ga-Zn-Sn Oxide) 등과 같은 산화물 반도체를 포함할 수 있다. 상기 소스 영역(SA) 및 상기 드레인 영역(DA)은 도펀트, 즉, n형 불순물 또는 p형 불순물이 도핑될 수 있다.

[0033] 상기 제1 커패시터 전극(CE1)은 상기 커패시터(Cst)를 이루는 두 전극 중의 하나이다. 상기 제1 커패시터 전극(CE1)은 평면 상에서 볼 때 상기 각 화소 영역(PA)의 일부를 커버한다. 상기 제1 커패시터 전극(CE1)의 면적은 후술할 게이트 절연막(GI)의 두께나 유전율, 및 제2 커패시터 전극(CE2)의 면적 등에 따라 달라질 수 있다. 본 발명의 일 실시예에 있어서, 상기 제1 커패시터 전극(CE1)은 각 화소 영역(PA)의 약 10% 이상 약 50% 이하를 커버할 수 있다.

[0034] 상기 제1 커패시터 전극(CE1)은 상기 제1 활성층(ACT1)과 상기 제2 활성층(ACT2)과 같이 각각 무기 반도체 또는 유기 반도체로부터 선택되어 형성될 수 있다. 상기 제1 커패시터 전극(CE)은 상기 제1 및 제2 소스 영역(SA1, SA2)과 상기 제1 및 제2 드레인 영역(DA1, DA2)과 같이 n형 불순물 또는 p형 불순물이 도핑되어 전도성을 갖는다. 예를 들어, 상기 제1 커패시터 전극(CE1)은 n형 불순물 또는 p형 불순물이 도핑된 산화물 반도체, 비정질 실리콘 반도체, 결정질 또는 다결정 실리콘 반도체 등으로 이루어질 수 있다. 상기 제1 커패시터 전극(CE1)은 상기 제2 활성층(ACT2)과 분리되지 않는 일체로 형성될 수 있으며, 상기 구동 전압 라인(DVL)에 연결될 수 있다.

[0035] 상기 제1 활성층(ACT1), 상기 제2 활성층(ACT2), 및 상기 제1 커패시터 전극(CE1) 상에는 게이트 절연막(GI)이 제공된다.

[0036] 상기 게이트 절연막(GI) 상에는 제1 게이트 전극(GE1), 제2 게이트 전극(GE2), 및 제2 커패시터 전극(CE2)이 제공된다. 상기 제1 게이트 전극(GE1)은 게이트 라인(GL)과 연결된다. 상기 제2 게이트 전극(GE2)은 상기 제1 드레인 전극(DE1)과 연결된다. 상기 제1 게이트 전극(GE1)과 제2 게이트 전극(GE2)은 각각 상기 제1 및 제2 활성층(ACT1, ACT2)의 상기 제1 및 제2 채널 영역(CA1, CA2)에 대응되는 영역을 커버하도록 형성된다.

[0037] 상기 제2 커패시터 전극(CE2)은 상기 제2 게이트 전극(GE2)에 연결된다. 상기 제2 커패시터 전극(CE2)은 상기 제1 커패시터 전극(CE1)이 형성된 영역에 대응하여 형성되며, 평면 상에서 볼 때 상기 제1 커패시터 전극(CE1)과 중첩한다. 상기 제2 커패시터 전극(CE2)은 상기 제1 커패시터 전극(CE1)과 실질적으로 동일한 형상 및 동일한 면적을 갖도록 제공된다.

[0038] 여기서, 상기 제1 커패시터 전극(CE1), 상기 제2 커패시터 전극(CE2), 및 상기 제1 커패시터 전극(CE1)과 상기 제2 커패시터 전극(CE2) 사이의 게이트 절연막(GI)은 상기 커패시터(Cst)를 구성한다.

[0039] 상기 제1 및 제2 게이트 전극(GE1, GE2) 및 상기 제2 커패시터 전극(CE2)은 금속, 예를 들어, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속 또는 이들의 합금을 이용하여 단층 또는 다층으로 형성될 수 있다.

[0040] 상기 제1 및 제2 게이트 전극(GE1, GE2), 및 제2 커패시터 전극(CE2) 상에는 상기 제1 및 제2 게이트 전극(GE1, GE2)을 덮도록 제1 층간 절연막(IL1)이 제공된다.

[0041] 상기 제1 층간 절연막(IL1)은 무기물로 이루어질 수 있다. 상기 제1 층간 절연막(IL1)은 상기 제1 커패시터 전극의 상면을 대부분 노출하는 개구부를 갖는다. 상기 제1 층간 절연막(IL1)은 실리콘 질화물, 실리콘 산화물, 또는 실리콘 산질화물 중 적어도 어느 하나를 포함할 수 있다. 상기 개구부의 면적은 각 화소 영역 면적의 약 10% 이상 약 50% 이하일 수 있다.

[0042] 상기 제1 층간 절연막(IL1) 상에는 제2 층간 절연막(IL2)이 제공된다. 상기 제2 층간 절연막(IL2)은 상기 제1 층간 절연막(IL1)을 커버하며, 특히, 상기 개구부에 의해 형성된 공간 내에 제공되어 상기 개구부를 충전한다. 이에 따라 상기 제2 층간 절연막(IL2)은 상기 개구부에 의해 노출된 상기 제1 커패시터 전극(CE1)을 모두 덮는다.

[0043] 상기 제2 층간 절연막(IL2)은 유기물로 이루어질 수 있다. 상기 제2 층간 절연막(IL2)은 아크릴계 고분자, 이미

드게 고분자, 아릴에테르계 고분자, 아미드계 고분자, 불소계 고분자, 비닐알콜계 고분자, 페놀계 고분자 등으로 이루어질 수 있다. 또한, 상기 제2 층간 절연막(IL2)은 상기 고분자들의 블렌드로도 이루어질 수 있다.

[0044] 본 발명의 일 실시예에 있어서, 상기 제2 층간 절연막(IL2)은 상기 제1 층간 절연막(IL1)보다 유전율이 작으며, 이에 따라 더 작은 유전 상수를 가질 수 있다. 또한, 상기 제2 층간 절연막(IL2)은 상기 제1 층간 절연막(IL1)보다 더 큰 두께를 가질 수 있다.

[0045] 상기 제2 층간 절연막(IL2)의 상에는 제1 소스 전극(SE1)과 제1 드레인 전극(DE1), 제2 소스 전극(SE2)과 제2 드레인 전극(DE2), 및 구동 전압 라인(DVL)이 제공된다.

[0046] 상기 제1 소스 전극(SE1)과 제1 드레인 전극(DE1), 제2 소스 전극(SE2)과 제2 드레인 전극(DE2), 및 구동 전압 라인(DVL)은 금속, 예를 들어, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속 및 이들의 합금으로 단층 또는 다층으로 형성될 수 있다.

[0047] 상기 제1 소스 전극(SE1)과 상기 제1 드레인 전극(DE1)은 상기 게이트 절연막(GI) 및 상기 제1 및 제2 층간 절연막(IL1, IL2)에 형성된 콘택홀에 의해 상기 제1 활성층(ACT1)의 제1 소스 영역(SA1)과 제1 드레인 영역(DA1)에 각각 접촉된다. 상기 제1 드레인 전극(DE1)은 또한 상기 제1 및 제2 층간 절연막(IL1, IL2)에 형성된 콘택홀(미도시)에 의해 제2 게이트 전극(GE2)에 연결된다.

[0048] 상기 제2 소스 전극(SE2)과 상기 제2 드레인 전극(DE2)은 상기 게이트 절연막(GI) 및 상기 제1 및 제2 층간 절연막(IL1, IL2)에 형성된 콘택홀에 의해 상기 제2 활성층(ACT2)의 제2 소스 영역(SA2)과 제2 드레인 영역(DA2)에 각각 접촉된다. 상기 제2 소스 전극(SE2)은 상기 구동 전압 라인(DVL)으로부터 분지되어 형성된다.

[0049] 상기 제1 소스 전극(SE1)과 상기 제1 드레인 전극(DE1), 상기 제2 소스 전극(SE2)과 상기 제2 드레인 전극(DE2), 및 상기 제2 층간 절연막(IL2) 상에는 패시베이션막(PSV)이 제공된다. 상기 패시베이션막(PSV)은 유기 또는 무기 절연물질로 이루어질 수 있다. 예를 들어, 상기 패시베이션막(PSV)은 실리콘 질화물이나 실리콘 산화물 등과 같은 무기물, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아미드계 고분자, 불소계 고분자, 비닐알콜계 고분자, 페놀계 고분자 등의 유기물을 포함할 수 있다.

[0050] 상기 패시베이션막(PSV)은 상기 스위칭 및 구동 박막 트랜지스터들(TR1, TR2)을 보호하는 보호막의 역할을 할 수도 있고, 상기 각 구성 요소들이 형성된 베이스 기판(BS)의 상면을 평탄화시키는 평탄화막의 역할을 할 수도 있다.

[0051] 여기서, 도시하지는 않았지만, 상기 패시베이션막(PSV)의 상면에는 필요에 따라 요철부가 형성될 수 있다.

[0052] 상기 패시베이션막(PSV) 상에는 유기 발광 소자(EL)의 애노드로서 제1 전극(EL1)이 제공된다. 상기 제1 전극(EL1)은 상기 패시베이션막(PSV)에 형성된 콘택홀을 통해 상기 구동 박막 트랜지스터(TR2)의 제2 드레인 전극(DE2)에 연결된다. 여기서, 상기 제1 전극(EL1)은 애노드로 사용될 수 있으나, 이하 실시예에서는 캐소드인 경우를 일 예로서 설명한다.

[0053] 상기 제1 전극(EL1)은, 낮은 일함수를 갖는 도전성 물질, 예를 들어, 금속, 합금, 전기 전도성 화합물 및 이들의 혼합물을 포함할 수 있다. 상기 낮은 일함수를 갖는 도전성 물질의 구체적인 예로서는 리튬(Li), 마그네슘(Mg), 알루미늄(Al), 알루미늄-리튬(Al-Li), 칼슘(Ca), 마그네슘-인듐(Mg-In), 마그네슘-은(Mg-Ag) 등을 들 수 있다.

[0054] 상기 제1 전극(EL1) 등이 형성된 베이스 기판(BS) 상에는 상기 각 화소(PXL)에 대응하도록 상기 유기 발광층(EML)이 형성될 영역을 구획하는 화소 정의막(PDL)이 제공된다. 상기 화소 정의막(PDL)은 상기 제1 전극(EL1)의 상면을 노출하며 상기 화소(PXL)의 둘레를 따라 상기 베이스 기판(BS)으로부터 돌출된다.

[0055] 상기 화소 정의막(PDL)에 의해 둘러싸인 화소 영역(PA)에는 발광층(EML)이 제공된다. 상기 발광층(EML)은 백색광을 방출할 수 있다. 상기 발광층(EML)은 호스트 및 도펀트를 포함하는 다양한 발광 물질을 이용하여 형성할 수 있다. 상기 도펀트의 경우 형광 도펀트 및 인광 도펀트를 모두 사용할 수 있다. 예를 들어, 호스트로서는 Alq3 (4,4'-N,N'-디카바졸-비페닐), 9,10-디(나프탈렌-2-일)안트라센(ADN), 또는 DSA(디스티릴아릴렌) 등을 사용할 수 있으나 이에 한정되는 것은 아니다. 또한, 상기 발광층(EML)은 다양한 컬러의 광을 방출할 수 있다.

[0056] 상기 발광층(EML)이 방출하는 광의 색은, 이에 한정되는 것은 아니며, 상기 발광층(EML)은 각 화소에 대응하여 적색, 녹색, 및 청색을 방출하는 발광 물질을 포함할 수 있다. 상기 각 화소의 방출 광의 컬러, 즉, 방출 파장

은 이에 한정되는 것은 아니며, 적색, 녹색, 및 청색 이외에도 옐로우나 마젠타와 같은 추가 색상을 방출하거나, 하나의 화소가 백색광을 방출할 수도 있다.

- [0057] 상기 발광층(EML) 상에는 제2 전극(EL2)이 제공된다. 상기 제2 전극(EL2)은 높은 일함수를 갖는 물질로 형성될 수 있으며, ITO(indium tin oxide), IZO(indium zinc oxide), ZnO(zinc oxide), ITZO(indium tin zinc oxide) 등의 투명 도전성막으로 형성될 수 있다. 본 발명의 일 실시예에 있어서 상기 제1 전극(EL1)과 제2 전극(EL2) 사이에 상기 발광층(EML)만을 도사하였으나, 이에 한정되는 것은 아니다. 예를 들어, 상기 제1 전극(EL1)과 상기 발광층(EML) 사이에는 전자 주입층(EIL; electron injection layer) 및/또는 전자 수송층(ETL; electron transport layer)이 제공될 수 있다. 또한, 상기 제2 전극(EL2)과 상기 발광층(EML) 사이에는 정공 주입층(HIL)(hole injection layer)과 정공 수송층(HTL)(hole transport layer)이 제공될 수 있다.
- [0058] 또한 도면에서는 도시하지 않았으나, 상기 제2 전극(EL2)에 공통전압을 추가적으로 제공하는 보조 라인(auxiliary line)이 추가적으로 제공될 수 있다. 상기 보조 라인은 상기 제2 전극(EL2)의 전압 강하를 막는다.
- [0059] 상기 제2 전극(EL2) 상에는 상기 제2 전극(EL2)을 커버하는 봉지막(SL)이 제공된다.
- [0060] 상기한 구조를 갖는 유기 발광 표시 장치는 상기 게이트 라인, 상기 제1 및 제2 게이트 전극, 상기 제2 커패시터 전극 상에 제1 및 제2 층간 유전막이 제공되고, 상기 제2 층간 유전막 상에 데이터 라인, 제1 및 제2 소스 전극, 제1 및 제2 드레인 전극 등이 형성됨으로서, 상기 제1 및 제2 층간 유전막을 사이에 두고 형성되는 기생 커패시턴스가 감소된다.
- [0061] 일반적인 유기 발광 표시 장치에서는 층간 절연막의 재료로 무기 절연 물질이 이용된다. 상기 무기 절연 물질은 유전율이 큰 데다가 증착 방법으로 두껍게 형성하기가 어렵다. 그 결과, 무기 절연 물질로 층간 절연막을 형성하는 경우에는, 기생 커패시터로 인한 커플링 효과를 최소화하기 위해 도전성 구성 요소들의 간격을 소정 거리만큼 유지해야 하며, 상기 구성 요소들의 간격은 결국 개구율의 감소로 이어진다.
- [0062] 이에 비해, 본 발명의 일 실시예에 따르면, 상기 제2 층간 절연막(IL2)이 상기 제1 층간 절연막(IL1)보다 상대적으로 작은 유전 상수를 가지며 더 큰 두께를 갖는 유기물로 형성될 수 있기 때문에, 상기 제1 및 제2 층간 유전막(IL1, IL2)을 절연막으로 하여 상기 제1 및 제2 층간 유전막(IL1, IL2)의 상부와 하부의 도전체에 의해 형성되는 기생 커패시턴스가 감소한다. 이에 따라, 상기 게이트 라인(GL), 상기 데이터 라인(DL), 및 상기 구동 전압 라인(DVL)과 인접한 도전체들(예를 들어, 게이트 전극, 제1 커패시터 전극, 제2 커패시터 전극 등)과의 기생 커패시턴스가 감소하며, 평면 상에서 볼 때 구성 요소들 간의 간격을 줄임과 동시에, 상기 기생 커패시턴스에 의한 상기 게이트 라인(GL), 상기 데이터 라인(DL), 및 상기 구동 전압 라인(DVL)의 신호 지연을 감소시킬 수 있다.
- [0063] 이하, 도 4a 내지 도 4j를 참조하여, 본 발명의 일 실시예에 따른 유기 발광 소자를 제조하는 방법을 설명한다. 도 4a 내지 도 4j는 본 발명의 일 실시예에 따른 유기 발광 소자의 제조 방법을 순차적으로 나타낸 단면도이다.
- [0064] 도 4a를 참조하면, 베이스 기판(BS) 상에 버퍼층(BF)이 형성되고, 상기 버퍼층(BF) 상에 반도체 패턴(SMP)이 형성된다.
- [0065] 상기 버퍼층(BF)은 실리콘 질화물, 실리콘 산화물, 실리콘 산질화물 등으로 형성될 수 있으며, 상기 베이스 기판(BS)의 전면 상에 형성될 수 있다. 상기 버퍼층(BF)은 상기 베이스 기판(BS)의 재료 및 공정 조건에 따라 생략될 수 있다.
- [0066] 상기 반도체 패턴(SMP)은 제1 활성층(ACT1), 제2 활성층(ACT2), 및 제1 커패시터 전극(CE1)에 대응하여 형성된다. 상기 반도체 패턴(SMP)은 반도체 물질을 증착한 후, 제1 마스크를 이용한 포토리소그래피 공정을 이용하여 형성할 수 있다. 상기 반도체 물질은 비정질 실리콘 반도체, 결정질 또는 다결정 실리콘 반도체일 수 있으며, 또는 인듐(In), 갈륨(Ga), 아연(Zn), 주석(Sn) 중에서 적어도 하나의 원소를 포함하는 산화물일 수 있다.
- [0067] 도 4b를 참조하면, 상기 반도체 패턴(SMP)의 일부에 이온 불순물, 즉, 도펀트(DP)를 도핑함으로써 제1 커패시터 전극(CE1)을 형성한다. 상기 제1 커패시터 전극(CE1)은 상기 베이스 기판(BS) 상에 제2 마스크(MSK)를 배치하고, 상기 반도체 패턴(SMP)의 일부에 도펀트(DP)를 임플란트함으로써 형성할 수 있다. 상기 제2 마스크(MSK)는 상기 제1 커패시터 전극(CE1)에 대응하는 반도체 패턴(SMP)은 노출하고 제1 및 제2 활성층(ACT1, ACT2)에 대응하는 반도체 패턴(SMP)은 가린다.
- [0068] 상기 도펀트(DP)는 상기 반도체 패턴(SMP)이 도전성을 가지는 농도로 임플란트될 수 있다. 본 발명의 일 실시예에 있어서, 상기 제1 및 제2 활성층(ACT1, ACT2)에 대응하는 상기 반도체 패턴(SMP)에는 도펀트(DP)가 도핑되지

않는 것으로 표시하였으나, 필요에 따라 상기 제2 마스크(MSK) 없이 도펀트가 저농도로 도핑되는 단계가 추가될 수 있다.

[0069] 도 4c를 참조하면, 상기 제1 커패시터 전극(SE1) 등이 형성된 베이스 기판(BS) 상에 게이트 절연막(GI)과 게이트 배선부가 형성된다.

[0070] 상기 게이트 절연막(GI)은 상기 베이스 기판(BS)을 커버한다.

[0071] 상기 게이트 배선부는 게이트 라인(GL), 제1 및 제2 게이트 전극(GE1, GE2), 제2 커패시터 전극(CE2)을 포함한다. 상기 게이트 라인(GL)과 상기 제1 게이트 전극(GE1)은 서로 분리되지 않는 일체로 형성될 수 있으며, 상기 제2 게이트 전극(GE2)과 상기 제2 커패시터 전극(CE2)은 서로 분리되지 않는 일체로 형성될 수 있다.

[0072] 상기 게이트 배선부는 단일 단계, 제3 마스크를 이용하는 포토리소그래피를 이용하여 형성될 수 있다. 즉, 상기 게이트 배선부는 상기 게이트 절연막(GI) 상에 제1 도전막을 형성(예를 들어, 증착)하고, 상기 제1 도전막을 패터닝함으로써 형성할 수 있다.

[0073] 상기 제1 도전막은 금속, 예를 들어, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속 및 이들의 합금을 이용하여 단층 또는 다층으로 형성할 수 있다.

[0074] 상기 게이트 배선부가 형성된 이후, 상기 반도체 패턴(SMP)에 도펀트(DP)를 임플란트 함으로써 제1 활성층(ACT1) 및 제2 활성층(ACT2)이 형성된다.

[0075] 상기 제1 및 제2 게이트 전극(GE1, GE2)은 상기 임플란트 시에 마스크로 작용하며, 상기 반도체 패턴의 상기 제1 및 제2 게이트 전극(GE1, GE2)이 형성된 영역에 대응하는 영역에는 도펀트(DP)가 도핑되지 않는다. 그 결과, 도펀트(DP)가 고농도로 도핑된 제1 소스 영역(SA1) 및 제1 드레인 영역(DA1), 그리고 도펀트가 도핑되지 않거나 저농도로 도핑된 제1 채널 영역(CA1)을 포함하는 제1 활성층(ACT1)이 형성된다. 또한, 도펀트(DP)가 고농도로 도핑된 제2 소스 영역(SA2) 및 제2 드레인 영역(DA2), 그리고 도펀트가 도핑되지 않거나 저농도로 도핑된 제2 채널 영역(CA2)을 포함하는 제2 활성층(ACT2)이 형성된다.

[0076] 도 4d를 참조하면, 상기 제1 및 제2 활성층(ACT1, ACT2)과 제2 커패시터 전극(CE2)이 형성된 기판 상에 제1 층간 절연막(IL1)이 형성된다. 상기 제1 층간 절연막(IL1)은 제4 마스크를 이용하는 포토리소그래피 공정으로 형성할 수 있다. 상기 제1 층간 절연막(IL1)은 상기 베이스 기판(BS) 상에 무기 절연막을 형성한 다음, 상기 무기 절연막을 패터닝함으로써 형성할 수 있다. 상기 무기 절연막은 건식 식각을 이용하여 패터닝할 수 있으며, 이 경우 플라즈마로는 ICP(inductive coupled plasma)나 ECCP(enhanced capacitive coupled plasma)를 이용할 수 있다.

[0077] 여기서, 상기 제1 층간 절연막(IL1)은 상기 제2 커패시터 전극(CE2) 상면 대부분을 노출하는 개구부(OPN)과 상기 제1 및 제2 활성층(ACT1, ACT2)의 일부를 노출하는 콘택홀(CH)을 갖는다. 하나의 화소 영역에 있어서, 상기 제2 커패시터 전극(CE2) 상면 대부분을 노출하는 개구부(OPN)와 상기 제1 및 제2 활성층(ACT1, ACT2)의 일부를 노출하는 콘택홀(CH)의 면적은 하나의 화소 영역 면적의 약 10% 이상 약 50% 이하 일 수 있다.

[0078] 일반적인 전면 발광 표시 장치에서는 제1 및 제2 활성층을 노출하는 콘택홀은 제공되나 제2 커패시터 전극의 상면을 노출하는 개구부는 형성되지 않으며, 설령 형성되더라도 매우 좁은 면적을 갖는다. 따라서, 일반적인 전면 발광 표시 장치에 있어서, 층간 절연막 패터닝 시 식각되는 부분이 하나의 화소 영역 대비 약 1%에 해당되는 면적에 지나지 않는다. 일반적인 전면 발광 표시 장치에서는 상기 화소 영역에 비해 상기 식각 면적이 매우 좁기 때문에 미식각이나 과식각의 위험이 존재하였다. 그러나, 본 발명의 일 실시예에서는 제1 및 제2 활성층(ACT1, ACT2)의 일부를 노출하는 콘택홀(CH)에 더해 상기 제2 커패시터 전극(CE2)을 노출하는 개구부(OPN)까지 형성하기 때문에 하나의 화소 영역당 약 10% 이상 내지 약 50% 이하의 면적이 식각된다. 이에 따라, 본 발명의 일 실시예에서는 제1 층간 절연막(IL1) 형성시에 있어서 식각에 대한 제어가 용이하며, 과식각이나 미식각의 위험이 없다.

[0079] 도 4e를 참조하면, 상기 제1 층간 절연막(IL1) 상에 제2 층간 절연막(IL2)이 형성된다. 상기 제2 층간 절연막(IL2)은 제5 마스크를 이용하는 포토리소그래피 공정으로 형성할 수 있다. 즉, 상기 제2 층간 절연막(IL2)은 제1 층간 절연막(IL1)이 형성된 상기 베이스 기판(BS) 상에 유기 절연막을 형성한 다음, 상기 제1 및 제2 활성층(ACT1, ACT2)의 일부를 노출하도록 상기 유기 절연막을 패터닝함으로써 형성할 수 있다.

[0080] 상기 제2 층간 절연막(IL2)은 패터닝 후 상기 제1 및 제2 활성층(ACT1, ACT2)의 일부를 노출하는 콘택홀(CH)을

갖는다. 상기 제2 층간 절연막(IL2)의 콘택홀의 위치는 평면 상에서 볼 때 상기 제1 층간 절연막(IL1)의 콘택홀(CH)의 위치와 중첩한다.

[0081] 도 4f를 참조하면, 상기 제2 층간 절연막(IL2)이 형성된 베이스 기판(BS) 상에 데이터 배선부가 형성된다.

[0082] 상기 데이터 배선부는 데이터 라인(DL), 제1 소스 전극(SE1) 및 제1 드레인 전극(DE1), 제2 소스 전극(SE2) 및 제2 드레인 전극(DE2), 구동 전압 라인(DVL)을 포함한다. 상기 데이터 라인(DL)과 상기 제1 소스 전극(SE1)은 서로 분리되지 않는 일체로 형성될 수 있으며, 상기 구동 전압 라인(DVL)과 상기 제2 소스 전극(SE2)은 서로 분리되지 않는 일체로 형성될 수 있다. 각 콘택홀(CH)을 통해, 상기 제1 소스 전극(SE1)은 제1 소스 영역(SA1)에, 제1 드레인 전극(DE1)은 제1 드레인 영역(DA1)에, 제2 소스 전극(SE2)은 제2 소스 영역(SA2)에, 제2 드레인 전극(DE2)은 제2 드레인 영역(DA2)에 연결된다.

[0083] 상기 데이터 배선부는 단일 단계, 제6 마스크를 이용하는 포토리소그래피를 이용하여 형성될 수 있다. 즉, 상기 데이터 배선부는 상기 게이트 절연막(GI) 상에 제2 도전막을 형성(예를 들어, 증착)하고, 상기 제2 도전막을 패터닝함으로써 형성할 수 있다. 상기 제2 도전막은 상기 제1 도전막과 동일하거나 상이한 금속으로 형성될 수 있다. 상기 제2 도전막은 금속, 예를 들어, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속 및 이들의 합금을 이용하여 단층 또는 다층으로 형성될 수 있다.

[0084] 도 4g를 참조하면, 상기 데이터 배선부가 형성된 베이스 기판(BS) 상에 패시베이션막(PSV)이 형성된다.

[0085] 상기 패시베이션막(PSV)은 제7 마스크를 이용하는 포토리소그래피를 이용하여 형성될 수 있다. 즉, 상기 패시베이션막은 상기 베이스 기판(BS) 상에 절연막을 형성한 다음, 상기 제2 드레인 전극(DE1)의 일부를 노출하도록 상기 절연막을 패터닝함으로써 형성할 수 있다. 상기 패시베이션막(PSV)은 패터닝 후 상기 제2 드레인 전극(DE2)의 일부를 노출하는 콘택홀(CH)을 갖는다.

[0086] 여기서, 도시하지는 않았지만, 상기 패시베이션막(PSV)의 상면에는 필요에 따라 요철부가 형성될 수 있다. 상기 요철부는 마스크를 이용한 포토리소그래피 공정으로 추가적으로 형성될 수 있다.

[0087] 도 4h를 참조하면, 상기 패시베이션막(PSV) 상에 제1 전극(EL1)이 형성된다.

[0088] 상기 제1 전극(EL1)은 제8 마스크를 이용하는 포토리소그래피를 이용하여 형성될 수 있다. 즉, 상기 제1 전극(EL1)은 상기 베이스 기판(BS) 상에 도전막을 형성한 다음 상기 도전막을 패터닝함으로써 형성할 수 있다. 여기서, 상기 제1 전극(EL1)은 평면 상에서 볼 때 상기 화소 영역 대부분을 덮도록 형성될 수 있다.

[0089] 도 4i를 참조하면, 상기 제1 전극(EL1)이 형성된 패시베이션막(PSV) 상에 화소 정의막(PDL)이 형성된다.

[0090] 상기 화소 정의막(PDL)은 제9 마스크를 이용하는 포토리소그래피를 이용하여 형성할 수 있다. 상기 화소 정의막(PDL)은 상기 제1 전극(EL1)의 상면을 노출하며 상기 화소의 둘레를 따라 상기 베이스 기판(BS)으로부터 돌출된다. 상기 화소 정의막(PDL)은 유기 발광층(EML)이 형성될 영역을 구획한다.

[0091] 도 4j를 참조하면, 상기 화소 정의막(PDL)에 의해 구획된 영역 내에는 유기 발광층(EML)이 형성되고, 상기 화소 정의막(PDL) 및 유기 발광층(EML) 상에는 제2 전극(EL2)이 형성된다.

[0092] 상기 제2 전극(EL2) 상에는 봉지층(SL)이 형성된다.

[0093] 상기한 방법으로 제조된 유기 발광 소자는 표시 장치로 기능하며, 상기 유기 발광층으로부터 출사된 광은 상기 제2 전극 및 봉지층을 거쳐 사용자의 눈에 시인되는 전면 발광 표시 장치이다.

[0094] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다. 예를 들어, 본 발명의 각 실시예는 서로 다른 구조를 갖도록 제시되었으나, 각 구성 요소 중 서로 양립 불가능하지 않은 이상, 구성 요소들이 서로 조합되거나 치환된 형태를 가질 수 있음은 물론이다.

[0095] 또한, 본 발명에서는 유기 발광 소자를 갖는 유기 발광 표시 장치 및 이의 제조 방법을 설명하였으나, 이에 한정되는 것은 아니다. 예를 들어, 유기 발광 소자를 제외한 박막 트랜지스터 및 커패시터가 제공된 기판, 즉, 박막 트랜지스터 기판 또한 본 발명에 포함될 수 있다.

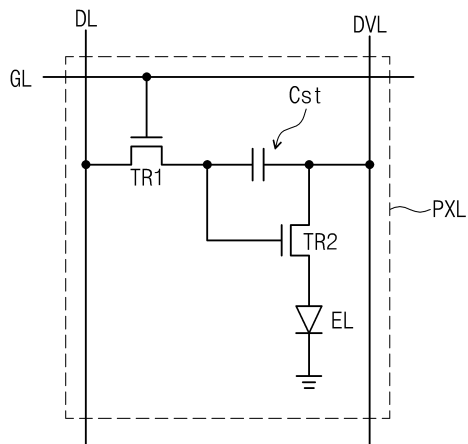
[0096] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

부호의 설명

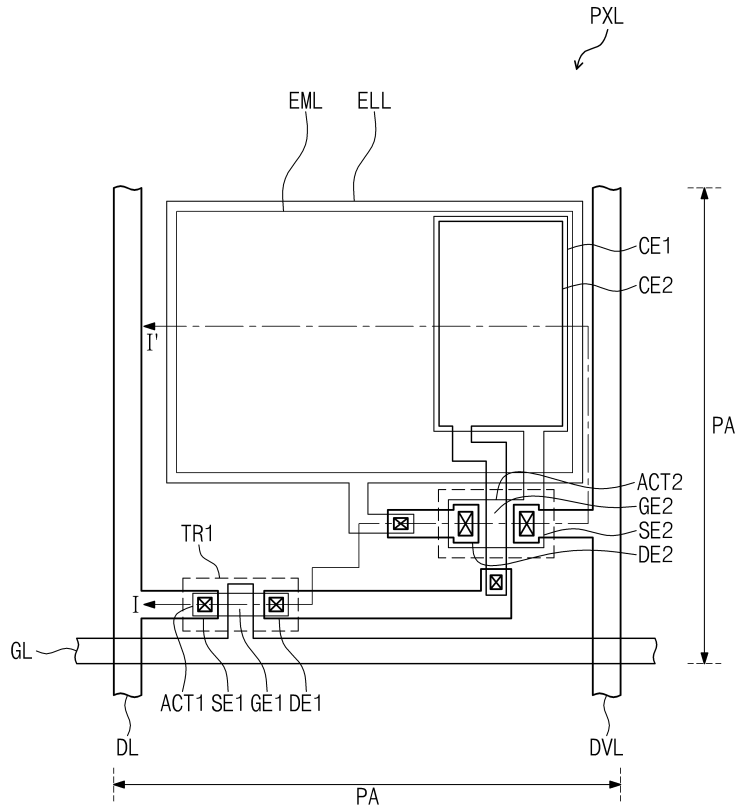
[0097] DL : 데이터 라인 DVL : 구동 전압 라인
EML : 발광층 EL1 : 제1 전극
EL2 : 제2 전극 GL : 게이트 라인
PDL : 화소 정의막 PXL : 화소
TR1 : 스위칭 박막 트랜지스터 TR2 : 구동 박막 트랜지스터

도면

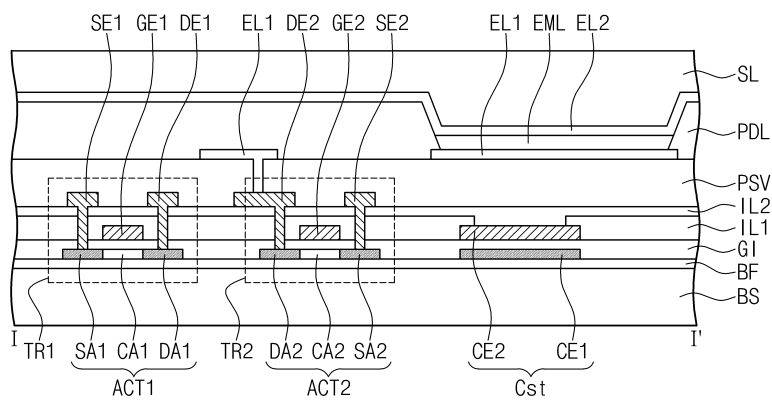
도면1



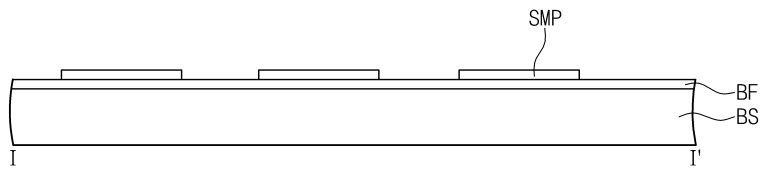
도면2



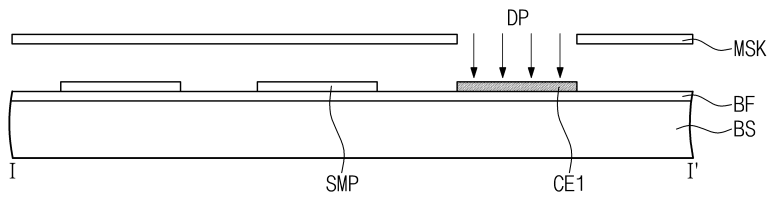
도면3



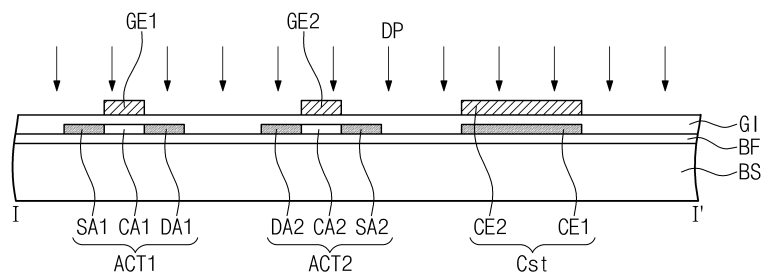
도면4a



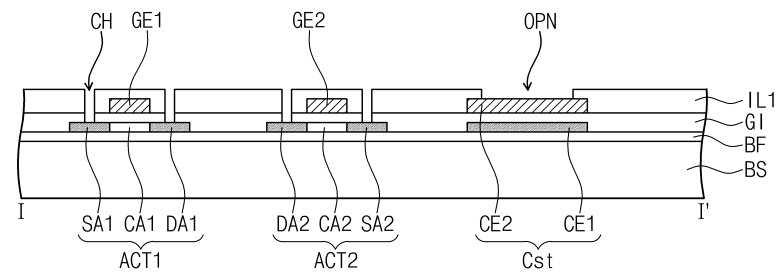
도면4b



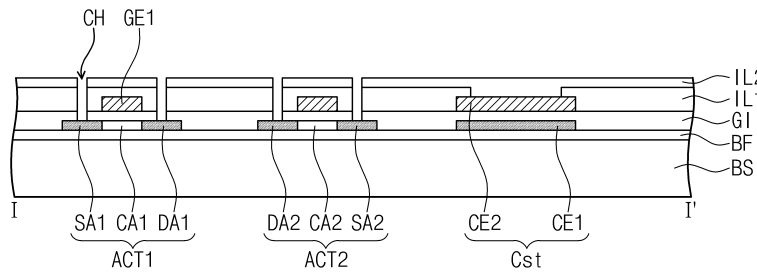
도면4c



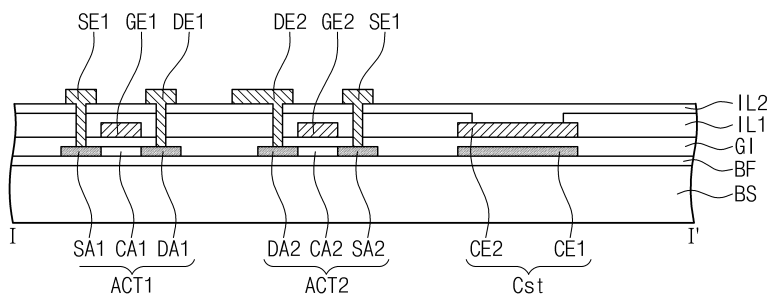
도면4d



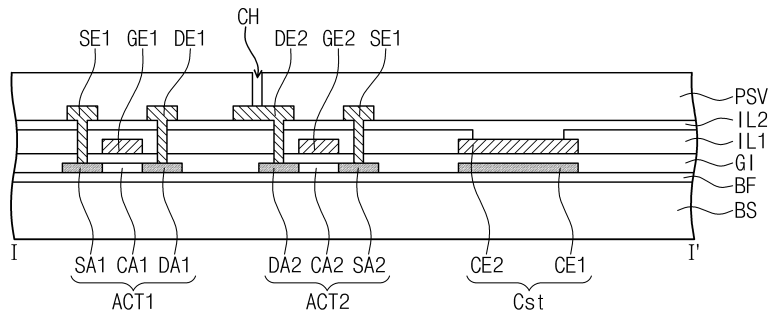
도면4e



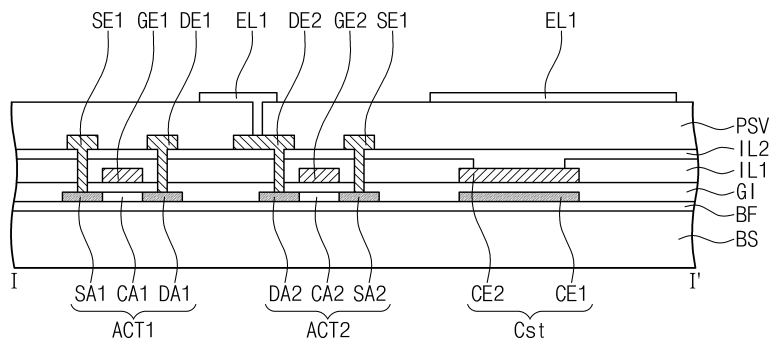
도면4f



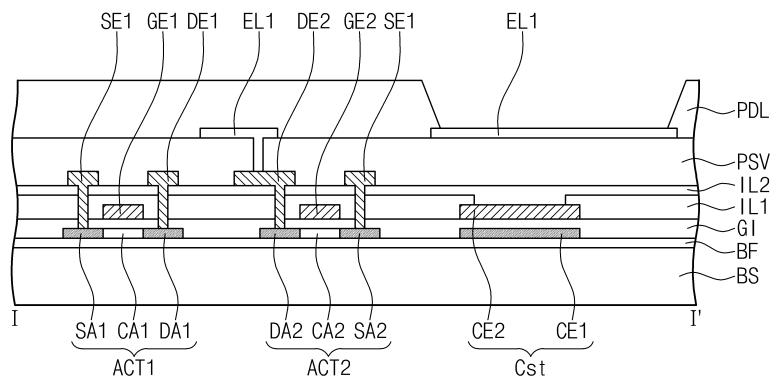
도면4g



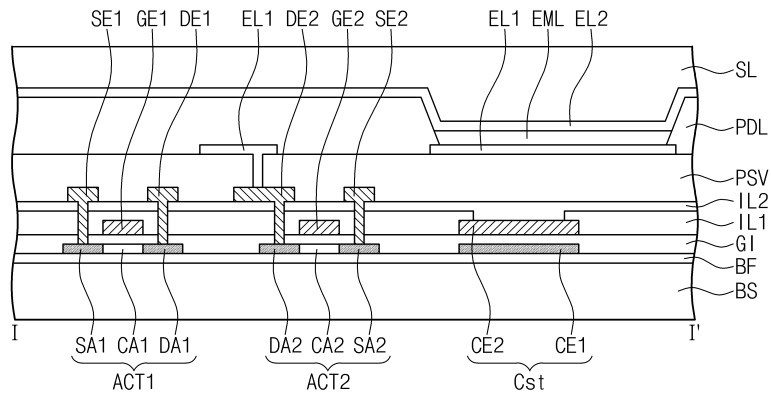
도면4h



도면4i



도면4j



专利名称(译)	标题：OLED显示器及其制造方法		
公开(公告)号	KR1020150070753A	公开(公告)日	2015-06-25
申请号	KR1020130157327	申请日	2013-12-17
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星DISPLAY CO. , LTD. 三星DISPLAY CO. , LTD. (KR)		
当前申请(专利权)人(译)	三星DISPLAY CO. , LTD. 三星DISPLAY CO. , LTD. (KR)		
[标]发明人	YOU CHUNGI YOU CHUN GI KR		
发明人	YOU,CHUNGI YOU, CHUN GI (KR)		
IPC分类号	H01L27/32 H01L29/786		
CPC分类号	H01L51/0002 H01L29/786 H01L51/0035 H01L51/0021 H01L27/32 H01L27/1255 H01L27/3262 H01L27/3265 H01L51/0011 H01L2227/323		
外部链接	Espacenet		

摘要(译)

该摘要目前正在准备中。更新的KPA将于2015年9月10日之后提供。*本标题 (54) 和代表图显示为申请人提交的。

