



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년03월02일
 (11) 등록번호 10-1834013
 (24) 등록일자 2018년02월23일

(51) 국제특허분류(Int. Cl.)
 G09G 3/30 (2006.01)
 (21) 출원번호 10-2011-0034677
 (22) 출원일자 2011년04월14일
 심사청구일자 2016년04월06일
 (65) 공개번호 10-2012-0117120
 (43) 공개일자 2012년10월24일
 (56) 선행기술조사문헌
 KR1020060134530 A*
 KR1020110033662 A*
 KR1020070118426 A
 KR1020100073294 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
이현행
 경상북도 칠곡군 석적읍 동중리9길 13, LG디스플레이기숙사 B동 108호
한인효
 충청북도 청원군 강외면 오송생명1로 152, 807동 501호 (오송힐데스하임아파트)
 (74) 대리인
특허법인로얄

전체 청구항 수 : 총 12 항

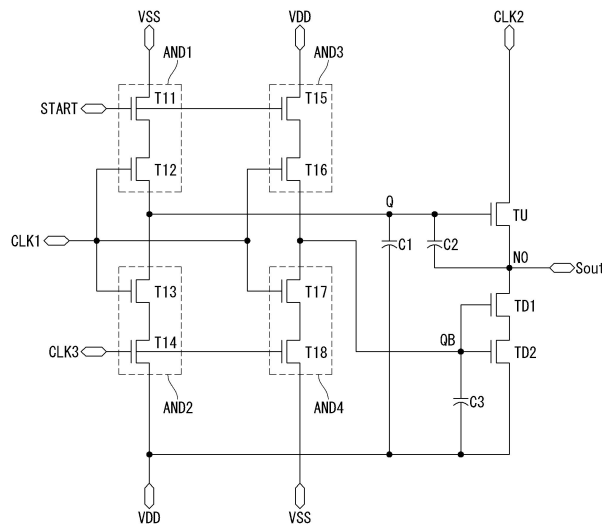
심사관 : 진민숙

(54) 발명의 명칭 **펄스 출력회로와 이를 이용한 유기발광다이오드 표시장치**

(57) 요약

본 발명의 펄스 출력회로는 순차적으로 위상이 지연되는 3상 클럭들 중 어느 하나를 입력받는 제1 클럭 단자, 상기 제1 클럭 단자에 입력된 클럭보다 위상이 하나 지연된 클럭을 입력받는 제2 클럭 단자, 제2 클럭 단자에 입력된 클럭보다 위상이 하나 지연된 클럭을 입력받는 제3 클럭 단자, 및 스타트 신호를 입력받는 스타트 단자를 구비하고, 종속적으로 접속된 복수의 스테이지들을 포함하고, 제k(k는 자연수) 스테이지는 상기 제2 클럭 단자에 입력되는 클럭과 동기되는 제k 펄스 신호를 출력하는 것을 특징으로 한다.

대표도 - 도5



명세서

청구범위

청구항 1

순차적으로 위상이 지연되는 3상 클럭들 중 어느 하나를 입력받는 제1 클럭 단자, 상기 제1 클럭 단자에 입력된 클럭보다 위상이 하나 지연된 클럭을 입력받는 제2 클럭 단자, 제2 클럭 단자에 입력된 클럭보다 위상이 하나 지연된 클럭을 입력받는 제3 클럭 단자, 및 스타트 신호를 입력받는 스타트 단자를 구비하고, 종속적으로 접속된 복수의 스테이지들을 포함하고,

상기 제2 클럭 단자에 입력되는 클럭과 동기되는 제k 펄스 신호를 출력하는 제k(k는 자연수) 스테이지는,

상기 스타트 신호에 응답하여 턴-온되는 제11 트랜지스터와 상기 제1 클럭 단자에 입력된 클럭에 응답하여 턴-온되는 제12 트랜지스터를 이용하여 Q 노드를 저전위 전압원의 전압으로 방전하는 제1 AND 게이트;

상기 제1 클럭 단자에 응답하여 턴-온되는 제13 트랜지스터와 상기 제3 클럭 단자에 입력된 클럭에 응답하여 턴-온되는 제14 트랜지스터를 이용하여 상기 Q 노드를 고전위 전압원의 전압으로 충전하는 제2 AND 게이트;

상기 스타트 신호에 응답하여 턴-온되는 제15 트랜지스터와 상기 제1 클럭 단자에 입력된 클럭에 응답하여 턴-온되는 제16 트랜지스터를 이용하여 QB 노드를 상기 고전위 전압원의 전압으로 충전하는 제3 AND 게이트;

상기 제1 클럭 단자에 응답하여 턴-온되는 제17 트랜지스터와 상기 제3 클럭 단자에 입력된 클럭에 응답하여 턴-온되는 제18 트랜지스터를 이용하여 상기 QB 노드를 상기 저전위 전압원의 전압으로 방전하는 제4 AND 게이트; 및

상기 Q 노드 및 QB 노드의 전압에 따라 상기 제2 클럭 단자에 입력된 클럭을 출력하는 출력부를 포함하는 것을 특징으로 하는 펄스 출력회로.

청구항 2

제 1 항에 있어서,

상기 3상 클럭들은 2 수평기간의 펄스 폭을 가지며, 1 수평기간씩 순차적으로 위상이 지연되는 것을 특징으로 하는 펄스 출력회로.

청구항 3

제 2 항에 있어서,

상기 제k 펄스 신호는 2 수평기간의 펄스 폭을 가지며, 제k-1 펄스 신호와 1 수평기간 서로 중첩되고, 제k+1 펄스 신호와 1 수평기간 서로 중첩되는 것을 특징으로 하는 펄스 출력회로.

청구항 4

삭제

청구항 5

제 1 항에 있어서,

상기 제11 트랜지스터의 게이트 전극은 상기 스타트 단자에 접속되고, 소스 전극은 상기 제12 트랜지스터의 드레인 전극에 접속되며, 드레인 전극은 저전위 전압원에 접속되고,

상기 제12 트랜지스터의 게이트 전극은 상기 제1 클럭 단자에 접속되고, 소스 전극은 상기 Q 노드에 접속되며, 드레인 전극은 상기 제11 트랜지스터의 소스 전극에 접속되고,

상기 제13 트랜지스터의 게이트 전극은 상기 제1 클럭 단자에 접속되고, 소스 전극은 상기 제1 트랜지스터의 드레인 전극에 접속되며, 드레인 전극은 상기 Q 노드에 접속되고,

상기 제14 트랜지스터의 게이트 전극은 상기 제3 클럭 단자에 접속되고, 소스 전극은 상기 고전위 전압원에 접속되며, 드레인 전극은 상기 제13 트랜지스터의 소스 전극에 접속되고,

상기 제15 트랜지스터의 게이트 전극은 상기 스타트 단자에 접속되고, 소스 전극은 상기 고전위 전압원에 접속되며, 드레인 전극은 제16 트랜지스터의 소스 전극에 접속되고,

상기 제16 트랜지스터의 게이트 전극은 상기 제1 클럭 단자에 접속되고, 소스 전극은 상기 제15 트랜지스터의 드레인 전극에 접속되며, 드레인 전극은 상기 QB 노드에 접속되고,

상기 제17 트랜지스터의 게이트 전극은 상기 제1 클럭 단자에 접속되고, 소스 전극은 상기 QB 노드에 접속되고, 드레인 전극은 상기 제18 트랜지스터의 소스 전극에 접속되고,

상기 제18 트랜지스터의 게이트 전극은 상기 제3 클럭 단자에 접속되고, 소스 전극은 상기 제17 트랜지스터의 드레인 전극에 접속되며, 드레인 전극은 상기 저전위 전압원에 접속되는 것을 특징으로 하는 펄스 출력회로.

청구항 6

제 1 항에 있어서,

상기 출력부는,

상기 Q 노드의 전압에 따라 턴-온되어 출력 노드를 상기 제2 클럭 단자에 입력된 클럭으로 방전하는 풀-업 트랜지스터와, 상기 QB 노드의 전압에 따라 턴-온되어 상기 출력 노드를 상기 고전위 전압원의 전압으로 충전하는 제1 및 제2 풀-다운 트랜지스터를 포함하는 것을 특징으로 하는 펄스 출력회로.

청구항 7

제 6 항에 있어서,

상기 풀-업 트랜지스터의 게이트 전극은 상기 Q 노드에 접속되고, 소스 전극은 상기 제2 클럭 단자에 접속되며, 드레인 전극은 상기 출력 노드에 접속되고,

상기 제1 풀-다운 트랜지스터의 게이트 전극은 상기 QB 노드에 접속되고, 소스 전극은 상기 제2 풀-다운 트랜지스터의 드레인 전극에 접속되며, 드레인 전극은 상기 출력 노드에 접속되고,

상기 제2 풀-다운 트랜지스터의 게이트 전극은 상기 QB 노드에 접속되고, 소스 전극은 상기 고전위 전압원에 접속되며, 드레인 전극은 상기 제1 풀-다운 트랜지스터의 소스 전극에 접속되는 것을 특징으로 하는 펄스 출력회로.

청구항 8

데이터 라인들과, 상기 데이터 라인들과 교차되는 펄스 라인들이 형성된 표시패널;

상기 데이터 라인들에 데이터 전압을 공급하는 데이터 구동회로; 및

상기 펄스 라인들에 펄스 신호를 순차적으로 공급하는 게이트 구동회로를 포함하고,

상기 게이트 구동회로는,

순차적으로 위상이 지연되는 3상 클럭들 중 어느 하나를 입력받는 제1 클럭 단자, 상기 제1 클럭 단자에 입력된 클럭보다 위상이 하나 지연된 클럭을 입력받는 제2 클럭 단자, 제2 클럭 단자에 입력된 클럭보다 위상이 하나 지연된 클럭을 입력받는 제3 클럭 단자, 및 스타트 신호를 입력받는 스타트 단자를 구비하고, 종속적으로 접속된 스테이지들을 포함하는 적어도 하나 이상의 펄스 출력회로를 포함하며,

상기 제2 클럭 단자에 입력되는 클럭과 동기되는 제k 펄스 신호를 출력하는 제k(k는 자연수) 스테이지는,

상기 스타트 신호에 응답하여 턴-온되는 제11 트랜지스터와 상기 제1 클럭 단자에 입력된 클럭에 응답하여 턴-온되는 제12 트랜지스터를 이용하여 Q 노드를 저전위 전압원의 전압으로 방전하는 제1 AND 게이트;

상기 제1 클럭 단자에 응답하여 턴-온되는 제13 트랜지스터와 상기 제3 클럭 단자에 입력된 클럭에 응답하여 턴-온되는 제14 트랜지스터를 이용하여 상기 Q 노드를 고전위 전압원의 전압으로 충전하는 제2 AND 게이트;

상기 스타트 신호에 응답하여 턴-온되는 제15 트랜지스터와 상기 제1 클럭 단자에 입력된 클럭에 응답하여 턴-

온되는 제16 트랜지스터를 이용하여 QB 노드를 상기 고전위 전압원의 전압으로 충전하는 제3 AND 게이트;

상기 제1 클럭 단자에 응답하여 턴-온되는 제17 트랜지스터와 상기 제3 클럭 단자에 입력된 클럭에 응답하여 턴-온되는 제18 트랜지스터를 이용하여 상기 QB 노드를 상기 저전위 전압원의 전압으로 방전하는 제4 AND 게이트; 및

상기 Q 노드 및 QB 노드의 전압에 따라 상기 제2 클럭 단자에 입력된 클럭을 출력하는 출력부를 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 9

제 8 항에 있어서,

상기 3상 클럭들은 2 수평기간의 펄스 폭을 가지며, 1 수평기간씩 순차적으로 위상이 지연되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 10

제 9 항에 있어서,

상기 제k 펄스 신호는 2 수평기간의 펄스 폭을 가지며, 제k-1 펄스 신호와 1 수평기간 서로 중첩되고, 제k+1 펄스 신호와 1 수평기간 서로 중첩되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 11

삭제

청구항 12

제 8 항에 있어서,

상기 제11 트랜지스터의 게이트 전극은 상기 스타트 단자에 접속되고, 소스 전극은 상기 제12 트랜지스터의 드레인 전극에 접속되며, 드레인 전극은 저전위 전압원에 접속되고,

상기 제12 트랜지스터의 게이트 전극은 상기 제1 클럭 단자에 접속되고, 소스 전극은 상기 Q 노드에 접속되며, 드레인 전극은 상기 제11 트랜지스터의 소스 전극에 접속되고,

상기 제13 트랜지스터의 게이트 전극은 상기 제1 클럭 단자에 접속되고, 소스 전극은 상기 제1 트랜지스터의 드레인 전극에 접속되며, 드레인 전극은 상기 Q 노드에 접속되고,

상기 제14 트랜지스터의 게이트 전극은 상기 제3 클럭 단자에 접속되고, 소스 전극은 상기 고전위 전압원에 접속되며, 드레인 전극은 상기 제13 트랜지스터의 소스 전극에 접속되고,

상기 제15 트랜지스터의 게이트 전극은 상기 스타트 단자에 접속되고, 소스 전극은 상기 고전위 전압원에 접속되며, 드레인 전극은 제16 트랜지스터의 소스 전극에 접속되고,

상기 제16 트랜지스터의 게이트 전극은 상기 제1 클럭 단자에 접속되고, 소스 전극은 상기 제15 트랜지스터의 드레인 전극에 접속되며, 드레인 전극은 상기 QB 노드에 접속되고,

상기 제17 트랜지스터의 게이트 전극은 상기 제1 클럭 단자에 접속되고, 소스 전극은 상기 QB 노드에 접속되고, 드레인 전극은 상기 제18 트랜지스터의 소스 전극에 접속되고,

상기 제18 트랜지스터의 게이트 전극은 상기 제3 클럭 단자에 접속되고, 소스 전극은 상기 제17 트랜지스터의 드레인 전극에 접속되며, 드레인 전극은 상기 저전위 전압원에 접속되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 13

제 8 항에 있어서,

상기 출력부는,

상기 Q 노드의 전압에 따라 턴-온되어 출력 노드를 상기 제2 클럭 단자에 입력된 클럭으로 방전하는 풀-업 트랜

지스터와, 상기 QB 노드의 전압에 따라 턴-온되어 상기 출력 노드를 상기 고전위 전압원의 전압으로 충전하는 제1 및 제2 풀-다운 트랜지스터를 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 14

제 13 항에 있어서,

상기 풀-업 트랜지스터의 게이트 전극은 상기 Q 노드에 접속되고, 소스 전극은 상기 제2 클럭 단자에 접속되며, 드레인 전극은 상기 출력 노드에 접속되고,

상기 제1 풀-다운 트랜지스터의 게이트 전극은 상기 QB 노드에 접속되고, 소스 전극은 상기 제2 풀-다운 트랜지스터의 드레인 전극에 접속되며, 드레인 전극은 상기 출력 노드에 접속되고,

상기 제2 풀-다운 트랜지스터의 게이트 전극은 상기 QB 노드에 접속되고, 소스 전극은 상기 고전위 전압원에 접속되며, 드레인 전극은 상기 제1 풀-다운 트랜지스터의 소스 전극에 접속되는 것을 특징으로 하는 유기발광다이오드 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 펄스 출력회로와 이를 이용한 유기발광다이오드 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 이에 따라, 최근에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기발광다이오드 표시장치(OLED: Organic Light Emitting Diode)와 같은 여러가지 평판표시장치가 활용되고 있다. 이들 평판표시장치 중에서, 유기발광다이오드 표시장치는 저전압 구동이 가능하고, 박형이며, 시야각이 우수하고, 응답속도가 빠른 특성이 있다. 유기발광다이오드 표시장치 중에서 다수의 화소가 매트릭스 형태로 위치하여 영상을 표시하는 액티브 매트릭스 타입 유기발광다이오드 표시장치가 널리 사용된다.

[0003] 액티브 매트릭스 타입 유기발광다이오드 표시장치의 표시패널은 스캔 라인과 데이터 라인들로 정의되는 다수의 화소들을 포함한다. 화소 어레이는 일반적으로 스캔라인의 스캔 펄스에 응답하여 데이터 전압을 공급하는 스캔 트랜지스터와 게이트 전극에 공급되는 데이터 전압에 따라 유기발광다이오드(OLED)에 공급되는 전류의 양을 조절하는 구동 트랜지스터로 구현된다. 이때, 구동 트랜지스터의 드레인-소스간 전류(I_{ds})는 수학식 1과 같이 표현될 수 있다.

수학식 1

$$I_{ds} = \frac{\beta}{2} \cdot (V_{gs} - V_{th})^2$$

[0004]

[0005] 수학식 1에서, β 는 트랜지스터의 구조와 물리적 특성에 의해 결정되는 비례 계수, V_{gs} 는 게이트-소스간 전압, V_{th} 는 문턱전압을 의미한다. 이때, 화소들마다 구동 트랜지스터의 문턱전압(V_{th})이 다르므로, 동일한 데이터 전압을 화소들에 공급하더라도 구동 트랜지스터의 드레인-소스간 전류(I_{ds})는 화소들마다 달라진다. 따라서, 동일한 데이터 전압을 화소들 각각에 공급하더라도 화소들 각각이 발광하는 빛의 휘도가 달라지는 문제점이 발생한다. 이를 해결하기 위해, 구동 트랜지스터의 문턱전압을 보상하는 여러 형태의 화소 구조가 제안되고 있다.

[0006] 하지만, 구동 트랜지스터의 문턱전압을 보상하는 화소의 경우, 종래보다 많은 수의 트랜지스터가 필요하고, 이에 따라 트랜지스터를 제어하는 신호 라인들도 증가하게 된다. 이로 인해, 신호 라인들에 신호들을 공급하는 출력회로가 늘어나게 되므로, 출력회로에 입력되는 클럭 라인들의 수도 증가하게 된다. 클럭 라인들이 증가하

는 경우, 클럭 라인들 간의 중첩으로 인해 라인 로드(Load)가 증가한다. 라인 로드(Load)가 증가하는 경우, 출력회로에 입력되는 클럭 신호들이 딜레이(delay) 되고, 출력회로로부터 출력되는 신호들도 딜레이 되므로, 표시패널의 구동에 문제가 발생한다. 또한, 클럭 라인들이 증가하는 경우, 베젤의 증가로 인해 표시장치의 슬림화가 어렵다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 라인 로드를 줄일 수 있는 유기발광다이오드 표시장치를 제공한다.

과제의 해결 수단

[0008] 본 발명의 펄스 출력회로는 순차적으로 위상이 지연되는 3상 클럭들 중 어느 하나를 입력받는 제1 클럭 단자, 상기 제1 클럭 단자에 입력된 클럭보다 위상이 하나 지연된 클럭을 입력받는 제2 클럭 단자, 제2 클럭 단자에 입력된 클럭보다 위상이 하나 지연된 클럭을 입력받는 제3 클럭 단자, 및 스타트 신호를 입력받는 스타트 단자를 구비하고, 종속적으로 접속된 복수의 스테이지들을 포함하고, 제k(k는 자연수) 스테이지는 상기 제2 클럭 단자에 입력되는 클럭과 동기되는 제k 펄스 신호를 출력하는 것을 특징으로 한다.

[0009] 본 발명의 유기발광다이오드 표시장치는 데이터 라인들과, 상기 데이터 라인들과 교차되는 펄스 라인들이 형성된 표시패널; 상기 데이터 라인들에 데이터 전압을 공급하는 데이터 구동회로; 및 상기 펄스 라인들에 펄스 신호를 순차적으로 공급하는 게이트 구동회로를 포함하고, 상기 게이트 구동회로는, 순차적으로 위상이 지연되는 3상 클럭들 중 어느 하나를 입력받는 제1 클럭 단자, 상기 제1 클럭 단자에 입력된 클럭보다 위상이 하나 지연된 클럭을 입력받는 제2 클럭 단자, 제2 클럭 단자에 입력된 클럭보다 위상이 하나 지연된 클럭을 입력받는 제3 클럭 단자, 및 스타트 신호를 입력받는 스타트 단자를 구비하고, 종속적으로 접속된 스테이지들을 포함하는 적어도 하나 이상의 펄스 출력회로를 포함하며, 제k(k는 자연수) 스테이지는 상기 제2 클럭 단자에 입력되는 클럭과 동기되는 제k 펄스 신호를 출력하는 것을 특징으로 한다.

발명의 효과

[0010] 본 발명은 3상 클럭 신호를 입력받고, 2 수평기간의 펄스 폭을 가지며 1 수평기간씩 위상이 지연되는 신호를 순차적으로 출력한다. 그 결과, 본 발명은 클럭 라인의 수를 줄일 수 있으므로 클럭 라인들 간의 중첩으로 인한 라인 로드를 줄일 수 있다. 또한, 본 발명은 베젤을 줄일 수 있으므로 표시장치의 슬림화가 가능하다.

[0011] 나아가, 본 발명은 2 수평기간 동안 구동 트랜지스터의 문턱전압을 샘플링한다. 그 결과, 본 발명은 표시장치가 임체영상 구현을 위해 고속구동하는 경우에도 구동 트랜지스터의 문턱전압을 보상하기 위한 충분한 시간을 확보할 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 실시예에 따른 표시패널의 화소에 대한 등가 회로도이다.

도 2는 도 1의 화소에 입력되는 신호들을 보여주는 파형도이다.

도 3은 본 발명의 실시예에 따른 센싱 펄스 출력회로를 나타내는 블록도이다.

도 4는 본 발명의 실시예에 따른 센싱 펄스 출력회로의 출력을 보여주는 파형도이다.

도 5는 도 3의 스테이지의 회로 구성을 보여주는 일 예이다.

도 6은 도 5의 스테이지에 입력 및 출력되는 신호들을 보여주는 파형도이다.

도 7은 종래 기술과 본 발명의 클럭 라인 중첩을 비교한 표이다.

도 8은 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 개략적으로 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하 첨부된 도면을 참조하여 유기발광다이오드 표시장치를 중심으로 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0014] 이하의 설명에서 사용되는 구성요소들의 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 명칭과는 상이할 수 있다.
- [0015] 도 1은 본 발명의 실시예에 따른 표시패널의 화소에 대한 등가 회로도이다. 도 1을 참조하면, 본 발명의 실시예에 따른 표시패널(10)의 화소(P)는 서로 교차하는 펄스 라인과 데이터 라인(DL)으로 정의된다. 또한, 펄스 라인은 스캔 라인(SL), 컨트롤 라인(CL), 발광 라인(EL), 제1 초기화 라인(IL1), 제2 초기화 라인(IL2), 및 센싱 라인(SENL) 등을 포함한다. 화소(P)는 구동 트랜지스터(Td), 유기발광다이오드(OLED), 및 제어 회로 등을 포함한다.
- [0016] 제어 회로는 제1 내지 제6 트랜지스터(T1, T2, T3, T4, T5, T6)를 포함한다. 제1 트랜지스터(T1)는 발광 라인(EL)의 발광 펄스(EM)에 응답하여 턴-온되어 제3 노드(N3)와 유기발광다이오드(OLED)를 접속시킨다. 제1 트랜지스터(T1)의 게이트 전극은 발광 라인(EL)에 접속되고, 소스 전극은 제3 노드(N3)에 접속되며, 드레인 전극은 유기발광다이오드(OLED)의 애노드 전극에 접속된다.
- [0017] 제2 트랜지스터(T2)는 스캔 라인(SL)의 스캔 펄스(SP)에 응답하여 턴-온되어 제2 노드(N2)에 데이터 라인(DL)의 데이터 전압(Vdata)을 공급한다. 제2 트랜지스터(T2)의 게이트 전극은 스캔 라인(SL)에 접속되고, 소스 전극은 데이터 라인(DL)에 접속되며, 드레인 전극은 제2 노드(N2)에 접속된다.
- [0018] 제3 트랜지스터(T3)는 제1 초기화 라인(IL1)의 제1 초기화 펄스(INI1)에 응답하여 턴-온되어 제2 노드(N2)에 스캔 펄스(SP)를 공급한다. 제3 트랜지스터(T3)의 게이트 전극은 제1 초기화 라인(IL1)에 접속되고, 소스 전극은 스캔 라인(SL)에 접속되며, 드레인 전극은 제2 노드(N2)에 접속된다.
- [0019] 제4 트랜지스터(T4)는 제2 초기화 라인(IL2)의 제2 초기화 펄스(INI2)에 응답하여 턴-온되어 제1 노드(N1)를 기준 전압원(V_{REF})의 전압으로 초기화시킨다. 제4 트랜지스터(T4)의 게이트 전극은 제2 초기화 라인(IL2)에 접속되고, 소스 전극은 제1 노드(N1)에 접속되며, 드레인 전극은 기준 전압원(V_{REF})에 접속된다.
- [0020] 제5 트랜지스터(T5)는 센싱 라인(SENL)의 센싱 펄스(SEN)에 응답하여 턴-온되어 제1 노드(N1)와 제3 노드(N3)를 접속시킨다. 제5 트랜지스터(T5)의 게이트 전극은 센싱 라인(SENL)에 접속되고, 소스 전극은 제3 노드(N3)에 접속되며, 드레인 전극은 제1 노드(N1)에 접속된다.
- [0021] 제6 트랜지스터(T6)는 컨트롤 라인(CL)의 컨트롤 펄스(CTRL)에 응답하여 턴-온되어 제2 노드(N2)를 기준 전압원(V_{REF})의 전압으로 초기화시킨다. 제6 트랜지스터(T6)의 게이트 전극은 컨트롤 라인(CL)에 접속되고, 소스 전극은 제2 노드(N2)에 접속되며, 드레인 전극은 기준 전압원(V_{REF})에 접속된다.
- [0022] 구동 트랜지스터(Td)의 게이트 전극은 제1 노드(N1)에 접속되고, 소스 전극은 고전위 전압원(VDD)에 접속되며, 드레인 전극은 제3 노드(N3)에 접속된다. 구동 트랜지스터(Td)는 게이트 전극에 인가된 전압 량에 따라, 드레인-소스간 전류(Ids)의 양을 다르게 조절한다.
- [0023] 본 발명의 제1 실시예에 따른 화소(P)의 제1 내지 제6 트랜지스터(T1, T2, T3, T4, T5, T6), 및 구동 트랜지스터(Td)는 박막 트랜지스터(Thin Film Transistor)로 형성될 수 있다. 제1 내지 제6 트랜지스터(T1, T2, T3, T4, T5, T6), 및 구동 트랜지스터(Td)의 반도체 층은 a-Si, Poly-Si, 산화물 반도체 중 어느 하나로 형성될 수 있다. 또한, 도 1에서 제1 내지 제6 트랜지스터(T1, T2, T3, T4, T5, T6), 및 구동 트랜지스터(Td)가 P 타입 MOS-FET으로 구현된 것을 중심으로 설명하였지만, 이에 한정되지 않으며, N 타입 MOS-FET으로도 구현될 수 있다.
- [0024] 유기발광다이오드(OLED)의 애노드 전극은 제1 트랜지스터(T1)의 드레인 전극과 연결되고, 캐소드 전극은 저전위

전압원(VSS)과 연결된다. 유기발광다이오드(OLED)는 구동 트랜지스터(Td)의 드레인-소스간 전류(Ids)에 따라 발광된다. 제1 캐패시터(C1)는 제1 노드(N1)와 제2 노드(N2) 사이에 접속되고, 제1 노드(N1)와 제2 노드(N2)의 차전압을 저장한다. 제2 캐패시터(C2)는 제1 노드(N1)와 고전위 전압원(VDD) 사이에 접속되고, 제1 노드(N1)와 고전위 전압원(VDD)의 차전압을 저장한다.

[0025] 고전위 전압원(VDD)은 구동 트랜지스터(Td)의 특성, 유기발광다이오드(OLED)의 특성 등을 고려하여 직류 전압을 공급하도록 설정될 수 있다. 고전위 전압원(VDD)은 게이트 하이 전압(VGH)으로 설정되고, 저전위 전압원(VSS)은 게이트 로우 전압(VGL) 또는 그라운드 전압(GND)으로 설정될 수 있다. 기준 전압(V_{REF})은 제1 노드(N1)와 제2 노드(N2)를 초기화시키기 위한 전압이다.

[0026] 제1 노드(N1)는 구동 트랜지스터(Td)의 게이트 전극, 제4 트랜지스터(T4)의 소스 전극, 및 제5 트랜지스터(T5)의 드레인 전극 간의 접점이다. 제2 노드(N2)는 제2 트랜지스터(T2)의 드레인 전극, 제3 트랜지스터(T3)의 드레인 전극, 및 제6 트랜지스터(T6)의 소스 전극 간의 접점이다. 제3 노드(N3)는 구동 트랜지스터(Td)의 드레인 전극, 제1 트랜지스터(T1)의 소스 전극, 및 제5 트랜지스터(T5)의 소스 전극 간의 접점이다.

[0027] 도 2는 도 1의 화소에 입력되는 신호들을 보여주는 파형도이다. 도 2에는 표시패널(10)의 어느 한 화소(P)에 입력되는 컨트롤 펄스(CTRL), 제1 초기화 펄스(INI1), 제2 초기화 펄스(INI2), 센싱 펄스(SEN), 스캔 펄스(SP), 및 발광 펄스(EM)가 나타나 있다. 컨트롤 펄스(CTRL), 제1 초기화 펄스(INI1), 제2 초기화 펄스(INI2), 센싱 펄스(SEN), 스캔 펄스(SP), 및 발광 펄스(EM)는 화소(P)의 제1 내지 제6 트랜지스터(T1, T2, T3, T4, T5, T6)를 제어하기 위한 신호들이다. 컨트롤 펄스(CTRL), 제1 초기화 펄스(INI1), 제2 초기화 펄스(INI2), 센싱 펄스(SEN), 스캔 펄스(SP), 및 발광 펄스(EM)는 1 프레임 기간을 주기로 반복된다.

[0028] 컨트롤 펄스(CTRL)는 대략 4 수평기간(4H)의 펄스 폭을 가지고, 제1 초기화 펄스(INI1)는 대략 2 수평기간(2H)의 펄스 폭을 가지며, 제2 초기화 펄스(INI2)는 대략 제1 수평기간(1H)의 펄스 폭을 가진다. 또한, 센싱 펄스(SEN)는 대략 2 수평기간(2H)의 펄스 폭을 가지고, 스캔 펄스(SP)는 대략 1 수평기간(1H)의 펄스 폭을 가지며, 발광 펄스(EM)는 대략 4 수평기간(4H)의 펄스 폭을 가진다. 1 수평기간(1H)은 표시패널(10)에서 1 라인의 픽셀들에 데이터가 기입되는 1 라인 스캐닝 시간을 의미한다.

[0029] 또한, 컨트롤 펄스(CTRL)와 발광 펄스(EM)는 대략 3 수평기간(3H)의 펄스 폭을 가지도록 설계될 수 있다. 이 경우, 컨트롤 펄스(CTRL)와 발광 펄스(EM)는 t1, t2, t3 기간 동안 발생할 수 있다.

[0030] 제1 초기화 펄스(INI1), 제2 초기화 펄스(INI2), 센싱 펄스(SEN), 및 스캔 펄스(SP)는 게이트 하이 전압(VGH)으로 발생한다. 이에 비해, 컨트롤 펄스(CTRL), 및 발광 펄스(EM)는 게이트 로우 전압(VGL)으로 발생한다. 게이트 하이 전압(VGH)은 제1 내지 제6 트랜지스터(T1, T2, T3, T4, T5, T6)의 문턱전압 보다 작은 전압으로 설정되고, 게이트 로우 전압(VGL)은 제1 내지 제6 트랜지스터(T1, T2, T3, T4, T5, T6)의 문턱전압 이상의 전압으로 설정된다. 게이트 하이 전압(VGH)은 대략 14V 내지 20V 사이에서 설정될 수 있고, 게이트 로우 전압(VGL)은 대략 -12V 내지 -5V로 설정될 수 있다.

[0031] 이하에서, 도 1 및 도 2를 참조하여 t1 내지 t4 기간 동안 화소(P)의 동작을 간략히 설명한다. t1 내지 t3 기간은 구동 트랜지스터(Td)의 문턱전압을 보상하는 기간이고, t4 기간은 유기발광다이오드(OLED)가 발광하는 기간이다.

[0032] t1 기간 동안, 게이트 로우 전압(VGL)의 제1 초기화 펄스(INI1), 및 제2 초기화 펄스(INI2)가 발생한다. 또한, 게이트 하이 전압(VGH)의 컨트롤 펄스(CTRL), 및 발광 펄스(EM)가 발생한다. t1 기간은 대략 1 수평기간(1H)에 해당하는 기간이다.

[0033] 제3 트랜지스터(T3)는 게이트 로우 전압(VGL)의 제1 초기화 펄스(INI1)에 응답하여 턴-온되어 제2 노드(N2)에 스캔 펄스(SP)를 공급한다. 따라서, 제2 노드(N2)는 게이트 하이 전압(VGH)으로 충전된다. 제4 트랜지스터(T4)는 게이트 로우 전압(VGL)의 제2 초기화 펄스(INI2)에 응답하여 턴-온되어 제1 노드(N1)를 기준 전압원(V_{REF})의 전압으로 초기화시킨다. 제1 트랜지스터(T1)는 게이트 하이 전압(VGH)의 발광 펄스(EM)에 의해 턴-오프되고, 제6 트랜지스터(T6)는 게이트 하이 전압(VGH)의 컨트롤 펄스(CTRL)에 의해 턴-오프된다.

[0034] t2 기간 동안, 게이트 로우 전압(VGL)의 센싱 펄스(SEN)가 발생한다. 또한, 제1 초기화 펄스(INI1)는 게이트

로우 전압(VGL)을 유지하고, 컨트롤 펄스(CTRL)와 발광 펄스(EM)는 게이트 하이 전압(VGH)을 유지한다. 한편, 제2 초기화 펄스(INI2)는 게이트 하이 전압(VGH)으로 반전된다. t2 기간은 대략 1 수평기간(1H)에 해당하는 기간이다.

[0035] 제3 트랜지스터(T3)는 게이트 로우 전압(VGL)의 제1 초기화 펄스(INI1)에 의해 턴-온된 상태를 유지한다. 따라서, 제2 노드(N2)는 게이트 하이 전압(VGH)으로 충전된 상태를 유지한다. 제1 트랜지스터(T1)는 게이트 하이 전압(VGH)의 발광 펄스(EM)에 의해 턴-오프된 상태를 유지하고, 제6 트랜지스터(T6)는 게이트 하이 전압(VGH)의 컨트롤 펄스(CTRL)에 의해 턴-오프된 상태를 유지한다.

[0036] 제4 트랜지스터(T4)는 게이트 하이 전압(VGH)의 제2 초기화 펄스(INI2)에 의해 턴-오프된다. 제5 트랜지스터(T5)는 게이트 로우 전압(VGL)의 센싱 펄스(SEN)에 응답하여 턴-온되어 제1 노드(N1)와 제3 노드(N3)를 접속시킨다. 제5 트랜지스터(T5)의 턴-온으로 인해 구동 트랜지스터(Td)의 게이트 전극과 드레인 전극이 상호 접속된다. 즉, 구동 트랜지스터(Td)는 다이오드로 동작된다. 이때, 구동 트랜지스터(Td)의 게이트-드레인 전극과 소스 전극 간의 전압 차가 문턱전압(Vth)보다 크기 때문에, 게이트-드레인 전극의 전압은 (VDD-Vth)까지 상승하게 된다. 따라서, 제1 노드(N1)와 제3 노드(N3)의 전압은 (VDD-Vth)까지 상승한다. 즉, t2 기간은 구동 트랜지스터(Td)의 문턱전압(Vth)이 샘플링되는 기간이다.

[0037] t3 기간 동안, 게이트 로우 전압(VGL)의 스캔 펄스(SP)가 발생한다. 또한, 센싱 펄스(SEN)는 게이트 로우 전압(VGL)을 유지하고, 컨트롤 펄스(CTRL)와 발광 펄스(EM)는 게이트 하이 전압(VGH)을 유지한다. 한편, 제1 초기화 펄스(INI1)는 게이트 하이 전압(VGH)으로 반전된다. t3 기간은 대략 1 수평기간(1H)에 해당하는 기간이다.

[0038] 제5 트랜지스터(T5)는 게이트 로우 전압(VGL)의 센싱 펄스(SEN1)에 의해 턴-온된 상태를 유지한다. 즉, 구동 트랜지스터(Td)는 다이오드 접속된 상태를 유지한다. 따라서, t3 기간에도 구동 트랜지스터(Td)의 문턱전압(Vth)가 샘플링은 계속된다. 이로 인해, 제1 노드(N1)와 제3 노드(N3)는 (VDD-Vth)까지 상승할 충분한 시간을 갖는다. 제1 트랜지스터(T1)는 게이트 하이 전압(VGH)의 발광 펄스(EM)에 의해 턴-오프된 상태를 유지하고, 제6 트랜지스터(T6)는 게이트 하이 전압(VGH)의 컨트롤 펄스(CTRL)에 의해 턴-오프된 상태를 유지한다.

[0039] 제3 트랜지스터(T3)는 게이트 하이 전압(VGH)의 제1 초기화 펄스(INI1)에 의해 턴-오프된다. 제2 트랜지스터(T2)는 게이트 로우 전압(VGL)의 스캔 펄스(SP)에 응답하여 턴-온되어 데이터 라인(DL)의 데이터 전압(Vdata)을 제2 노드(N2)에 공급한다. 따라서, 제2 노드(N2)는 데이터 전압(Vdata)을 가진다.

[0040] t4 기간 동안, 게이트 로우 전압(VGL)의 컨트롤 펄스(CTRL)와 발광 펄스(EM)가 발생한다. 한편, 센싱 펄스(SEN)와 스캔 펄스(SP)는 게이트 하이 전압(VGH)으로 반전된다.

[0041] 제2 트랜지스터(T2)는 게이트 하이 전압(VGH)의 스캔 펄스(SP)에 의해 턴-오프된다. 제6 트랜지스터(T6)는 게이트 로우 전압(VGL)의 컨트롤 펄스(CTRL)에 응답하여 턴-온되어 제2 노드(N2)의 전압을 기준 전압원(VREF)의 전압으로 초기화시킨다. 따라서, 제2 노드(N2)의 전압은 데이터 전압(Vdata)에서 기준 전압원(VREF)의 전압으로 변화된다.

[0042] 한편, 제5 트랜지스터(T5)는 게이트 하이 전압(VGH)의 센싱 펄스(SEN)에 의해 턴-오프되므로, 제1 노드(N1)는 플로팅된다. 따라서, 제1 캐패시터(C1)에 의해 제2 노드(N2)의 전압 변화량(Vdata-VREF)이 제1 노드(N1)에 반영되므로, 제1 노드(N1)의 전압은 {VDD-Vth-(Vdata-VREF)}로 변화된다. 그러므로, 구동 트랜지스터(Td)의 드레인-소스간 전류는 수학적 식 2와 같이 표현된다.

수학적 식 2

[0043]
$$I_{ds} = \frac{\beta}{2} \cdot (V_{gs} - V_{th})^2 = \frac{\beta}{2} \cdot [VDD - (VDD - V_{th} - V_{REF} + Vdata) - V_{th}]^2$$

[0044]
$$\therefore I_{ds} = \frac{\beta}{2} \cdot (V_{REF} - Vdata)^2$$

- [0045] 수학식 2에서, β 는 트랜지스터의 구조와 물리적 특성에 의해 결정되는 비례 계수, V_{gs} 는 게이트-소스간 전압, V_{th} 는 구동 트랜지스터의 문턱전압을 의미한다. 결국, 구동 트랜지스터의 드레인-소스간 전류(I_{ds})는 수학식 2와 같이 구동 트랜지스터(T_d)의 문턱전압(V_{th})에 의존하지 않게 된다. 즉, 구동 트랜지스터(T_d)의 문턱전압(V_{th})이 보상된다.
- [0046] 제1 트랜지스터(T_1)는 게이트 로우 전압(VGL)의 발광 펄스(EM)에 응답하여 턴-온되어 구동 트랜지스터(T_d)의 드레인-소스간 전류(I_{ds})를 유기발광다이오드(OLED)에 공급한다. 따라서, 유기발광다이오드(OLED)는 t_4 기간 동안 발광하게 된다.
- [0047] 이상에서 살펴본 바와 같이, 센싱 펄스(SEN)가 대략 2 수평기간(2H)의 펄스 폭을 가지는 경우, 구동 트랜지스터(T_d)의 문턱전압(V_{th})을 샘플링하는 기간이 충분하므로, 구동 트랜지스터(T_d)의 문턱전압(V_{th})이 제대로 보상될 수 있다. 특히, 유기발광다이오드 표시장치가 좌안 영상과 우안 영상을 시분할하여 표시하는 입체영상 표시장치로 구현되는 경우, 240Hz 이상의 프레임 주파수(NTSC 기준)로 고속 구동하는 것이 필수적이다. 그런데, 구동 트랜지스터(T_d)의 문턱전압(V_{th})을 샘플링하는 기간이 2 수평기간(2H)보다 짧아진다면, 구동 트랜지스터(T_d)의 문턱전압(V_{th})을 제대로 보상하지 못하는 문제가 발생할 수 있다.
- [0048] 대략 2 수평기간(2H)의 펄스 폭을 갖는 센싱 펄스(SEN)를 출력하기 위하여 종래 센싱 펄스 출력회로에는 적어도 5상 클럭 신호가 입력되어야 했다. 하지만, 표시패널(10)의 화소(P)에 펄스들을 공급하는 게이트 구동회로는 센싱 펄스 출력회로 이외에 컨트롤 펄스(CTRL)를 공급하는 컨트롤 펄스 출력회로, 제1 초기화 펄스(INI1)를 출력하는 제1 초기화 펄스 출력회로, 제2 초기화 펄스(INI2)를 출력하는 제2 초기화 펄스 출력회로, 스캔 펄스(SP)를 공급하는 스캔 펄스 출력회로, 및 발광 펄스(EM)를 출력하는 발광 펄스 출력회로를 더 포함한다. 이러한 펄스 출력회로들에 입력되는 클럭 신호가 많을수록 클럭 라인들 간의 중첩으로 인해 라인 로드(Load)가 증가한다. 이 경우, 펄스 출력회로들에 입력되는 클럭 신호들이 딜레이(delay) 될 뿐만 아니라, 펄스 출력회로들로부터 출력되는 펄스들도 딜레이 되므로, 표시패널의 구동에 문제가 발생한다. 또한, 클럭 라인들이 증가하는 경우, 베젤의 증가로 인해 표시장치의 슬림화가 어렵다. 이하에서, 3상 클럭 신호들을 이용하여 클럭 라인의 수를 줄여 라인 로드를 감소시킨 본 발명의 실시예에 따른 펄스 출력회로에 대하여 상세히 살펴본다. 본 발명의 실시예에 따른 펄스 출력회로는 센싱 펄스 출력회로와 제1 초기화 펄스 출력회로로 구현될 수 있다. 이하에서, 설명의 편의를 위해 본 발명의 펄스 출력회로는 센싱 펄스 출력회로인 것을 중심으로 설명하기로 한다.
- [0049] 도 3은 본 발명의 실시예에 따른 센싱 펄스 출력회로를 나타내는 블록도이다. 도 4는 본 발명의 실시예에 따른 센싱 펄스 출력회로의 출력을 보여주는 파형도이다. 도 3을 참조하면, 본 발명의 실시예에 따른 센싱 펄스 출력회로는 종속적으로 접속된 다수의 스테이지들(ST(1)~ST(n)), n은 자연수로 스테이지의 개수를 구비한다. 도 3에서는 설명의 편의를 제1 내지 제3 스테이지(ST(1)~ST(3))만을 예시하였다.
- [0050] 이하의 설명에서, "전단 스테이지"는 기준이 되는 스테이지의 상부에 위치하는 것을 말한다. 예컨대, 제 k($1 < k < n$, k, n는 2 이상의 자연수) 스테이지(ST(k))를 기준으로, 전단 스테이지는 제1 스테이지(ST(1)) 내지 제 k-1 스테이지(ST(k-1)) 중 어느 하나를 지시한다. "후단 스테이지"는 기준이 되는 스테이지의 하부에 위치하는 것을 말한다. 예컨대, 제 k 스테이지(ST(k))를 기준으로, 후단 스테이지는 제 k+1 스테이지(ST(k+1)) 내지 제 n 스테이지(ST(n)) 중 어느 하나를 지시한다.
- [0051] 스타트 전압 라인(VSTL)에는 스타트 전압(VST)이 인가되고, 제1 클럭 라인(CL1)에는 제1 클럭(C1)이 인가된다. 또한, 제2 클럭 라인(CL2)에는 제2 클럭(C2)이 인가되며, 제3 클럭 라인(CL3)에는 제3 클럭(C3)이 인가된다.
- [0052] 스테이지들(ST(1)~ST(n)) 각각은 스타트 단자(START), 제1 클럭 단자(CLK1), 제2 클럭 단자(CLK2), 제3 클럭 단자(CLK3), 및 출력단자를 구비한다. 스테이지들(ST(1)~ST(n)) 각각의 스타트 단자(START)에는 스타트 전압(VST), 또는 전단 스테이지의 캐리신호가 입력된다. 제1 스테이지(ST(1))의 스타트 단자(START)에는 스타트 전압(VST)이 인가되고, 제2 내지 제 n 스테이지들(ST(2)~ST(n)) 각각의 스타트 단자(START)에는 전단 스테이지의 캐리신호가 입력된다.
- [0053] 스테이지들(ST(1)~ST(n)) 각각의 제1 클럭 단자(CLK1), 제2 클럭 단자(CLK2), 및 제3 클럭 단자(CLK3) 각각에는 순차적으로 위상이 지연되는 3상 클럭들(C1, C2, C3) 중 어느 하나의 클럭이 입력된다. 즉, 제1 클럭 단자(CLK1)에는 3상 클럭들(C1, C2, C3) 중 어느 하나가 입력되고, 제2 클럭 단자(CLK2)에는 제1 클럭 단자(CLK1)

에 입력된 클럭보다 위상이 하나 지연된 클럭이 입력되고, 제3 클럭 단자(CLK3)에는 제2 클럭 단자(CLK2)에 입력된 클럭보다 위상이 하나 지연된 클럭이 입력된다. 예를 들어, 제1 클럭 단자(CLK1)에 제1 클럭(C1)이 입력된 경우, 제2 클럭 단자(CLK2)에는 제1 클럭(C1)보다 위상이 하나 지연된 제2 클럭(C2)이 입력되며, 제3 클럭 단자(CLK3)에는 제2 클럭(C2)보다 위상이 하나 지연된 제3 클럭(C3)이 입력된다.

[0054] 3상 클럭들(C1, C2, C3)은 소정의 시간만큼의 펄스 폭을 가지며, 순차적으로 위상이 지연된다. 예를 들어, 3상 클럭들(C1, C2, C3)은 도 6과 같이 대략 2 수평기간(2H)의 펄스 폭을 가지며, 1 수평기간(1H)씩 순차적으로 위상이 지연될 수 있다. 센싱 펄스 출력회로에 입력되는 3상 클럭들(C1, C2, C3)은 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL) 사이에서 스윙하며, 게이트 로우 전압(VGL)으로 펄스가 발생한다.

[0055] 스테이지들(ST(1)~ST(n)) 각각은 1 개의 출력 단자를 구비한다. 스테이지들(ST(1)~ST(n)) 각각의 출력(Sout(1)~Sout(n))은 표시패널(10)의 센싱 라인(SENL)들에 센싱 펄스(SEN)로 공급됨과 동시에, 후단 스테이지의 스타트 단자(START)에 캐리신호로서 입력된다. 도 4를 참조하면, 스테이지들(ST(1)~ST(n)) 각각의 출력(Sout(1)~Sout(n))은 제1 스테이지(ST(1))부터 제n 스테이지(ST(n))까지 순차적으로 출력된다. 또한, 제k 스테이지(ST(k))의 출력 단자는 제k 센싱 라인(SENL(k))에 접속되고, 제k 스테이지(ST(k))의 출력(Sout(k))은 제k 센싱 라인(SENL(k))에 제k 센싱 펄스(SEN(k))로 출력된다. 제k 스테이지(ST(k))의 출력(Sout(k))인 제k 센싱 펄스(SEN(k))는 대략 2 수평기간(2H)의 펄스 폭을 가지며, 제k-1 센싱 펄스(SEN(k-1))와 1 수평기간 서로 중첩되고, 제k+1 센싱 펄스(SEN(k+1))과 1 수평기간 서로 중첩된다.

[0056] 스테이지들(ST(1)~ST(n)) 각각은 종속적으로 접속되므로, 스테이지들(ST(1)~ST(n)) 각각의 출력(Sout(1)~Sout(n))은 후단 스테이지의 스타트 단자(START)에 입력되는 캐리신호로 역할을 한다. 그러므로, 제1 스테이지(ST(1))에 스타트 전압(VST)이 공급되는 경우에만 센싱 펄스(SEN)가 센싱 라인(SENL)들에 순차적으로 공급된다. 제1 스테이지(ST(1))에 스타트 전압(VST)이 공급되지 않는 경우에는 센싱 펄스(SEN)가 센싱 라인(SENL)들에 공급되지 않는다.

[0057] 스테이지들(ST(1)~ST(n)) 각각에는 고전위 전압원(VDD)의 전압과 저전위 전압원(VSS)의 전압이 공급된다. 스테이지들(ST(1)~ST(n)) 각각의 내부 회로에 대한 자세한 설명은 도 5를 결부하여 후술한다.

[0058] 도 5는 도 3의 스테이지의 회로 구성을 보여주는 일 예이다. 도 5를 참조하면, 스테이지들(ST(1)~ST(n)) 각각은 스타트 단자(START)와 제1 클럭 단자(CLK1)를 통해 입력되는 클럭에 응답하여 Q 노드를 방전하는 제1 AND 게이트(AND1), 제1 클럭 단자(CLK1)와 제3 클럭 단자(CLK3)를 통해 입력되는 클럭에 응답하여 Q 노드를 충전하는 제2 AND 게이트(AND2), 스타트 단자(START)와 제1 클럭 단자(CLK1)를 통해 입력되는 클럭에 응답하여 QB 노드를 충전하는 제3 AND 게이트(AND3), 제1 클럭 단자(CLK1)와 제3 클럭 단자(CLK3)를 통해 입력되는 클럭에 응답하여 QB 노드를 방전하는 제4 AND 게이트(AND4), Q 및 QB 노드(Q, QB)의 전압에 따라 제2 클럭 단자(CLK2)를 통해 입력되는 클럭을 출력하는 출력부를 구비한다. 따라서, 제k 스테이지(ST(k))는 제2 클럭 단자(CLK2)를 통해 입력되는 클럭과 동기되는 출력을 발생한다.

[0059] 제1 AND 게이트(AND1)는 제11 및 제12 트랜지스터(T11, T12)를 포함한다. 제11 트랜지스터(T11)의 게이트 전극은 스타트 단자(START)에 접속되고, 소스 전극은 제12 트랜지스터(T12)의 드레인 전극에 접속되며, 드레인 전극은 저전위 전압원(VSS)에 접속된다. 제12 트랜지스터(T12)의 게이트 전극은 제1 클럭 단자(CLK1)에 접속되고, 소스 전극은 Q 노드(Q)에 접속되며, 드레인 전극은 제11 트랜지스터(T11)의 소스 전극에 접속된다. 따라서, 제11 트랜지스터(T11)가 스타트 단자(START)를 통해 입력되는 신호에 응답하여 턴-온되고, 제12 트랜지스터(T12)가 제1 클럭 단자(CLK1)를 통해 입력되는 신호에 응답하여 턴-온되는 경우에만, Q 노드(Q)는 저전위 전압원(VSS)의 전압으로 방전된다.

[0060] 제2 AND 게이트(AND2)는 제13 및 제14 트랜지스터(T13, T14)를 포함한다. 제13 트랜지스터(T13)의 게이트 전극은 제1 클럭 단자(CLK1)에 접속되고, 소스 전극은 제14 트랜지스터(T14)의 드레인 전극에 접속되며, 드레인 전극은 Q 노드(Q)에 접속된다. 제14 트랜지스터(T14)의 게이트 전극은 제3 클럭 단자(CLK3)에 접속되고, 소스 전극은 고전위 전압원(VDD)에 접속되며, 드레인 전극은 제13 트랜지스터(T13)의 소스 전극에 접속된다. 따라서, 제13 트랜지스터(T13)가 제1 클럭 단자(CLK1)를 통해 입력되는 신호에 응답하여 턴-온되고, 제14 트랜지스터(T14)가 제3 클럭 단자(CLK3)를 통해 입력되는 신호에 응답하여 턴-온되는 경우에만, Q 노드(Q)는 고전위 전압원(VDD)의 전압으로 충전된다.

[0061] 제3 AND 게이트(AND3)는 제15 및 제16 트랜지스터(T15, T16)를 포함한다. 제15 트랜지스터(T15)의 게이트 전극

은 스타트 단자(START)에 접속되고, 소스 전극은 고전위 전압원(VDD)에 접속되며, 드레인 전극은 제16 트랜지스터(T16)의 소스 전극에 접속된다. 제16 트랜지스터(T16)의 게이트 전극은 제1 클럭 단자(CLK1)에 접속되고, 소스 전극은 제15 트랜지스터(T15)의 드레인 전극에 접속되며, 드레인 전극은 QB 노드(QB)에 접속된다. 따라서, 제15 트랜지스터(T15)가 스타트 단자(START)를 통해 입력되는 신호에 응답하여 턴-온 되고, 제16 트랜지스터(T16)가 제1 클럭 단자(CLK1)를 통해 입력되는 신호에 응답하여 턴-온되는 경우에만, QB 노드(QB)는 고전위 전압원(VDD)의 전압으로 충전된다.

[0062] 제4 AND 게이트(AND4)는 제17 및 제18 트랜지스터(T17, T18)를 포함한다. 제17 트랜지스터(T17)의 게이트 전극은 제1 클럭 단자(CLK1)에 접속되고, 소스 전극은 QB 노드(QB)에 접속되며, 드레인 전극은 제18 트랜지스터(T18)의 소스 전극에 접속된다. 제18 트랜지스터(T18)의 게이트 전극은 제3 클럭 단자(CLK3)에 접속되고, 소스 전극은 제17 트랜지스터(T17)의 드레인 전극에 접속되며, 드레인 전극은 저전위 전압원(VSS)에 접속된다. 따라서, 제17 트랜지스터(T17)가 제1 클럭 단자(CLK1)를 통해 입력되는 신호에 응답하여 턴-온되고, 제18 트랜지스터(T18)가 제3 클럭 단자(CLK3)를 통해 입력되는 신호에 응답하여 턴-온되는 경우에만, QB 노드(QB)는 저전위 전압원(VSS)의 전압으로 방전된다.

[0063] 출력부는 Q 노드(Q)의 전압에 따라 턴-온되어 출력 노드(NO)를 제2 클럭 단자(CLK2)를 통해 입력되는 클럭으로 방전시키는 풀-업 트랜지스터(TU)와, QB 노드의 전압에 따라 턴-온되어 출력 노드(NO)를 고전위 전압원(VDD)의 전압으로 충전시키는 제1 및 제2 풀-다운 트랜지스터(TD1, TD2)를 포함한다. 풀-업 트랜지스터(TU)는 Q 노드(Q)의 부트스트래핑으로 인해 턴-온 됨으로써, 제2 클럭 단자(CLK2)를 통해 입력되는 클럭으로 출력 노드(NO)를 방전하여 스테이지의 출력(Sout)을 발생시킨다. 풀-업 트랜지스터(TU)의 게이트 전극은 Q 노드(Q)에 접속되고, 소스 전극은 제2 클럭 단자(CLK2)에 접속되며, 드레인 전극은 출력 노드(NO)에 접속된다. 제1 및 제2 풀-다운 트랜지스터(TD1, TD2)는 스테이지의 출력이 고전위 전압원(VDD)의 전압으로 유지되도록 QB 노드(QB)의 전압에 따라 출력 노드(NO)를 고전위 전압원(VDD)의 전압으로 충전시킨다. 제1 풀-다운 트랜지스터(TD1)의 게이트 전극은 QB 노드(QB)에 접속되고, 소스 전극은 제2 풀-다운 트랜지스터(TD2)의 드레인 전극에 접속되며, 드레인 전극은 출력 노드(NO)에 접속된다. 제2 풀-다운 트랜지스터(TD2)의 게이트 전극은 QB 노드(QB)에 접속되고, 소스 전극은 고전위 전압원(VDD)에 접속되며, 드레인 전극은 제1 풀-다운 트랜지스터(TD1)의 소스 전극에 접속된다.

[0064] 제11 내지 제18 트랜지스터(T11, T12, T13, T14, T15, T16, T17, T18)와, 풀-업 트랜지스터(TU)와, 제1 및 제2 풀-다운 트랜지스터(TD1, TD2)는 박막 트랜지스터(Thin Film Transistor)로 형성될 수 있다. 제11 내지 제18 트랜지스터(T11, T12, T13, T14, T15, T16, T17, T18)와, 풀-업 트랜지스터(TU)와, 제1 및 제2 풀-다운 트랜지스터(TD1, TD2)의 반도체 층은 a-Si, Poly-Si, 산화물 반도체 중 어느 하나로 형성될 수 있다. 또한, 도 5에서 제11 내지 제18 트랜지스터(T11, T12, T13, T14, T15, T16, T17, T18)와, 풀-업 트랜지스터(TU)와, 제1 및 제2 풀-다운 트랜지스터(TD1, TD2)가 P 타입 MOS-FET으로 구현된 것을 중심으로 설명하였지만, 이에 한정되지 않으며, N 타입 MOS-FET으로도 구현될 수 있다.

[0065] 도 6은 도 5의 스테이지에 입력 및 출력되는 신호들을 보여주는 파형도이다. 도 5 및 도 6을 참조하면, 스테이지들(ST(1)~ST(n)) 각각의 스타트 단자(START)에는 스타트 전압(VST) 또는 전단 스테이지의 출력(Sout(k-1))이 입력된다. 또한, 스테이지들(ST(1)~ST(n)) 각각의 제1 클럭 단자(CLK1), 제2 클럭 단자(CLK2), 및 제3 클럭 단자(CLK3) 각각에는 3상 클럭들(CLK1, CLK2, CLK3)이 순차적으로 입력된다.

[0066] 스타트 전압(VST)은 1 프레임 기간의 시작과 함께 한 번 발생한다. 스타트 전압(VST)과 3상 클럭들(CLK1, CLK2, CLK3)은 2 수평기간(2H)의 펄스 폭을 가진다. 또한, 3상 클럭들(CLK1, CLK2, CLK3)의 펄스는 1 수평기간(1H)씩 중첩된다. 즉, 제1 클럭(C1)의 펄스 중 1 수평기간(1H)은 제3 클럭(C3)의 펄스와 중첩되고, 나머지 1 수평기간(1H)은 제2 수평기간(CLK2)의 펄스와 중첩된다. 3상 클럭들(CLK1, CLK2, CLK3)의 펄스는 게이트 로우 전압(VGL)으로 발생한다.

[0067] 이하에서, 도 5 및 도 6을 참조하여 t1 내지 t4 기간 동안 제k 스테이지(ST(k))의 동작을 구체적으로 설명한다. 제1 클럭 단자(CLK1)에 제1 클럭(C1)이 입력되고, 제2 클럭 단자(CLK2)에 제2 클럭(C2)이 입력되며, 제3 클럭 단자(CLK3)에 제3 클럭(C3)이 입력되는 것을 중심으로 설명한다.

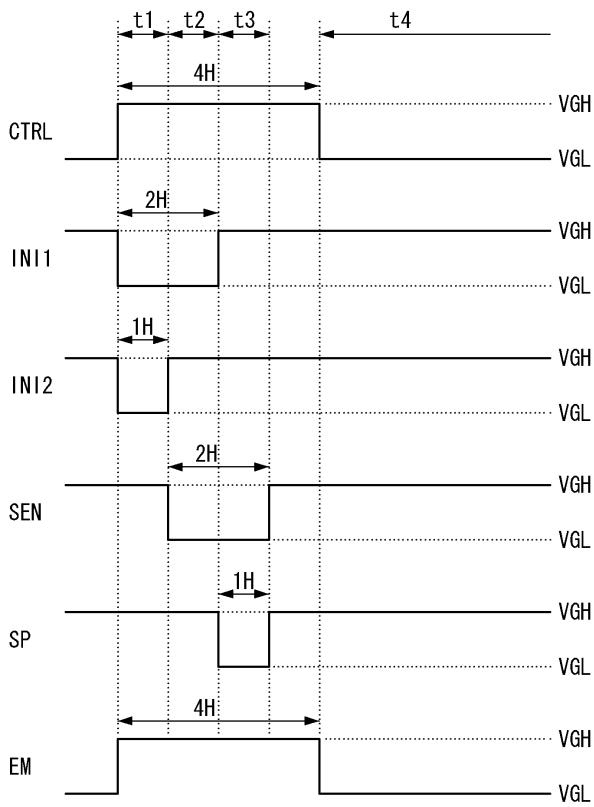
[0068] t1 기간 동안, 스타트 단자(START)를 통해 게이트 로우 전압(VGL)의 스타트 전압(VST)(또는 제k-1 스테이지(ST(k-1))의 출력(Sout(k-1)))이 입력된다. 제1 클럭 단자(CLK1)를 통해 게이트 로우 전압(VGL)의 제1 클럭(C1)이 입력된다. 제3 클럭 단자(CLK3)를 통해 게이트 로우 전압(VGL)의 제3 클럭(C3)이 입력된다.

- [0069] 제11 및 제15 트랜지스터(T11, T15)는 게이트 로우 전압(VGL)의 스타트 전압(VST)에 응답하여 턴-온된다. 제12, 제13, 제16, 및 제17 트랜지스터(T12, T13, T16, T17)는 게이트 로우 전압(VGL)의 제1 클럭(C1)에 응답하여 턴-온된다. 제14 및 제18 트랜지스터(T14, T18)는 게이트 로우 전압(VGL)의 제3 클럭(C3)에 응답하여 턴-온된다.
- [0070] 즉, 제1 AND 게이트(AND1)의 제11 및 제12 트랜지스터(T11, T12)의 턴-온으로 인해, Q 노드(Q)는 저전위 전압원(VSS)과 접속된다. 또한, 제2 AND 게이트(AND2)의 제13 및 제14 트랜지스터(T13, T14)의 턴-온으로 인해, Q 노드(Q)는 고전위 전압원(VDD)과도 접속된다. 따라서, Q 노드(Q)는 저전위 전압원(VSS)과 고전위 전압원(VDD) 전압의 중간 레벨의 전압을 가진다.
- [0071] 제3 AND 게이트(AND3)의 제15 및 제16 트랜지스터(T15, T16)의 턴-온으로 인해, QB 노드(QB)는 고전위 전압원(VDD)과 접속된다. 또한, 제4 AND 게이트(AND4)의 제17, 제18 트랜지스터(T17, T18)의 턴-온으로 인해, QB 노드(QB)는 저전위 전압원(VSS)과도 접속된다. 따라서, QB 노드(QB)는 저전위 전압원(VSS)과 고전위 전압원(VDD) 전압의 중간 레벨의 전압을 가진다.
- [0072] t2 기간 동안, 스타트 단자(START)를 통해 입력되는 스타트 전압(VST)(또는 제k-1 스테이지(ST(k-1))의 출력(Sout(k-1)))과 제1 클럭 단자(CLK1)를 통해 입력되는 제1 클럭(C1)은 게이트 로우 전압(VGL)을 유지한다. 제3 클럭 단자(CLK3)를 통해 입력되는 제3 클럭(C3)은 게이트 하이 전압(VGH)으로 반전된다. 제2 클럭 단자(CLK2)를 통해 게이트 로우 전압(VGL)의 제2 클럭(C2)이 입력된다.
- [0073] 제11 및 제15 트랜지스터(T11, T15)는 게이트 로우 전압(VGL)의 스타트 전압(VST)에 의해 턴-온된 상태를 유지한다. 제12, 제13, 제16, 및 제17 트랜지스터(T12, T13, T16, T17)는 게이트 로우 전압(VGL)의 제1 클럭(C1)에 응답하여 턴-온된 상태를 유지한다. 제14 및 제18 트랜지스터(T14, T18)는 게이트 하이 전압(VGH)의 제3 클럭(C3)에 의해 턴-오프된다. 따라서, Q 노드(Q)는 저전위 전압원(VSS)의 전압으로 방전되고, QB 노드(QB)는 고전위 전압원(VDD)의 전압으로 충전된다.
- [0074] 풀-업 트랜지스터(TU)의 소스 전극에는 게이트 로우 전압(VGL)의 제2 클럭(C2)이 입력된다. Q 노드(Q)의 전압은 풀-업 트랜지스터(TU)의 게이트-드레인 전극들 사이의 제2 캐패시터(C2)에 의해 부트스트래핑되어 게이트 로우 전압(VGL)보다 낮은 전압 레벨로 하강하므로, 풀-업 트랜지스터(TU)는 턴-온된다. 따라서, 출력 노드(NO)의 전압은 게이트 로우 전압(VGL)으로 하강하고, 제k 스테이지(ST(k))는 게이트 로우 전압(VGL)을 출력한다.
- [0075] t3 기간 동안, 스타트 단자(START)를 통해 입력되는 스타트 전압(VST)(또는 제k-1 스테이지(ST(k-1))의 출력(Sout(k-1)))과 제1 클럭 단자(CLK1)를 통해 입력되는 제1 클럭(C1)은 게이트 하이 전압(VGH)으로 반전된다. 제2 클럭 단자(CLK2)를 통해 입력된 제2 클럭(C2)은 게이트 로우 전압(VGL)을 유지한다. 또한, 제3 클럭 단자(CLK3)를 통해 게이트 로우 전압(VGL)의 제3 클럭(C3)이 입력된다.
- [0076] 제11 및 제15 트랜지스터(T11, T15)는 게이트 하이 전압(VGH)의 스타트 전압(VST)에 의해 턴-오프된다. 제12, 제13, 제16, 및 제17 트랜지스터(T12, T13, T16, T17)는 게이트 하이 전압(VGH)의 제1 클럭(C1)에 의해 턴-오프된다. 제14 및 제18 트랜지스터(T14, T18)는 게이트 로우 전압(VGL)의 제3 클럭(C3)에 응답하여 턴-온된다.
- [0077] 제1 AND 게이트(AND1)의 제11 및 제12 트랜지스터(T11, T12)의 턴-오프로 인해, Q 노드(Q)는 저전위 전압원(VSS)과의 접속이 차단된다. 또한, 제2 AND 게이트(AND2)에서 제14 트랜지스터(T14)는 턴-온되나 제13 트랜지스터(T13)가 턴-오프되므로, Q 노드(Q)는 고전위 전압원(VDD)과의 접속이 차단된다.
- [0078] 풀-업 트랜지스터(TU)의 소스 전극에는 게이트 로우 전압(VGL)의 제2 클럭(C2)이 입력된다. Q 노드(Q)의 전압은 제1 캐패시터(C1)에 의해 게이트 로우 전압(VGL)보다 낮은 전압 레벨로 하강된 상태를 유지하고, 풀-업 트랜지스터(TU)는 턴-온된 상태를 유지한다. 따라서, 출력 노드(NO)의 전압은 게이트 로우 전압(VGL)으로 하강하고, 제k 스테이지(ST(k))는 게이트 로우 전압(VGL)을 출력한다.
- [0079] 제3 AND 게이트(AND3)의 제15 및 제16 트랜지스터(T15, T16)의 턴-오프로 인해, QB 노드(QB)는 고전위 전압원(VDD)과의 접속이 차단된다. 또한, 제4 AND 게이트(AND4)에서 제18 트랜지스터(T18)는 턴-온되나 제17 트랜지스터(T17)가 턴-오프되므로, QB 노드(QB)는 저전위 전압원(VSS)과의 접속이 차단된다. QB 노드(QB)는 제3 캐패시터(C3)에 의해 고전위 전압원(VDD)의 전압을 유지한다.
- [0080] t4 시간 동안, 제2 클럭 단자(CLK2)를 통해 입력된 제2 클럭(C2)은 게이트 하이 전압(VGH)으로 반전된다. 제3 클럭 단자(CLK3)를 통해 입력된 제3 클럭(C3)은 게이트 로우 전압(VGL)을 유지한다. 또한, 제1 클럭 단자(CLK1)를 통해 게이트 로우 전압(VGL)의 제1 클럭(C1)이 입력된다.

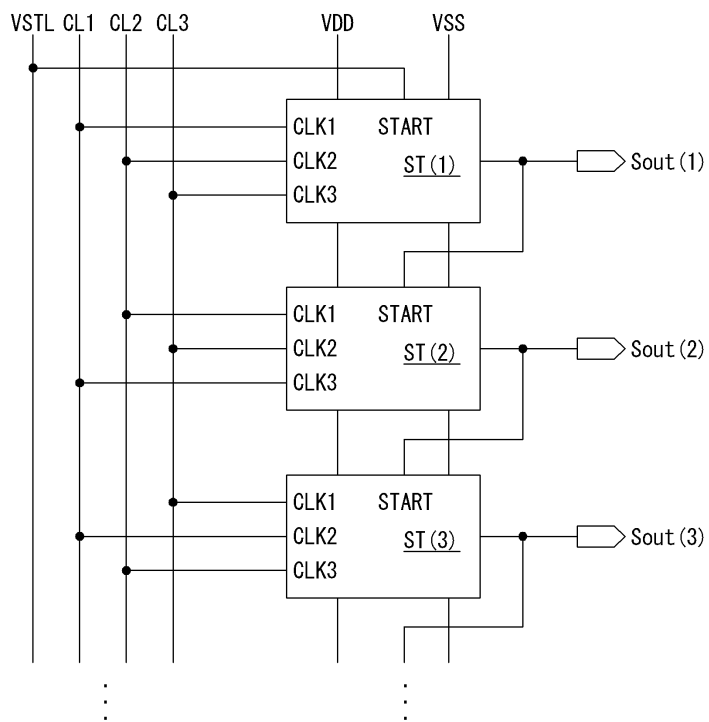
- [0081] 제12, 제13, 제16, 및 제17 트랜지스터(T12, T13, T16, T17)는 게이트 로우 전압(VGL)의 제1 클럭(C1)에 응답하여 턴-온된다. 제14 및 제18 트랜지스터(T14, T18)는 게이트 로우 전압(VGL)의 제3 클럭(C3)에 응답하여 턴-온된 상태를 유지한다. 제11 및 제15 트랜지스터(T11, T15)는 게이트 하이 전압(VGH)의 스타트 전압(VST)에 의해 턴-오프된 상태를 유지한다.
- [0082] 제1 AND 게이트(AND1)의 제12 트랜지스터(T12)는 턴-온되나 제11 트랜지스터(T11)가 턴-오프되므로, Q 노드(Q)는 저전위 전압원(VSS)과의 접속이 차단된다. 제2 AND 게이트(AND2)의 제13 및 제14 트랜지스터(T13, T14)는 턴-온되므로, Q 노드(Q)는 고전위 전압원(VDD)과의 접속된다. 따라서, Q 노드(Q)는 고전위 전압원(VDD)의 전압으로 충전되며, 풀-업 트랜지스터(TU)는 턴-오프된다.
- [0083] 제3 AND 게이트(AND3)의 제16 트랜지스터(T16)는 턴-온되나 제15 트랜지스터(T15)가 턴-오프되므로, QB 노드(QB)는 고전위 전압원(VDD)과의 접속이 차단된다. 제4 AND 게이트(AND4)의 제17 및 제18 트랜지스터(T17, T18)는 턴-온되므로, QB 노드(QB)는 저전위 전압원(VSS)과 접속된다. 따라서, QB 노드(QB)는 저전위 전압원(VSS)의 전압으로 방전된다. 제1 및 제2 풀다운 트랜지스터(TD1, TD2)는 QB 노드(QB)의 저전위 전압원(VSS)의 전압에 응답하여 턴-온되어 출력 노드(NO)를 고전위 전압원(VDD)의 전압으로 충전시킨다. 결국, 출력 노드(N0)의 전압은 게이트 하이 전압(VGH)으로 상승하고, 제k 스테이지(ST(k))는 게이트 하이 전압(VGH)을 출력한다.
- [0084] 도 7은 종래 기술과 본 발명의 클럭 라인 중첩을 비교한 표이다. 도 7을 참조하면, 표시패널(10)의 1 라인의 출력부 개수에 따라 클럭 라인의 중첩 개수를 비교하였다. 또한, 종래 기술은 5개의 클럭 라인을 이용한 경우이고, 본 발명은 위에서 살펴본 바와 같이 3개의 클럭 라인을 이용한 경우이다.
- [0085] 표시패널(10)의 1 라인에 펄스 출력회로가 1개인 경우, 종래 기술은 클럭 라인의 중첩 개수가 2.4 개인 반면, 본 발명은 클럭 라인의 중첩 개수가 2 개이다. 본 발명은 종래 기술보다 클럭 라인들 간의 중첩을 대략 17% 절감할 수 있다. 표시패널(10)의 1 라인에 펄스 출력회로가 2개인 경우, 종래 기술은 클럭 라인의 중첩 개수가 5.4 개인 반면, 본 발명은 클럭 라인의 중첩 개수가 4 개이다. 본 발명은 종래 기술보다 클럭 라인들 간의 중첩을 대략 26% 절감할 수 있다. 표시패널(10)의 1 라인에 펄스 출력회로가 3개인 경우, 종래 기술은 클럭 라인의 중첩 개수가 8.4 개인 반면, 본 발명은 클럭 라인의 중첩 개수가 6 개이다. 본 발명은 종래 기술보다 클럭 라인들 간의 중첩을 대략 30% 절감할 수 있다. 결국, 표시패널(10)의 1 라인에 펄스 출력회로가 많아질수록, 본 발명의 클럭 라인들 간의 중첩 효과는 종래 기술보다 커진다.
- [0086] 앞에서 설명한 바와 같이, 본 발명의 게이트 구동회로는 컨트롤 펄스 출력회로, 제1 초기화 펄스 출력회로, 제2 초기화 펄스 출력회로, 센싱 펄스 출력회로, 스캔 펄스 출력회로, 및 발광 펄스 출력회로를 포함한다. 즉, 표시패널(10)의 1 라인에 6개의 펄스 출력회로가 필요하다. 종래 기술과 같이 5개의 클럭 라인들을 이용하는 경우, 클럭 라인들간의 중첩으로 인해 라인 로드(Load)가 더욱 심화될 것이다. 이 경우, 펄스 출력회로들에 입력되는 클럭 신호들이 딜레이(delay) 될 뿐만 아니라, 펄스 출력회로들로부터 출력되는 펄스들도 딜레이 되므로, 표시패널의 구동에 문제가 발생할 수 있다. 또한, 클럭 라인들이 증가하는 경우, 베젤의 증가로 인해 표시장치의 슬림화가 어렵다.
- [0087] 본 발명과 같이 3개의 클럭 라인들을 이용하는 경우, 클럭 라인들간의 중첩을 최소화할 수 있다. 따라서, 본 발명은 클럭 라인들간의 중첩으로 인한 라인 로드(Load)를 줄일 수 있으며, 클럭 신호들의 딜레이(delay)를 방지할 수 있다. 또한, 본 발명은 클럭 라인들을 줄일 수 있으므로, 베젤 영역을 축소하여 표시장치를 슬림화할 수 있다.
- [0088] 도 8은 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 개략적으로 보여주는 블록도이다. 도 8을 참조하면, 본 발명의 실시예에 따른 유기발광다이오드 표시장치는 표시패널(10), 데이터 구동회로, 게이트 구동회로(14), 및 타이밍 컨트롤러(11) 등을 구비한다.
- [0089] 표시패널(10)에는 데이터 라인(DL)들과 스캔 라인(SL)들이 서로 교차되도록 형성된다. 또한, 표시패널(10)에는 스캔 라인(SL)들과 나란하게 컨트롤 라인(CTRL)들, 제1 초기화 라인(IL1)들, 제2 초기화 라인(IL2)들, 센싱 라인(SEL)들, 발광 라인(EL)들이 형성된다. 표시패널(10)은 데이터 라인(DL)들과 스캔 라인(SL)들에 의해 정의된 셀 영역들에 화소들이 매트릭스 형태로 배치된 화소 어레이(PIXEL ARRAY)를 포함한다. 표시패널(10)의 화소 어레이(PIXEL ARRAY)의 각 화소(P)에 대하여는 도 1을 결부하여 이미 앞에서 설명하였다.

- [0090] 데이터 구동회로는 다수의 소스 드라이브 IC(12)들을 포함한다. 소스 드라이브 IC(12)들은 타이밍 콘트롤러(11)로부터 디지털 비디오 데이터들(RGB)을 입력 받는다. 소스 드라이브 IC(12)들은 타이밍 콘트롤러(11)로부터의 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터들(RGB)을 감마보상전압으로 변환하여 데이터 전압을 발생하고, 그 데이터 전압을 스캔 펄스(SP)에 동기되도록 표시패널(10)의 데이터 라인(DL)들에 공급한다. 소스 드라이브 IC(12)들은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정으로 표시패널(10)의 데이터 라인(DL)들에 접속될 수 있다.
- [0091] 레벨 쉬프터(13)는 타이밍 콘트롤러(11)로부터 입력되는 클럭들(CLKs)의 TTL(Transistor-Transistor- Logic) 로직 레벨 전압을 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)으로 레벨 쉬프팅한다. 레벨 쉬프팅된 클럭들(CLKs)은 게이트 구동회로(14)로 입력된다.
- [0092] 게이트 구동회로(14)는 스캔 펄스 출력회로, 제1 및 제2 초기화 펄스 출력회로, 컨트롤 펄스 출력회로, 센싱 펄스 출력회로, 및 발광 펄스 출력회로를 포함한다. 스캔 펄스 출력회로는 표시패널(10)의 스캔 라인(GL)들에 연결되어 스캔 라인(SL)들에 스캔 펄스(SP)를 순차적으로 출력한다. 제1 초기화 펄스 출력회로는 표시패널(10)의 제1 초기화 라인(IL1)들에 연결되어 제1 초기화 펄스(INI1)를 순차적으로 출력한다. 제2 초기화 펄스 출력회로는 표시패널(10)의 제2 초기화 라인(IL2)들에 연결되어 제2 초기화 펄스(INI2)를 순차적으로 출력한다. 컨트롤 펄스 출력회로는 표시패널(10)의 컨트롤 라인(CL)들에 연결되어 컨트롤 펄스(CTRL)를 순차적으로 출력한다. 센싱 펄스 출력회로는 표시패널(10)의 센싱 라인(SEL)과 연결되어 센싱 펄스(SEN)를 순차적으로 출력한다. 발광 펄스 출력회로는 발광 라인(EL)들과 연결되어 유기발광다이오드(OLED)의 발광을 제어하는 발광 펄스(EM)를 출력한다. 이에 대하여는 도 1과 도 2를 결부하여 이미 앞에서 설명하였다.
- [0093] 게이트 구동회로(14)는 GIP(Gate Drive-IC In Panel) 방식으로 표시패널(10)의 하부기판상에 직접 형성된다. GIP 방식에서, 레벨 쉬프터(13)는 인쇄회로보드(Printed Circuit Board)(15) 상에 실장되고, 게이트 구동회로(14)는 표시패널(10)의 하부기판상에 형성된다. 또한, 게이트 구동회로(14)는 TAB 방식으로 표시패널(10)과 타이밍 콘트롤러(11) 사이에 연결될 수도 있다.
- [0094] 타이밍 콘트롤러(11)는 LVDS(Low Voltage Differential Signaling) 인터페이스, TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 외부의 호스트 시스템으로부터 디지털 비디오 데이터(RGB)를 입력받는다. 타이밍 콘트롤러(11)는 호스트 시스템으로부터 입력되는 디지털 비디오 데이터들(RGB)을 소스 드라이브 IC(12)들로 전송한다.
- [0095] 타이밍 콘트롤러(11)는 LVDS 또는 TMDS 인터페이스 수신회로를 통해 호스트 시스템으로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(MCLK) 등의 타이밍 신호를 입력받는다. 타이밍 콘트롤러(11)는 호스트 시스템으로부터의 타이밍 신호를 기준으로 데이터 구동회로와 게이트 구동회로(14)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 타이밍 제어신호들은 게이트 구동회로(14)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호, 소스 드라이브 IC(12)들의 동작 타이밍과 데이터 전압의 극성을 제어하기 위한 데이터 타이밍 제어신호를 포함한다.
- [0096] 게이트 타이밍 제어신호는 스타트 전압(VST)과 3상으로 순차적으로 발생하는 클럭들(CLKs) 등을 포함한다. 스타트 전압(VST)은 게이트 구동회로(14)에 입력되어 스캔 펄스 출력회로, 제1 및 제2 초기화 펄스 출력회로, 컨트롤 펄스 출력회로, 센싱 펄스 출력회로, 및 발광 펄스 출력회로의 쉬프트 스타트 타이밍을 제어한다. 클럭들(CLKs)은 레벨 쉬프터(13)에 입력되어 레벨 쉬프팅된 후에 게이트 구동회로(14)에 입력되며, 스타트 전압(VST)을 쉬프트시키기 위한 클럭신호로 이용된다.
- [0097] 데이터 타이밍 제어신호는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성제어신호(Polarity, POL), 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 소스 드라이브 IC(12)들의 쉬프트 스타트 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 소스 드라이브 IC(12)들 내에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 극성제어신호(POL)는 소스 드라이브 IC들로부터 출력되는 데이터 전압의 극성을 제어한다. 타이밍 콘트롤러(11)와 소스 드라이브 IC(12)들 사이의 데이터 전송 인터페이스가 mini LVDS 인터페이스라면, 소스 스타트 펄스(SSP)와 소스 샘플링 클럭(SSC)은 생략될 수 있다.
- [0098] 이상에서 살펴본 바와 같이, 본 발명은 3상 클럭 신호를 입력받고, 2 수평기간의 펄스 폭을 가지며 1 수평기간씩 위상이 지연되는 펄스 신호를 순차적으로 출력하는 펄스 출력회로를 포함한 유기발광다이오드 표시장치에 관

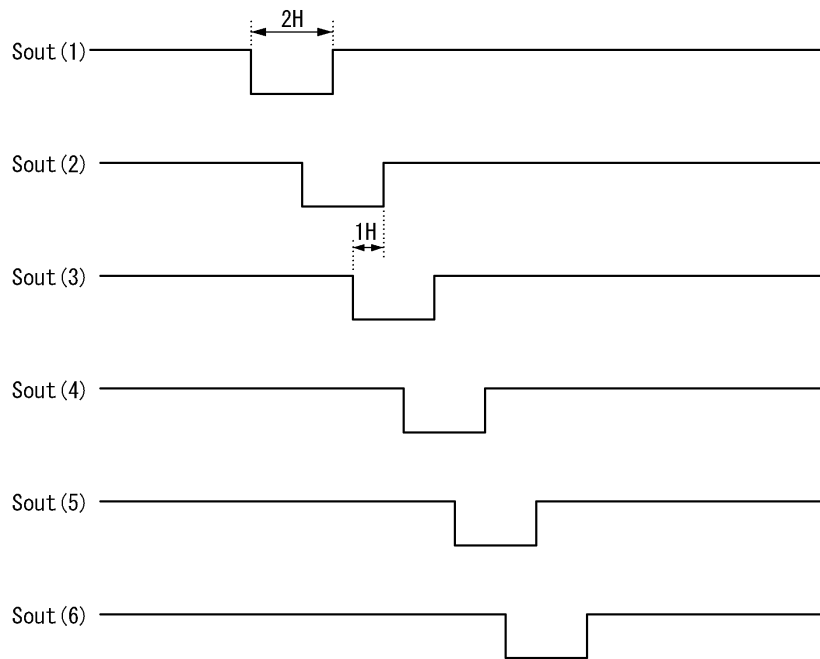
도면2



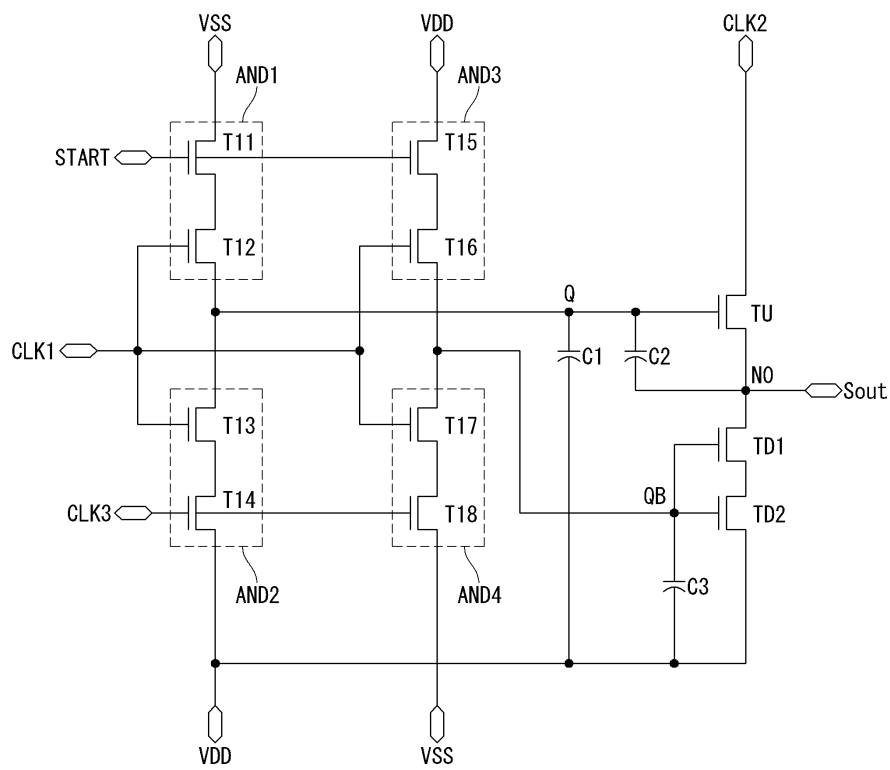
도면3



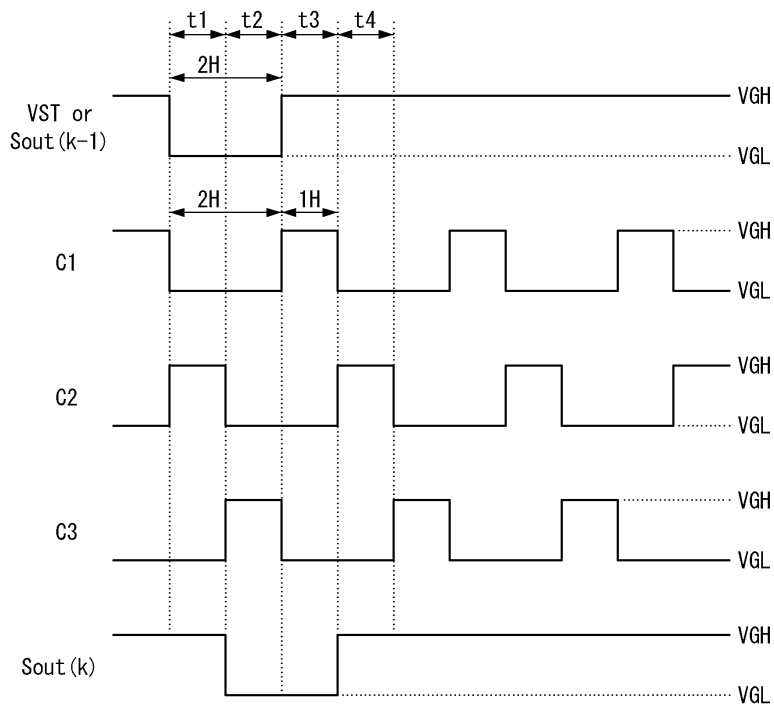
도면4



도면5



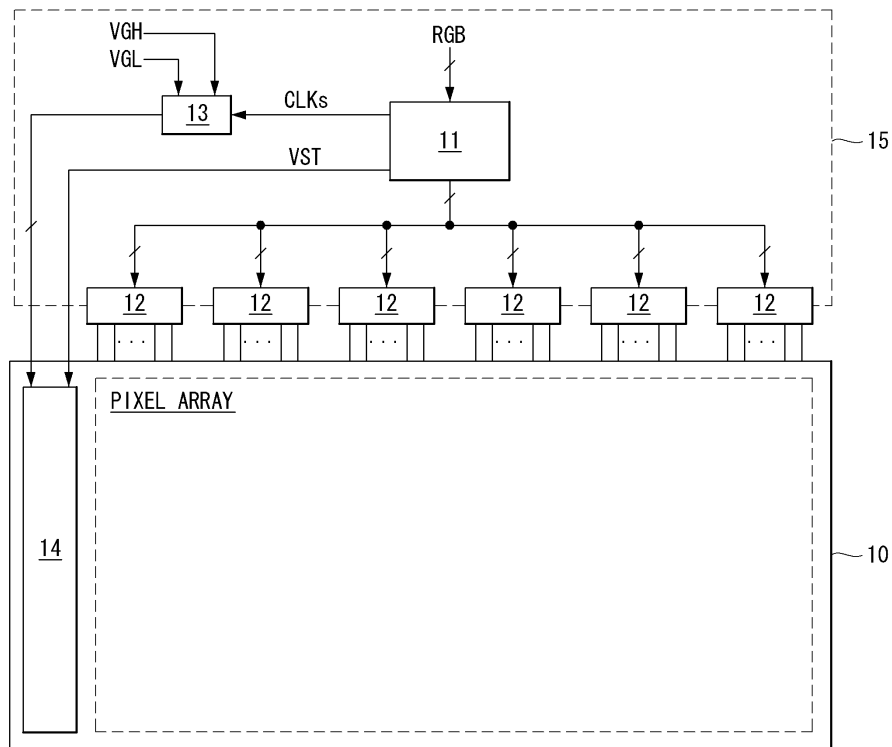
도면6



도면7

1 라인의 펄스 출력회로 개수	클럭라인의 중첩 개수		효과
	종래 기술	본 발명	
1	2.4	2	17% 절감
2	5.4	4	26% 절감
3	8.4	6	30% 절감

도면8



专利名称(译)	脉冲输出电路和使用它的有机发光二极管显示装置		
公开(公告)号	KR101834013B1	公开(公告)日	2018-03-02
申请号	KR1020110034677	申请日	2011-04-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE HYUN HAENG 이현행 HAN IN HYO 한인효		
发明人	이현행 한인효		
IPC分类号	G09G3/30		
CPC分类号	G09G3/3266 H05B33/0896 H03K19/096 G09G3/3233 G09G2310/08 H03K2005/00286 G09G2310/0289 H05B45/60		
其他公开文献	KR1020120117120A		
外部链接	Espacenet		

摘要(译)

用途：提供脉冲输出电路和使用该脉冲输出电路的有机发光二极管显示装置，通过连续输出相位延迟一个水平周期的信号来减少时钟线的数量。组成：第一个AND门 (AND1) 放电Q节点通过响应通过第一时钟端子和起始端子输入的时钟。第二个AND门 (AND2) 为Q节点充电。第三个AND门 (AND3) 为QB节点充电。第四与门 (AND4) 使QB节点放电。输出单元根据Q节点和QB节点的电压输出通过第二时钟端子输入的时钟。

