



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년12월02일
(11) 등록번호 10-1335527
(24) 등록일자 2013년11월26일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H05B 33/10 (2006.01)
(21) 출원번호 10-2012-0018612
(22) 출원일자 2012년02월23일
심사청구일자 2012년02월24일
(65) 공개번호 10-2013-0096974
(43) 공개일자 2013년09월02일
(56) 선행기술조사문헌
KR1020060001402 A*
KR1020070109192 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
신아람
서울특별시 서초구 서초4동 삼풍아파트 14동 120
6호
유준석
경기도 고양시 일산서구 대화동 대화마을9단지아
파트 903동 1101호
박수정
서울특별시 마포구 상암동 월드컵파크 6단지 609
동 1501호
(74) 대리인
특허법인네이트

전체 청구항 수 : 총 10 항

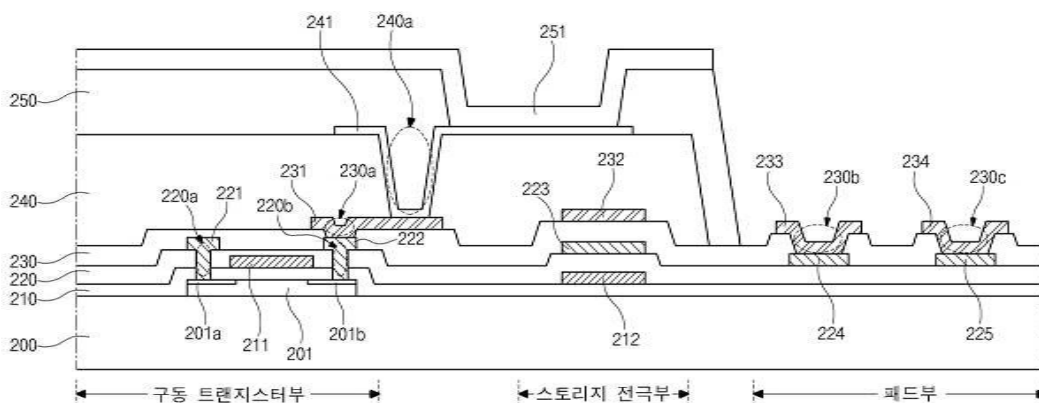
심사관 : 박성웅

(54) 발명의 명칭 유기전계발광표시장치 및 그 제조 방법

(57) 요약

본 발명의 일 측면에 따른 유기전계발광표시장치는 기판 상에 형성되고 소스 영역 및 드레인 영역을 포함하는 반도체층; 상기 반도체층 상에 제 1 절연막을 사이에 두고 형성된 게이트 전극 및 제 1 스토리지 전극; 상기 게이트 전극 및 상기 제 1 스토리지 전극 상에 형성된 제 2 절연막; 상기 소스 영역 및 상기 드레인 영역을 노출하는 콘택홀에 각각 형성된 소스 전극 및 드레인 전극; 상기 제 1 스토리지 전극과 대응되는 제 2 절연막 상에 형성된 제 2 스토리지 전극; 상기 소스 전극, 상기 드레인 전극 및 상기 제 2 스토리지 전극 상에 형성된 제 3 절연막; 제 3 절연막이 패터닝되어 외부로 노출된 상기 드레인 전극과 애노드 전극을 연결하는 제 1 금속층; 및 상기 제 2 스토리지 전극과 대응되는 상기 제 3 스토리지 상에 형성된 제 2 금속층을 포함한다.

대표도 - 도3



특허청구의 범위

청구항 1

기관 상에 형성되고 소스 영역 및 드레인 영역을 포함하는 반도체층;

상기 반도체층 상에 형성된 제 1 절연막;

상기 제 1 절연막의 상부에 형성된 게이트 전극 및 제 1 스토리지 전극;

상기 게이트 전극 및 상기 제 1 스토리지 전극의 상부에 상기 소스 영역 및 상기 드레인 영역을 노출하는 콘택홀을 가지며 형성된 제 2 절연막;

상기 콘택홀을 통해 상기 소스 영역 및 상기 드레인 영역 각각에 연결되는 소스 전극 및 드레인 전극;

상기 제 2 절연막의 상부로 상기 제 1 스토리지 전극과 대응되는 위치에 형성된 제 2 스토리지 전극;

상기 소스 전극, 상기 드레인 전극 및 상기 제 2 스토리지 전극의 상부에 상기 드레인 전극을 노출하는 드레인 콘택홀을 가지며 형성된 제 3 절연막;

일 단이 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하고, 타 단은 상기 드레인 전극의 상부에 형성되는 애노드 전극과 접촉하는 제 1 금속층; 및

상기 제 3 절연막의 상부로 상기 제 2 스토리지 전극과 대응되는 위치에 형성된 제 2 금속층을 포함하는 유기전계발광표시장치.

청구항 2

제 1 항에 있어서,

상기 제 3 절연막은 게이트 패드를 노출하는 제 1 패드 콘택홀과, 데이터 패드를 노출하는 제 2 패드 콘택홀을 더 포함하고,

상기 제 1 패드 콘택홀을 통해 상기 게이트 패드와 연결되는 제 3 금속층과, 상기 제 2 패드 콘택홀을 통해 상기 데이터 패드와 연결되는 제 4 금속층을 더 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 3

제 2 항에 있어서,

상기 제 1 금속층, 상기 제 2 금속층, 상기 제 3 금속층 및 상기 제 4 금속층은 동일한 물질로 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제 2 항에 있어서,

상기 제 1 금속층, 상기 제 2 금속층, 상기 제 3 금속층 및 상기 제 4 금속층은 단일층 또는 복수층으로 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제 2 항에 있어서,

상기 제 1 금속층, 상기 제 2 금속층, 상기 제 3 금속층 및 상기 제 4 금속층은 몰리브덴(Mo), 구리(Cu), 알루미늄

미늄(Al) 중 어느 하나를 포함하는 금속으로 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 6

기관 상에 소스 영역과 드레인 영역을 포함하는 반도체층을 형성하고, 상기 반도체층의 상부에 제 1 절연막을 형성하는 단계;

상기 제 1 절연막 상에 게이트 전극 및 제 1 스토리지 전극을 형성하는 단계;

상기 게이트 전극 및 제 1 스토리지 전극의 상부에 상기 반도체층의 상기 소스 영역 및 상기 드레인 영역을 각각 노출시키는 콘택홀을 포함하는 제 2 절연막을 형성하는 단계;

상기 콘택홀을 통해 상기 소스 영역 및 상기 드레인 영역 각각에 연결되는 소스 전극 및 드레인 전극을 형성하는 동시에 상기 제 2 절연막의 상부로 상기 제 1 스토리지 전극과 대응되는 위치에 제 2 스토리지 전극을 형성하는 단계;

상기 소스 전극, 상기 드레인 전극 및 상기 제 2 스토리지 전극의 상부에 상기 드레인 전극을 노출시키는 드레인 콘택홀을 포함하는 제 3 절연막을 형성하는 단계;

상기 드레인 콘택홀을 통해 일 단이 상기 드레인 전극과 접촉하는 제 1 금속층을 형성하는 동시에 상기 제 3 절연막의 상부로 상기 제 2 스토리지 전극과 대응되는 위치에 제 2 금속층을 형성하는 단계 및

상기 제 1 금속층의 상부로 상기 제 1 금속층의 타 단과 접촉하는 애노드 전극을 형성하는 단계를 포함하는 유기전계발광표시장치 제조방법.

청구항 7

제 6 항에 있어서,

상기 제 3 절연막을 형성하는 단계는,

게이트 패드를 노출하는 제 1 패드 콘택홀과, 데이터 패드를 노출하는 제 2 패드 콘택홀을 형성하는 단계를 포함하고,

상기 제 1 패드 콘택홀을 통해 상기 게이트 패드와 연결되는 제 3 금속층을 형성하는 단계와,

상기 제 2 패드 콘택홀을 통해 상기 데이터 패드와 연결되는 제 4 금속층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 8

제 7 항에 있어서,

상기 제 3 금속층을 형성하는 단계 및 상기 제 4 금속층을 형성하는 단계는, 상기 제 1 금속층과 제 2 금속층을 형성하는 단계와 동시에 수행되는 것을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 9

제 7 항에 있어서,

상기 제 1 금속층, 상기 제 2 금속층, 상기 제 3 금속층 및 상기 제 4 금속층을 단일층 또는 복수층으로 형성하는 것을 특징으로 하는 유기전계발광표시장치 제조방법.

청구항 10

제 7 항에 있어서,

상기 제 1 금속층, 상기 제 2 금속층, 상기 제 3 금속층 및 상기 제 4 금속층을 몰리브덴(Mo), 구리(Cu), 알루미늄(Al) 중 어느 하나를 포함하는 금속으로 형성하는 것을 특징으로 하는 유기전계발광표시장치 제조방법.

명세서

기술분야

[0001] 본 발명은 유기전계발광표시장치 및 그 제조 방법에 관한 것으로서, 보다 구체적으로 대면적에서 고해상도를 구현할 수 있는 유기전계발광표시장치 및 그 제조방법에 관한 것이다.

배경기술

[0002] 최근 들어 부피와 무게가 큰 음극선관(Cathode Ray Tube)를 대신하여 액정표시장치(Liquid Crystal Display Device)나 유기전계발광표시장치(Organic Light Emitting Diode Display Device)와 같은 평판디스플레이장치의 개발이 활발히 진행되고 있다.

[0003] 이 중 유기전계발광표시장치는 액정표시장치와 달리 별도의 광원이 필요없는 자발광소자이기 때문에 액정표시장치에 비해 두께가 더 얇아지고 무게가 더 가벼우며 색재현율이 액정표시장치에 비해 우수하여 차세대 디스플레이로 각광을 받고 있다.

[0004] 이와 같은 유기전계발광표시장치는 일반적으로 수동형(Passive type)과 능동형(Active type)으로 나눌 수 있다. 이 중에서 각 화소마다 별도의 박막 트랜지스터(thin film transistor)를 구비하여 소비전력이 낮고 해상도면에서 유리한 이점을 갖고 있는 능동형 유기전계발광표시장치가 고해상도 대면적 화상표시소자를 구현하는데 많이 사용하고 있는 추세이다.

[0005] 도 1은 일반적인 능동형 유기전계발광표시장치(이하 유기전계발광표시장치)의 단면도이다.

[0006] 도 1을 참조하면, 일반적인 유기전계발광표시장치는 기판(substrate, 100) 상에 반도체층(semiconductor layer, 101) 및 제 1 스토리지 전극(storage electrode, 102)이 형성되어 있고, 상부에 복수의 절연막(insulating layer, 110, 120, 130, 140)을 사이에 두고 게이트 전극(gate electrode, 111), 소스 전극(source electrode, 121), 드레인 전극(drain electrode, 122), 제 2 스토리지 전극(112) 및 제 3 스토리지 전극(123)이 형성되어 있다.

[0007] 여기서, 제 3 절연막(130) 하부에는 스위칭 트랜지스터(미도시)의 게이트 전극(미도시)과 연결되어 있는 게이트 패드(gate pad, 124) 및 스위칭 트랜지스터의 소스 전극(미도시)과 연결되어 있는 데이터 패드(data pad, 125)가 각각 형성되어 있다. 상기 스위칭 트랜지스터는 본 발명과 직접적으로 관련이 없는 부분으로, 도면에서의 도시는 생략하기로 한다.

[0008] 또한, 제 2 절연막(120) 상부에는 소스 전극(121) 및 드레인 전극(122)이 형성되어 있고, 드레인 전극(122)은 애노드 전극(anode, 141)에 연결되어 있다. 유기발광층(organic light emitting layer, 151)은 제 4 절연막(140) 상부에 연장 형성된 애노드 전극(141) 및 बैं크층(bank layer, 150) 상에 형성되어 있다.

[0009] 여기서, 제 1 스토리지 전극(102)과 대응되는 제 1 절연막(110) 상에 제 2 스토리지 전극(112)이 형성되고, 마찬가지로 제 2 스토리지 전극(112)과 대응되는 제 2 절연막(120) 상에 제 3 스토리지 전극(123)이 형성된다. 상기 복수의 스토리지 전극(102, 112, 123)은 정전용량을 발생시켜 게이트 신호가 인가되지 않을 때에도 유기발광층의(151) 발광을 유지시켜주는 역할을 한다. 이러한 복수의 스토리지 전극(102, 112, 123)을 많이 형성할수록 유기발광층(151)을 구동하는데 충분한 정전용량을 확보할 수 있지만, 각 화소 영역의 크기가 제한되어 있기 때문에 제한된 화소 영역에서 고집적도를 통해 고해상도를 구현하기 위해서는 스토리지 전극이 차지하는 면적을 줄이는 회로 설계가 필수적이다.

[0010] 한편, 대면적 패널을 구현할 때, 전원공급단에서 멀리 떨어진 화소의 경우 전압강하 현상이 발생하는데, 떨어진 전압을 보상하지 않으면, 휘도 불균일 현상이 발생할 수 있다. 그러나, 각 픽셀의 면적은 동일하게 한정되어 있으며, 상기와 같이 스토리지 전극부를 포함한 보상회로의 구성요소가 많아지면 집적도가 떨어지며, 고해상도 구현이 어렵다.

[0011] 또한, 제 3 콘택홀(140a)은 2개의 층이 식각되어 형성되며, 특히, 평탄화를 위해 형성되는 제 4절연막(140)의 높이가 높기 때문에, 제 4절연막(140) 상에 형성되는 3 콘택홀(140a)의 단차는 다른 콘택홀에 비해 높게 형성된다. 단차가 높은 제 3 콘택홀(140a) 상에 형성되는 애노드 전극(141)은 그 두께가 불균일하게 형성되거나 부분적으로 끊어질 수 있으며, 이는 추후 전기적 연결에 문제를 발생시킬 수 있다.

[0012] 덧붙여, 게이트 패드(124) 및 데이터 패드(125)는 제 4 콘택홀(140b) 및 제 5 콘택홀(140c)이 형성된 후 외부로 노출되는데, 이 부분이 상부에 막이 형성되기 전까지 장시간 외부에 노출되면 산화되어 손상을 입을 수 있다. 이 패드부가 손상되면 전기적 연결이 불안정해질 수 있다.

[0013] 한편, 상기 복수의 스토리지 전극(102, 112, 123) 중에서, 제 2 스토리지 전극(112) 및 제 3 스토리지 전극(123)은 금속으로 형성되지만, 제 1 스토리지 전극(102)은 반도체층(101)과 동일한 물질인 실리콘 계열의 물질로 형성된다. 따라서, 제 1 스토리지 전극(102)을 전극으로 활용하기 위해서는 도핑(doping)공정이라는 별도의 반도체 공정이 추가로 필요하며, 이에 따라 공정의 효율성이 떨어진다.

이와 유사한 기술로써 본 발명의 배경이 되는 기술은 한국 공개특허공보 제10-2006-0001402호(2006.01.06.)에 개시되어 있다.

발명의 내용

해결하려는 과제

[0014] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 새로운 금속층을 형성하여 고해상도를 구현하고, 대면적에서 휘도 균일도를 향상시키면서 전기적 연결의 안정성을 높이며, 공정의 효율성을 향상시키는 것을 그 기술적 과제로 한다.

과제의 해결 수단

[0015] 상술한 목적을 달성하기 위한 본 발명의 일 측면에 따른 유기전계발광표시장치는 기판 상에 형성되고 소스 영역 및 드레인 영역을 포함하는 반도체층; 상기 반도체층 상에 제 1 절연막을 사이에 두고 형성된 게이트 전극 및 제 1 스토리지 전극; 상기 게이트 전극 및 상기 제 1 스토리지 전극 상에 형성된 제 2 절연막; 상기 소스 영역 및 상기 드레인 영역을 노출하는 콘택홀에 각각 형성된 소스 전극 및 드레인 전극; 상기 제 1 스토리지 전극과 대응되는 제 2 절연막 상에 형성된 제 2 스토리지 전극; 상기 소스 전극, 상기 드레인 전극 및 상기 제 2 스토리지 전극 상에 형성된 제 3 절연막; 제 3 절연막이 패터닝되어 외부로 노출된 상기 드레인 전극과 애노드 전극을 연결하는 제 1 금속층; 및 상기 제 2 스토리지 전극과 대응되는 상기 제 3 스토리지 상에 형성된 제 2 금속층을 포함한다.

[0016] 상술한 목적을 달성하기 위한 본 발명의 또 다른 측면에 따른 유기전계발광표시장치 제조방법은 기판 상에 소스 영역과 드레인 영역을 포함하는 반도체층 및 제 1 절연막을 순차적으로 형성하는 단계; 상기 제 1 절연막 상에 게이트 전극 및 제 1 스토리지 전극을 형성하는 단계; 상기 게이트 전극 및 제 1 스토리지 전극 상에 제 2 절연막을 형성하고, 상기 제 2 절연막을 패터닝하여 상기 반도체층의 상기 소스 영역 및 상기 드레인 영역을 각각 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀에 소스 전극 및 드레인 전극을 형성하는 동시에 상기 제 1 스토리지 전극과 대응되는 상기 제 2 절연막 상에 제 2 스토리지 전극을 형성하는 단계; 상기 소스 전극, 상기 드레인 전극 및 상기 제 2 스토리지 전극 상에 제 3 절연막을 형성하는 단계; 제 3 절연막을 패터닝하여 노출된 상기 드레인 전극 상에 제 1 금속층을 형성하는 단계; 및 상기 제 2 스토리지 전극과 대응되는 상기 제 3 절연막 상에 제 2 금속층을 형성하는 단계를 포함한다.

발명의 효과

[0017] 본 발명에 따르면, 스토리지 전극을 새로운 금속층으로 대체함으로써, 설계의 자유도를 확보하여 고집적화를 통한 고해상도 구현에 유리한 효과가 있다.

[0018] 또한, 본 발명에 따르면, 새로운 금속층과 애노드 전극이 연결되는 전원부를 메쉬(Mesh)구조로 형성하여, 소형

뿐만 아니라 대형 패널에서도 휘도 균일도가 향상되는 효과가 있다.

[0019] 또한, 본 발명에 따르면 새로운 금속층이 애노드 전극의 콘택부 단차를 낮춰 전기적 연결의 안정성을 높일 수 있는 효과가 있다.

[0020] 또한, 본 발명에 따르면 별도의 도핑 공정에 의해 형성되는 스토리지 전극을 새로운 금속층으로 대체하여, 공정의 효율성을 향상시킬 수 있는 효과가 있다.

도면의 간단한 설명

[0021] 도 1은 일반적인 유기전계발광표시장치의 구조를 나타내는 단면도;

도 2는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 구조를 보여주는 단면도;

도 3은 본 발명의 다른 실시예에 따른 유기전계발광표시장치의 구조를 보여주는 단면도;

도 4a 내지 4e는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 보여주는 단면도; 및

도 5a 내지 도 5e는 본 발명의 다른 실시예에 따른 유기전계발광표시장치의 제조방법을 보여주는 단면도.

발명을 실시하기 위한 구체적인 내용

[0022] 이하, 첨부되는 도면들을 참고하여 본 발명의 실시예들에 대해 상세히 설명한다.

[0023] 도 2는 본 발명의 일 실시예에 따른 유기전계발광장치의 구조를 보여주는 단면도이다.

[0024] 도 2에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기전계발광장치는, 기판(200), 반도체층(201), 복수의 절연막(210, 220, 230, 240), 복수의 콘택홀(220a, 220b, 230a, 230b, 230c, 240a), 게이트 전극(211), 소스 전극(221), 드레인 전극(222), 제 1 및 제 2 스토리지 전극(212, 223), 제 1 및 제 2 금속층(231, 232), 애노드 전극(241), बैं크층(250) 및 유기발광층(251)을 포함한다.

[0025] 기판(200) 상에 소스 영역(201a) 및 드레인 영역(201b)을 포함하는 반도체층(201)이 형성되어 있고, 그 상부에 제 1 절연막(210)이 형성되어 있다. 제 1 절연막(210) 상에는 게이트 전극(211)과 제 1 스토리지 전극(212)이 형성되어 있다. 게이트 전극(211)은 게이트 신호에 의해 주기적으로 인가되는 데이터 신호를 인가 받아 반도체층(201)에 채널을 형성한다.

[0026] 게이트 전극(211) 및 제 1 스토리지 전극(212) 상부에는 제 2 절연막(220)이 형성되어 있다. 제 2 절연막(220)이 패터닝되면, 소스 영역(201a) 및 드레인 영역(201b)을 외부로 노출시키는 제 1 콘택홀(220a) 및 제 2 콘택홀(220b)이 형성되는데, 이들 영역에 소스 전극(221) 및 드레인 전극(222)이 각각 형성된다. 따라서 소스 전극(221) 및 드레인 전극(222)은 소스 영역(201a) 및 드레인 영역(201b)에 직접 접촉하게 된다. 이에 따라, 게이트 전극(211)에 신호가 인가되면 반도체층(201)에 채널이 형성되어 소스 전극(221)에서 드레인 전극(222)으로 데이터 신호가 전달된다.

[0027] 또한, 제 1 스토리지 전극(212)과 대응되는 제 2 절연막(220) 상에 제 2 스토리지 전극(223)이 형성되고, 소스 전극(221), 드레인 전극(222) 및 제 2 스토리지 전극(223) 상부에 제 3 절연막(230)이 형성된다. 제 2 스토리지 전극(223)은 제 1 스토리지 전극(212)와 함께 정전용량을 생성한다.

[0028] 그리고, 상기 소스 전극(221), 드레인 전극(222), 제 2 스토리지 전극(223)과 함께 스위칭 트랜지스터(미도시)의 게이트 전극(미도시)과 연결되어 있는 게이트 패드(224) 및 스위칭 트랜지스터의 소스 전극(미도시)과 연결되어 있는 데이터 패드(225)가 각각 형성된다. 상기 스위칭 트랜지스터는 본 발명과 직접적으로 관련이 없는 부분으로, 도면에서의 도시는 생략하기로 한다.

[0029] 데이터 패드(225)가 인가받는 데이터 신호는 게이트 패드(224)로부터 전달되는 게이트 신호에 따라 주기적으로 스위칭 트랜지스터의 소스 전극에서 스위칭 트랜지스터의 드레인 전극(미도시)로 전달되고, 스위칭 트랜지스터의 드레인 전극에 연결되어 있는 구동 트랜지스터부의 게이트 전극(211)에 전달된다. 게이트 전극(211)으로 전달된 데이터 신호는 반도체층(201)에 채널을 형성하여 소스 전극(221)의 전원전압을 드레인 전극(222)으로 전달하게 된다. 상기 전원전압은 드레인 전극(222)을 거쳐 유기발광층(251)으로 전달되며, 유기발광층(251)을 구동한다.

- [0030] 한편, 제 3 절연막(230)을 패터닝하여 드레인 전극(222)을 외부로 노출시키는 제 3 콘택홀(230a)에 제 1 금속층(231)이 형성된다. 또한, 제 3 콘택홀(230a) 형성 시 게이트 패드(224) 및 데이터 패드(225)를 외부로 노출시키는 제 4 콘택홀(230b) 및 제 5 콘택홀(230c)이 동시에 형성될 수 있다.
- [0031] 여기서, 제 1 금속층(231)은 몰리브덴(Mo), 구리(Cu), 알루미늄(Al) 중 어느 하나를 포함하는 금속으로 형성될 수 있으며, 특히, 알루미늄 네오디뮴 합금(AlNd) 및 몰리브덴(Mo) 이중층으로 형성되거나, 구리(Cu) 및 몰리브덴 티타늄 합금(MoTi)의 이중층으로 형성될 수 있다. 제 1 금속층(231)의 일단은 드레인 전극(222)과 연결되고, 제 1 금속층(231)의 타단은 애노드 전극(241)과 연결되도록 제 3 절연막(230) 상에서 애노드 전극(241) 쪽으로 연장되어 형성된다. 이렇게, 제 1 금속층(231)이 전원전압을 애노드 전극(241)으로 전달하여 유기발광층(251)을 구동하기 때문에, 제 1 금속층(231)이 픽셀 내에서 배선 역할을 하면서, 전원전압선과 교차되는 메쉬구조를 형성할 수 있다. 이러한, 배선의 메쉬구조를 통해, 전원전압단에서 멀리 떨어진 픽셀에 전달되는 전압을 보상하여, 특히 대면적 유기전계발광표시소자를 구현할 때, 패널의 휘도 균일도를 향상시킬 수 있다.
- [0032] 또한, 제 2 스토리지 전극(223)과 대응되는 제 3 절연막(230) 상에 제 2 금속층(232)이 형성된다. 제 2 금속층(232) 역시 제 1 금속층(231)과 같이 몰리브덴(Mo), 구리(Cu), 알루미늄(Al) 중 어느 하나를 포함하는 금속으로 형성될 수 있으며, 특히, 알루미늄 네오디뮴 합금(AlNd) 및 몰리브덴(Mo) 이중층으로 형성되거나, 구리(Cu) 및 몰리브덴 티타늄 합금(MoTi)의 이중층으로 형성될 수 있다. 제 2 금속층(232)은 제 2 스토리지 전극(223)과 함께 정전용량을 생성한다. 이렇게 되면, 2 개의 스토리지 전극(222, 223)과 1 개의 금속층(232)을 통해 유기발광층(251)의 구동을 유지할 수 있는 충분한 양의 정전용량을 생성할 수 있다. 따라서, 도 1에서 설명한 바와 같이, 제 1 스토리지 전극(102)을 형성하기 위해 별도로 진행했던 도핑 공정을 제거하여 공정의 효율성을 향상시킬 수 있다.
- [0033] 한편, 제 1 금속층(231) 및 제 2 금속층(232) 상에 제 4 절연막(240)이 형성된다. 제 4 절연막(240)은 평탄화막이며, 폴리아크릴(polyacryl)과 같은 유기물로 형성될 수 있다. 제 4 절연막(240)이 패터닝되어 제 6 콘택홀(240a)이 형성된다. 제 6 콘택홀(240a)에 애노드 전극(241)이 형성되고, 애노드 전극(241)은 제 1 금속층(231)에 직접 접촉된다. 제 1 금속층(231)이 제 3 절연막(230) 및 제 4 절연막(240) 사이에 형성되면서, 제 6 콘택홀(240a)의 단차가 낮아져, 애노드 전극(241)의 전기적 연결의 안정성이 향상된다.
- [0034] 애노드 전극(241) 및 제 4 절연막(240) 상에 बैं크층(250)이 형성되고, बैं크층(250) 및 애노드 전극(241) 상에 유기발광층(251)이 형성된다. 유기발광층(251)은 드레인 전극(222)에서 인가된 전원전압을 제 1 금속층(231)을 통해 애노드 전극(241)으로 전달받아 빛을 발광하게 된다.
- [0035] 도 3은 본 발명의 다른 실시예에 따른 유기전계발광표시소자를 나타내는 단면도이다.
- [0036] 도 3에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 유기전계발광표시장치는 도 2에 도시된 구조와 크게 다르지 않기 때문에, 그 차이점에 대해서만 설명하기로 한다.
- [0037] 제 2 절연막(220) 상에 형성된 소스 전극(221), 드레인 전극(222), 제 2 스토리지 전극(223), 게이트 패드(224) 및 데이터 패드(225) 상부에 제 3 절연막(230)이 형성된다.
- [0038] 그 다음, 제 3 절연막(230)을 패터닝하여 드레인 전극(222)을 외부로 노출시키는 제 3 콘택홀(230a)을 형성함과 동시에, 게이트 패드(224) 및 데이터 패드(225)를 외부로 노출시키는 제 4 콘택홀(230b) 및 제 5 콘택홀(230c)이 각각 형성된다. 제 4 콘택홀(230b) 및 제 5 콘택홀(230c)에 제 3 금속층(233) 및 제 4 금속층(234)이 각각 형성되어 게이트 패드(224) 및 데이터 패드(225)가 공정 중에 손상되는 것을 방지한다.
- [0039] 제 3 금속층(233) 및 제 4 금속층(234)도 제 1 금속층(231) 및 제 2 금속층(232)과 마찬가지로 몰리브덴(Mo), 구리(Cu), 알루미늄(Al) 중 어느 하나를 포함하는 금속으로 형성될 수 있으며, 특히, 알루미늄 네오디뮴 합금(AlNd) 및 몰리브덴(Mo) 이중층으로 형성되거나, 구리(Cu) 및 몰리브덴 티타늄 합금(MoTi)의 이중층으로 형성될 수 있다.
- [0040] 또한, 제 1 금속층(231), 제 2 금속층(232), 제 3 금속층(233) 및 제 4 금속층(234)은 동일한 층인 제 3 절연막(230) 상에 형성되기 때문에, 하나의 공정으로 동시에 형성이 가능하다. 상기 여러 기능을 갖는 복수의 금속층(231, 232, 233, 234)을 동시에 형성함으로써, 새로운 구조를 적용하면서도 공정 상의 부담을 줄일 수 있다. 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법에 대해서는 도 4에서 자세히 설명하기로 한다.
- [0041] 이하, 도 4a 내지 도 4d를 참조하여 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 보다 구체적으로 설명한다.

- [0042] 도 4a 내지 4d는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 도시한 도면이다.
- [0043] 먼저, 도 4a에 도시된 바와 같이, 기판(200) 상에 소스 영역(201a) 및 드레인 영역(201b)을 포함하는 반도체층(201)을 형성한다. 소스 영역(201a) 및 드레인 영역(201b)은 P형 또는 N형 불순물을 포함하며, 반도체층(201)은 비정질 실리콘(amorphous silicon), 다결정 실리콘(polysilicon) 또는 산화물(oxide)로 형성할 수 있다.
- [0044] 그 다음, 도 4b에 도시된 바와 같이, 반도체층(201) 상부에 제 1 절연막(210)을 형성하고, 그 상부에 게이트 전극(211) 및 제 1 스토리지 전극(212)을 형성한다. 상기 게이트 전극(211) 및 제 1 스토리지 전극(212)은 스퍼터링(sputtering) 공정을 통해 금속 물질이 제 1 절연막(210) 상부에 증착된 후, 건식 식각(dry etch)으로 필요 없는 부분이 식각되어 형성될 수 있다. 형성 물질로는 몰리브덴(Mo) 등의 금속이 쓰일 수 있다.
- [0045] 그 다음, 도 4c에서 보면, 게이트 전극(211) 및 제 1 스토리지 전극(212) 상부에 제 2 절연막(220)을 형성한 후, 제 2 절연막(220)을 패터닝하여 반도체층(201)의 소스 영역(201a) 및 드레인 영역(201b)을 외부로 노출시키는 제 1 콘택홀(220a) 및 제 2 콘택홀(220b)을 형성한다. 보다 자세히 설명하면, 제 2 절연막(220)에 감광막(photoresist)을 도포한 후 노광 및 현상 공정을 통해 감광막 패턴을 형성하게 된다. 이 감광막 패턴은 제 1 콘택홀(220a) 및 제 2 콘택홀(220b)을 형성하고자 하는 영역을 제외한 제 2 절연막(220) 상부 영역에 감광막이 남아있는 형태로 형성된다. 그 후, 습식 식각(wet etch)을 통해 감광막이 없는 부분의 제 2 절연막(220) 및 제 1 절연막(210)이 식각되어 반도체층(201) 내부의 소스 영역(201a) 및 드레인 영역(201b)이 외부로 노출된다.
- [0046] 그 다음, 제 1 콘택홀(220a) 및 제 2 콘택홀(220b)에 몰리브덴(Mo) 및 알루미늄 네오디뮴 합금(AlNd) 중 어느 하나를 포함하는 금속을 사용하여 반도체층(201)의 소스 영역(201a) 및 드레인 영역(201b)에 직접 연결되는 소스 전극(221) 및 드레인 전극(222)을 형성한다. 소스 전극(221) 및 드레인 전극(222)은 스퍼터링 공정을 통해 형성되며, 수백 내지 수천 옴스트롱 두께의 단일 또는 복수의 금속막으로 형성될 수 있다. 또한, 제 1 스토리지 전극(212)과 대응되는 제 2 절연막(220) 상에 제 2 스토리지 전극(223)을 형성한다. 제 2 스토리지 전극(223)은 소스 전극(221), 드레인 전극(222)과 동시에 형성될 수 있다.
- [0047] 그 다음, 도 4d에 도시된 바와 같이, 소스 전극(221), 드레인 전극(222) 및 제 2 스토리지 전극(223) 상부에 제 3 절연막(230)을 형성한다. 제 3 절연막(230)은 플라즈마 화학기상증착 공정을 통해 질화규소(SiNx) 또는 산화규소(SiO₂) 등의 절연물질로 형성될 수 있다. 그 후, 제 1 콘택홀(220a) 및 제 2 콘택홀(220b)과 같은 방법으로 드레인 전극(222)을 외부로 노출시키는 제 3 콘택홀(230a)을 형성하여, 이 영역에 제 1 금속층(231)을 형성한다. 제 1 금속층(231)의 일단은 드레인 전극(222)과 연결되고, 제 1 금속층(231)의 타단은 이 후에 형성할 애노드 전극(241)과 연결되도록 제 3 절연막(230) 상에서 소정의 길이를 갖도록 형성된다.
- [0048] 또한, 제 2 스토리지 전극(223)과 대응되는 제 3 절연막(230) 상에 제 2 금속층(232)이 형성된다. 제 2 금속층(232)은 제 2 스토리지 전극(223)과 함께 정전용량을 생성하여, 상기 유기발광층(251)의 구동을 유지하는 데 필요한 충분한 양의 정전용량을 생성할 수 있게 된다. 또한, 단순 공정을 통해 제 2 금속층(232)을 형성하여 별도의 도핑 공정을 생략할 수 있어서 공정의 효율성을 향상시킬 수 있다.
- [0049] 도 5는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 도시한 도면이다.
- [0050] 이하, 도 5a 내지 도 5d를 참조하여 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 보다 구체적으로 설명한다.
- [0051] 도 5a 내지 도 5c에 도시된 공정은 상술한 도 4a 내지 도 4c에 도시된 공정과 동일하기 때문에 설명을 생략하도록 한다.
- [0052] 도 5d에 도시된 바와 같이, 소스 전극(221), 드레인 전극(222), 제 2 스토리지 전극(223), 게이트 패드(224) 및 데이터 패드(225) 상에 제 3 절연막(230)을 형성하고, 이를 패터닝하여 제 3 콘택홀(230a), 제 4 콘택홀(230b) 및 제 5 콘택홀(230c)을 형성한다. 제 4 콘택홀(230b) 및 제 5 콘택홀(230c) 또한 제 3 콘택홀(230a)과 동시에 포토리소그라피 공정을 이용하여 제 3 절연막(230)을 식각하여 형성할 수 있다. 그 후, 제 3 콘택홀(230a), 제 2 스토리지 전극(223)과 대응되는 제 3 절연막(230) 상부, 제 4 콘택홀(230b), 및 제 5 콘택홀(230c)에 각각 제 1 금속층(231), 제 2 금속층(232), 제 3 금속층(233) 및 제 4 금속층(234)을 형성한다.
- [0053] 또한, 스토리지 전극부의 전극 수를 줄이는 대신 새로운 금속층(231, 232, 233, 234)을 형성하여, 동일 면적 내에서 픽셀 구동부의 설계가 한결 수월해질 수 있으며, 이에 따라 고집적화 및 고해상도 구현이 가능해진다. 특히, 애노드 전극(241)과 연결되는 제 1 금속층(231)을 전원전압선과 교차하는 메쉬구조로 형성하면, 전원부의 전압이 보상되어 휘도의 균일도를 향상시킬 수 있으며, 따라서 대면적 유기전계발광표시장치 구현 시 고해상도

를 구현하면서 동시에 휘도 균일도를 향상시킬 수 있다.

[0054] 본 발명이 속하는 기술분야의 당업자는 상술한 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다.

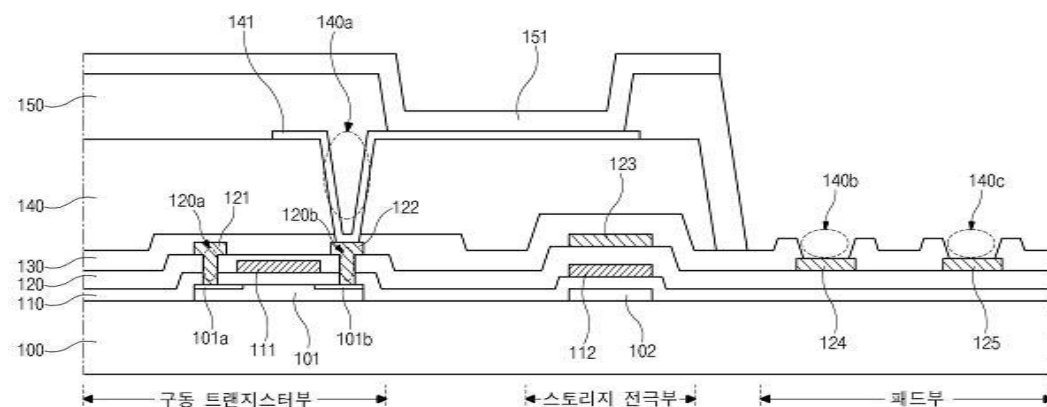
[0055] 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

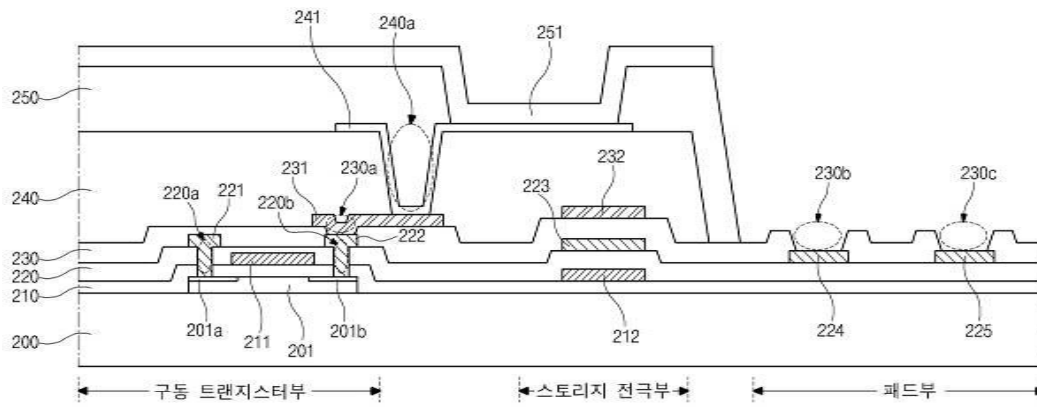
[0056] 200: 기판	201: 반도체층
210: 제 1 절연막	211: 게이트 전극
212: 제 1 스토리지 전극	220: 제 2 절연막
220a: 제 1 콘택홀	220b: 제 2 콘택홀
221: 소스 전극	222: 드레인 전극
223: 제 2 스토리지 전극	224: 게이트 패드
225: 데이터 패드	230: 제 3 절연막
230a: 제 3 콘택홀	230b: 제 4 콘택홀
230c: 제 5 콘택홀	231: 제 1 금속층
232: 제 2 금속층	233: 제 3 금속층
234: 제 4 금속층	240: 제 4 절연막
240a: 제 6 콘택홀	241: 애노드 전극
250: बैं크층	251: 유기발광층

도면

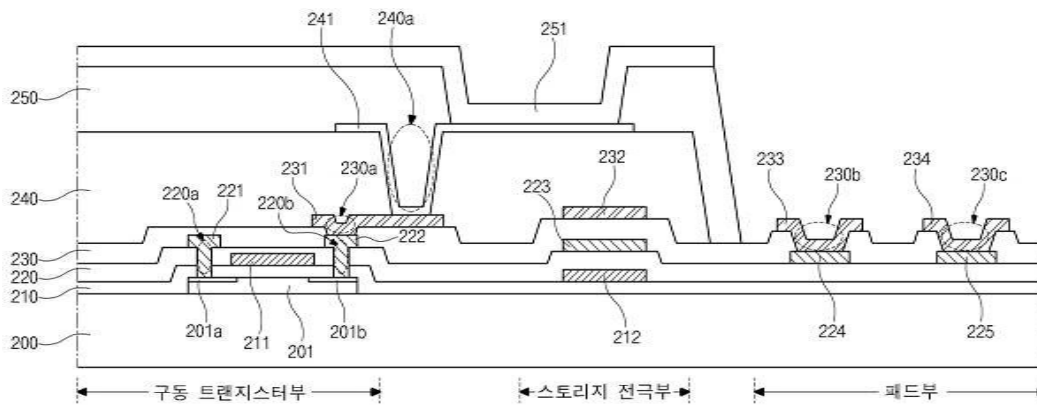
도면1



도면2



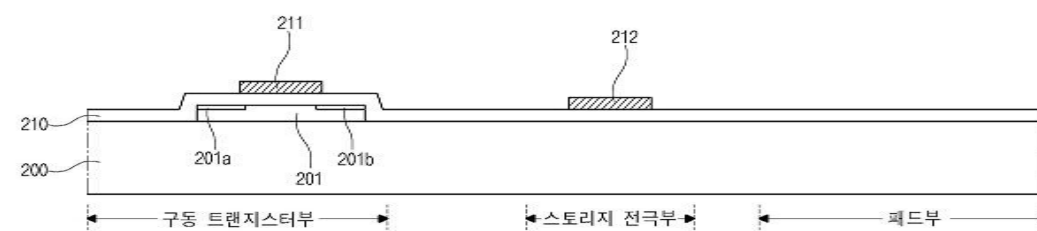
도면3



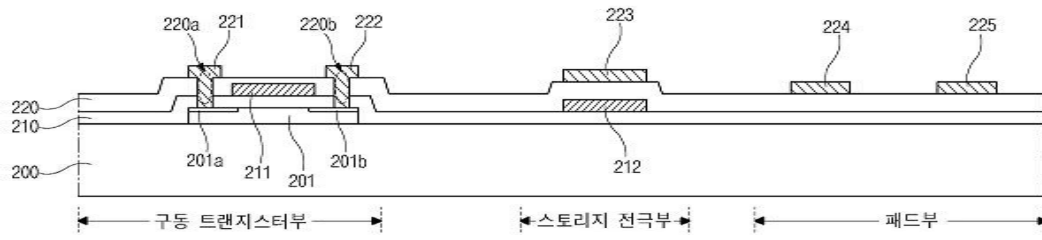
도면4a



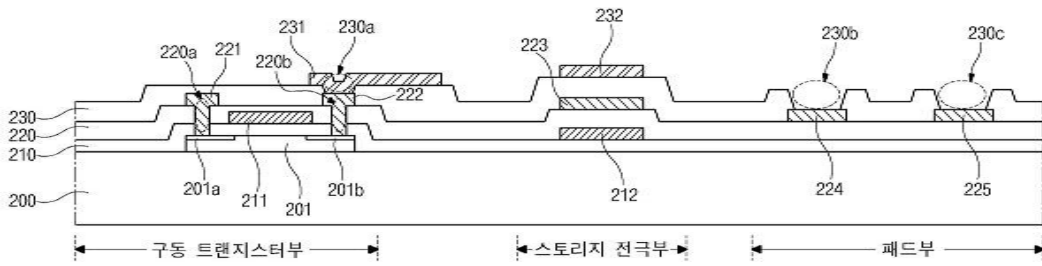
도면4b



도면4c



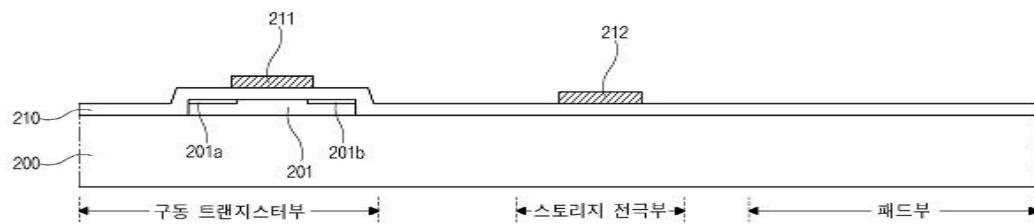
도면4d



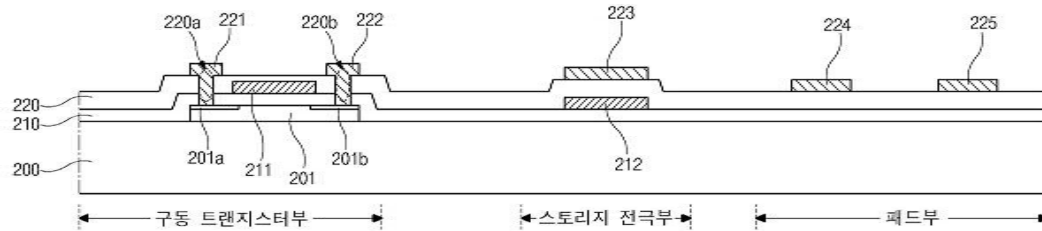
도면5a



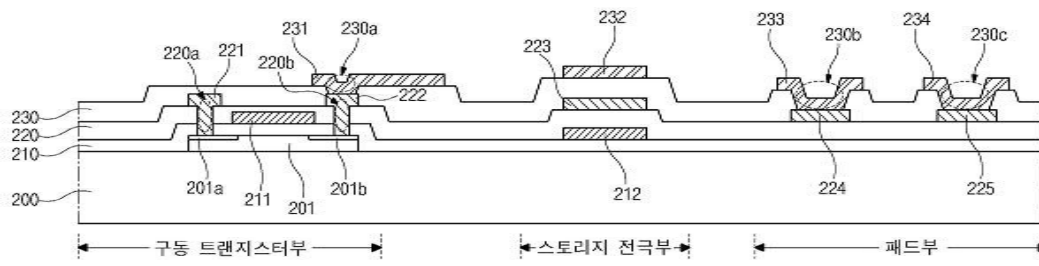
도면5b



도면5c



도면5d



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR101335527B1	公开(公告)日	2013-12-02
申请号	KR1020120018612	申请日	2012-02-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SHIN A RAM 신아람 YOO JUHN SUK 유준석 PARK SOO JEONG 박수정		
发明人	신아람 유준석 박수정		
IPC分类号	H01L51/50 H05B33/10		
CPC分类号	G09G3/3648 H01L27/1255 H01L51/50 G09G2300/0426 G09G3/3208 H01L27/1259 G02F1/136213 G09G3/3655 G09G2300/0847 H01L2924/01042 H01L2924/01013 H01L2924/01029		
其他公开文献	KR1020130096974A		
外部链接	Espacenet		

摘要(译)

目的：提供一种有机发光二极管显示装置及其制造方法，通过形成网状结构的电源部分来改善亮度均匀性。组成：源电极（221）和漏电极各自形成在接触孔。第二存储电极（223）形成在对应于第一存储电极的第二绝缘层上。在源电极，漏电极和第二存储电极上形成第三绝缘层（230）。漏电极和阳极通过第一金属层（231）连接。在对应于第二存储电极的第三存储电极上形成第二金属层（232）。

