



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0082744  
(43) 공개일자 2020년07월08일

(51) 국제특허분류(Int. Cl.)  
G09G 3/3291 (2016.01)

(52) CPC특허분류  
G09G 3/3291 (2013.01)  
G09G 2320/0276 (2013.01)

(21) 출원번호 10-2018-0173624  
(22) 출원일자 2018년12월31일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자  
김봉환  
경기도 파주시 월릉면 엘지로 245  
김대경  
경기도 파주시 월릉면 엘지로 245

(74) 대리인  
특허법인다나

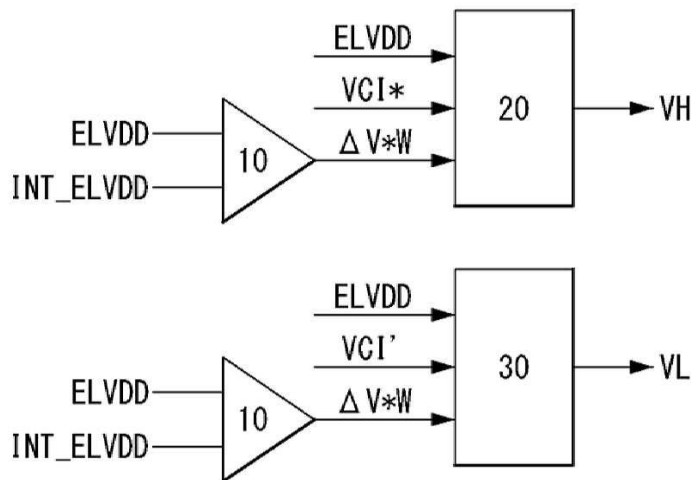
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 휘도 보상 장치와 이를 이용한 전계 발광 표시장치

(57) 요약

본 발명은 휘도 보상 장치와 이를 이용한 전계 발광 표시장치에 관한 것으로, 본 발명의 실시예에 따른 휘도 보상 장치는 호스트 시스템으로부터 입력되는 픽셀 구동 전압과, 드라이브 IC 내부에서 발생하는 기준 픽셀 구동 전압을 비교하여 픽셀 구동 전압의 전압 강하량을 검출하고 전압 강하량을 소정의 가중치만큼 증폭하여 증폭된 전압 강하량만큼 감마 기준 전압을 조정하는 휘도 보상부를 포함하고, 픽셀 구동 전압이 표시패널에 공급되고, 휘도 보상부는 픽셀 구동 전압이 발생하는 호스트 시스템과 표시패널 사이에서 픽셀 구동 전압과 기준 픽셀 구동 전압의 차를 증폭한다.

대표도 - 도9



(52) CPC특허분류

G09G 2320/0295 (2013.01)

G09G 2330/021 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

호스트 시스템으로부터 입력되는 픽셀 구동 전압과, 드라이브 IC 내부에서 발생하는 기준 픽셀 구동 전압을 비교하여 상기 픽셀 구동 전압의 전압 강하량을 검출하고 상기 전압 강하량을 소정의 가중치만큼 증폭하여 증폭된 전압 강하량만큼 상기 감마 기준 전압을 조정하는 휘도 보상부를 포함하고,

상기 픽셀 구동 전압이 표시패널에 공급되고,

상기 휘도 보상부는 상기 픽셀 구동 전압이 발생하는 호스트 시스템과 상기 표시패널 사이에서 상기 픽셀 구동 전압과 상기 기준 픽셀 구동 전압의 차를 증폭하는, 휘도 보상 장치.

#### 청구항 2

제 1 항에 있어서,

상기 휘도 보상부로부터 고전위 감마 기준 전압과 저전위 감마 기준 전압을 입력받아 상기 고전위 감마 기준 전압을 분압 회로를 통해 분배하여 상기 고전위 감마 기준 전압과 상기 저전위 감마 기준 전압 사이의 계조별 감마 보상 전압을 출력하는 감마 보상 전압 발생부를 더 구비하고,

상기 휘도 보상부는,

상기 증폭된 전압 강하량만큼 상기 감마 보상 전압 발생부에 입력되는 고전위 기준 전압과 저전위 기준 전압 각각을 낮추는, 휘도 보상 장치.

#### 청구항 3

제 2 항에 있어서,

상기 휘도 보상부는,

상기 픽셀 구동 전압과 상기 기준 픽셀 구동 전압의 차를 증폭하는 차동 증폭기; 및

상기 차동 증폭기를 이용하여 상기 증폭된 전압 강하량을 검출하는 전압 강하량 증폭부를 포함하는, 휘도 보상 장치.

#### 청구항 4

제 3 항에 있어서,

상기 휘도 보상부는,

상기 증폭된 전압 강하량, 상기 픽셀 구동 전압, 및 소정의 제1 기준 전압을 입력받아 내부 고전위 기준 전압을 발생하고, 제1 감산기를 이용하여 상기 내부 고전위 기준 전압을 상기 증폭된 전압 강하량만큼 낮추어 상기 고전위 기준 전압을 출력하는 제1 감마 기준 전압 조정부; 및

상기 증폭된 전압 강하량, 상기 픽셀 구동 전압, 및 소정의 제1 기준 전압을 입력받아 내부 저전위 기준 전압을 발생하고, 제2 감산기를 이용하여 상기 내부 저전위 기준 전압을 상기 증폭된 전압 강하량만큼 낮추어 저전위 기준 전압을 출력하는 제2 감마 기준 전압 조정부를 더 포함하는, 휘도 보상 장치.

#### 청구항 5

다수의 데이터 라인들, 다수의 게이트 라인들, 및 픽셀 구동 전압이 공급되는 픽셀들이 배치된 표시패널;

감마 기준 전압을 분압하여 감마 보상 전압을 발생하는 감마 보상 전압 발생부;

픽셀 데이터를 상기 감마 보상 전압으로 변환하여 데이터 전압을 출력하여 상기 데이터 라인들에 공급하는 데이터 구동부; 및

상기 픽셀 구동 전압이 발생하는 호스트 시스템과 상기 표시패널 사이에서 상기 픽셀 구동 전압과 기준 픽셀 구동 전압을 비교하여 상기 픽셀 구동 전압의 전압 강하량을 검출하고 상기 전압 강하량을 소정의 가중치만큼 증폭하여 증폭된 전압 강하량만큼 상기 감마 기준 전압을 조정하는 휘도 보상부를 포함하는, 전계 발광 표시장치.

**청구항 6**

제 5 항에 있어서,

상기 감마 보상 전압 발생부, 상기 데이터 구동부, 및 상기 휘도 보상부를 포함한 드라이브 IC; 및

상기 호스트 시스템과 상기 표시패널을 연결하고, 상기 드라이브 IC가 실장된 회로기판을 더 포함하고,

상기 휘도 보상부가 상기 드라이브 IC에 입력되는 상기 픽셀 구동 전압과 상기 기준 픽셀 구동 전압의 차를 증폭하여 상기 증폭된 전압 강하량을 검출하는, 전계 발광 표시장치.

**청구항 7**

제 5 항에 있어서,

상기 휘도 보상부는,

상기 증폭된 전압 강하량만큼 상기 감마 보상 전압 발생부에 입력되는 고전위 기준 전압과 저전위 기준 전압 각각을 낮추는, 전계 발광 표시장치.

**청구항 8**

제 5 항에 있어서,

상기 휘도 보상부는,

상기 픽셀 구동 전압과 상기 기준 픽셀 구동 전압의 차를 증폭하는 차동 증폭기; 및

상기 차동 증폭기를 이용하여 상기 증폭된 전압 강하량을 검출하는 전압 강하량 증폭부를 포함하는, 전계 발광 표시장치.

**청구항 9**

제 5 항에 있어서,

상기 휘도 보상부는,

상기 증폭된 전압 강하량, 상기 픽셀 구동 전압, 및 소정의 제1 기준 전압을 입력받아 내부 고전위 기준 전압을 발생하고, 제1 감산기를 이용하여 상기 내부 고전위 기준 전압을 상기 증폭된 전압 강하량만큼 낮추어 상기 감마 보상 전압 발생부에 입력되는 고전위 기준 전압을 출력하는 제1 감마 기준 전압 조정부; 및

상기 증폭된 전압 강하량, 상기 픽셀 구동 전압, 및 소정의 제1 기준 전압을 입력받아 내부 저전위 기준 전압을 발생하고, 제2 감산기를 이용하여 상기 내부 저전위 기준 전압을 상기 증폭된 전압 강하량만큼 낮추어 상기 감마 보상 전압 발생부에 입력되는 저전위 기준 전압을 출력하는 제2 감마 기준 전압 조정부를 더 포함하는, 전계 발광 표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 표시패널 내에서의 전압 강하를 반영하여 감마 기준 전압을 가변함으로써 픽셀들의 휘도를 보상하는 휘도 보상 장치와 이를 이용한 전계 발광 표시장치에 관한 것이다.

**배경 기술**

[0002] 전계 발광 표시장치는 발광층의 재료에 따라 무기발광 표시장치와 유기 발광 표시장치로 대별된다. 액티브 매트릭스 타입(active matrix type)의 유기 발광 표시장치는 스스로 발광하는 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있

다. 유기 발광 표시장치는 블랙 계조를 완전한 블랙으로 표현할 수 있기 때문에 명암비(contrast ratio)와 색 재현율에서 월등한 수준으로 영상을 재현할 수 있다.

[0003] 유기 발광 표시장치의 발광 소자로 이용되는 OLED는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드와 캐소드에 전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)으로부터 가시광이 방출된다.

### 발명의 내용

#### 해결하려는 과제

[0004] 픽셀들을 구동하기 위하여 픽셀들에 픽셀 구동 전압(ELVDD)이 인가된다. 픽셀 구동 전압(ELVDD)은 표시패널 내의 부하에 따라 전압 강하(voltage drop)가 발생된다. 표시패널의 화면 내에서 입력 영상에 따라 발광되는 픽셀(이하, "ON 픽셀"이라 함)의 개수가 달라질 수 있다. ON 픽셀의 비율에 따라 표시패널에 흐르는 전류(I)의 세기가 달라진다. ON 픽셀의 비율이 달라지면, 전류가 달라지기 때문에 픽셀 구동 전압(ELVDD)의 전압이 변한다. 이는 ON 픽셀의 비율에 따라 IR 드롭(drop)에서 전류(I)가 변하기 때문이다. 이로 인하여, 화면 내의 ON 픽셀의 비율에 따라 픽셀들의 휘도가 달라진다.

[0005] 이에 본 발명의 발명자들은 ON 픽셀의 비율에 따라 휘도를 보상하기 위한 여러 실험을 하였다. 여러 실험을 통하여, ON 픽셀의 비율에 따라 휘도를 보상할 수 있으며, 표시패널의 내부에 있는 IR 드롭(drop)을 반영하여 휘도를 보상할 수 있는 휘도 보상 장치와 이를 이용한 전계 발광 표시 장치를 발명하였다.

[0006] 따라서, 본 발명은 ON 픽셀의 비율에 따라 휘도가 변동되는 현상을 방지할 수 있는 휘도 보상 장치와 이를 이용한 전계 발광 표시장치를 제공한다.

#### 과제의 해결 수단

[0007] 본 발명의 휘도 보상 장치는 호스트 시스템으로부터 입력되는 픽셀 구동 전압과, 드라이브 IC 내부에서 발생하는 기준 픽셀 구동 전압을 비교하여 픽셀 구동 전압의 전압 강하량을 검출하고 전압 강하량을 소정의 가중치만큼 증폭하여 증폭된 전압 강하량만큼 감마 기준 전압을 조정하는 휘도 보상부를 포함하고, 픽셀 구동 전압이 표시패널에 공급되고, 휘도 보상부는 픽셀 구동 전압이 발생하는 호스트 시스템과 표시패널 사이에서 픽셀 구동 전압과 기준 픽셀 구동 전압의 차를 증폭한다.

[0008] 본 발명의 전계 발광 표시장치는 다수의 데이터 라인들, 다수의 게이트 라인들, 및 픽셀 구동 전압이 공급되는 픽셀들이 배치된 표시패널, 감마 기준 전압을 분압하여 감마 보상 전압을 발생하는 감마 보상 전압 발생부, 픽셀 데이터를 감마 보상 전압으로 변환하여 데이터 전압을 출력하여 데이터 라인들에 공급하는 데이터 구동부, 및 픽셀 구동 전압이 발생하는 호스트 시스템과 표시패널 사이에서 픽셀 구동 전압과 기준 픽셀 구동 전압을 비교하여 픽셀 구동 전압의 전압 강하량을 검출하고 전압 강하량을 소정의 가중치만큼 증폭하여 증폭된 전압 강하량만큼 감마 기준 전압을 조정하는 휘도 보상부를 포함한다.

#### 발명의 효과

[0009] 본 발명은 표시패널과 호스트 시스템에서 픽셀 구동 전압의 전압 강하량을 검출할 때 표시패널의 부하 변동에 따른 실제 전압 강하량을 반영하기 위하여 픽셀 구동 전압의 전압 강하량을 증폭하여 감마 기준 전압을 조정한다. 따라서, 본 발명은 ON 픽셀의 비율에 따라 화면의 휘도가 변동되는 현상을 방지할 수 있다.

[0010] 본 발명은 ON 픽셀의 비율이 적을수록 휘도가 상승하는 비율을 낮춤으로써 소비 전력을 낮출 수 있다.

[0011] 본 발명은 사용 환경과 구동 모드에서 따라 전압 강하량에 적용되는 가중치를 변경하여 사용할 수 있으므로, 사용 환경과 구동 모드에서 최적의 화질을 구현할 수 있다.

[0012] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 발명 내에 포함되어 있다.

**도면의 간단한 설명**

- [0013] 도 1은 본 발명의 실시예에 따른 전개 발광 표시장치를 보여주는 블록도이다.
- 도 2는 펜타일 픽셀 배치의 예를 보여주는 도면이다.
- 도 3은 리얼 픽셀 배치의 예를 보여주는 도면이다.
- 도 4a는 픽셀 회로의 예를 보여주는 회로도이다.
- 도 4b는 도 4a에 도시된 픽셀 회로의 구동 방법을 보여주는 도면이다.
- 도 5는 감마 보상 전압 발생부의 예를 보여주는 회로도이다.
- 도 6은 데이터 구동부의 예를 보여주는 블록도이다.
- 도 7은 호스트 시스템으로부터 표시패널에 공급되는 픽셀 구동 전압 경로를 보여주는 도면이다.
- 도 8a 및 도 8b는 화면 상의 ON 픽셀의 비율에 따라 달라지는 전류량을 보여주는 도면들이다.
- 도 9는 본 발명의 실시예에 따른 휘도 보상부를 보여주는 블록도이다.
- 도 10은 휘도 보상부의 동작을 보여주는 도면이다.
- 도 11 및 도 12는 휘도 보상부를 보여주는 회로도들이다.
- 도 13은 영상의 계조 분포가 다른 영상 샘플들에서 픽셀 구동 전압의 전압 강하량과 감마 기준 전압을 보여주는 도면이다.
- 도 14는 ON 픽셀의 비율이 다른 이미지 샘플들을 보여 주는 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0014] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0015] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0016] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0017] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0018] 실시예 설명에서, 제1, 제2 등이 다양한 구성 요소들을 서술하기 위해서 사용되지만, 이들 구성 요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성 요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0019] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0020] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.

- [0021] 본 발명의 전계 발광 표시장치에서 픽셀 회로는 n 채널 트랜지스터와 p 채널 트랜지스터 중 하나 이상을 포함할 수 있다. 트랜지스터들은 산화물 반도체를 포함한 Oxide TFT(Thin Film Transistor), 저온 폴리 실리콘(Low Temperature Poly Silicon, LTPS)을 포함한 LTPS TFT 등으로 구현될 수 있다. 또한, 트랜지스터들 각각은 p 채널 TFT 또는 n 채널 TFT로 구현될 수 있다. 실시예에서 픽셀 회로의 트랜지스터들이 p 채널 TFT로 구현된 예를 중심으로 설명되지만 본 발명은 이에 한정되지 않는다.
- [0022] 트랜지스터는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. 트랜지스터 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 트랜지스터에서 캐리어가 외부로 나가는 전극이다. 트랜지스터에서 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 채널 트랜지스터의 경우, 캐리어가 전자(electron)이기 때문에 소스로부터 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 채널 트랜지스터에서 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 채널 트랜지스터(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 채널 트랜지스터에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. 트랜지스터의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, 트랜지스터의 소스와 드레인으로 인하여 발명이 제한되지 않는다. 이하의 설명에서 트랜지스터의 소스와 드레인을 제1 및 제2 전극으로 칭하기로 한다.
- [0023] 게이트 신호는 게이트 온 전압(Gate On Voltage)과 게이트 오프 전압(Gate Off Voltage) 사이에서 스윙(swing)한다. 게이트 온 전압은 트랜지스터의 문턱 전압 보다 높은 전압으로 설정되며, 게이트 오프 전압은 트랜지스터의 문턱 전압 보다 낮은 전압으로 설정된다. 트랜지스터는 게이트 온 전압에 응답하여 턴-온(turn-on)되는 반면, 게이트 오프 전압에 응답하여 턴-오프(turn-off)된다. n 채널 트랜지스터의 경우에, 게이트 온 전압은 게이트 하이 전압(Gate High Voltage, VGH)이고, 게이트 오프 전압은 게이트 로우 전압(Gate Low Voltage, VGL)일 수 있다. p 채널 트랜지스터의 경우에, 게이트 온 전압은 게이트 로우 전압(VGL)이고, 게이트 오프 전압은 게이트 하이 전압(VGH)일 수 있다.
- [0024] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다. 이하의 실시예들에서, 전계 발광 표시장치는 유기 발광 물질을 포함한 유기 발광 표시장치를 중심으로 설명하지만 이에 한정되지 않는다.
- [0025] 도 1 내지 도 4를 참조하면, 본 발명의 전계 발광 표시장치는 표시패널(100)과, 표시패널(100)의 픽셀들에 입력 영상의 픽셀 데이터(RGB)를 기입하기 위한 드라이브 IC(Integrated Circuit)(300)를 포함한다. 표시패널(100)은 게이트 구동부(120)를 포함할 수 있다. 드라이브 IC(300)는 호스트 시스템(200)과 제1 메모리(210)에 연결된다.
- [0026] 표시패널(100)에서 입력 영상이 재현되는 화면(AA)은 데이터 라인들(DL1~DL6), 데이터 라인들(DL1~DL6)과 교차되는 게이트 라인들(GL1, GL2), 및 픽셀들(P)이 매트릭스 형태로 배치된 픽셀 어레이를 포함한다. 데이터 라인들(DL1~DL6)은 드라이브 IC(300)로부터 출력된 데이터 신호(DATA1~DATA6)를 픽셀들(P)에 공급한다. 게이트 라인들(GL1~GL3)은 게이트 구동부(120)로부터의 게이트 신호(GATE1, GATE2)를 픽셀들(P)에 공급한다. 게이트 신호(GATE1, GATE2)는 도 4에 도시된 바와 같이 스캔 신호[SCAN(N-1), SCAN(N)], 발광제어신호(이하 "EM 신호"라 함)[EM(N)] 등을 포함한다.
- [0027] 픽셀들 각각은 컬러 구현을 위하여 컬러가 다른 서브 픽셀들을 포함한다. 서브 픽셀들은 적색(Red, 이하 "R 서브 픽셀"이라 함), 녹색(Green, 이하 "G 서브 픽셀"이라 함), 및 청색(Blue, 이하 "B 서브 픽셀"이라 함)을 포함한다. 이에 한정하지 않고, 백색 서브 픽셀(White, 이하 "W 서브 픽셀"이라 함)이 더 포함될 수 있다. 서브 픽셀들 각각은 내부 보상 회로를 포함한 픽셀 회로로 구현될 수 있다.
- [0028] 픽셀들(P)은 리얼(real) 컬러 픽셀 픽셀과, 펜타일(pentile) 픽셀로 배치될 수 있다. 펜타일 픽셀은 미리 설정된 펜타일 픽셀 렌더링 알고리즘(pixel rendering algorithm)을 이용하여 도 2에 도시된 바와 같이 컬러가 다른 두 개의 서브 픽셀을 하나의 픽셀로 구동한다. 펜타일 픽셀 렌더링 알고리즘은 픽셀들 각각에서 부족한 컬러 표현을 인접한 픽셀에서 발광된 빛의 컬러로 보상한다. 리얼 픽셀 배치는 하나의 픽셀(P)이 도 3에 도시된 바와 같이 R, G 및 B 서브 픽셀로 구성된다.
- [0029] 표시패널(100)은 도 4a에 도시된 바와 같이 픽셀 구동 전압(ELVDD)을 픽셀들(P)에 공급하기 위한 VDD 라인(104), 초기화 전압(Vini)을 픽셀들(P)에 공급하기 위한 Vini 라인(105), 저전위 전원 전압(ELVSS)을 픽셀들에 공급하기 위한 VSS 전극(106) 등을 더 포함할 수 있다.

- [0030] 모바일 기기에서 표시패널(100)은 플라스틱 전계 발광 패널로 구현될 수 있다. 플라스틱 전계 발광 패널은 백 플레이트(Back plate) 상에 접착된 유기 박막 필름 상에 픽셀 어레이를 포함한다. 픽셀 어레이 위에 터치 센서 어레이가 형성될 수 있다. 백 플레이트는 PET(Polyethylene terephthalate) 기판일 수 있으며, 이에 한정되는 것은 아니다. 백 플레이트는 픽셀 어레이가 습도에 노출되지 않도록 투습을 차단하고 픽셀 어레이가 형성된 유기 박막 필름을 지지한다. 유기 박막 필름은 얇은 PI(Polyimide) 필름 기판일 수 있으며, 이에 한정되는 것은 아니다. 유기 박막 필름 상에 절연 물질로 다층의 버퍼막이 형성될 수 있다. 유기 박막 필름 상에 픽셀 어레이와 터치 센서 어레이에 연결된 배선들이 형성될 수 있다.
- [0031] 도 1을 참조하면, 드라이브 IC(300)는 데이터 구동부(110), 감마 보상 전압 발생부(112), 휘도 보상부(114), 타이밍 컨트롤러(130), 전원부(136), 제2 메모리(132), 및 레벨 시프터(Level shifter, 134) 등을 포함한다. 드라이브 IC(300)는 호스트 시스템(200), 제1 메모리(210), 및 표시패널(100)에 연결된다.
- [0032] 데이터 구동부(110)는 디지털-아날로그 변환기(Digital to Analog converter, 이하 "DAC"라 함)를 통해 타이밍 컨트롤러(130)로부터 수신된 입력 영상의 디지털 비디오 데이터, 예를 들면, 픽셀 데이터(RGB)를 감마 보상 전압으로 변환하여 데이터 신호(DATA1~DATA6)를 출력한다. DAC는 픽셀 데이터(RGB)를 감마 보상 전압으로 변환하여 데이터 신호(DATA1~DATA6)의 전압을 출력한다. 도 4에서, Vdata는 데이터 신호(DATA1~DATA6)의 전압, 예를 들면, 데이터 전압일 수 있다. 데이터 전압(Vdata)인 Vdata = 3~6V로 설정될 수 있으나, 이에 한정되지 않는다. 데이터 구동부(110)는 데이터 신호(DATA1~DATA6)를 데이터 라인들(DL1~DL6)을 통해 픽셀들(P)에 공급한다.
- [0033] 감마 보상 전압 발생부(112)는 휘도 보상부(136)로부터 고전위 감마 기준 전압(VH)과 저전위 감마 기준 전압(VL)을 입력받아 고전위 감마 기준 전압(VH)을 분압 회로를 통해 분배하여 고전위 감마 기준 전압(VH)과 저전위 감마 기준 전압(VL) 사이의 계조별 감마 보상 전압을 출력한다.
- [0034] 휘도 보상부(114)로부터의 감마 기준 전압을 분압 회로를 통해 분배하여 계조별 감마 보상 전압을 출력하여 데이터 구동부(110)에 공급한다.
- [0035] 표시패널(100)의 기판에는 픽셀 어레이와 함께 게이트 구동부(120)가 형성될실장될 수 있다. 게이트 구동부(120)는 표시패널(100) 상에 직접 형성되는 GIP(Gate in panel) 회로로 구현될 수 있다. 게이트 구동부(120)는 타이밍 컨트롤러(130)의 제어 하에 게이트 신호(GATE1, GATE2)를 게이트 라인들(GL1, GL2)로 출력한다. 게이트 라인들(GL1, GL2) 각각은 도 4에 도시된 바와 같이 제N(N은 2 이상의 양의 정수) 스캔 신호[SCAN(N)]가 인가되는 제1 게이트 라인(31), 제N-1 스캔 신호[SCAN(N-1)]가 인가되는 제2 게이트 라인(32), 및 EM 신호[EM(N)]가 인가되는 제3 게이트 라인(33)을 포함할 수 있다.
- [0036] 게이트 구동부(120)는 시프트 레지스터(Shift register)를 이용하여 게이트 신호(GATE1, GATE2)를 시프트시킴으로써 게이트 신호(GATE1, GATE2)를 게이트 라인들(104)에 순차적으로 공급할 수 있다. 스캔 신호[SCAN(N-1), SCAN(N)]는 데이터 신호(DATA1~DATA6)에 동기된다. 게이트 신호(GATE1, GATE2)는 게이트 온 전압(VGL)과 게이트 오프 전압(VGH) 사이에서 스위칭한다. 게이트 온 전압(VGL)과 게이트 오프 전압(VGH)은 VGH = 8V, VGL = -7V로 설정될 수 있으나, 이에 한정되지 않는다.
- [0037] 타이밍 컨트롤러(130)는 호스트 시스템(200)으로부터 수신되는 입력 영상의 픽셀 데이터(RGB)를 데이터 구동부(110)에 공급한다. 타이밍 컨트롤러(130)는 호스트 시스템(200)으로부터 수신된 타이밍 신호를 이용하여 타이밍 제어신호들을 생성하여 게이트 구동부(120)와 데이터 구동부(110)의 동작 타이밍을 제어한다.
- [0038] 레벨 시프터(134)는 타이밍 컨트롤러(130)로부터 수신된 게이트 타이밍 제어신호의 로우 레벨 전압(low level voltage)을 게이트 온 전압(VGL)으로 변환하고, 게이트 타이밍 제어신호의 하이 레벨 전압(high level voltage)을 게이트 오프 전압(VGH)으로 변환하여 게이트 구동부(120)에 공급한다.
- [0039] 제2 메모리(132)는 드라이브 IC(300)의 내부 메모리이다. 제2 메모리(132)는 전원이 입력될 때 제1 메모리(210)로부터 수신된 보상값, 레지스터 설정 데이터 등을 저장한다. 보상값은 화질 향상을 위한 다양한 알고리즘에 적용될 수 있다. 레지스터 설정 데이터는 데이터 구동부(111), 타이밍 컨트롤러(130), 감마 보상 전압 발생부(112) 등의 동작을 정의한다. 제1 메모리(210)는 플래시 메모리(Flash memory)를 포함할 수 있다. 제2 메모리는 SRAM(Static RAM)을 포함할 수 있다.
- [0040] 전원부(136)는 직류-직류 변환기(DC-DC Converter)를 이용하여 표시패널(100)의 픽셀 어레이와 드라이브 IC(300)의 구동에 필요한 전원을 발생한다. 직류-직류 변환기는 차지 펌프(Charge pump), 레귤레이터

(Regulator), 벽 변환기(Buck Converter), 및 부스트 변환기(Boost Converter) 등을 포함할 수 있다. 전원부(136)는 호스트 시스템(200)으로부터의 직류 입력 전압(Vin)을 조정하여 게이트 온 전압(VGL), 게이트 오프 전압(VGH), 기준 ELVDD (INT\_ELVDD), 기준 전압(VCI\*, VCI'), 저전위 전원 전압(ELVSS), 및 초기화 전압(Vini) 등의 직류 전원을 발생할 수 있다.

- [0041] 기준 ELVDD(INT\_ELVDD)와 기준 전압(VCI\*, VCI')은 휘도 보상부(114)에 공급된다. 게이트 온 전압(VGL)과 게이트 오프 전압(VGH) 등의 게이트 전원은 레벨 시프터(134)와 게이트 구동부(120)에 공급된다.
- [0042] 저전위 전원 전압(ELVSS), 초기화 전압(Vini), 및 호스트 시스템(200)으로부터의 픽셀 구동 전압(ELVDD) 등의 픽셀 전원은 픽셀들(P)에 공통으로 공급된다. 픽셀 전원은  $INT\_ELVDD = 4.6V$ ,  $ELVSS = -2 \sim -3V$ ,  $Vini = -3 \sim -4V$ 로 설정될 수 있으나, 이에 한정되지 않는다.
- [0043] 호스트 시스템(200)은 모바일 기기, 웨어러블 기기, 및 가상현실/증강현실 기기 등에서 AP(Application Processor)를 포함할 수 있다. 호스트 시스템(200)은 텔레비전 시스템, 셋톱박스, 네비게이션 시스템, 개인용 컴퓨터(PC), 및 홈 시어터 시스템 등의 메인 보드일 수 있으며, 이 예에 한정되는 것은 아니다.
- [0044] 호스트 시스템(200)으로부터의 픽셀 구동 전압(ELVDD)은 가요성 인쇄 회로(Flexible Printed Circuits, FPC)를 통해 픽셀 어레이의 VDD 라인(104)에 공급된다. 드라이브 IC(300)는 FPC에 실장된다. 픽셀 구동 전압(ELVDD)은 기준 ELVDD(INT\_ELVDD)와 같은 4.6V로 발생되지만, 표시패널(100)의 ON 픽셀의 비율에 따라 달라지는 표시패널(100)의 부하 변동에 따라 전압 강하량( $\Delta V$ )이 달라질 수 있다. 픽셀 구동 전압(ELVDD)인  $ELVDD = 4.6V - \Delta V$ 와 같다.
- [0045] 휘도 보상부(114)는 픽셀 구동 전압(ELVDD)의 전압 강하량( $\Delta V$ )을 검출하고, 전압 강하량( $\Delta V$ )를 증폭하고, 증폭된 전압 강하량( $\Delta V$ )만큼 감마 기준 전압(VH, VL)을 조정하여 ON 픽셀 비율에 따른 휘도 차이를 줄일 수 있다.
- [0046] 도 4a는 픽셀 회로의 예를 보여주는 회로도이다. 본 발명의 픽셀 회로는 도 4a에 한정되지 않는다. 도 4b는 도 4a에 도시된 픽셀 회로의 구동 방법을 보여주는 도면이다.
- [0047] 도 4a 및 도 4b를 참조하면, 픽셀 회로는 발광 소자(OLED), 발광 소자(OLED)에 전류를 공급하는 구동 소자(DT), 및 다수의 스위치 소자들(M1~M6)을 이용하여 구동 소자(DT)의 문턱 전압(Vth)을 샘플링하여 구동 소자(DT)의 문턱 전압(Vth)만큼 구동 소자(DT)의 게이트 전압을 보상하는 내부 보상 회로를 포함한다. 구동 소자(DT)와 스위치 소자들(M1~M6) 각각은 p 채널 트랜지스터로 구현될 수 있으며, 이에 한정되는 것은 아니다.
- [0048] 내부 보상 회로의 동작은 제N-1 스캔 신호[SCAN(N-1)]의 게이트 온 전압(VGL)에 따라 제5 및 제6 스위치 소자들(M5, M6)이 턴-온되어 픽셀 회로를 초기화하는 초기화 기간(Tini), 제N 스캔 신호[SCAN(N)]의 게이트 온 전압(VGL)에 따라 제1 및 제2 스위치 소자들(M1, M2)이 턴-온되어 구동 소자(DT)의 문턱 전압이 샘플링되어 커패시터(Cst)에 저장되는 샘플링 기간(Tsam), 제1 내지 제6 스위치 소자들(M1~M6)이 오프 상태를 유지하는 데이터 기입 기간(Twr), 및 제3 및 제4 스위치 소자들(M1, M2)이 턴-온되어 발광 소자(OLED)가 발광되는 발광 기간(Tem)으로 나뉘어진다.
- [0049] 발광 기간(Tem)은 저 계조의 휘도를 EM 신호[EM(N)]의 듀티비(duty ration)로 정밀하게 표현하기 위하여, EM 신호[EM(N)]가 게이트 온 전압(VGL)과 게이트 오프 전압(VGH) 사이에서 소정의 듀티비로 스위칭하여 제3 및 제4 스위치 소자들(M1, M2)이 온/오프를 반복할 수 있다.
- [0050] 발광 소자(OLED)는 OLED로 구현될 수 있으며, 이에 한정되는 것은 아니다. 발광 소자(OLED)는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(HIL), 정공수송층(HTL), 발광층(EML), 전자수송층(ETL) 및 전자주입층(EIL) 등을 포함할 수 있으나 이에 한정되지 않는다. 발광 소자(OLED)의 애노드는 제4 및 제6 스위치 소자들(M4, M6) 사이의 제4 노드(n4)에 연결된다. 제4 노드(n4)는 발광 소자(OLED)의 애노드, 제4 스위치 소자(M4)의 제2 전극, 및 제6 스위치 소자(M6)의 제2 전극에 연결된다. 발광 소자(OLED)의 캐소드는 저전위 전원 전압(VSS)이 인가되는 VSS 전극(106)에 연결된다. 발광 소자(OLED)는 구동 소자(DT)의 게이트-소스간 전압(Vgs)에 따라 흐르는 전류(Ids)로 발광된다. 발광 소자(OLED)의 전류 패스는 제3 및 제4 스위치 소자(M3, M4)에 의해 스위칭된다.
- [0051] 스토리지 커패시터(Cst)는 VDD 라인(104)과 제1 노드(n1) 사이에 연결된다. 구동 소자(DT)의 문턱 전압(Vth)만큼 보상된 데이터 전압(Vdata)이 스토리지 커패시터(Cst)에 충전된다. 서브 픽셀들 각각에서 데이터 전압(Vdata)이 구동 소자(DT)의 문턱 전압(Vth)만큼 보상되므로, 서브 픽셀들에서 구동 소자(DT)의 특성 편차가 보

상될 수 있다.

- [0052] 제1 스위치 소자(M1)는 제N 스캔 신호[SCAN(N)]의 게이트 온 전압(VGL)에 응답하여 턴-온되어 제2 노드(n2)와 제3 노드(n3)를 연결한다. 제2 노드(n2)는 구동 소자(DT)의 게이트, 스토리지 커패시터(Cst)의 제1 전극, 및 제1 스위치 소자(M1)의 제1 전극에 연결된다. 제3 노드(n3)는 구동 소자(DT)의 제2 전극, 제1 스위치 소자(M1)의 제2 전극, 및 제4 스위치 소자(M4)의 제1 전극에 연결된다. 제1 스위치 소자(M1)의 게이트는 제1 게이트 라인(31)에 연결되어 제N 스캔 신호[SCAN(N)]를 공급 받는다. 제1 스위치 소자(M1)의 제1 전극은 제2 노드(n2)에 연결되고, 제1 스위치 소자(M1)의 제2 전극은 제3 노드(n3)에 연결된다.
- [0053] 제2 스위치 소자(M2)는 제N 스캔 신호[SCAN(N)]의 게이트 온 전압(VGL)에 응답하여 턴-온되어 데이터 전압(Vdata)을 제1 노드(n1)에 공급한다. 제2 스위치 소자(M2)의 게이트는 제1 게이트 라인(31)에 연결되어 제N 스캔 신호[SCAN(N)]를 공급 받는다. 제2 스위치 소자(M2)의 제1 전극은 제1 노드(n1)에 연결된다. 제2 스위치 소자(M2)의 제2 전극은 데이터 전압(Vdata)이 인가되는 데이터 라인(DL)에 연결된다. 제1 노드(n1)는 제2 스위치 소자(M2)의 제1 전극, 제3 스위치 소자(M2)의 제2 전극, 및 구동 소자(DT)의 제1 전극에 연결된다.
- [0054] 제3 스위치 소자(M3)는 EM 신호[EM(N)]의 게이트 온 전압(VGL)에 응답하여 턴-온되어 VDD 라인(104)을 제1 노드(n1)에 연결한다. 제3 스위치 소자(M3)의 게이트는 제3 게이트 라인(33)에 연결되어 EM 신호[EM(N)]를 공급받는다. 제3 스위치 소자(M3)의 제1 전극은 VDD 라인(104)에 연결된다. 제3 스위치 소자(M3)의 제2 전극은 제1 노드(n1)에 연결된다.
- [0055] 제4 스위치 소자(M4)는 EM 신호[EM(N)]의 게이트 온 전압(VGL)에 응답하여 턴-온되어 제3 노드(n3)를 발광 소자(OLED)의 애노드에 연결한다. 제4 스위치 소자(M4)의 게이트는 제3 게이트 라인(33)에 연결되어 EM 신호[EM(N)]를 공급 받는다. 제4 스위치 소자(M4)의 제1 전극은 제3 노드(n3)에 연결되고, 제2 전극은 제4 노드(n4)에 연결된다.
- [0056] EM 신호[EM(N)]는 제3 및 제4 스위치 소자들(M3, M4)의 온/오프(On/Off)를 제어하여 발광 소자(OLED)의 전류 패스(current path)를 스위칭함으로써 발광 소자(OLED)의 점등 및 소등 시간을 제어한다.
- [0057] 제5 스위치 소자(M5)는 제N-1 스캔 신호[SCAN(N-1)]의 게이트 온 전압(VGL)에 응답하여 턴-온되어 제2 노드(n2)를 Vini 라인(105)에 연결한다. 제5 스위치 소자(M5)의 게이트는 제2 게이트 라인(32)에 연결되어 제N-1 스캔 신호[SCAN(N-1)]를 공급 받는다. 제5 스위치 소자(M5)의 제1 전극은 제2 노드(n2)에 연결되고, 제2 전극은 Vini 라인(105)에 연결된다.
- [0058] 제6 스위치 소자(M6)는 제N-1 스캔 신호[SCAN(N-1)]의 게이트 온 전압(VGL)에 응답하여 턴-온되어 Vini 라인(105)을 제4 노드(n4)에 연결한다. 제6 스위치 소자(M6)의 게이트는 제2 게이트 라인(32)에 연결되어 제N-1 스캔 신호[SCAN(N-1)]를 공급 받는다. 제6 스위치 소자(M6)의 제1 전극은 Vini 라인(105)에 연결되고, 제2 전극은 제4 노드(n4)에 연결된다.
- [0059] 구동 소자(DT)는 게이트-소스간 전압(Vgs)에 따라 발광 소자(OLED)에 흐르는 전류(Ids)를 조절하여 발광 소자(OLED)를 구동한다. 구동 소자(DT)는 제2 노드(n2)에 연결된 게이트, 제1 노드(n1)에 연결된 제1 전극, 및 제3 노드(n3)에 연결된 제2 전극을 포함한다.
- [0060] 초기화 기간(Tini) 동안 제N-1 스캔 신호[SCAN(N-1)]가 게이트 온 전압(VGL)으로 발생된다. 제N 스캔 신호[SCAN(N)]와 EM 신호[EM(N)]는 초기화 기간(Tini) 동안 게이트 오프 전압(VGH)을 유지한다. 따라서, 초기화 기간(Tini) 동안 제5 및 제6 스위치 소자들(M5, M6)이 턴-온(turn-on)되어 제2 및 제4 노드(n2, n4)가 Vini로 초기화된다. 초기화 기간(Tini)과 샘플링 기간(Tsam) 사이에 홀드 기간(Th)이 설정될 수 있다. 홀드 기간(Th)에서 게이트 신호[SCAN(N-1), SCAN(N), EM(N)]는 이전 상태를 유지한다.
- [0061] 샘플링 기간(Tsam) 동안 제N 스캔 신호[SCAN(N)]가 게이트 온 전압(VGL)으로 발생된다. 제N 스캔 신호[SCAN(N)]의 펄스는 제N 픽셀 라인의 데이터 전압(Vdata)에 동기된다. 제N-1 스캔 신호[SCAN(N-1)]와 EM 신호[EM(N)]는 샘플링 기간(Tsam) 동안 게이트 오프 전압(VGH)을 유지한다. 따라서, 샘플링 기간(Tsam) 동안 제1 및 제2 스위치 소자들(M1, M1)이 턴-온된다.
- [0062] 샘플링 기간(Tsam) 동안 구동 소자(DT)의 게이트 전압(DTG)이 제1 및 제2 스위치 소자(M1, M2)를 통해 흐르는 전류에 의해 상승된다. 구동 소자(DT)가 턴-오프될 때 구동 소자(DT)가 턴-오프(turn-off)되기 때문에 게이트 노드 전압(DTG)이  $Vdata - |Vth|$ 이다. 이 때, 제1 노드(n)의 전압도  $Vdata - |Vth|$ 이다. 샘플링 기간(Tsam)에 구동 소자(DT)의 게이트-소스간 전압(Vgs)은  $|Vgs| = Vdata - (Vdata - |Vth|) = |Vth|$ 이다.

- [0063] 데이터 기입 기간(Twr) 동안 제N 스캔 신호[SCAN(N)]가 게이트 오프 전압(VGH)으로 반전된다. 제N-1 스캔 신호[SCAN(N-1)]와 EM 신호[EM(N)]는 샘플링 기간(Tsam) 동안 게이트 오프 전압(VGH)을 유지한다. 따라서, 데이터 기입 기간(Twr) 동안 모든 스위치 소자들(M1~M6)이 오프 상태를 유지한다.
- [0064] 발광 기간(Tem) 동안 EM 신호[EM(N)]가 소정의 듀티비로 온/오프되어 게이트 온 전압(VGL)과 게이트 오프 전압(VGH) 사이에서 스윙한다. 발광 기간(Tem) 동안, 제N-1 및 제N 스캔 신호[SCAN(N-1), SCAN(N)]는 게이트 오프 전압(VGH)을 유지한다. 발광 기간(Tem) 동안, 제3 및 제4 스위치 소자들(M3, M4)은 EM 신호(EM)의 전압 따라 온/오프를 반복한다. EM 신호[EM(N)]가 게이트 온 전압(VGL)일 때 제3 및 제4 스위치 소자들(M3, M4)이 턴-온되어 발광 소자(OLED)에 전류가 흐른다. 이 때, 구동 소자(DT)의 Vgs는  $|Vgs| = VDD - (Vdata - |Vth|)$ 이고, 발광 소자(OLED)에 흐르는 전류는  $K(VDD - Vdata)^2$ 이다. K는 구동 소자(DT)의 전하 이동도, 기생 커패시턴스 및 채널 용량 등에 의해 결정되는 비례 상수이다.
- [0065] 도 5는 감마 보상 전압 발생부의 예를 보여주는 회로도이다.
- [0066] 도 5를 참조하면, 감마 보상 전압 발생부(112)는 제1 분압 회로(RS01), 제1 전압 선택부, 제2 분압 회로(RS02), 제2 전압 선택부, 제3 분압 회로(RS03), 제3 전압 선택부, 제4 분압 회로(R40 ~ R46), 제4 전압 선택부, 및 제5 분압 회로(R51~R57)를 포함한다.
- [0067] 제1 분압 회로(RS01)는 고전위 기준 전압(VH)과 저전위 기준 전압(VL) 사이에서 직렬로 연결된 저항들을 이용하여 고전위 기준 전압(VH)을 분배하여 전압 레벨이 서로 다른 전압을 출력한다.
- [0068] 제1 전압 선택부는 제1 분압 회로(RS01)로부터 출력된 전압을 선택한다. 제1 전압 선택부는 제1 분압 회로(RS01)와 제2 분압 회로(RS02) 사이에 연결되어 제1 분압 회로(RS01)로부터 선택된 전압을 제2 분압 회로(RS02)에 공급하는 제1-1 내지 제1-4 멀티플렉서(MUX1~MUX4)를 포함한다. 제1-1 내지 제1-4 멀티플렉서(MUX1~MUX4)는 고전위 기준 전압(VH) 보다 낮고 전압 레벨이 서로 다른 전압을 출력하여 제2 분압 회로(RS02)의 노드들에 공급한다. 제1-1 내지 제1-4 멀티플렉서(MUX1~MUX4) 각각으로부터 출력된 전압은 버퍼를 통해 제2 분압 회로(RS02)에서 일정 간격을 두고 이격된 노드들에 직접 인가된다. 제1-1 내지 제1-4 멀티플렉서(MUX1~MUX4)는 레지스터 설정(REG1~REG4)에 따라 설정된 전압을 조절할 수 있다.
- [0069] 레지스터 설정(REG1~REG5, RGAMA31~RGAMA33, RGAMA41~RGAMA46)은 제품 출하전 제1 메모리(210)에 저장된 후 전계 발광 표시장치의 전원이 켜질 때 제2 메모리(132)에 전송되거나 제품 출하전 제2 메모리(132)에 저장될 수 있다. 레지스터 설정(REG1~REG4)은 광학 보상에 또는 DBV(Display Brightness Value)에 따라 연동하여 휘도를 조정하기 위한 레지스터 설정값이다. DBV는 호스트 시스템(200)의 조도 센서 출력 신호 또는 사용자의 휘도 입력값에 따라 가변될 수 있다.
- [0070] 제2 분압 회로(RS02)는 고전위 기준 전압(VH)이 인가되는 노드와, 저전위 기준 전압(VL)이 인가되는 노드 사이에서 직렬로 연결된 저항들을 포함한다. 제2 분압 회로(RS02)는 고전위 전압(VH)을 분배하여 저항들 사이의 노드를 통해 전압 레벨이 서로 다른 전압을 출력한다.
- [0071] 제2 전압 선택부는 제2 분압 회로(RS02)의 노드들 중 어느 하나를 레지스터 설정(REG5)에 따라 선택하여 제1 기준 전압(VREG1)을 선택하는 멀티플렉서(MUX5)를 포함한다. 레지스터 설정(REG5)에 따라 멀티플렉서(MUX5)의 출력 전압이 가변될 수 있다. 멀티플렉서(MUX5)로부터 출력된 기준 전압(VREG1)은 버퍼를 통해 제3 분압 회로(RS03)에 공급된다.
- [0072] 제3 분압 회로(RS03)는 기준 전압(VREG1)과 기저 전압(GND) 사이에 직렬로 연결된 저항들을 이용하여 기준 전압(VREG1)을 분배하여 전압 레벨이 서로 다른 전압들을 출력한다.
- [0073] 제3 전압 선택부는 제3 분압 회로(RS03)의 고전위 노드들 중 어느 하나를 레지스터 설정(RGMA31)에 따라 선택하여 선택된 노드로부터의 고전위 기준 전압을 최상위 감마 보상 전압(V255)으로서 출력하는 제3-1 멀티플렉서(MUX31), 제3 분압 회로(RS03)에서 제1 그룹의 저전위 노드들 중 어느 하나를 레지스터 설정값(RGMA32)에 따라 선택하여 선택된 노드로부터의 저전위 전압을 제7 감마 탭 전압(V1)으로 출력하는 제3-2 멀티플렉서(MUX32), 및 제3 분압 회로(RS03)에서 제2 그룹의 저전위 노드들 중 어느 하나를 레지스터 설정값(RGMA33)에 따라 선택하여 선택된 노드로부터의 최하위 감마 보상 전압(V0)을 출력하는 제3-3 멀티플렉서(MUX33)를 포함한다.
- [0074] 제4 분압 회로(R40 ~ R46)는 최상위 감마 보상 전압(V255)과 제7 감마 탭 전압(V1) 사이의 전압을 분압하여 계조별 감마 보상 전압을 출력하는 제4-1 내지 제4-6 분압 회로들(R41 ~ R46)을 포함한다.

- [0075] 제4 전압 선택부는 멀티플렉서(MUX41~MUX49)를 이용하여 제1 내지 제6 감마 탭 전압(V255, V191, 꺾 V7)을 출력하는 제4-1 내지 제4-6 전압 선택부를 포함한다. 제1 내지 제6 감마 탭 전압(V255, V191, 꺾 V7)은 최상위 감마 보상 전압(V255) 보다 낮고 최하위 감마 탭 전압(V1) 보다 높은 전압이다.
- [0076] 제4-1 분압 회로(R41)는 최상위 감마 보상 전압(V255)과 제7 감마 탭 전압(V1) 사이에서 직렬로 연결된 저항들을 이용하여 최상위 감마 보상 전압(V255)을 분압한다. 제4-1 전압 선택부는 제4-1 분압 회로(R41)의 노드들 중 어느 하나를 선택하는 제4-1 멀티플렉서(MUX41)를 포함한다. 제4-1 멀티플렉서(MUX41)는 제4-1 분압 회로(R41)의 노드들 중 어느 하나를 레지스터 설정(RGMA41)에 따라 선택하여 선택된 노드로부터의 전압을 출력한다. 제4-1 멀티플렉서(MUX41)의 출력 전압은 버퍼(B41)를 통해 제1 감마 탭 전압(V191)으로 출력된다. 제1 감마 탭 전압(V191)은 픽셀 데이터(RGB)의 계조값 191에 대응하는 감마 보상 전압이다.
- [0077] 제4-2 분압 회로(R42)는 제1 감마 탭 전압(V191)과 제7 감마 탭 전압(V1) 사이에서 직렬로 연결된 저항들을 이용하여 제1 감마 탭 전압(V191)을 분압한다. 제4-2 멀티플렉서(MUX42)는 제4-2 분압 회로(R42)의 노드들 중 어느 하나를 레지스터 설정(RGMA42)에 따라 선택하여 선택된 노드로부터의 전압을 출력한다. 제4-2 멀티플렉서(MUX42)의 출력 전압은 버퍼(B42)를 통해 제2 감마 탭 전압(V127)으로 출력된다. 제2 감마 탭 전압(V127)은 픽셀 데이터(RGB)의 계조값 127에 대응하는 감마 보상 전압이다.
- [0078] 제4-6 분압 회로(R46)는 제5 감마 탭 전압(V15)과 제7 감마 탭 전압(V1) 사이에서 직렬로 연결된 저항들을 이용하여 제5 감마 탭 전압(V15)을 분압한다. 제4-6 멀티플렉서(MUX46)는 제4-6 분압 회로(R46)의 노드들 중 어느 하나를 레지스터 설정(RGMA46)에 따라 선택하여 선택된 노드로부터의 전압을 출력한다. 제4-6 멀티플렉서(MUX46)의 출력 전압은 버퍼(B46)를 통해 제6 감마 탭 전압(V7)으로 출력된다. 제6 감마 탭 전압(V7)은 픽셀 데이터(RGB)의 계조값 7에 대응하는 감마 보상 전압이다.
- [0079] 제5 분압 회로(R51~R57)는 최상위 감마 보상 전압(V255)과 제7 감마 탭 전압(V1) 사이에서 직렬로 연결된 저항들을 이용하여 최상위 감마 보상 전압(V255)을 분배하여 전압 레벨이 서로 다른 계조별 감마 보상 전압(V1~V255)을 출력한다. 제5-1 분압 회로(R51)는 최상위 감마 보상 전압(V255)과 제1 감마 탭 전압(V191) 사이에 직렬로 연결된 저항들을 이용하여 최상위 감마 보상 전압(V255)과 제1 감마 탭 전압(V189) 사이의 계조별 감마 보상 전압을 출력한다. 제5-2 분압 회로(R52)는 제1 감마 탭 전압(V191)과 제2 감마 탭 전압(V127) 사이에 직렬로 연결된 저항들을 이용하여 제2 감마 탭 전압(V191)과 제2 감마 탭 전압(V127) 사이의 계조별 감마 보상 전압을 출력한다. 제5-6 분압 회로(R56)는 제5 감마 탭 전압(V15)과 제6 감마 탭 전압(V7) 사이에 직렬로 연결된 저항들을 이용하여 제5 감마 탭 전압(V15)과 제6 감마 탭 전압(V7) 사이의 계조별 감마 보상 전압을 출력한다. 제5-7 분압 회로(R57)는 제6 감마 탭 전압(V7)과 제7 감마 탭 전압(V1) 사이에 직렬로 연결된 저항들을 이용하여 제6 감마 탭 전압(V7)과 제7 감마 탭 전압(V1) 사이의 계조별 감마 보상 전압을 출력한다. 감마 보상 전압(V0~V255)은 데이터 구동부(110)의 DAC에 공급된다.
- [0080] 데이터 전압의 감마 보상 전압은 픽셀 회로 구조에 따라 정 감마(positive gamma) 또는 역 감마(negative gamma)로 구현될 수 있다. 예를 들어, 픽셀들의 발광 소자, 예를 들면, OLED를 구동하는 트랜지스터가 n 채널 MOSFET로 구현되고 이 트랜지스터의 게이트에 데이터 전압이 인가되는 경우에, 정 감마로 감마 보상 전압이 발생되어 픽셀 데이터(RGB)의 계조가 높을수록 감마 보상 전압이 높아진다. 도 5는 정 감마로 설정된 감마 보상 전압 발생부(112)를 예시한 것이다. 픽셀들의 발광 소자를 구동하는 트랜지스터가 p 채널 MOSFET로 구현되고, 이 트랜지스터의 게이트에 데이터 전압이 인가되면, 역 감마로 감마 보상 전압이 발생되어 픽셀 데이터(RGB)의 계조가 높을수록 감마 보상 전압이 낮아진다. 이 경우, 도 5에서 VH와 VL의 전압 레벨이 서로 바뀌고, VREG1과 VREG2의 전압 레벨도 서로 바뀐다.
- [0081] 도 6은 데이터 구동부의 예를 보여주는 블록도이다.
- [0082] 도 6을 참조하면, 데이터 구동부(110)는 시프트 레지스터(shift register, 81), 제1 래치(latch, 82), 제2 래치(83), 레벨 시프터(84), DAC(85), 및 버퍼(86)를 포함한다.
- [0083] 시프트 레지스터(81)는 타이밍 컨트롤러(130)로부터 입력되는 클럭을 시프트하여 샘플링용 클럭을 순차적으로 출력한다. 제1 래치(82)는 시프트 레지스터(81)로부터 순차적으로 입력되는 샘플링용 클럭 타이밍에 입력 영상의 픽셀 데이터(RGB)를 샘플링(sampling)하여 래치(latch)하고, 샘플링된 픽셀 데이터(RGB)를 동시에 출력한다. 제2 래치(83)는 제1 래치(82)로부터 입력된 픽셀 데이터(RGB)를 동시에 출력한다.
- [0084] 레벨 시프터(84)는 제2 래치(83)로부터 입력된 픽셀 데이터(RGB)의 전압을 DAC(85)의 입력 전압 범위 내로 시프트한다. DAC(85)는 레벨 시프터(84)로부터의 픽셀 데이터(RGB)를 감마 보상 전압 발생부(112)로부터의 감마 보

상 전압으로 변환하여 데이터 전압을 출력한다. DAC(85)로부터 출력된 데이터 전압은 버퍼(86)를 통해 데이터 라인들(DL1~DL6)에 공급된다.

- [0085] 도 7은 호스트 시스템으로부터 표시패널에 공급되는 픽셀 구동 전압 경로를 보여주는 도면이다.
- [0086] 도 7을 참조하면, 호스트 시스템(200)은 연성 회로 기판 예를 들어, FPC(220)를 통해 드라이브 IC(300)와 표시패널(100)에 연결된다.
- [0087] 호스트 시스템(200)은 MIPI(Mobile Industry Processor Interface)를 통해 입력 영상의 픽셀 데이터(RGB)를 드라이브 IC(200)로 전송할 수 있다. 호스트 시스템(200)으로부터 발생하는 픽셀 구동 전압(ELVDD)은 FPC(220) 상에 형성된 전원 배선(221)을 통해 드라이브 IC(300)와 표시패널(100)에 공급된다. FPC(220) 상의 전원 배선(221)은 표시패널(100)의 VDD 라인(104)에 연결된다.
- [0088] 픽셀 구동 전압(ELVDD)은 표시패널(100)의 부하(Load)에 따른 IR drop으로 인하여 전압 강하가 발생되고 표시패널(100)의 부하 변동에 따라 그 전압 강하량( $\Delta V$ )이 달라진다. 표시패널(100)의 부하는 저항(Resistance, R) 및 용량(Capacitance, C)과 같은 물리적으로 고정된 값과, ON 픽셀의 비율과 같이 가변되는 값에 의해 영향을 받는다.
- [0089] 도 8a는 화면(AA) 내의 모든 픽셀들이 화이트(white) 계조로 발광되는 예이다. 도 8a는 ON 픽셀의 비율이 높은 영상의 예이다. 도 8b는 화면(AA) 내에서 작은 중앙의 박스만 화이트 계조이고 대부분이 블랙(Black) 계조인 영상의 예이다. 도 8b는 ON 픽셀의 비율이 적은 영상이다.
- [0090] ON 픽셀의 비율은 영상의 계조 분포에 따라 가변된다. 예를 들어, 평균 화상 레벨(Average Picture level, 이하 "APL"이라 함)이 높은 영상의 경우 도 8a와 같이 화면이 전체적으로 밝게 표시되기 때문에 ON 픽셀의 비율이 높다. ON 픽셀의 비율이 높으면, 표시패널(100)에서 전류량이 많아지기 때문에 픽셀 구동 전압(ELVDD)의 전압 강하량( $\Delta V$ )이 그만큼 많아진다. 이에 비하여, APL 이 낮은 영상의 경우 도 8b와 같이 화면의 ON 픽셀의 비율이 낮다. ON 픽셀의 비율이 낮으면, 표시패널(100)에서 전류량이 적기 때문에 픽셀 구동 전압(ELVDD)의 전압 강하량( $\Delta V$ )이 그만큼 낮아진다. 이로 인하여, ON 픽셀의 비율이 낮은 영상에서 동일 계조에서 휘도가 향상될 수 있다.
- [0091] 휘도 보상부(114)는 표시패널(100)의 화면(AA) 상에서 발생하는 픽셀 구동 전압(ELVDD)의 실제 전압 강하량( $\Delta V$ )을 반영하여 픽셀들(P)에 인가되는 데이터 전압을 조정함으로써 표시패널(100)의 부하 변동에 따른 휘도차를 최소화한다. 이를 위하여, 휘도 보상부(114)는 픽셀 구동 전압(ELVDD)의 전압 강하량( $\Delta V$ )을 검출하고, 표시패널(100)의 실제 전압 강하량을 반영하기 위하여 전압 강하량( $\Delta V$ )을 증폭하여 감마 보상 전압을 조정함으로써 표시패널(100)의 부하 변동에 따라 데이터 전압(Vdata)을 조정한다.
- [0092] 도 9 및 도 10은 본 발명의 실시예에 따른 휘도 보상부를 보여주는 블록도이다.
- [0093] 도 9 및 도 10을 참조하면, 휘도 보상부(114)는 전압 강하량 증폭부(10)와, 제1 및 제2 감마 기준 전압 조정부(20, 30)를 포함한다.
- [0094] 전압 강하량 증폭부(10)는 픽셀 구동 전압(ELVDD)과 기준 ELVDD(INT\_ELVDD)를 비교하여 픽셀 구동 전압(ELVDD)의 전압 강하량( $\Delta V$ )을 검출하고, 전압 강하량( $\Delta V$ )을 소정의 가중치(W)만큼 증폭한다. 픽셀 구동 전압(ELVDD)과 기준 ELVDD(INT\_ELVDD)은 같은 전압으로 발생되지만, 픽셀 구동 전압(ELVDD)은 표시패널(100)의 부하 변동에 따라 가변되는 반면, 기준 ELVDD(INT\_ELVDD)은 표시패널(100)과 분리되어 있으므로 표시패널(100)의 부하와 무관하게 고정된 전압이다. 픽셀 구동 전압(ELVDD)과 기준 ELVDD(INT\_ELVDD)의 차 전압으로 픽셀 구동 전압(ELVDD)의 전압 강하량( $\Delta V$ )을 검출할 수 있지만 표시패널(100) 상에서의 실제 전압 강하량과 차이가 있을 수 있다. 이는 드라이브 IC(300)에서 표시패널(100)에 인가되기 전 픽셀 구동 전압(ELVDD)과 기준 ELVDD(INT\_ELVDD)를 비교하기 때문이다.
- [0095] 픽셀 구동 전압(ELVDD)은 표시패널(100)의 부하 변동에 따라 가변되지만 픽셀 구동 전압(ELVDD)이 표시패널(100)에 입력되기 전에 드라이브 IC(300)에 입력되기 때문에 그 변화량이 표시패널(100)의 실제 전압 강하량보다 적다. 본 발명은 표시패널(100) 상에서 픽셀 구동 전압(ELVDD)의 실제 전압 강하량을 반영하기 위하여 드라이브 IC(300)에 입력되는 픽셀 구동 전압(ELVDD)과 드라이브 IC(300) 내에서 생성되는 기준 ELVDD(INT\_ELVDD)의 차에 가중치(W)를 곱하여 표시패널(100)에 입력되기 전 픽셀 구동 전압(ELVDD)의 전압 강하량을 증폭한다.
- [0096] 가중치(W)는 연산 증폭기(operational amplifier, OP AMP.)의 증폭비로 조절될 수 있다. 가중치(W)는 표시패널(100)에서 픽셀 구동 전압(ELVDD)의 실제 변화량 측정 결과를 바탕으로 결정된다. 가중치(W)는 1, 1.33, 1.

66, 2 등의 값으로 설정될 수 있으나, 이에 한정되지 않는다. 픽셀 구동 전압(ELVDD)의 전압 강하량은  $\Delta V * W$  만큼 증폭된다.

[0097] 제1 및 제2 감마 기준 전압 조정부(20, 30)는 전압 강하량 증폭부(10)로부터 입력된 전압 강하 증폭값( $\Delta V * W$ )만큼 감마 기준 전압(INT\_VH, INT\_VL)을 낮추어 감마 보상 전압 발생부(112)에 공급된다.

[0098] 제1 감마 기준 전압 조정부(20)는 증폭된 전압 강하량( $\Delta V * W$ ), 픽셀 구동 전압(ELVDD), 및 제1 기준 전압(VCI\*)를 입력받아 내부 고전위 기준 전압(INT\_VH)을 발생하고, 이 내부 고전위 기준 전압(INT\_VH)을 증폭된 전압 강하량( $\Delta V * W$ )만큼 낮추어 고전위 기준 전압(VH)을 발생한다. 제1 감마 기준 전압 조정부(20)는  $ELVDD + VCI* = INT\_VH$ 로 내부 고전위 기준 전압(INT\_VH)을 발생한다. 제1 감마 기준 전압 조정부(20)로부터 출력된 고전위 감마 기준 전압(VH)이 감마 보상 전압 발생부(112)에 공급된다.

[0099] 제2 감마 기준 전압 조정부(30)는 증폭된 전압 강하량( $\Delta V * W$ ), 픽셀 구동 전압(ELVDD), 및 제2 기준 전압(VCI')를 입력받아 내부 저전위 기준 전압(INT\_VL)을 발생하고, 내부 저전위 기준 전압(INT\_VL)을 증폭된 전압 강하량( $\Delta V * W$ )만큼 낮추어 고전위 기준 전압(VL)을 발생한다. 제2 감마 기준 전압 조정부(30)는  $ELVDD - VCI' = INT\_VL$ 로 내부 저전위 기준 전압(INT\_VL)을 발생한다. 제2 감마 기준 전압 조정부(30)로부터 출력된 저전위 감마 기준 전압(VL)이 감마 보상 전압 발생부(112)에 공급된다.

[0100] 제1 및 제2 기준 전압(VCI\*, VCI')는 감마 보상 전압 발생부(112)로부터 출력되는 감마 보상 전압의 전압 범위(voltage range)와, 최대 및 최소 전압을 정의한다. 따라서, 제1 및 제2 기준 전압(VCI\*, VCI')에 따라 데이터 구동부(110)로부터 출력되는 데이터 전압(Vdata)의 전압 범위와, 최대 및 최소 전압이 결정된다. 제1 및 제2 기준 전압(VCI\*, VCI')은 대략 1V~3V 사이에서 결정된다. VCI\* = 3V이고, VCI' = 1V 일 때 감마 보상 전압의 전압 범위가 최대가 된다.

[0101] 도 11 및 도 12는 회로 보상부를 보여주는 회로도들이다.

[0102] 도 11 및 도 12를 참조하면, 전압 강하량 증폭부(10)는 제1 차동 증폭기를 포함한다. 제2 차동 증폭기는 연산 증폭기, 연산 증폭기의 반전 입력 노드(-)에 연결되고 입력 전압(V1)이 인가되는 저항(R1), 연산 증폭기의 비반전 입력 노드(+)에 연결되고 기준 전압(V2)이 인가되는 저항(R2), 연산 증폭기의 반전 입력 노드와 출력 노드 사이에 연결된 저항(Rf)을 포함한다.

[0103] 도 11에서, 차동 증폭기의 출력 전압( $V_o = \Delta V * W$ )은 아래와 같다.

[0104] 
$$V_o = \left[ \frac{R_f}{R_1} \right] V_1 + \left[ 1 + \frac{R_f}{R_1} \right] \left[ \frac{R_3}{R_2 + R_3} \right] V_2$$

[0105] 여기서, V1 = ELVDD, V2 = INT\_ELVD

[0106] R1 = R2이고 Rf = R3이면, 차동 증폭기의 출력 전압(Vo)은 아래와 같이 나타낼 수 있다.

[0107] 
$$V_o = \left[ \frac{R_3}{R_1} \right] (V_1 - V_2)$$

[0108] 증폭비는 저항비(R3/R1)에 따라 결정된다. 증폭비에 따라 픽셀 구동 전압(ELVDD)의 전압 강하량( $\Delta V$ )에 적용되는 가중치(W)가 조절될 수 있다.

[0109] 제1 감마 기준 전압 조정부(20)는 제2 차동 증폭기를 포함한다. 제2 감마 기준 전압 조정부(30)는 제3 차동 증폭기를 포함한다. 제2 및 제3 차동 증폭기 각각은 연산 증폭기, 연산 증폭기의 반전 입력 노드(-)에 연결되고 증폭된 전압 강하량( $V_o = \Delta V * W$ )이 인가되는 저항(R1'), 연산 증폭기의 비반전 입력 노드(+)에 연결되고 기준 전압(V2)이 인가되는 저항(R2'), 연산 증폭기의 반전 입력 노드(-)와 출력 노드 사이에 연결된 저항(Rf')을 포함한다.

[0110] 제2 차동 증폭기의 출력 전압(VH)은

[0111] 
$$V_H = \left[ \frac{R_f'}{R_1'} \right] V_o + \left[ 1 + \frac{R_f'}{R_1'} \right] \left[ \frac{R_3'}{R_2' + R_3'} \right] INT\_VH$$

[0112]  $R_1' = R_2' = R_3' = R_f'$  일 때  $VH = INT\_VH - Vo$  이므로 제2 차동 증폭기는 감산기로 동작한다.

[0113] 제3 차동 증폭기의 출력 전압(VL)은

$$VL = \left[ \frac{R_f'}{R_1'} \right] Vo + \left[ 1 + \frac{R_f'}{R_1'} \right] \left[ \frac{R_3'}{R_2' + R_3'} \right] INT\_VL$$

[0115]  $R_1' = R_2' = R_3' = R_f'$  일 때  $VL = INT\_VL - Vo$  이므로 제3 차동 증폭기는 감산기로 동작한다.

[0116] 표 1은 픽셀 구동 전압이 4.6V, 4.56V 일 때 가중치  $W=1.33$  만큼 증폭되는 경우와, 가중치 2 만큼 증폭된 예에서 휘도 보상부(114)에 의해  $\Delta V * W$  만큼 감소된 감마 기준 전압(VH, VL)을 나타낸다. 데이터 전압(Vdata)은 감마 기준 전압(VH, VL)에 따라 그 전압이 가변된다.

표 1

ELVDD	4.6	4.56	4.6	4.56
VH	2.2	2.1468	2.2	2.12
VL	6.3	6.2468	6.3	6.22
Vdata	3.1	3.0468	3.1	3.02

[0117]

[0118] 도 13은 영상의 계조 분포가 다른 영상 샘플들에서 픽셀 구동 전압의 전압 강하량과 감마 기준 전압을 보여주는 도면들이다. 도 14는 ON 픽셀의 비율이 다른 이미지 샘플들을 보여 주는 도면이다. 도 14에서 "IMG1은 대부분이 픽셀들이 발광되어 ON 픽셀의 비율이 높은 이미지 샘플이다. "IMG2"는 대기 화면에서 대부분의 픽셀들이 블랙 계조이고 시간 표시 부분만 화이트 계조로 발광되어 ON 픽셀의 비율이 낮은 이미지 샘플이다. "IMG3"는 모든 픽셀들이 오프되어 ON 픽셀이 없는 이미지 샘플이다.

[0119] 도 13 및 도 14를 참조하면, 휘도 보상부(114)는 표시패널(100)의 부하 변동에 따라 가변되는 픽셀 구동 전압(ELVDD)의 전압 강하량을 증폭하여 감마 기준 전압(VH, VL)을 가변한다.

[0120] ON 픽셀의 비율이 낮아질 때, 픽셀 구동 전압(ELVDD)의 증폭된 전압 강하량( $\Delta V$ )만큼 감마 기준 전압(VH, VL)이 상승한다. 따라서, 데이터 전압(Vdata)이 상승하므로, 픽셀 회로에서 구동 소자(DT)의 게이트 전압(DTG)이 상승하여 휘도가 낮아진다. 따라서, 본 발명은 ON 픽셀의 비율이 낮아질 때 휘도가 상승되는 문제를 해결할 수 있다.

[0121] ON 픽셀의 비율이 높은 이미지(IMG1)에서, 표시패널(100)에 흐르는 전류량으로 인하여 드라이브 IC(300)에 입력되는 픽셀 구동 전압(ELVDD)의 전압 강하량( $\Delta V$ )이 0.1V이다.  $VH = ELVDD + VCI * i$ 이고,  $VL = ELVDD - VCI * i$  이므로 픽셀 구동 전압(ELVDD)이 낮아지는 만큼 감마 보상 전압 발생부(112)에 입력되는 기준 전압(VH, VL)이 낮아진다. 그런데, 드라이브 IC(300)에 입력되는 픽셀 구동 전압(ELVDD)의 전압 강하량( $\Delta V$ )은 표시패널(100)의 전압 강하량보다 적다. 따라서, 본 발명은 픽셀 구동 전압(ELVDD)의 전압 강하량( $\Delta V$ )을 증폭하여 표시패널(100)의 픽셀(P)에서 낮아지는 픽셀 구동 전압(ELVDD)의 전압 강하량을 반영하여 드라이브 IC(300)에 입력되는 픽셀 구동 전압(ELVDD)의 전압 강하량( $\Delta V$ )을 증폭한다. 일 예로, 전압 강하량을 2 배 증폭할 수 있다. 2 배 증폭된 전압 강하량은 0.2V이다.

[0122] ON 픽셀의 비율이 낮은 이미지(IMG2)에서, 표시패널(100)에 흐르는 전류량이 감소하여 픽셀 구동 전압(ELVDD)의 전압 강하량( $\Delta V$ )이 0.02V이고, 2 배 증폭된 전압 강하량은 0.04V이다. 이 때, 감마 보상 전압 발생부(112)에 입력되는 기준 전압(VH, VL)이 상승하여 데이터 구동부(110)로부터 출력되는 데이터 전압(Vdata)이 상승된다. 데이터 전압(Vdata)이 상승하면, 구동 소자(DT)의 게이트 전압(DTG)이 상승하기 때문에 ON 픽셀의 비율이 낮은 이미지(IMG2)에서 휘도가 감소되어 ON 픽셀의 비율이 높은 이미지(IMG1)와 같은 수준으로 휘도 상승을 제한할 수 있다.

[0123] ON 픽셀이 없는 이미지(IMG3)는 표시패널(100)에서 전류가 흐르지 않기 때문에 픽셀 구동 전압(ELVDD)의 전압

강하량(ELVDD)이 없다. 이 경우, ELVDD = 4.6V이고, 감마 보상 전압 발생부(112)에 입력되는 기준 전압(VH, VL)은 각각  $VH = 4.6V + VCI*$ 이고,  $VL = 4.6V - VCI'$ 이다.

- [0124] 본 발명은 영화, 사진 등의 영상 속성이나 야외, 노멀(Normal) 환경 등 다양한 사용 모드에서 가중치(W) 적절히 조절하여 픽셀들의 휘도 상승폭을 다르게 설정할 수 있다. 또한, 야외 시인성을 높이는 모드에서 가중치(W)를 1로 설정하여 전압 강하량을 증폭하지 않거나 가중치(W)를  $W = 1.2$ ,  $W = 1.33$  등을 설정하여 APL이 낮은 영상에서 휘도를 높일 수 있다. 사진과 같이 정확한 휘도, 색좌표를 요구하는 모드에서  $W = 2$ 와 같은 높은 가중치를 설정할 수 있다.
- [0125] 본 발명의 실시예에 따른 표시장치는 모바일 디바이스, 영상전화기, 스마트 워치(smart watch), 워치 폰(watch phone), 웨어러블 기기(wearable device), 폴더블 기기(foldable device), 롤러블 기기(rollable device), 벤더블 기기(bendable device), 플렉서블 기기(flexible device), 커브드 기기(curved device), 전자 수첩, 전자책, PMP(portable multimedia player), PDA(personal digital assistant), MP3 플레이어, 모바일 의료기기, 데스크탑 PC(desktop PC), 랩탑 PC(laptop PC), 넷북컴퓨터(netbook computer), 워크스테이션(workstation), 네비게이션, 차량용 네비게이션, 차량용 표시장치, 텔레비전, 월페이퍼(wallpaper) 기기, 사이너지(signage) 기기, 게임기기, 노트북, 모니터, 카메라, 캠코더, 및 가전 기기 등에 적용될 수 있다. 그리고, 본 발명의 표시장치는 유기발광 조명장치 또는 무기발광 조명장치에 적용할 수 있다.
- [0126] 본 발명의 실시예에 따른 휘도 보상 장치와 이를 이용한 전계 발광 표시장치는 아래와 같이 설명될 수 있다.
- [0127] 본 발명의 휘도 보상 장치는 호스트 시스템으로부터 입력되는 픽셀 구동 전압과, 드라이브 IC 내부에서 발생하는 기준 픽셀 구동 전압을 비교하여 상기 픽셀 구동 전압의 전압 강하량을 검출하고 전압 강하량을 소정의 가중치만큼 증폭하여 증폭된 전압 강하량만큼 감마 기준 전압을 조정하는 휘도 보상부를 포함하고, 픽셀 구동 전압이 표시패널에 공급되고, 휘도 보상부는 픽셀 구동 전압이 발생하는 호스트 시스템과 표시패널 사이에서 픽셀 구동 전압과 기준 픽셀 구동 전압의 차를 증폭한다.
- [0128] 본 발명의 몇몇 실시예에 따르면, 휘도 보상부로부터 고전위 감마 기준 전압과 저전위 감마 기준 전압을 입력받아 고전위 감마 기준 전압을 분압 회로를 통해 고전위 감마 기준 전압과 저전위 감마 기준 전압 사이의 계조별 감마 보상 전압을 출력하는 감마 보상 전압 발생부를 더 구비하고, 휘도 보상부는 증폭된 전압 강하량만큼 감마 보상 전압 발생부에 입력되는 고전위 기준 전압과 저전위 기준 전압 각각을 낮출 수 있다.
- [0129] 본 발명의 몇몇 실시예에 따르면, 휘도 보상부는 픽셀 구동 전압과 기준 픽셀 구동 전압의 차를 증폭하는 차동 증폭기, 및 차동 증폭기를 이용하여 상기 증폭된 전압 강하량을 검출하는 전압 강하량 증폭부를 포함할 수 있다.
- [0130] 본 발명의 몇몇 실시예에 따르면, 휘도 보상부는 증폭된 전압 강하량, 픽셀 구동 전압, 및 소정의 제1 기준 전압을 입력받아 내부 고전위 기준 전압을 발생하고, 제1 감산기를 이용하여 내부 고전위 기준 전압을 증폭된 전압 강하량만큼 낮추어 고전위 기준 전압을 출력하는 제1 감마 기준 전압 조정부, 및 증폭된 전압 강하량, 픽셀 구동 전압, 및 소정의 제1 기준 전압을 입력받아 내부 저전위 기준 전압을 발생하고, 제2 감산기를 이용하여 내부 저전위 기준 전압을 증폭된 전압 강하량만큼 낮추어 저전위 기준 전압을 출력하는 제2 감마 기준 전압 조정부를 더 포함할 수 있다.
- [0131] 본 발명의 전계 발광 표시장치는 다수의 데이터 라인들, 다수의 게이트 라인들, 및 픽셀 구동 전압이 공급되는 픽셀들이 배치된 표시패널, 감마 기준 전압을 분압하여 감마 보상 전압을 발생하는 감마 보상 전압 발생부, 픽셀 데이터를 감마 보상 전압으로 변환하여 데이터 전압을 출력하여 데이터 라인들에 공급하는 데이터 구동부, 및 픽셀 구동 전압이 발생하는 호스트 시스템과 표시패널 사이에서 픽셀 구동 전압과 기준 픽셀 구동 전압을 비교하여 픽셀 구동 전압의 전압 강하량을 검출하고 전압 강하량을 소정의 가중치만큼 증폭하여 증폭된 전압 강하량만큼 감마 기준 전압을 조정하는 휘도 보상부를 포함한다.
- [0132] 본 발명의 몇몇 실시예에 따르면, 감마 보상 전압 발생부, 데이터 구동부, 및 휘도 보상부를 포함한 드라이브 IC, 및 호스트 시스템과 표시패널을 연결하고, 드라이브 IC가 실장된 회로기판을 더 포함하고, 휘도 보상부는 드라이브 IC에 입력되는 픽셀 구동 전압과 기준 픽셀 구동 전압의 차를 증폭하여 증폭된 전압 강하량을 검출할 수 있다.
- [0133] 본 발명의 몇몇 실시예에 따르면, 휘도 보상부는 상기 증폭된 전압 강하량만큼 감마 보상 전압 발생부에 입력되는 고전위 기준 전압과 저전위 기준 전압 각각을 낮출 수 있다.

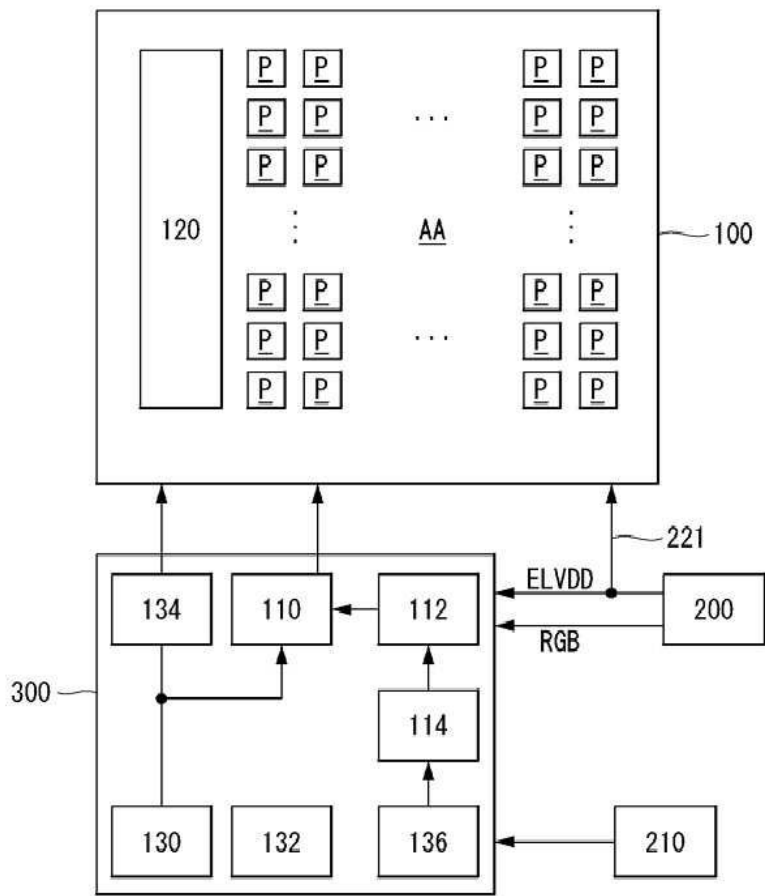
- [0134] 본 발명의 몇몇 실시예에 따르면, 휘도 보상부는 픽셀 구동 전압과 기준 픽셀 구동 전압의 차를 증폭하는 차동 증폭기, 및 차동 증폭기를 이용하여 증폭된 전압 강하량을 검출하는 전압 강하량 증폭부를 포함할 수 있다.
- [0135] 본 발명의 몇몇 실시예에 따르면, 휘도 보상부는 증폭된 전압 강하량, 픽셀 구동 전압, 및 소정의 제1 기준 전압을 입력받아 내부 고전위 기준 전압을 발생하고, 제1 감산기를 이용하여 내부 고전위 기준 전압을 증폭된 전압 강하량만큼 낮추어 감마 보상 전압 발생부에 입력되는 고전위 기준 전압을 출력하는 제1 감마 기준 전압 조정부, 및 증폭된 전압 강하량, 픽셀 구동 전압, 및 소정의 제1 기준 전압을 입력받아 내부 저전위 기준 전압을 발생하고, 제2 감산기를 이용하여 내부 저전위 기준 전압을 증폭된 전압 강하량만큼 낮추어 감마 보상 전압 발생부에 입력되는 저전위 기준 전압을 출력하는 제2 감마 기준 전압 조정부를 더 포함할 수 있다.
- [0136] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**부호의 설명**

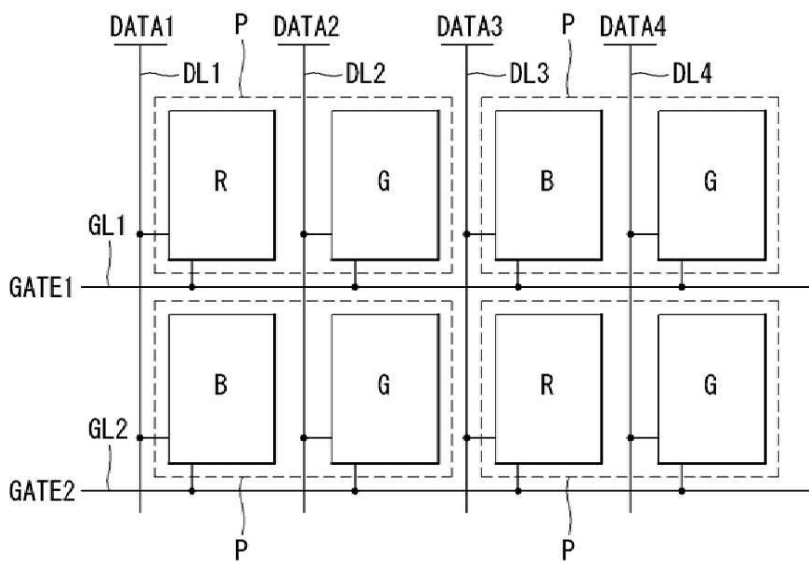
- [0137] 10 : 전압 강하량 증폭부 20, 30 : 감마 기준 전압 조정부
- 100 : 표시패널 104 : VDD 라인
- 110 : 데이터 구동부 112 : 감마 보상 전압 발생부
- 114 : 휘도 보상부 130 : 타이밍 생성부
- 134 : 레벨 시프터 136 : 전원부
- 200 : 호스트 시스템 210 : 제1 메모리
- 220 : FPC(Flexible Printed Circuit) 221 : FPC의 전원 배선
- 300 : 드라이브 IC

도면

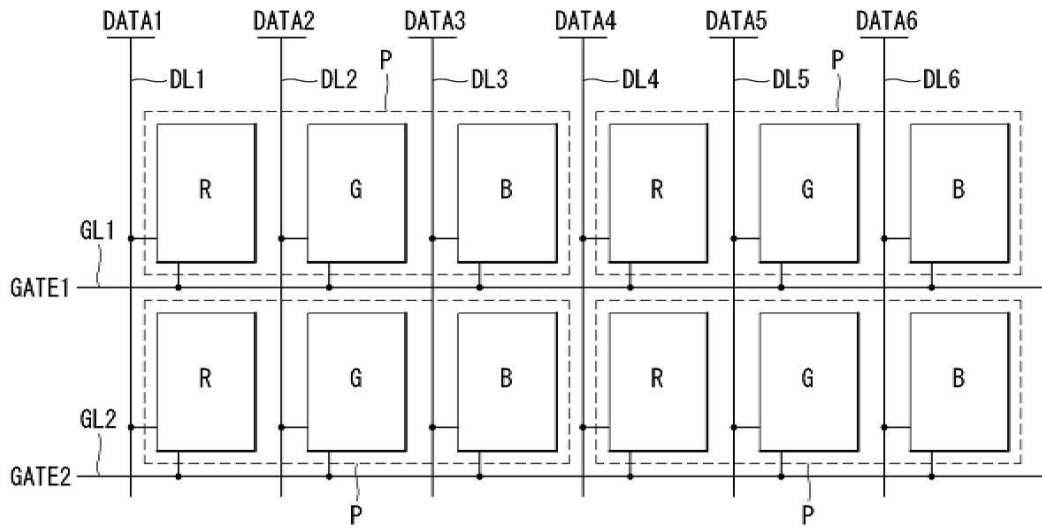
도면1



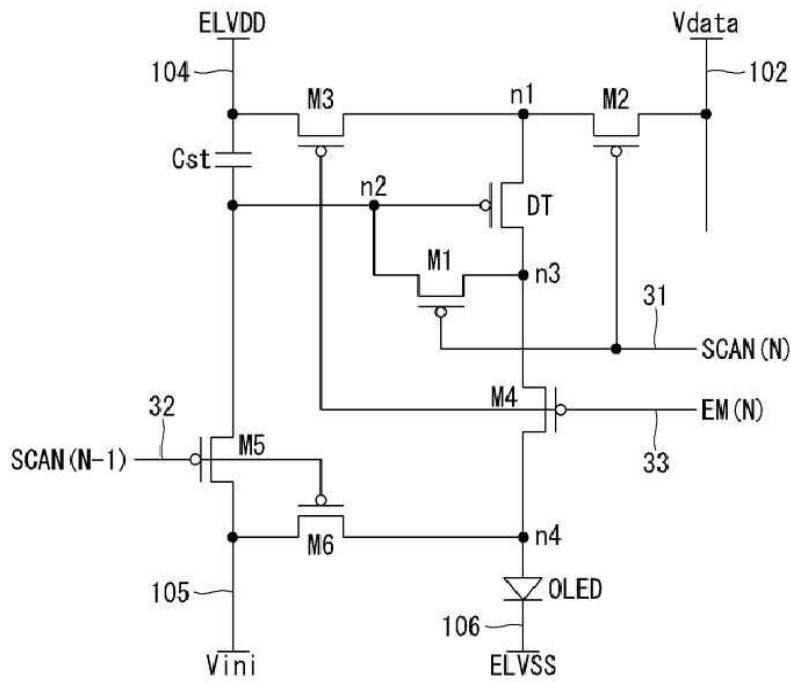
도면2



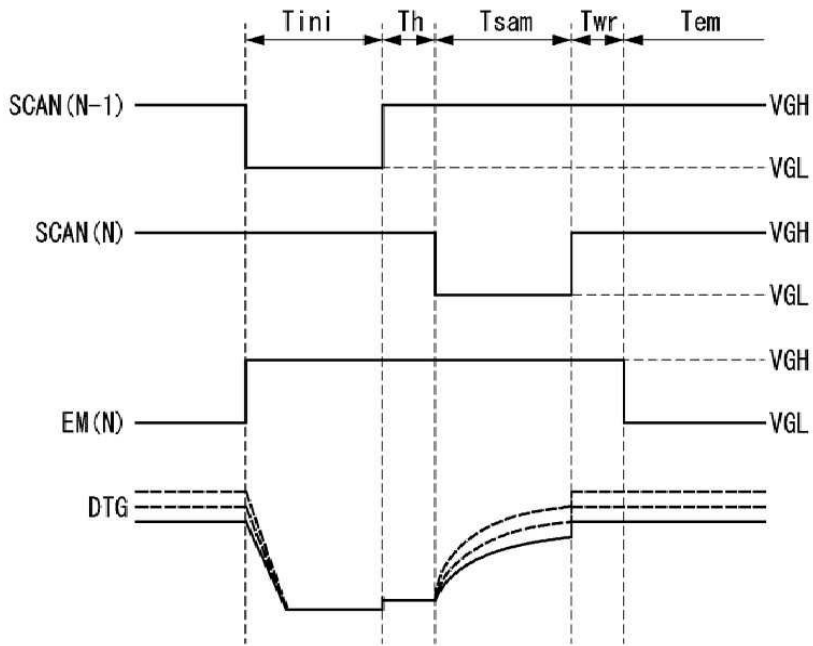
도면3



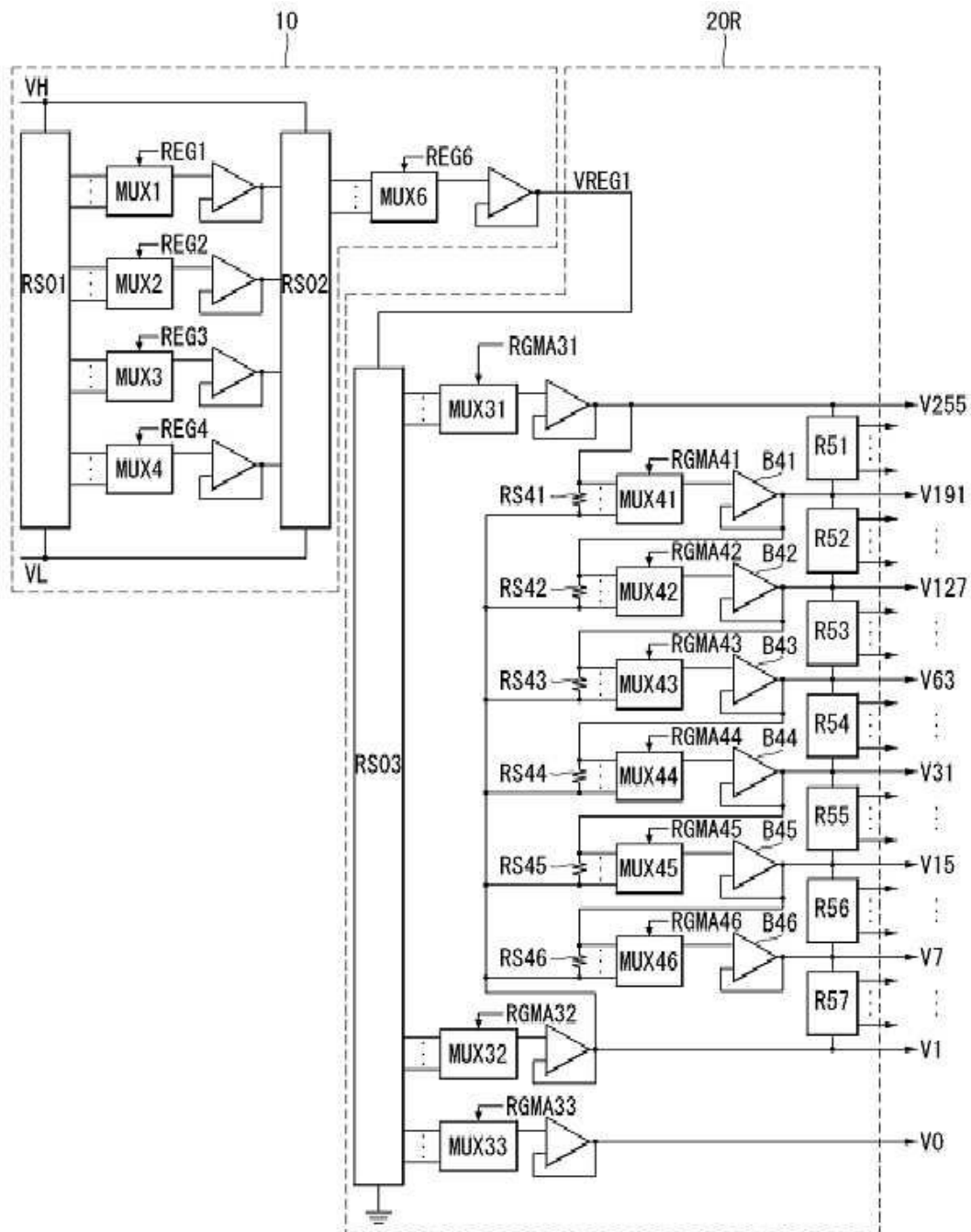
도면4a



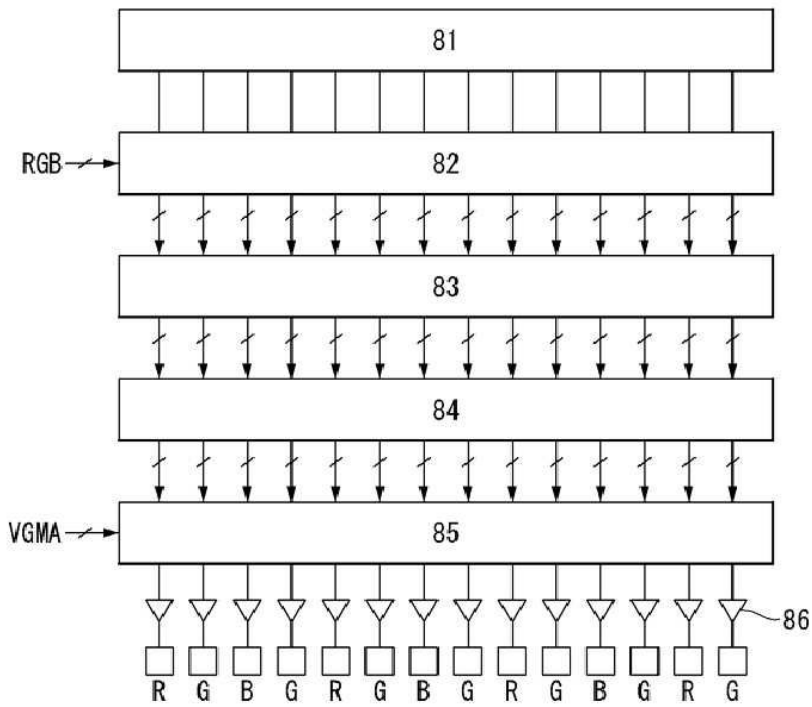
도면4b



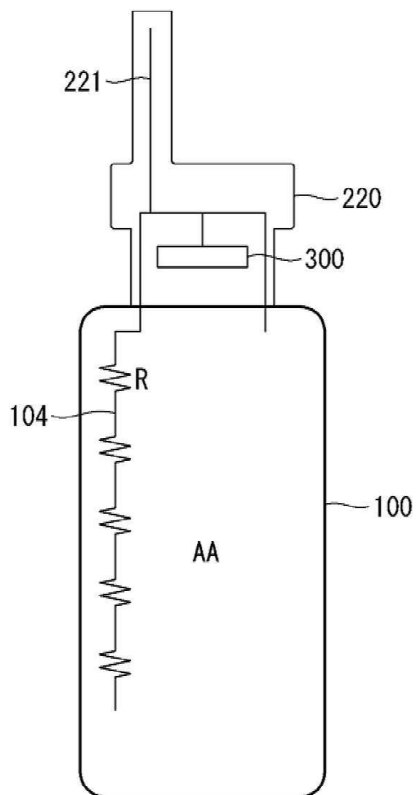
도면5



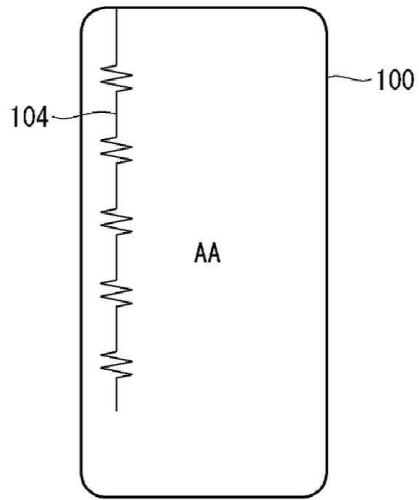
도면6



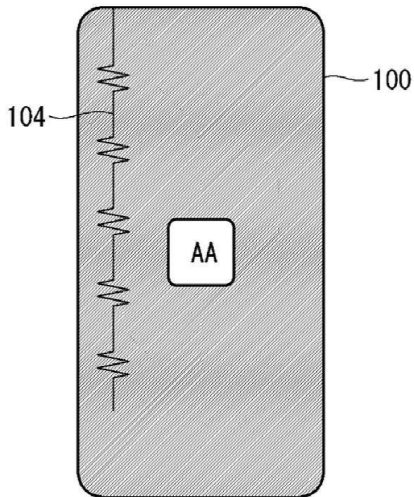
도면7



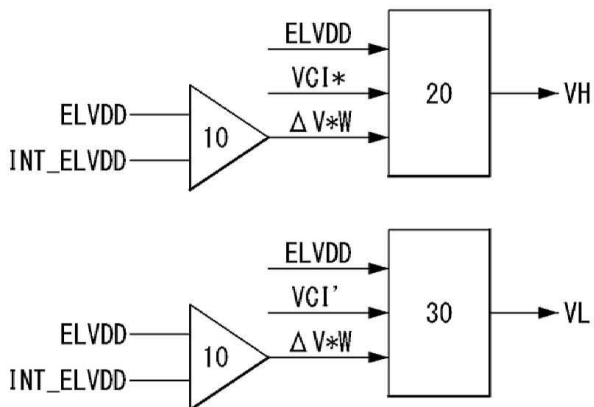
도면8a



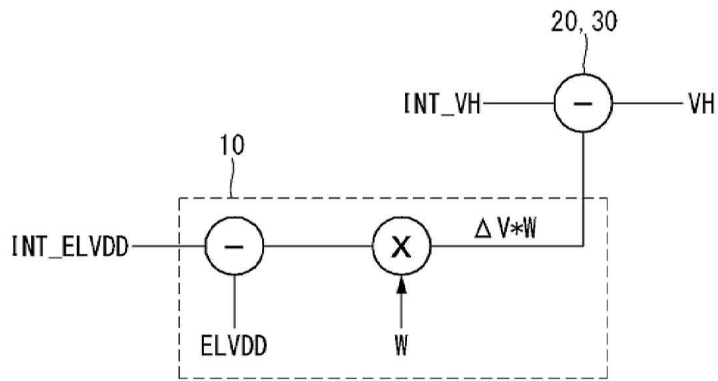
도면8b



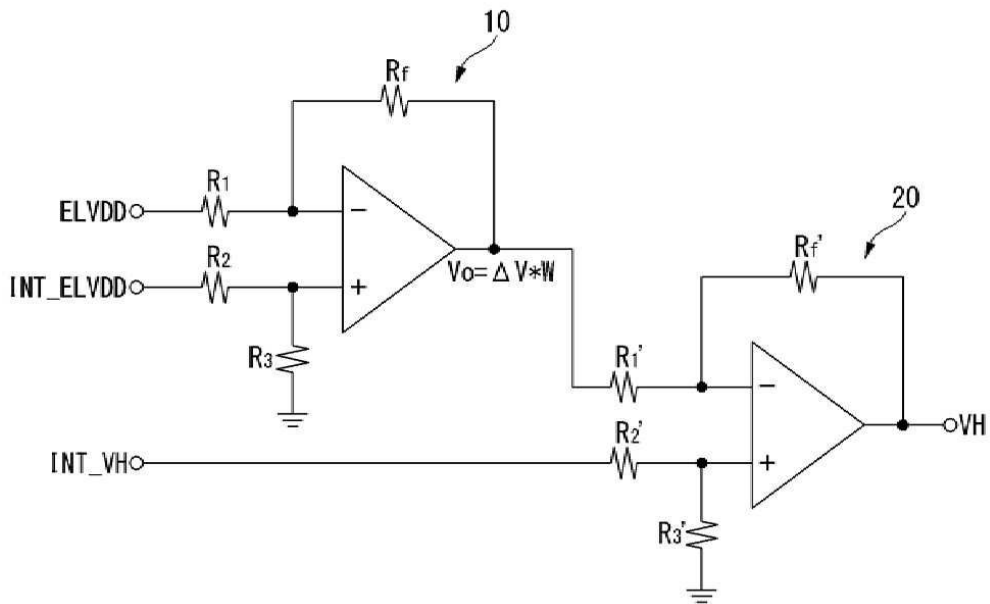
도면9



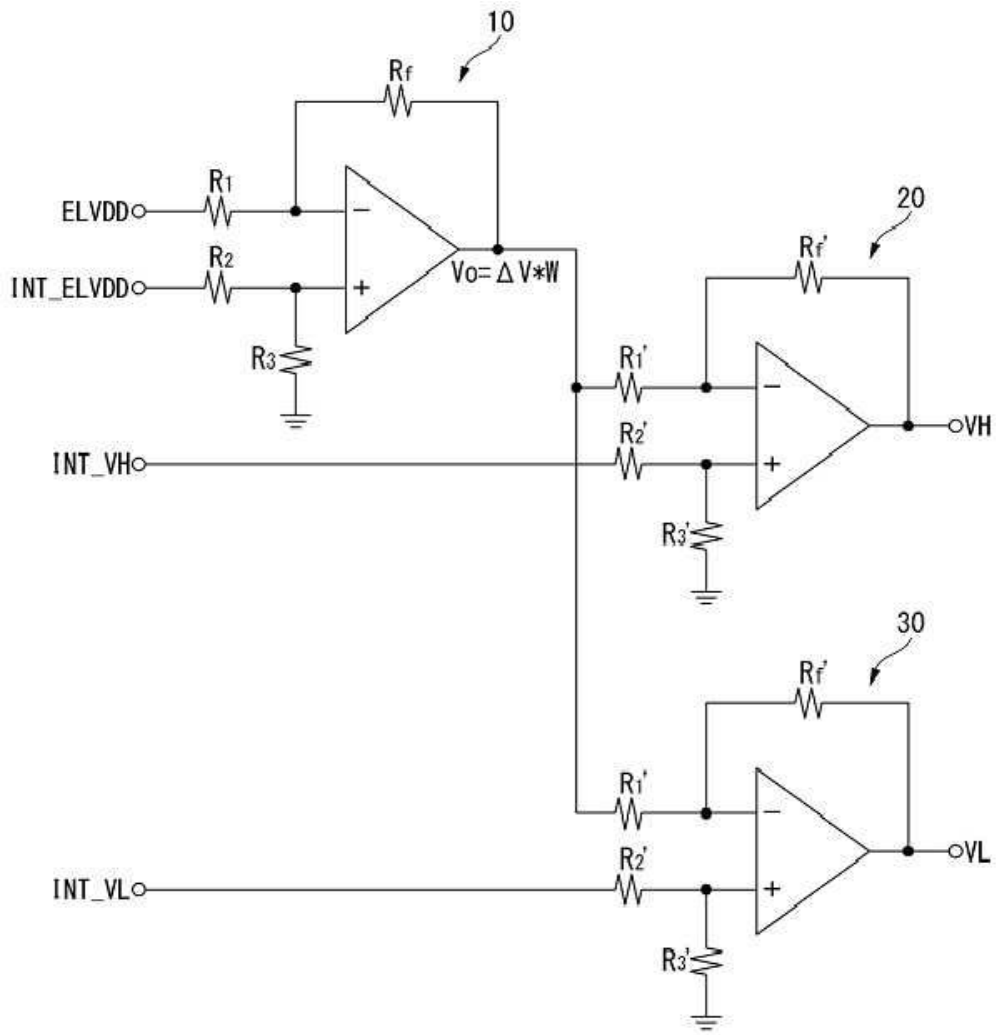
도면10



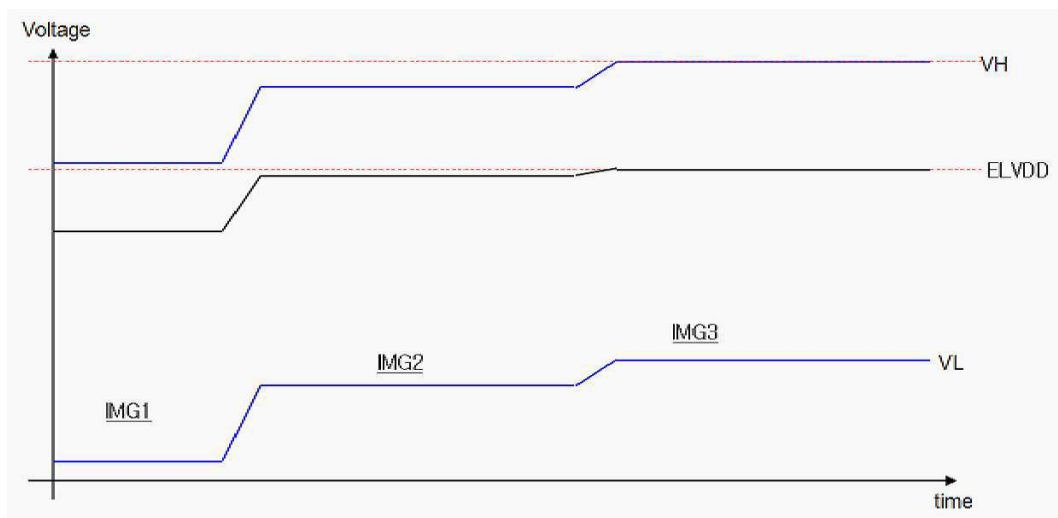
도면11



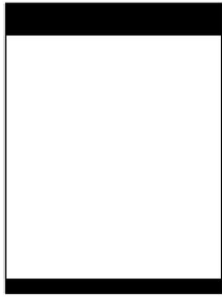
도면12



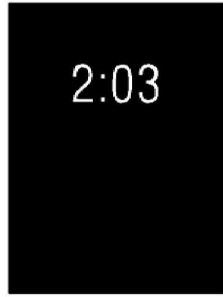
도면13



도면14



IMG1



IMG2



IMG3

专利名称(译)	亮度补偿装置及使用其的电致发光显示装置		
公开(公告)号	<a href="#">KR1020200082744A</a>	公开(公告)日	2020-07-08
申请号	KR1020180173624	申请日	2018-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김봉환 김대경		
发明人	김봉환 김대경		
IPC分类号	G09G3/3291		
CPC分类号	G09G3/3291 G09G2320/0276 G09G2320/0295 G09G2330/021		

摘要(译)

本发明涉及亮度补偿装置和使用该亮度补偿装置的电致发光显示装置,其中根据本发明实施例的亮度补偿装置将从主机系统输入的像素驱动电压与在驱动IC内部产生的参考像素驱动电压进行比较。并且,亮度补偿器被配置为检测像素驱动电压的电压降量,以预定的权重放大电压降量,并且通过放大的电压降量来调整伽马基准电压,像素驱动电压被提供给显示面板,并且亮度补偿器部分是像素。像素驱动电压和参考像素驱动电压之间的差在产生驱动电压的主机系统和显示面板之间被放大。

