



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0063502
(43) 공개일자 2019년06월10일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01) H01L 51/00 (2006.01)

H01L 51/52 (2006.01) H01L 51/56 (2006.01)

(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 27/3246 (2013.01)

(21) 출원번호 10-2017-0162011

(22) 출원일자 2017년11월29일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

조윤중

경기도 용인시 수지구 신수로783번길 19 래미안이스트파크 106동 301호

성석제

경기도 성남시 분당구 중앙공원로 54 211동 1203호 (서현동, 시범단지우성아파트)

(뒷면에 계속)

(74) 대리인

특허법인 고려

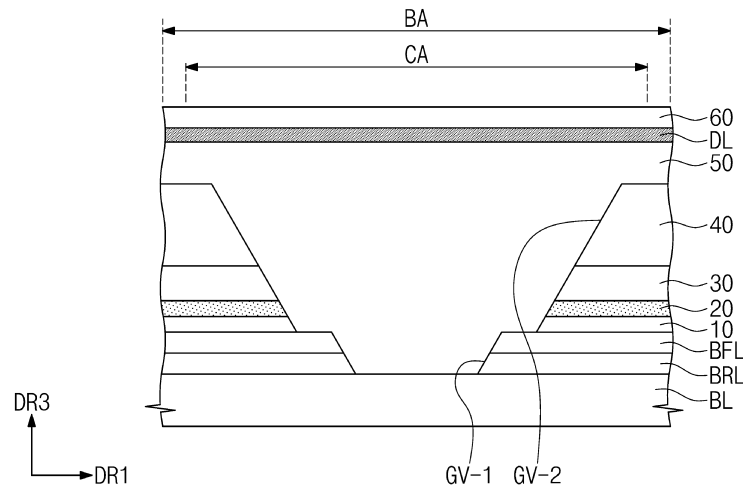
전체 청구항 수 : 총 24 항

(54) 발명의 명칭 표시패널 및 그 제조방법

(57) 요약

표시장치는 제1 영역 및 상기 제1 영역으로부터 벤딩된 제2 영역을 포함하는 베이스층, 상기 제2 영역에 중첩하는 하측 그루브가 정의된 적어도 하나의 무기층, 상기 제1 영역에 중첩하는 실리콘 반도체 패턴을 포함하는 제1 박막 트랜지스터, 상기 제1 영역에 중첩하는 산화물 반도체 패턴을 포함하는 바텀 게이트 구조의 제2 박막 트랜지스터, 상기 하측 그루브와 연장된 상측 그루브가 정의된 절연층들, 상기 제2 박막 트랜지스터와 전기적으로 연결된 신호라인, 상기 하측 그루브 및 상기 상측 그루브의 내측에 배치된 유기층 및 상기 유기층 상에 상기 제1 영역에 중첩하게 배치된 발광소자를 포함한다.

대표도 - 도4a



(52) CPC특허분류

H01L 27/3258 (2013.01)

H01L 51/0097 (2013.01)

H01L 51/5203 (2013.01)

H01L 51/5237 (2013.01)

H01L 51/56 (2013.01)

(72) 발명자

이성준

서울특별시 송파구 송파대로 567 (잠실동 , 주공아파트) 518동 1303호

신윤지

울산광역시 동구 진성15길 55 101동 603호 (화정동, 벽산우진아파트)

윤수연

서울특별시 강남구 남부순환로363길 49 1동 1006호 (도곡동, 역삼우성아파트)

정우호

경기도 안양시 동안구 시민대로327번길 55 (관양동 , 평촌더샵센트럴시티) 105동 904호

최준후

서울특별시 서초구 강남대로61길 23 (서초동 , 현대성우주상복합아파트) 504호

명세서

청구범위

청구항 1

제1 영역 및 상기 제1 영역으로부터 벤딩된 제2 영역을 포함하는 베이스층;

상기 제1 영역 및 상기 제2 영역에 중첩하며, 상기 베이스층 상에 배치되고, 상기 제2 영역에 중첩하는 하측 그루브가 정의된 적어도 하나의 무기층;

상기 적어도 하나의 무기층 상에 배치되며 상기 제1 영역에 중첩하는 실리콘 반도체 패턴을 포함하는 제1 박막 트랜지스터;

상기 적어도 하나의 무기층 상에 배치되며 상기 제1 영역에 중첩하는 산화물 반도체 패턴을 포함하는 바텀 게이트 구조의 제2 박막 트랜지스터;

상기 제1 영역 및 제2 영역에 중첩하며, 상기 하측 그루브와 연장된 상측 그루브가 정의된 절연층들;

상기 제2 박막 트랜지스터와 전기적으로 연결된 신호라인;

상기 제1 영역 및 상기 제2 영역에 중첩하고, 상기 하측 그루브 및 상기 상측 그루브의 내측에 배치된 유기층; 및

상기 유기층 상에 상기 제1 영역에 중첩하게 배치된 발광소자를 포함하는 표시패널.

청구항 2

제1 항에 있어서,

상기 신호라인의 상기 제2 영역에 중첩하는 부분은 상기 유기층 상에 배치된 표시패널.

청구항 3

제1 항에 있어서,

상기 유기층 상에 배치되며, 상기 유기층을 관통하는 콘택홀을 통해 상기 제1 박막 트랜지스터의 출력전극에 연결된 연결전극을 더 포함하는 표시패널.

청구항 4

제3 항에 있어서,

상기 유기층 상에 배치된 패시베이션층을 더 포함하는 표시패널.

청구항 5

제4 항에 있어서,

상기 발광소자의 전극은 상기 패시베이션층을 관통하는 콘택홀을 통해 상기 연결전극에 연결된 표시패널.

청구항 6

제4 항에 있어서,

상기 패시베이션층은 상기 신호라인 상에 배치되고, 상기 패시베이션층의 상기 제2 영역에 중첩하는 부분은 상기 신호라인에 접촉하는 표시패널.

청구항 7

제1 항에 있어서,

상기 절연층들은,

상기 제1 박막 트랜지스터의 상기 실리콘 반도체 패턴을 커버하는 제1 절연층;

상기 제1 절연층 상에 배치되고, 상기 제1 박막 트랜지스터의 제어전극을 커버하는 제2 절연층;

상기 제2 절연층 상에 배치되고, 제2 박막 트랜지스터의 제어전극을 커버하는 제3 절연층; 및

상기 제3 절연층 상에 배치되고, 상기 제2 박막 트랜지스터의 입력전극, 출력전극 및 상기 산화물 반도체 패턴을 커버하는 제4 절연층을 포함하는 표시패널.

청구항 8

제7 항에 있어서,

상기 산화물 반도체 패턴의 제1 부분과 제2 부분은 상기 제2 박막 트랜지스터의 상기 입력전극과 상기 제2 박막 트랜지스터의 상기 출력전극 상측에 각각 배치된 표시패널.

청구항 9

제7 항에 있어서,

상기 제2 박막 트랜지스터의 상기 입력전극과 상기 제2 박막 트랜지스터의 상기 출력전극은 상기 산화물 반도체 패턴의 제1 부분과 제2 부분의 상측에 각각 배치되고, 상기 산화물 반도체 패턴의 제3 부분은 상기 제2 박막 트랜지스터의 상기 입력전극과 상기 제2 박막 트랜지스터의 상기 출력전극으로부터 노출된 표시패널.

청구항 10

제7 항에 있어서,

상기 제2 절연층과 상기 제3 절연층 사이에 배치되고, 상기 제1 박막 트랜지스터의 상기 제어전극과 중첩하는 상부전극을 더 포함하는 표시패널.

청구항 11

제1 항에 있어서,

상기 유기층 상에 배치되고, 상기 제2 박막 트랜지스터의 상기 산화물 반도체 패턴에 중첩하는 차광 패턴을 더 포함하는 표시패널.

청구항 12

제1 항에 있어서,

상기 적어도 하나의 무기층은,

실리콘 옥사이드층들 및 상기 실리콘 옥사이드층들과 교번하게 배치된 실리콘 나이트라이드층들을 포함하는 표시패널.

청구항 13

제1 항에 있어서,

상기 적어도 하나의 무기층의 상면의 일부분과 상기 유기층은 접촉하는 표시패널.

청구항 14

제1 영역 및 상기 제1 영역으로부터 연장된 제2 영역을 포함하는 베이스층 상에 상기 제1 영역 및 상기 제2 영역에 중첩하는 적어도 하나의 무기층을 형성하는 단계;

상기 적어도 하나의 무기층 상에 상기 제1 영역에 중첩하도록 실리콘 반도체 패턴을 형성하는 단계;

상기 제1 영역 및 상기 제2 영역에 중첩하는 제1 절연층을 사이에 두고 상기 실리콘 반도체 패턴과 중첩하는 제1 제어전극을 상기 제1 절연층 상에 형성하는 단계;

상기 제1 영역 및 상기 제2 영역에 중첩하며 상기 제1 제어전극을 커버하는 제2 절연층 상에 상기 제1 제어전극과 비중첩하는 제2 제어전극을 형성하는 단계;

상기 제1 영역 및 상기 제2 영역에 중첩하며 상기 제2 제어전극을 커버하는 제3 절연층을 형성하는 단계;

상기 실리콘 반도체 패턴의 제1 부분 및 제2 부분을 각각 노출시키는 제1 콘택홀 및 제2 콘택홀이 형성되고, 상기 적어도 하나의 무기층의 상기 제2 영역에 중첩하는 일부분을 노출시키는 제1 상측 그루브가 형성되도록 상기 제1 내지 제3 절연층들을 부분적으로 제거하는 제1 식각 단계;

상기 제3 절연층 상에 상기 제2 제어전극에 중첩하는 산화물 반도체 패턴을 형성하는 단계;

상기 제3 절연층 상에 상기 실리콘 반도체 패턴에 상기 제1 콘택홀 및 상기 제2 콘택홀을 통해 연결된 제1 입력전극 및 제1 출력전극을 형성하고, 상기 제3 절연층 상에 상기 산화물 반도체 패턴에 연결된 제2 입력전극 및 제2 출력전극을 형성하는 전극 형성 단계;

상기 제1 영역 및 상기 제2 영역에 중첩하도록 상기 제3 절연층 상에 제4 절연층을 형성하는 단계;

상기 제4 절연층에 상기 제1 출력전극을 노출시키는 제3 콘택홀을 형성하고, 상기 적어도 하나의 무기층의 상기 제2 영역에 중첩하는 상기 일부분을 노출시키는 제2 상측 그루브가 형성되도록 상기 제4 절연층을 부분적으로 제거하는 제2 식각 단계;

상기 적어도 하나의 무기층에 상기 제1 상측 그루브에 연속하는 하측 그루브가 형성되도록 상기 적어도 하나의 무기층의 상기 제2 영역에 중첩하는 상기 일부분을 제거하는 제3 식각 단계;

상기 제1 영역 내에서 상기 제4 절연층 상에 배치되며, 상기 제2 영역 내에서 상기 제1 상측 그루브, 상기 제2 상측 그루브, 및 상기 하측 그루브의 내측에 배치되는 유기층을 형성하는 단계;

상기 유기층에 상기 제3 콘택홀에 연결된 제4 콘택홀이 형성되도록 상기 유기층을 부분적으로 제거하는 제4 식각 단계; 및

상기 유기층 상에 상기 제1 출력전극에 전기적으로 연결된 발광소자를 형성하는 단계를 포함하는 표시패널의 제조방법.

청구항 15

제14 항에 있어서,

상기 산화물 반도체 패턴을 형성한 이후에, 상기 산화물 반도체 패턴에 각각 중첩하며 서로 이격된 상기 제2 입력전극과 상기 제2 출력전극을 형성하는 표시패널의 제조방법.

청구항 16

제14 항에 있어서,

서로 이격된 상기 제2 입력전극과 상기 제2 출력전극을 형성한 이후에, 상기 제2 입력전극과 상기 제2 출력전극에 부분적으로 중첩하는 상기 산화물 반도체 패턴을 형성하는 표시패널의 제조방법.

청구항 17

제14 항에 있어서,

상기 유기층 상에 상기 제1 출력전극과 연결된 연결전극 및 상기 제2 영역에 중첩하는 신호라인을 형성하는 단계;

상기 유기층 상에 상기 연결전극 및 상기 신호라인을 커버하는 패시베이션층을 형성하는 단계; 및

상기 연결전극을 노출하는 제5 콘택홀이 형성되도록 상기 패시베이션층을 부분적으로 제거하는 제4 식각 단계를 더 포함하고,

상기 발광소자는 상기 연결전극을 통해 상기 제1 출력전극에 연결된 표시패널의 제조방법.

청구항 18

제17 항에 있어서,

상기 발광소자를 형성하는 단계는,

상기 패시베이션층 상에 상기 연결전극에 연결된 상기 발광소자의 제1 전극을 형성하는 단계; 및

상기 패시베이션층 상에 상기 발광소자의 상기 제1 전극을 노출하는 개구부를 구비한 화소 정의막을 형성하는 단계를 포함하는 표시패널의 제조방법.

청구항 19

제17 항에 있어서,

상기 패시베이션층의 상기 제2 영역에 중첩하는 부분은 상기 신호라인에 접촉하는 표시패널의 제조방법.

청구항 20

제14 항에 있어서,

상기 제2 제어전극을 형성하는 단계에서,

상기 제2 절연층 상에 상기 제1 제어전극과 중첩하는 상부전극을 더 형성하는 표시패널의 제조방법.

청구항 21

제14 항에 있어서,

상기 유기층 상에 상기 제2 박막 트랜지스터의 상기 산화물 반도체 패턴에 중첩하는 차광 패턴을 형성하는 단계를 더 포함하는 표시패널의 제조방법.

청구항 22

제14 항에 있어서,

상기 적어도 하나의 무기층의 상면의 일부분과 상기 유기층은 접촉하는 표시패널의 제조방법.

청구항 23

제14 항에 있어서,

상기 제2 영역을 벤딩하는 단계를 더 포함하는 표시패널의 제조방법.

청구항 24

제1 영역 및 상기 제1 영역으로부터 연장된 제2 영역을 포함하는 베이스층 상에 상기 제1 영역 및 상기 제2 영역에 중첩하는 적어도 하나의 무기층을 형성하는 단계;

상기 적어도 하나의 무기층 상에 상기 제1 영역 및 상기 제2 영역에 중첩하는 제1 내지 제3 절연층들 및 상기 제1 영역에 중첩하는 실리콘 반도체 패턴들을 형성하는 단계;

상기 실리콘 반도체 패턴의 일부분 및 상기 적어도 하나의 무기층의 상기 제2 영역에 중첩하는 일부분이 노출되도록 상기 절연층들 중 제1 내지 제3 절연층들을 부분적으로 제거하는 제1 식각 단계;

상기 제1 내지 제3 절연층들 상에 산화물 반도체 패턴 및 상기 산화물 반도체 패턴 및 상기 실리콘 반도체 패턴에 연결된 전극들을 형성하는 단계;

상기 제1 내지 제3 절연층들 상에 상기 산화물 반도체 패턴 및 상기 전극들을 커버하는 제4 절연층을 형성하는 단계;

상기 제4 절연층에 상기 전극들 중 대응하는 전극 및 상기 적어도 하나의 무기층의 상기 제2 영역에 중첩하는 상기 일부분이 노출되도록 상기 제4 절연층을 부분적으로 제거하는 제2 식각 단계;

상기 적어도 하나의 무기층의 상기 제2 영역에 중첩하는 상기 일부분을 제거하는 제3 식각 단계;

상기 제1 영역 내에서 상기 제4 절연층 상에 배치되며, 상기 제2 영역 내에서 상기 적어도 하나의 무기층이 제

거된 영역의 내측 및 상기 제1 내지 제4 절연층들의 제거된 영역의 내측에 배치되는 유기층을 형성하는 단계;
 상기 유기층에 상기 대응하는 전극이 노출되도록 상기 유기층을 부분적으로 제거하는 제4 식각 단계;
 상기 유기층 상에 신호라인 및 상기 대응하는 전극에 전기적으로 연결된 발광소자를 형성하는 단계; 및
 상기 제2 영역을 벤딩하는 단계를 포함하는 표시패널의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 표시패널 및 그 제조방법에 관한 것으로, 2종의 반도체 물질을 포함하는 표시패널 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 표시패널은 복수 개의 화소들 및 복수 개의 화소들을 제어하는 구동회로(예컨대, 주사 구동회로 및 데이터 구동회로)를 포함한다. 복수 개의 화소들 각각은 표시소자 및 표시소자를 제어하는 화소의 구동회로를 포함한다. 화소의 구동회로는 유기적으로 연결된 복수 개의 박막 트랜지스터들을 포함할 수 있다. 박막 트랜지스터들은 각각의 수행하는 기능에 적합한 특성이 요구된다.

[0003] 또한, 표시패널은 평판형으로부터 벤딩형, 롤러블형, 폴더블형 등 다양한 형태로 개발방향이 변화되고 있다. 표시패널의 형태가 변화됨에 따라 그에 적합한 패널 설계가 요구된다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 화소의 동작 특성이 향상되고, 플렉서블리티가 향상된 표시패널을 제공하는 것이다.

[0005] 본 발명의 목적은 제조공정에서 사용되는 마스크의 개수가 감소된 표시패널의 제조방법을 제공하는 것이다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따른 표시장치는 제1 영역 및 상기 제1 영역으로부터 벤딩된 제2 영역을 포함하는 베이스층, 상기 제1 영역 및 상기 제2 영역에 중첩하며, 상기 베이스층 상에 배치되고, 상기 제2 영역에 중첩하는 하측 그루브가 정의된 적어도 하나의 무기층, 상기 적어도 하나의 무기층 상에 배치되며 상기 제1 영역에 중첩하는 실리콘 반도체 패턴을 포함하는 제1 박막 트랜지스터, 상기 적어도 하나의 무기층 상에 배치되며 상기 제1 영역에 중첩하는 산화물 반도체 패턴을 포함하는 바텀 게이트 구조의 제2 박막 트랜지스터, 상기 제1 영역 및 제2 영역에 중첩하며, 상기 하측 그루브와 연장된 상측 그루브가 정의된 절연층들, 상기 제2 박막 트랜지스터와 전기적으로 연결된 신호라인, 상기 제1 영역 및 상기 제2 영역에 중첩하고, 상기 하측 그루브 및 상기 상측 그루브의 내측에 배치된 유기층 및 상기 유기층 상에 상기 제1 영역에 중첩하게 배치된 발광소자를 포함한다.

[0007] 상기 신호라인의 상기 제2 영역에 중첩하는 부분은 상기 유기층 상에 배치될 수 있다.

[0008] 상기 유기층 상에 배치되며, 상기 유기층을 관통하는 콘택홀을 통해 상기 제1 박막 트랜지스터의 출력전극에 연결된 연결전극을 더 포함할 수 있다. 상기 유기층 상에 배치된 패시베이션층을 더 할 수 있다.

[0009] 상기 발광소자의 전극은 상기 패시베이션층을 관통하는 콘택홀을 통해 상기 연결전극에 연결될 수 있다.

[0010] 상기 패시베이션층은 상기 신호라인 상에 배치되고, 상기 패시베이션층의 상기 제2 영역에 중첩하는 부분은 상기 신호라인에 접촉할 수 있다.

[0011] 상기 절연층들은, 상기 제1 박막 트랜지스터의 상기 실리콘 반도체 패턴을 커버하는 제1 절연층, 상기 제1 절연층 상에 배치되고, 상기 제1 박막 트랜지스터의 제어전극을 커버하는 제2 절연층, 상기 제2 절연층 상에 배치되고, 제2 박막 트랜지스터의 제어전극을 커버하는 제3 절연층 및 상기 제3 절연층 상에 배치되고, 상기 제2 박막 트랜지스터의 입력전극, 출력전극 및 상기 산화물 반도체 패턴을 커버하는 제4 절연층을 포함할 수 있다.

- [0012] 상기 산화물 반도체 패턴의 제1 부분과 제2 부분은 상기 제2 박막 트랜지스터의 상기 입력전극과 상기 제2 박막 트랜지스터의 상기 출력전극 상측에 각각 배치될 수 있다.
- [0013] 상기 제2 박막 트랜지스터의 상기 입력전극과 상기 제2 박막 트랜지스터의 상기 출력전극은 상기 산화물 반도체 패턴의 제1 부분과 제2 부분의 상측에 각각 배치되고, 상기 산화물 반도체 패턴의 제3 부분은 상기 제2 박막 트랜지스터의 상기 입력전극과 상기 제2 박막 트랜지스터의 상기 출력전극으로부터 노출될 수 있다.
- [0014] 상기 제2 절연층과 상기 제3 절연층 사이에 배치되고, 상기 제1 박막 트랜지스터의 상기 제어전극과 중첩하는 상부전극을 더 포함할 수 있다.
- [0015] 상기 유기층 상에 배치되고, 상기 제2 박막 트랜지스터의 상기 산화물 반도체 패턴에 중첩하는 차광 패턴을 더 포함할 수 있다.
- [0016] 상기 적어도 하나의 무기층은, 실리콘 옥사이드층들 및 상기 실리콘 옥사이드층들과 교번하게 배치된 실리콘 나이트라이드층들을 포함할 수 있다.
- [0017] 상기 적어도 하나의 무기층의 상면의 일부분과 상기 유기층은 접촉할 수 있다.
- [0018] 본 발명의 일 실시예에 따른 표시패널의 제조방법은 제1 영역 및 상기 제1 영역으로부터 연장된 제2 영역을 포함하는 베이스층 상에 상기 제1 영역 및 상기 제2 영역에 중첩하는 적어도 하나의 무기층을 형성하는 단계, 상기 적어도 하나의 무기층 상에 상기 제1 영역에 중첩하도록 실리콘 반도체 패턴을 형성하는 단계, 상기 제1 영역 및 상기 제2 영역에 중첩하는 제1 절연층을 사이에 두고 상기 실리콘 반도체 패턴과 중첩하는 제1 제어전극을 상기 제1 절연층 상에 형성하는 단계, 상기 제1 영역 및 상기 제2 영역에 중첩하며 상기 제1 제어전극을 커버하는 제2 절연층 상에 상기 제1 제어전극과 비중첩하는 제2 제어전극을 형성하는 단계, 상기 제1 영역 및 상기 제2 영역에 중첩하며 상기 제2 제어전극을 커버하는 제3 절연층을 형성하는 단계, 상기 실리콘 반도체 패턴의 제1 부분 및 제2 부분을 각각 노출시키는 제1 콘택홀 및 제2 콘택홀이 형성되고, 상기 적어도 하나의 무기층의 상기 제2 영역에 중첩하는 일부분을 노출시키는 제1 상측 그루브가 형성되도록 상기 제1 내지 제3 절연층들을 부분적으로 제거하는 제1 식각 단계, 상기 제3 절연층 상에 상기 제2 제어전극에 중첩하는 산화물 반도체 패턴을 형성하는 단계, 상기 제3 절연층 상에 상기 실리콘 반도체 패턴에 상기 제1 콘택홀 및 상기 제2 콘택홀을 통해 연결된 제1 입력전극 및 제1 출력전극을 형성하고, 상기 제3 절연층 상에 상기 산화물 반도체 패턴에 연결된 제2 입력전극 및 제2 출력전극을 형성하는 전극 형성 단계, 상기 제1 영역 및 상기 제2 영역에 중첩하도록 상기 제3 절연층 상에 제4 절연층을 형성하는 단계, 상기 제4 절연층에 상기 제1 출력전극을 노출시키는 제3 콘택홀을 형성하고, 상기 적어도 하나의 무기층의 상기 제2 영역에 중첩하는 상기 일부분을 노출시키는 제2 상측 그루브가 형성되도록 상기 제4 절연층을 부분적으로 제거하는 제2 식각 단계, 상기 적어도 하나의 무기층에 상기 제1 상측 그루브에 연속하는 하측 그루브가 형성되도록 상기 적어도 하나의 무기층의 상기 제2 영역에 중첩하는 상기 일부분을 제거하는 제3 식각 단계, 상기 제1 영역 내에서 상기 제4 절연층 상에 배치되며, 상기 제2 영역 내에서 상기 제1 상측 그루브, 상기 제2 상측 그루브, 및 상기 하측 그루브의 내측에 배치되는 유기층을 형성하는 단계, 상기 유기층에 상기 제3 콘택홀에 연결된 제4 콘택홀이 형성되도록 상기 유기층을 부분적으로 제거하는 제4 식각 단계 및 상기 유기층 상에 상기 제1 출력전극에 전기적으로 연결된 발광소자를 형성하는 단계를 포함할 수 있다.
- [0019] 상기 산화물 반도체 패턴을 형성한 이후에, 상기 산화물 반도체 패턴에 각각 중첩하며 서로 이격된 상기 제2 입력전극과 상기 제2 출력전극을 형성할 수 있다.
- [0020] 서로 이격된 상기 제2 입력전극과 상기 제2 출력전극을 형성한 이후에, 상기 제2 입력전극과 상기 제2 출력전극에 부분적으로 중첩하는 상기 산화물 반도체 패턴을 형성할 수 있다.
- [0021] 본 발명의 일 실시예에 따른 표시패널의 제조방법은 상기 유기층 상에 상기 제1 출력전극과 연결된 연결전극 및 상기 제2 영역에 중첩하는 신호라인을 형성하는 단계, 상기 유기층 상에 상기 연결전극 및 상기 신호라인을 커버하는 패시베이션층을 형성하는 단계 및 상기 연결전극을 노출하는 제5 콘택홀이 형성되도록 상기 패시베이션층을 부분적으로 제거하는 제4 식각 단계를 더 포함할 수 있다/ 상기 발광소자는 상기 연결전극을 통해 상기 제1 출력전극에 연결될 수 있다.
- [0022] 상기 발광소자를 형성하는 단계는, 상기 패시베이션층 상에 상기 연결전극에 연결된 상기 발광소자의 제1 전극을 형성하는 단계 및 상기 패시베이션층 상에 상기 발광소자의 상기 제1 전극을 노출하는 개구부를 구비한 화소 정의막을 형성하는 단계를 포함할 수 있다.

- [0023] 상기 패시베이션층의 상기 제2 영역에 중첩하는 부분은 상기 신호라인에 접촉할 수 있다.
- [0024] 상기 제2 제어전극을 형성하는 단계에서, 상기 제2 절연층 상에 상기 제1 제어전극과 중첩하는 상부전극을 더 형성할 수 있다.
- [0025] 상기 유기층 상에 상기 제2 박막 트랜지스터의 상기 산화물 반도체 패턴에 중첩하는 차광 패턴을 형성하는 단계를 더 포함할 수 있다.
- [0026] 상기 적어도 하나의 무기층의 상면의 일부분과 상기 유기층은 접촉할 수 있다.
- [0027] 본 발명의 일 실시예에 따른 표시패널의 제조방법은 상기 제2 영역을 벤딩하는 단계를 더 포함할 수 있다.
- [0028] 본 발명의 일 실시예에 따른 표시패널의 제조방법은 제1 영역 및 상기 제1 영역으로부터 연장된 제2 영역을 포함하는 베이스층 상에 상기 제1 영역 및 상기 제2 영역에 중첩하는 적어도 하나의 무기층을 형성하는 단계, 상기 적어도 하나의 무기층 상에 상기 제1 영역 및 상기 제2 영역에 중첩하는 제1 내지 제3 절연층들 및 상기 제1 영역에 중첩하는 실리콘 반도체 패턴들을 형성하는 단계, 상기 실리콘 반도체 패턴의 일부분 및 상기 적어도 하나의 무기층의 상기 제2 영역에 중첩하는 일부분이 노출되도록 상기 절연층들 중 제1 내지 제3 절연층들을 부분적으로 제거하는 제1 식각 단계, 상기 제1 내지 제3 절연층들 상에 산화물 반도체 패턴 및 상기 산화물 반도체 패턴 및 상기 실리콘 반도체 패턴에 연결된 전극들을 형성하는 단계, 상기 제1 내지 제3 절연층들 상에 상기 산화물 반도체 패턴 및 상기 전극들을 커버하는 제4 절연층을 형성하는 단계, 상기 제4 절연층에 상기 전극들 중 대응하는 전극 및 상기 적어도 하나의 무기층의 상기 제2 영역에 중첩하는 상기 일부분이 노출되도록 상기 제4 절연층을 부분적으로 제거하는 제2 식각 단계, 상기 적어도 하나의 무기층의 상기 제2 영역에 중첩하는 상기 일부분을 제거하는 제3 식각 단계, 상기 제1 영역 내에서 상기 제4 절연층 상에 배치되며, 상기 제2 영역 내에서 상기 적어도 하나의 무기층이 제거된 영역의 내측 및 상기 제1 내지 제4 절연층들의 제거된 영역의 내측에 배치되는 유기층을 형성하는 단계, 상기 유기층에 상기 대응하는 전극이 노출되도록 상기 유기층을 부분적으로 제거하는 제4 식각 단계, 상기 유기층 상에 신호라인 및 상기 대응하는 전극에 전기적으로 연결된 발광소자를 형성하는 단계 및 상기 제2 영역을 벤딩하는 단계를 포함할 수 있다.

발명의 효과

- [0029] 상술한 바에 따르면, 스위칭 트랜지스터의 누설전류가 감소된다. 구동 트랜지스터의 전압-전류 특성이 향상될 수 있다. 스위칭 트랜지스터의 입력전극 및 출력전극과 동일한 층상에 배치된 구동 트랜지스터의 입력전극 및 출력전극이 절연층들을 관통하는 콘택홀을 통해 실리콘 반도체 패턴에 직접 연결됨으로써 미스 얼라인 문제가 감소될 수 있다.
- [0030] 벤딩 영역의 무기층들에 그루브를 형성하고, 해당 그루브 내측에 유기층을 배치함으로써 표시패널의 벤딩 영역의 플렉서블리티가 향상된다. 유기층이 벤딩 영역과 비벤딩 영역에 공통적으로 배치됨으로써 표시패널의 구조가 단순해질 수 있다.
- [0031] 표시영역에 배치된 반도체 패턴의 일부분을 노출시키는 콘택홀 형성 공정과 벤딩 영역의 절연층의 제거 공정이 단일공정으로 진행됨으로써 제조공정에서 사용되는 마스크의 개수가 감소될 수 있다. 스위칭 트랜지스터의 입력전극 및 출력전극과 구동 트랜지스터의 입력전극 및 출력전극을 단일공정에 의해 형성함으로써 제조공정이 단순해질 수 있다.

도면의 간단한 설명

- [0032] 도 1a 및 도 1b는 본 발명의 일 실시예에 따른 표시패널의 사시도이다.
- 도 2는 본 발명의 일 실시예에 따른 표시패널의 평면도이다.
- 도 3a는 본 발명의 일 실시예에 따른 화소의 등가 회로도이다.
- 도 3b 및 도 3c는 본 발명의 일 실시예에 따른 화소의 일부분에 대응하는 단면도이다.
- 도 4a 및 도 4b는 본 발명의 일 실시예에 따른 표시패널의 벤딩 영역에 대응하는 단면도이다.
- 도 5a 내지 도 5o는 본 발명의 일 실시예에 따른 표시패널의 제조공정을 도시한 단면도이다.
- 도 6은 본 발명의 일 실시예에 따른 표시패널의 일부분에 대응하는 단면도이다.

도 7은 본 발명의 일 실시예에 따른 표시패널의 일부분에 대응하는 단면도이다.

도 8a 내지 도 8e는 본 발명의 일 실시예에 따른 표시패널의 일부분에 대응하는 단면도이다.

도 9는 본 발명의 일 실시예에 따른 표시패널의 일부분에 대응하는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 이하, 도면을 참조하여 본 발명의 실시예들을 설명한다. 본 명세서에서, 어떤 구성요소(또는 영역, 층, 부분 등)가 다른 구성요소 "상에 있다", "연결 된다", 또는 "결합 된다"고 언급되는 경우에 그것은 다른 구성요소 상에 직접 연결/결합될 수 있거나 또는 그들 사이에 제3의 구성요소가 배치될 수도 있다는 것을 의미한다.
- [0034] 동일한 도면부호는 동일한 구성요소를 지칭한다. 또한, 도면들에 있어서, 구성요소들의 두께, 비율, 및 치수는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. "및/또는"은 연관된 구성들이 정의할 수 있는 하나 이상의 조합을 모두 포함한다.
- [0035] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0036] 또한, "아래에", "하측에", "위에", "상측에" 등의 용어는 도면에 도시된 구성들의 연관관계를 설명하기 위해 사용된다. 상기 용어들은 상대적인 개념으로, 도면에 표시된 방향을 기준으로 설명된다.
- [0037] "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0038] 도 1a 및 도 1b는 본 발명의 일 실시예에 따른 표시패널(DP)의 사시도이다. 도 2는 본 발명의 일 실시예에 따른 표시패널(DP)의 평면도이다. 도 2는 표시패널의 화소들(PX), 구동회로(GDC), 및 신호라인(SGL)의 연결관계를 간략히 도시하였다.
- [0039] 펼쳐진 상태에서 표시패널(DP)의 전면(DP-FS)은 제1 방향축(DR1) 및 제2 방향축(DR2)이 정의하는 면과 평행하다. 표시패널(DP)의 전면(DP-FS)의 법선 방향, 즉 표시패널(DP)의 두께 방향은 제3 방향축(DR3)이 지시한다. 표시패널(DP)을 구성하는 층들 각각의 상면(또는 전면)과 하면(또는 배면)은 제3 방향축(DR3)에 의해 구분된다. 이하, 제1 내지 제3 방향들은 제1 내지 제3 방향축들(DR1, DR2, DR3) 각각 이 지시하는 방향으로써 동일한 도면 부호를 참조한다.
- [0040] 도 1a에 도시된 것과 같이, 표시패널(DP)은 전면(DP-FS) 상에서 화소들(PX)이 표시되는 표시영역(DP-DA) 및 표시영역(DP-DA)에 인접한 비표시영역(DP-NDA)을 포함한다. 비표시영역(DP-NDA)은 화소들(PX)이 배치되지 않는 영역이다. 비표시영역(DP-NDA)에는 신호라인들(SGL) 중 일부 및/또는 구동회로(GDC)가 배치될 수 있다.
- [0041] 도 1a에 도시된 것과 같이, 표시영역(DP-DA)은 사각형상일 수 있다. 비표시영역(DP-NDA)은 표시영역(DP-DA)에 에워쌀 수 있다. 다만, 이에 제한되지 않고, 표시영역(DP-DA)의 형상과 비표시영역(DP-NDA)의 형상은 상대적으로 디자인될 수 있다. 예컨대, 제1 방향(DR1)에서 마주하는 영역에만 비표시영역(DP-NDA)이 배치될 수 있다. 표시영역(DP-DA)은 원형일 수 있다.
- [0042] 본 실시예에 따르면, 비표시영역(DP-NDA)의 일부분은 표시영역(DP-DA) 대비 좁은 너비(제2 방향(DR2)에 따른 길이)를 가질 수 있다. 후술하는 것과 같이 벤딩 영역의 면적을 축소시키기 위함이다.
- [0043] 도 1b에 도시된 것과 같이, 표시패널(DP)은 벤딩될 수 있고, 벤딩됨에 따라 표시패널(DP)은 제1 영역(NBA, 또는 비벤딩 영역) 및 제2 영역(BA, 또는 벤딩영역)으로 구분될 수 있다. 제2 영역(BA)은 벤딩된 상태에서 소정의 곡률을 갖는 곡률영역(CA) 및 벤딩된 상태에서 제1 영역(NBA)과 마주하게 될 대향영역(FA)을 포함할 수 있다.
- [0044] 도 2에 도시된 것과 같이, 표시패널(DP)은 구동회로(GDC), 복수 개의 신호라인들(SGL, 이하 신호라인들), 복수 개의 신호패드들(DP-PD, 이하 신호패드들) 및 복수 개의 화소들(PX, 이하 화소들)을 포함할 수 있다.
- [0045] 화소들(PX)은 표시되는 컬러에 따라 복수 개의 그룹으로 구분될 수도 있다. 화소들(PX)은 예컨대, 레드 화소들, 그린 화소들, 블루 화소들을 포함할 수 있다. 화소들(PX)은 화이트 화소들을 더 포함할 수 있다. 표시되는 컬러

에 따라 서로 다른 그룹으로 구분된다 하더라도 화소들의 화소 구동회로는 서로 동일할 수 있다.

- [0046] 구동회로(GDC)는 주사 구동회로를 포함할 수 있다. 주사 구동회로는 복수 개의 주사 신호들(이하, 주사 신호들)을 생성하고, 주사 신호들을 후술하는 복수 개의 주사 라인들(GL, 이하 주사 라인들)에 순차적으로 출력한다. 주사 구동회로는 화소들(PX)의 구동회로에 또 다른 제어 신호를 더 출력할 수 있다.
- [0047] 주사 구동회로는 화소들(PX)의 구동회로와 동일한 공정, 예컨대 LTPS(Low Temperature Polycrystalline Silicon) 공정 또는 LTPO(Low Temperature Polycrystalline Oxide) 공정을 통해 형성된 복수 개의 박막 트랜지스터들을 포함할 수 있다.
- [0048] 신호라인들(SGL)은 주사 라인들(GL), 데이터 라인들(DL), 전원 라인(PL), 및 제어신호 라인(CSL)을 포함한다. 주사 라인들(GL)은 화소들(PX) 중 대응하는 화소(PX)에 각각 연결되고, 데이터 라인들(DL)은 화소들(PX) 중 대응하는 화소(PX)에 각각 연결된다. 전원 라인(PL)은 화소들(PX)에 연결된다. 제어신호 라인(CSL)은 주사 구동회로에 제어신호들을 제공할 수 있다. 신호패드들(DP-PD)은 신호라인들(SGL) 중 대응하는 신호라인에 연결된다.
- [0049] 도 2에는 표시패널(DP)에 전기적으로 연결되는 회로기판이 미도시되었다. 회로기판은 리지드 회로기판 또는 플렉서블 회로기판일 수 있다. 회로기판에는 구동칩이 실장될 수 있다.
- [0050] 미 도시되었으나, 구동칩은 표시패널(DP)에 실장될 수도 있다. 구동칩이 표시패널(DP)에 실장되면 신호라인들(SGL)의 설계는 변경될 수 있다. 구동칩은 데이터 라인들(DL)에 연결될 수 있고, 구동칩과 신호패드들(DP-PD)을 연결하는 신호라인이 더 배치될 수 있다.
- [0051] 도 3a는 본 발명의 일 실시예에 따른 화소(PX)의 등가 회로도이다. 도 3b 및 도 3c는 본 발명의 일 실시예에 따른 화소(PX)의 일부분에 대응하는 단면도이다. 도 4a 및 도 4b는 본 발명의 일 실시예에 따른 표시패널(DP)의 밴딩 영역에 대응하는 단면도이다.
- [0052] 도 3a에는 어느 하나의 주사 라인(GL), 어느 하나의 데이터 라인(DL), 전원 라인(PL), 및 이들에 연결된 화소(PX)를 도시하였다. 본 발명의 일 실시예에 따른 화소(PX)는 발광형 화소일 수 있고, 특별히 제한되지 않는다. 예컨대, 화소(PX)는 발광소자로써 유기발광 다이오드 또는 퀀텀닷 발광 다이오드를 포함할 수 있다. 유기발광 다이오드의 발광층은 유기발광물질을 포함할 수 있다. 퀀텀닷 발광 다이오드의 발광층은 퀀텀닷, 및 퀀텀로드 등을 포함할 수 있다. 이하, 화소(PX)는 유기발광 화소로 설명된다.
- [0053] 화소(PX)는 유기발광 다이오드(OLED) 및 유기발광 다이오드(OLED)를 구동하기 위한 화소 구동회로를 포함한다. 유기발광 다이오드(OLED)는 전면 발광형 다이오드이거나, 배면 발광형 다이오드일 수 있다. 본 실시예에서 화소 구동회로는 제1 박막 트랜지스터(T1, 또는 구동 트랜지스터), 제2 박막 트랜지스터(T2, 또는 스위칭 트랜지스터), 및 커패시터(Cst)를 포함한다. 제1 전원 전압(ELVDD)은 제1 박막 트랜지스터(T1)에 제공되고, 제2 전원 전압(ELVSS)은 유기발광 다이오드(OLED)에 제공된다. 제2 전원 전압(ELVSS)은 제1 전원 전압(ELVDD) 보다 낮은 전압일 수 있다.
- [0054] 제1 박막 트랜지스터(T1)는 유기발광 다이오드(OLED)에 연결된다. 제1 박막 트랜지스터(T1)는 커패시터(Cst)에 저장된 전하량에 대응하여 유기발광 다이오드(OLED)에 흐르는 구동전류를 제어한다. 제2 박막 트랜지스터(T2)는 주사 라인(GL)에 인가된 주사 신호에 응답하여 데이터 라인(DL)에 인가된 데이터 신호를 출력한다. 커패시터(Cst)는 제2 박막 트랜지스터(T2)로부터 수신한 데이터 신호에 대응하는 전압을 충전한다.
- [0055] 화소(PX)의 구성은 도 3a에 제한되지 않고 변형되어 실시될 수 있다. 유기발광 다이오드(OLED)를 제어하는 화소 회로는 도 3a에 도시된 것과 달리 3개 이상 예컨대 6개 또는 7개의 박막 트랜지스터들을 포함할 수도 있다. 유기발광 다이오드(OLED)는 전원 라인(PL)과 제2 박막 트랜지스터(T2) 사이에 접속될 수도 있다.
- [0056] 도 3b는 화소(PX)의 일부 구성으로써 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2) 및 유기발광 다이오드(OLED)에 대응하는 단면을 도시하였다. 도 3b에 도시된 것과 같이, 표시패널(DP)은 베이스층(BL), 베이스층(BL) 상에 배치된 회로 소자층(DP-CL), 표시 소자층(DP-OLED) 및 박막 봉지층(TFE)을 포함할 수 있다. 표시패널(DP)은 반사방지층, 굴절률 조절층 등과 같은 기능성층들을 더 포함할 수 있다. 회로 소자층(DP-CL)은 적어도 복수 개의 절연층들과 회로 소자를 포함한다. 이하, 절연층들은 유기층 및/또는 무기층을 포함할 수 있다.
- [0057] 회로 소자는 신호라인, 화소의 구동회로 등을 포함한다. 코팅, 증착 등에 의한 절연층, 반도체층 및 도전층 형성 공정과 포토리소그래피 공정에 의한 절연층, 반도체층 및 도전층층의 패터닝 공정을 통해 회로 소자층이 형성될 수 있다.

- [0058] 표시 소자층(DP-OLED)은 발광소자를 포함한다. 표시 소자층(DP-OLED)은 화소 정의막(PDL)과 같은 유기층을 더 포함할 수 있다.
- [0059] 베이스층(BL)은 합성수지 필름을 포함할 수 있다. 합성수지층은 열 경화성 수지를 포함할 수 있다. 특히, 합성수지층은 폴리아미드계 수지층일 수 있고, 그 재료는 특별히 제한되지 않는다. 합성수지층은 아크릴계 수지, 메타크릴계 수지, 폴리아소프렌, 비닐계 수지, 에폭시계 수지, 우레탄계 수지, 셀룰로오스계 수지, 실록산계 수지, 폴리아미드계 수지 및 페릴렌계 수지 중 적어도 어느 하나를 포함할 수 있다. 그밖에 베이스층은 유리 기판, 금속 기판, 또는 유/무기 복합재료 기판 등을 포함할 수 있다.
- [0060] 도 1a 내지 도 2를 참조하여 설명한 표시패널(DP)의 영역들은 베이스층(BL)에도 동일하게 정의될 수 있다. 예컨대, 베이스층(BL)은 제1 영역(NBA) 및 제1 영역(NBA)으로부터 밴딩된 제2 영역(BA)을 포함할 수 있다.
- [0061] 베이스층(BL)의 상면에 적어도 하나의 무기층이 배치된다. 무기층은 알루미늄 옥사이드, 티타늄 옥사이드, 실리콘 옥사이드, 실리콘옥시나이트라이드, 지르코늄옥사이드, 및 하프늄 옥사이드 중 적어도 하나를 포함할 수 있다. 무기층은 다층으로 형성될 수 있다. 다층의 무기층들은 후술하는 배리어층(BRL) 및/또는 버퍼층(BFL)을 구성할 수 있다. 배리어층(BRL)과 버퍼층(BFL)은 선택적으로 배치될 수 있다.
- [0062] 배리어층(BRL)은 외부로부터 이물질이 유입되는 것을 방지한다. 배리어층(BRL)은 실리콘옥사이드층 및 실리콘나이트라이드층을 포함할 수 있다. 실리콘옥사이드층과 실리콘나이트라이드층은 교번하게 적층될 수 있다.
- [0063] 버퍼층(BFL)은 배리어층(BRL) 상에 배치될 수 있다. 버퍼층(BFL)은 베이스층(BL)과 도전성 패턴들 또는 반도체 패턴들의 결합력을 향상시킨다. 버퍼층(BFL)은 실리콘옥사이드층 및 실리콘나이트라이드층을 포함할 수 있다. 실리콘옥사이드층과 실리콘나이트라이드층은 교번하게 적층될 수 있다.
- [0064] 버퍼층(BFL) 상에 제1 반도체 패턴(OSP1)이 배치된다. 제1 반도체 패턴(OSP1)은 실리콘 반도체를 포함할 수 있다. 제1 반도체 패턴(OSP1)은 폴리 실리콘 반도체일 수 있다. 그러나 이에 제한되지 않고, 제1 반도체 패턴(OSP1)은 비정질 실리콘을 포함할 수도 있다. 제1 반도체 패턴(OSP1)은 입력영역(또는 제1 부분), 출력영역(또는 제2 부분), 및 입력영역과 출력영역 사이에 정의된 채널영역(또는 제3 부분)을 포함할 수 있다. 제1 반도체 패턴(OSP1)의 채널영역은 후술하는 제1 제어전극(GE1)에 대응하게 정의될 수 있다. 입력영역과 출력영역은 도판트로 도핑되어 채널영역 대비 상대적으로 전도성이 높다. 입력영역과 출력영역은 n 타입의 도판트로 도핑될 수 있다. 본 실시예에서 n 타입의 제1 박막 트랜지스터(T1)를 예시적으로 설명하나, 제1 박막 트랜지스터(T1)는 p 타입 트랜지스터일 수도 있다.
- [0065] 버퍼층(BFL) 상에 제1 절연층(10)이 배치된다. 제1 절연층(10)은 복수 개의 화소들(PX, 도 1a 참조)에 공통으로 중첩하며, 제1 반도체 패턴(OSP1)을 커버한다. 제1 절연층(10)은 무기층 및/또는 유기층일 수 있으며, 단층 또는 다층 구조를 가질 수 있다.
- [0066] 본 실시예에서 제1 절연층(10)은 무기층일 수 있으며, 알루미늄 옥사이드, 티타늄 옥사이드, 실리콘 옥사이드, 실리콘옥시나이트라이드, 지르코늄옥사이드, 및 하프늄 옥사이드 중 적어도 하나를 포함할 수 있다. 본 실시예에서 제1 절연층(10)은 단층의 실리콘옥사이드층일 수 있다.
- [0067] 제1 절연층(10) 상에 제1 제어전극(GE1)이 배치된다. 제1 제어전극(GE1)은 제1 반도체 패턴(OSP1)의 채널영역에 중첩한다.
- [0068] 제1 절연층(10) 상에 제1 제어전극(GE1)을 커버하는 제2 절연층(20)이 배치된다. 제2 절연층(20)은 복수 개의 화소들(PX, 도 1 참조)에 공통으로 중첩한다. 제2 절연층(20)은 무기층 및/또는 유기층일 수 있으며, 단층 또는 다층 구조를 가질 수 있다.
- [0069] 본 실시예에서 제2 절연층(20)은 무기층일 수 있으며, 알루미늄 옥사이드, 티타늄 옥사이드, 실리콘 옥사이드, 실리콘옥시나이트라이드, 지르코늄옥사이드, 및 하프늄 옥사이드 중 적어도 하나를 포함할 수 있다. 본 실시예에서 제2 절연층(20)은 단층의 실리콘옥사이드층일 수 있다.
- [0070] 제2 절연층(20) 상에 제2 제어전극(GE2)이 배치된다. 제2 제어전극(GE2)은 제1 제어전극(GE1)과 비중첩한다. 본 실시예에서 제2 절연층(20) 상에 상부전극(UE)이 더 배치될 수 있다. 상부전극(UE)은 제1 제어전극(GE1)과 중첩할 수 있다. 제2 제어전극(GE2)과 상부전극(UE)은 동일한 공정에서 의해 형성되므로 동일한 재료를 포함하고, 동일한 적층 구조를 가질 수 있다. 본 발명의 일 실시예에서 상부전극(UE)은 생략될 수도 있다.
- [0071] 제2 절연층(20) 상에 제2 제어전극(GE2) 및 상부전극(UE)을 커버하는 제3 절연층(30)이 배치된다. 제3 절연층

(30)은 무기층 및/또는 유기층일 수 있으며, 단층 또는 다층 구조를 가질 수 있다.

- [0072] 본 실시예에서 제3 절연층(30)은 무기층일 수 있으며, 알루미늄 옥사이드, 티타늄 옥사이드, 실리콘 옥사이드, 실리콘옥시나이트라이드, 지르코늄옥사이드, 및 하프늄 옥사이드 중 적어도 하나를 포함할 수 있다. 본 실시예에서 제3 절연층(30)은 단층의 실리콘옥사이드층일 수 있다.
- [0073] 제3 절연층(30) 상에 제2 제어전극(GE2)에 중첩하는 제2 반도체 패턴(OSP2)이 배치된다. 제2 반도체 패턴(OSP2)은 산화물 반도체를 포함할 수 있다. 제2 반도체 패턴(OSP2)은 결정질 또는 비정질 산화물 반도체를 포함할 수 있다. 예를 들어, 산화물 반도체는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속 산화물 또는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속과 이들의 산화물의 혼합물을 포함할 수 있다. 산화물 반도체는 인듐-주석 산화물(ITO), 인듐-갈륨-아연 산화물(IGZO), 아연 산화물(ZnO), 인듐-아연 산화물(IZnO), 아연-인듐 산화물(ZIO), 인듐 산화물(InO), 티타늄 산화물(TiO), 인듐-아연-주석 산화물(IZTO), 아연-주석 산화물(ZTO) 등을 포함할 수 있다.
- [0074] 제2 반도체 패턴(OSP2)은 입력영역(또는 제1 부분), 출력영역(또는 제2 부분), 및 입력영역과 출력영역 사이에 정의된 채널영역(또는 제3 부분)을 포함할 수 있다. 입력영역과 출력영역은 불순물이 포함될 수 있다. 제2 반도체 패턴(OSP2)의 채널영역은 후술하는 제2 입력전극(DE2)과 제2 출력전극(SE2)으로부터 노출된 영역으로 정의될 수 있다.
- [0075] 제2 반도체 패턴(OSP2)의 불순물은 환원된 금속 물질들일 수 있다. 입력영역과 출력영역은 채널영역을 이루는 금속 산화물로부터 환원된 금속 물질들을 포함할 수 있다. 이에 따라, 제2 박막 트랜지스터(T2)는 누설전류를 낮출 수 있어 온-오프 특성이 향상된 스위칭 소자로 기능할 수 있다.
- [0076] 제3 절연층(30) 상에 제1 입력전극(DE1), 제1 출력전극(SE1), 제2 입력전극(DE2) 및 제2 출력전극(SE2)이 배치된다. 제1 입력전극(DE1), 제1 출력전극(SE1), 제2 입력전극(DE2) 및 제2 출력전극(SE2)은 동일한 공정에 의해 형성되므로 동일한 재료를 포함하고, 동일한 적층 구조를 가질 수 있다.
- [0077] 제1 반도체 패턴(OSP1)의 입력영역과 출력영역을 각각 노출시키는 제1 컨택홀(CH1) 및 제2 컨택홀(CH2)을 통해 제1 입력전극(DE1)과 제1 출력전극(SE1)이 제1 반도체 패턴(OSP1)에 접속된다. 제1 컨택홀(CH1) 및 제2 컨택홀(CH2)은 제1 절연층(10) 내지 제3 절연층(30)을 관통한다.
- [0078] 제2 입력전극(DE2)과 제2 출력전극(SE2)은 제2 반도체 패턴(OSP2)의 양쪽 단부에 각각 연결된다. 제2 입력전극(DE2)의 적어도 일부는 제2 반도체 패턴(OSP2)의 입력 영역 상에 직접 배치되고, 제2 출력전극(SE2)의 적어도 일부는 제2 반도체 패턴(OSP2)의 출력 영역 상에 직접 배치될 수 있다.
- [0079] 제3 절연층(30) 상에 제1 입력전극(DE1), 제1 출력전극(SE1), 제2 입력전극(DE2), 제2 출력전극(SE2)을 커버하는 제4 절연층(40)이 배치된다. 제4 절연층(40)은 유기층 또는 무기층일 수 있으며, 단층 또는 다층 구조를 가질 수 있다.
- [0080] 본 실시예에서 제4 절연층(40)은 무기층일 수 있으며, 알루미늄 옥사이드, 티타늄 옥사이드, 실리콘 옥사이드, 실리콘옥시나이트라이드, 지르코늄옥사이드, 및 하프늄 옥사이드 중 적어도 하나를 포함할 수 있다. 제4 절연층(40)은 실리콘옥사이드층일 수 있다.
- [0081] 제4 절연층(40) 상에 제5 절연층(50)이 배치된다. 제5 절연층(50)은 유기층일 수 있다. 제5 절연층(50) 상에 연결전극(CNE)이 배치된다. 연결전극(CNE)은 제4 절연층(40) 및 제5 절연층(50)을 관통하는 제3 컨택홀(CH3)을 통해 제1 출력전극(SE1)에 연결될 수 있다. 제5 절연층(50) 상에 연결전극(CNE)을 커버하는 제6 절연층(60, 또는 패시베이션층)이 배치된다. 제6 절연층(60)은 유기층일 수 있으며, 단층 또는 다층 구조를 가질 수 있다.
- [0082] 본 실시예에서 제5 절연층(50) 및 제6 절연층(60)은 단층의 폴리이미드계 수지층일 수 있다. 이에 제한되지 않고, 제5 절연층(50) 및 제6 절연층(60)은 아크릴계 수지, 메타크릴계 수지, 폴리이소프렌, 비닐계 수지, 에폭시계 수지, 우레탄계 수지, 셀룰로오스계 수지, 실록산계 수지, 폴리아미드계 수지 및 페틸렌계 수지 중 적어도 어느 하나를 포함할 수도 있다.
- [0083] 제6 절연층(60) 상에 유기발광 다이오드(OLED)가 배치된다. 유기발광 다이오드(OLED)의 애노드(AE)는 제6 절연층(60) 상에 배치된다. 애노드(AE)는 제6 절연층(60)을 관통하는 제4 컨택홀(CH4)을 통해서 연결전극(CNE)에 연결된다. 제6 절연층(60) 상에 화소 정의막(PDL)이 배치된다.
- [0084] 화소 정의막(PDL)의 개구부(OP)는 애노드(AE)의 적어도 일부분을 노출시킨다. 화소 정의막(PDL)의 개구부(OP)는

화소의 발광영역(PXA)을 정의할 수 있다. 예컨대, 복수 개의 화소들(PX, 도 1a 참조)은 표시패널(DP, 도 1a 참조)의 평면 상에서 일정한 규칙으로 배치될 수 있다. 복수 개의 화소들(PX)이 배치된 영역은 화소영역으로 정의될 수 있고, 하나의 화소영역은 발광영역(PXA)과 발광영역(PXA)에 인접한 비발광영역(NPXA)을 포함할 수 있다. 비발광영역(NPXA)은 발광영역(PXA)을 에워 싸을 수 있다.

[0085] 정공 제어층(HCL)은 발광영역(PXA)과 비발광영역(NPXA)에 공통으로 배치될 수 있다. 정공 제어층(HCL)과 같은 공통층은 복수 개의 화소들(PX)에 공통으로 형성될 수 있다. 정공 제어층(HCL)은 정공 수송층 및 정공 주입층을 포함할 수 있다.

[0086] 정공 제어층(HCL) 상에 유기발광층(EML)이 배치된다. 유기발광층(EML)은 개구부(OP)에 대응하는 영역에만 배치될 수 있다. 유기발광층(EML)은 복수 개의 화소들(PX) 각각에 분리되어 형성될 수 있다.

[0087] 본 실시예에서 패터닝된 유기발광층(EML)을 예시적으로 도시하였으나, 유기발광층(EML)은 복수 개의 화소들(PX)에 공통적으로 배치될 수 있다. 이때, 유기발광층(EML)은 백색 광을 생성할 수 있다. 또한, 유기발광층(EML)은 다층구조를 가질 수 있다.

[0088] 유기발광층(EML) 상에 전자 제어층(ECL)이 배치된다. 전자 제어층(ECL)은 전자 수송층 및 전자 주입층을 포함할 수 있다. 전자 제어층(ECL) 상에 캐소드(CE)가 배치된다. 전자 제어층(ECL) 및 캐소드(CE)는 복수 개의 화소들(PX)에 공통적으로 배치된다.

[0089] 캐소드(CE) 상에 박막 봉지층(TFE)이 배치된다. 박막 봉지층(TFE)은 복수 개의 화소들(PX)에 공통적으로 배치된다. 본 실시예에서 박막 봉지층(TFE)은 캐소드(CE)를 직접 커버한다. 본 발명의 일 실시예에서, 캐소드(CE)를 커버하는 캡핑층이 더 배치될 수 있다. 캡핑층은 유기층일 수 있다. 본 발명의 일 실시예에서, 캡핑층 상에 스퍼터링 방식에 의해 형성된 무기층이 더 배치될 수 있다. 본 발명의 일 실시예에서 유기발광 다이오드(OLED)의 적층구조는 도 3b에 도시된 구조에서 상하반전된 구조를 가질 수도 있다.

[0090] 박막 봉지층(TFE)은 적어도 무기층 또는 유기층을 포함한다. 본 발명의 일 실시예에서 박막 봉지층(TFE)은 2개의 무기층과 그 사이에 배치된 유기층을 포함할 수 있다. 본 발명의 일 실시예에서 박막 봉지층은 교번하게 적층된 복수 개의 무기층들과 복수 개의 유기층들을 포함할 수 있다.

[0091] 봉지 무기층은 수분/산소로부터 유기발광 다이오드(OLED)을 보호하고, 봉지 유기층은 먼지 입자와 같은 이물질로부터 유기발광 다이오드(OLED)을 보호한다. 봉지 무기층은 실리콘 나이트라이드층, 실리콘 옥시 나이트라이드층, 실리콘 옥사이드층, 티타늄옥사이드층, 또는 알루미늄옥사이드층 등을 포함할 수 있고, 이에 특별히 제한되지 않는다. 봉지 유기층은 아크릴 계열 유기층을 포함할 수 있고, 특별히 제한되지 않는다.

[0092] 본 실시예에 따르면, 제1 박막 트랜지스터(T1)는 실리콘 반도체, 특히 폴리 실리콘 반도체를 포함하여 높은 전자이동도를 가질 수 있다. 제1 박막 트랜지스터의 전압-전류 특성이 향상될 수 있다. 제2 박막 트랜지스터(T2)는 산화물 반도체를 포함함으로써 누설전류가 감소된다. 따라서 화소(PX, 도 3a 참조)의 구동전압이 감소되고 오작동이 방지된다.

[0093] 제2 박막 트랜지스터(T2)의 입력전극(DE2) 및 출력전극(SE2)과 동일한 층상에 배치된 제1 박막 트랜지스터(T1)는 입력전극(DE1) 및 출력전극(SE1)이 제1 내지 제3 절연층들(10 내지 30)을 관통하는 제1 및 제2 컨택홀들(CH1, CH2)을 통해 실리콘 반도체 패턴(OSP1)에 직접 연결됨으로써 미스 얼라인 문제가 감소될 수 있다. 좀 더 상세히, 상부전극(UE)과 동일한 층상에 입력전극(DE1) 및 출력전극(SE1)이 배치되면(비교예에 따른 표시패널), 제2 박막 트랜지스터(T2)의 입력전극(DE2) 및 출력전극(SE2)과 동일한 층 상에 연결전극들을 추가적으로 형성하는 공정이 요구된다. 연결전극들은 상부전극(UE)과 동일한 층상에 배치된 입력전극(DE1) 및 출력전극(SE1)에 연결되는 것을 목적으로 설계되는데, 연결전극들의 형성 과정에서 미스얼라인 문제가 발생할 수 있다. 또한, 제2 박막 트랜지스터(T2)의 입력전극(DE2) 및 출력전극(SE2)과 제1 박막 트랜지스터(T1)의 입력전극(DE1) 및 출력전극(SE1)을 별도의 공정을 통해 형성하므로 제조공정에서 사용되는 마스크의 개수가 증가되는 문제가 있을 수 있다.

[0094] 도 3c에 도시된 것과 같이, 본 발명의 일 실시예에 따른 표시패널은 제1 박막 트랜지스터(T1)의 구성들과 동일한 공정을 통해 형성된 커패시터(Cst)를 더 포함할 수 있다.

[0095] 제1 절연층(10) 상에 커패시터(Cst)의 제1 전극(E1)이 배치될 수 있다. 제1 전극(E1)은 제1 제어전극(GE1)과 동일한 공정을 통해 형성될 수 있다. 단면 상에 도시되지는 않았으나, 제1 전극(E1)은 제1 제어전극(GE1)과 연결될 수 있다.

- [0096] 제2 절연층은 제1 전극(E1)을 커버한다. 제2 절연층(20) 상에 커패시터(Cst)의 제2 전극(E2)이 배치된다. 본 발명의 일 실시예에서 상부전극(UE)은 제2 전극(E2)과 전기적으로 연결될 수 있다. 또한, 상부전극(UE)과 제2 전극(E2)은 동일한 공정을 통해 형성됨으로써 일체의 형상을 가질 수 있다. 제2 절연층(20) 상에 제2 전극(E2) 및 상부전극(UE)을 커버하는 제3 절연층(30)이 배치된다.
- [0098] 도 4a와 도 4b 각각은 도 2의 곡률영역(CA)의 제1 방향(DR1)에 따른 단면을 도시하였다. 도 4a는 신호라인(DL)에 중첩하는 단면을 도시하였고, 도 4b는 신호라인이 배치되지 않는 영역의 단면을 도시하였다. 도 4a에는 신호라인(DL)으로써 데이터 라인(DL)을 도시하였다.
- [0099] 도 4a 및 도 4b에 도시된 것과 같이, 제2 영역(BA)은 단면상에서 제1 영역(NBA, 도 1a 내지 도 2 참조), 특히 표시영역(DP-DA, 도 1a 내지 도 2 참조)과 유사한 적층구조를 갖는다. 베이스층(BL)의 상면으로부터 배리어층(BRL), 버퍼층(BFL), 및 제1 내지 제6 절연층(10 내지 60)이 순차적으로 배치된다.
- [0100] 배리어층(BRL) 및/또는 버퍼층(BFL)에는 제2 영역(BA)에 중첩하는 그루브(GV-1, 이하 하측 그루브)가 정의된다. 하측 그루브(GV-1)는 곡률영역(CA)에 정의된다. 도 1a 내지 도 2 참조하면, 제1 반도체 패턴(OSP1)의 하측에 배치된 무기층들(BRL, BFL)은 표시영역(DP-DA)에 중첩하며, 제2 영역(BA)으로 연장된다. 무기층들(BRL, BFL) 중 적어도 일부의 층들의 제2 영역(BA)에 중첩하도록 부분들이 제거되어 하측 그루브(GV-1)가 형성된다. 하측 그루브(GV-1)에 의해 노출된 베이스층(BL)의 제1 방향(DR1)의 너비는 곡률영역(CA)의 제1 방향(DR1)의 너비보다 작을 수 있다.
- [0101] 제1 내지 제4 절연층(10 내지 40)에는 제2 영역(BA)에 중첩하는 그루브(GV-2, 이하 상측 그루브)가 정의된다. 상측 그루브(GV-2)는 곡률영역(CA)에 정의된다. 배리어층(BRL) 및 버퍼층(BFL)을 구성하는 무기층들 중 최상층의 무기층의 상면은 부분적으로 제1 내지 제4 절연층(10 내지 40)으로부터 노출될 수 있다.
- [0102] 하측 그루브(GV-1)를 정의하는 배리어층(BRL) 및 버퍼층(BFL)의 측면들은 단면 상에서 소정의 경사를 가질 수 있다. 상측 그루브(GV-2)를 정의하는 제1 내지 제4 절연층(10 내지 40)의 측면들은 단면 상에서 소정의 경사를 가질 수 있다.
- [0103] 본 발명의 일 실시예에 있어서, 도 4a 및 도 4b에 도시된 것과 달리 상측 그루브(GV-2)의 제4 절연층(40)에 대응하는 제1 방향(DR1)의 너비는 곡률영역(CA)의 제1 방향(DR1)의 너비보다 클 수도 있다.
- [0104] 하측 그루브(GV-1)와 상측 그루브(GV-2)의 내측에 유기층인 제5 절연층(50)이 배치된다. 제5 절연층(50)은 베이스층(BL)의 상면, 하측 그루브(GV-1)의 경사면, 및 상측 그루브(GV-2)의 경사면에 접촉한다. 제5 절연층(50)은 제1 내지 제4 절연층(10 내지 40)으로부터 노출된 버퍼층(BFL)의 상면의 일부분과 접촉할 수 있다.
- [0105] 곡률영역(CA)의 무기층들(BRL, BFL, 10 내지 40)에 그루브들(GV-1, GV-2)을 형성하고, 그루브들(GV-1, GV-2) 내측에 유기층(50)을 배치함으로써 벤딩영역(BA)의 플렉서블리티가 향상된다. 유기층(50)으로 벤딩영역(BA)과 비벤딩영역(NBA)에 공통적으로 배치됨으로써 표시패널(DP)의 구조가 단순해질 수 있다.
- [0106] 신호라인(DL)의 적어도 일부분은 제5 절연층(50) 상에 배치될 수 있다. 제6 절연층(60)은 신호라인(DL)을 커버하여 신호라인(DL)을 보호한다. 도 4a에 도시되지 않았으나, 신호라인(DL)의 다른 일부분, 특히 표시영역(DP-DA)에 배치된 다른 일부분은 다른층 상에 배치될 수 있다. 예컨대, 신호라인(DL)의 다른 일부분은 제3 절연층(30) 상에 배치될 수도 있다. 신호라인(DL)의 상기 일부분과 상기 다른 일부분은 제4 절연층(40) 및 제5 절연층(50)을 관통하는 컨택홀을 통해 연결될 수 있다. 이러한 컨택홀은 제1 영역(NBA) 중 비표시영역(DP-NDA)에 배치될 수 있다.
- [0107] 본 발명의 일 실시예에서 제6 절연층(60)의 상면에는 표시영역(DP-DA)에 배치된 층으로부터 연장된 층이 더 배치될 수도 있다. 본 발명의 일 실시예에서 제6 절연층(60)은 곡률영역(CA)에 미배치될 수도 있다.
- [0109] 도 5a 내지 도 5o는 본 발명의 일 실시예에 따른 표시패널(DP)의 제조공정을 도시한 단면도이다. 도 5a 내지 도 5o 각각은 도 3b와 도 4a에 대응하는 영역을 비교 도시하였다. 이하, 도 1 내지 도 4b를 참조하여 설명한 구성과 동일한 구성에 대한 상세한 설명은 생략한다.
- [0110] 도 5a에 도시된 것과 같이, 베이스층(BL)의 제1 영역(NBA) 및 제2 영역(BA) 상에 적어도 하나의 무기층을 형성한다. 별도로 도시되지 않았으나, 제조 공정에 있어서 베이스층(BL)은 작업기판 상에 배치될 수 있다. 표시패널

이 제조된 이후 작업기판이 제거될 수 있다.

- [0111] 무기 물질을 증착, 코팅, 또는 프린팅하여 무기층들을 형성할 수 있다. 실리콘옥사이드층과 실리콘나이트라이드층을 순차적으로 형성하여 배리어층(BRL)을 형성할 수 있다. 배리어층(BRL) 상에 실리콘옥사이드층과 실리콘나이트라이드층을 순차적으로 형성하여 버퍼층(BFL)을 형성할 수 있다.
- [0112] 도 5a에 도시된 것과 같이, 무기층 상에 제1 예비 반도체 패턴(OSP1-P)을 형성한다. 제1 예비 반도체 패턴(OSP1-P)은 실리콘 반도체 물질을 포함할 수 있다. 반도체층을 형성한 후 패터닝하여 제1 예비 반도체 패턴(OSP1-P)을 형성한다. 패터닝 전/후에 반도체층을 결정화시킬 수 있다. 별도로 도시되지 않았으나, 제1 예비 반도체 패턴(OSP1-P)에 도핑을 실시할 수 있다.
- [0113] 이후, 도 5b에 도시된 것과 같이, 무기층의 제1 영역(NBA) 및 제2 영역(BA) 상에 제1 절연층(10)을 형성한다. 증착, 코팅, 또는 프린팅하여 제1 절연층(10)을 형성할 수 있다. 제1 절연층(10) 상에 배치되는 절연층들 역시 증착, 코팅, 또는 프린팅으로 형성될 수 있다.
- [0114] 제1 절연층(10) 상에 제1 제어전극(GE1)을 형성한다. 제1 절연층(10) 상에 도전층을 형성한 후 패터닝하여 제1 제어전극(GE1)을 형성한다. 커패시터(Cst)의 제1 전극(E1, 도 3c 참조)이 제1 제어전극(GE1)과 동일한 공정을 통해서 형성될 수 있다.
- [0115] 이후, 제1 제어전극(GE1)을 마스크로 이용하여 제1 예비 반도체 패턴(OSP1-P)을 도핑할 수 있다. 제1 제어전극(GE1)에 중첩하는 영역(이하, 채널영역)은 미도핑되고, 채널영역의 양측 영역들(입력영역 및 출력영역)이 도핑된다. 본 실시예에서 n 타입 도펀트, 즉 5가 원소를 이용하여 도핑할 수 있다. 그에 따라 제1 반도체 패턴(OSP1)이 형성된다.
- [0116] 이후, 도 5c에 도시된 것과 같이, 제1 절연층(10)의 제1 영역(NBA) 및 제2 영역(BA) 상에 제1 제어전극(GE1)을 커버하도록 제2 절연층(20)을 형성한다. 제2 절연층(20) 상에 제1 제어전극(GE1)과 비중첩하는 제2 제어전극(GE2)을 형성한다. 제2 제어전극(GE2)과 동일한 공정에서 상부전극(UE)을 형성한다. 미 도시되었으나, 커패시터(Cst)의 제2 전극(E2, 도 3c 참조)을 상부전극(UE)과 동일한 공정을 통해 형성할 수 있다.
- [0117] 이후, 도 5d에 도시된 것과 같이, 제2 절연층(20)의 제1 영역(NBA) 및 제2 영역(BA) 상에 제2 제어전극(GE2) 및 상부전극(UE)을 커버하는 제3 절연층(30)을 형성한다. 제3 절연층(30) 상에 제2 예비 반도체 패턴(OSP2-P)을 형성한다. 포토리소그래피 공정을 통해 반도체층으로부터 제2 예비 반도체 패턴(OSP2-P)을 형성한다.
- [0118] 이후, 도 5e에 도시된 것과 같이, 상술한 절연층들(10 내지 30)의 일부분을 제거한다(이하, 제1 식각 단계). 제1 반도체 패턴(OSP1)의 입력영역과 출력영역을 노출하는 콘택홀들(CH1, CH2)을 형성한다. 동일한 공정에서 제1 내지 제3 절연층들(10 내지 30)의 제2 영역(BA)을 부분적으로 제거하여 제1 상측 그루브(GV-21)를 형성한다. 제1 영역(NBA)의 콘택홀 형성 공정과 제2 영역(BA)의 그루브 형성 공정이 단일공정으로 진행됨으로써 제조공정에서 사용되는 마스크의 개수가 감소될 수 있다.
- [0119] 다음, 도 5f에 도시된 것과 같이, 제3 절연층(30) 상에 제2 예비 반도체 패턴(OSP2-P)을 형성한다. 제2 예비 반도체 패턴(OSP2-P)은 금속 산화물 반도체 물질을 포함할 수 있다. 포토리소그래피 공정을 통해 금속 산화물 반도체층으로부터 제2 예비 반도체 패턴(OSP2-P)을 형성한다.
- [0120] 도 5e 공정과 도 5f의 공정 순서는 서로 변경될 수 있다. 본 발명의 일실시예에서 제2 예비 반도체 패턴(OSP2-P)을 형성한 이후에 제2 콘택홀들(CH1, CH2)과 제1 상측 그루브(GV-21)를 형성할 수 있다.
- [0121] 이후, 도 5g에 도시된 것과 같이, 제3 절연층(30) 상에 전극들(DE1, SE1, SE2, DE2)을 형성한다(이하, 전극 형성단계). 증착공정을 통해 도전층을 형성한 후, 패터닝 공정을 통해 전극들(DE1, SE1, SE2, DE2)을 형성할 수 있다.
- [0122] 도전층의 패터닝 공정은 플라즈마를 포함하는 에칭 가스에 의해 이루어질 수 있다. 에칭 가스는 산소를 포함하는 플라즈마를 포함할 수 있다. 에칭 가스는 제2 예비 반도체 패턴(OSP2-P) 중 제2 입력 전극(DE2)과 제2 출력 전극(SE2)으로부터 노출된 영역의 수소 농도를 감소시킬 수 있다. 이에 따라, 제2 예비 반도체 패턴(OSP2-P) 중 제2 입력 전극(DE2)과 제2 출력 전극(SE2)으로부터 노출된 영역은 제2 입력 전극(DE2)과 제2 출력 전극(SE2)에 의해 커버된 영역들보다 높은 저항을 가지며 반도체적 성질을 갖는 채널 영역으로 변화된다. 그에 따라 제2 예비 반도체 패턴(OSP2-P)으로부터 널 영역, 채널 영역을 사이에 두고 서로 이격된 입력 영역과 출력 영역을 포함하는 제2 반도체 패턴(OSP2)이 형성된다.

- [0123] 다음, 도 5h에 도시된 것과 같이, 제3 절연층(30) 상에 전극들(DE1, SE1, SE2, DE2)을 커버하는 제4 절연층(40)을 형성한다. 제4 절연층(40)의 일부분은 제1 상측 그루브(GV-21)의 내측에 배치될 수 있다.
- [0124] 다음, 도 5i에 도시된 것과 같이, 제4 절연층(40)의 일부분을 제거한다(이하, 제2 식각 단계). 제1 출력전극(SE1)을 노출하는 컨택홀(CH3-40)을 형성한다. 동일한 공정에서 제4 절연층(40)의 제2 영역(BA)을 부분적으로 제거하여 제2 상측 그루브(GV-22)를 형성한다. 제1 영역(NBA)의 컨택홀 형성 공정과 제2 영역(BA)의 그루브 형성 공정이 단일공정으로 진행됨으로써 제조공정에서 사용되는 마스크의 개수가 감소될 수 있다.
- [0125] 제2 상측 그루브(GV-22)의 내측면과 제1 상측 그루브(GV-21)의 내측면이 정렬된 것으로 도시하였으나, 이에 제한되지 않는다. 제3 절연층(30)의 상면은 제4 절연층(40)으로부터 노출될 수도 있다.
- [0126] 이후, 도 5j에 도시된 것과 같이, 무기층들(BRL, BFL)의 일부분을 제거한다(이하 제3 식각 단계). 식각가스를 이용하여 배리어층(BRL)과 버퍼층(BFL)의 제2 영역(BA)을 부분적으로 제거하여 하측 그루브(GV-1)를 형성한다. 무기층들(BRL, BFL) 중 최상층의 무기층의 상면은 부분적으로 제1 내지 제4 절연층(10 내지 40)으로부터 노출될 수 있다. 본 발명의 일 실시예에서, 하측 그루브(GV-1)의 내측면은 제1 상측 그루브(GV-21)의 내측면과 정렬될 수도 있다.
- [0127] 이후, 도 5k에 도시된 것과 같이, 제4 절연층(40) 상에 제5 절연층(50)을 형성한다. 제1 영역(NBA) 및 제2 영역(BA)에 중첩하도록 제5 절연층(50)을 형성한다. 제5 절연층(50)은 하측 그루브(GV-1)와 상측 그루브(GV-2)의 내측에 배치된다. 제5 절연층(50)은 컨택홀(CH3-40)을 부분적으로 채울 수 있다.
- [0128] 다음, 도 5l에 도시된 것과 같이, 제5 절연층(50)의 일부분을 제거한다(이하 제4 식각 단계). 제5 절연층(50)에 의해 커버된 제1 출력전극(SE1)을 노출시키기 위해 제5 절연층(50)에 컨택홀(CH3-50)을 형성한다. 제5 절연층(50)의 컨택홀(CH3-50)은 제4 절연층(40)의 컨택홀(CH3-40)과 정렬될 수 있다. 이렇게 정렬된 컨택홀들은(CH3-40, CH3-50)은 제3 컨택홀(CH3)을 정의한다.
- [0129] 이후, 도 5m에 도시된 것과 같이, 제5 절연층(50) 상에 연결전극(CNE)을 형성한다. 연결전극(CNE)과 동일한 공정을 통해서 신호라인(DL)의 제2 영역(BA)에 중첩하는 부분을 형성한다.
- [0130] 이후, 도 5n에 도시된 것과 같이, 제5 절연층(50) 상에 연결전극(CNE) 및 신호라인(DL)의 제2 영역(BA)에 중첩하는 부분을 커버하는 제6 절연층(60)을 형성한다. 제6 절연층(60)에 연결전극(CNE)의 상면을 노출시키는 제4 컨택홀(CH4)을 형성할 수 있다.
- [0131] 다음, 도 5o에 도시된 것과 같이, 제6 절연층(60) 상에 유기발광 다이오드(OLED)를 형성한다. 제6 절연층(60) 상에 제4 컨택홀(CH4)을 통해 연결전극(CNE)에 연결되는 애노드(AE)를 형성한다. 제6 절연층(60) 상에 애노드(AE)의 중심부분을 노출하는 화소 정의막(PDL)을 형성한다. 제6 절연층(60) 상에 예비-화소 정의막을 형성한 후, 예비-화소 정의막에 개구부(OP)를 형성한다.
- [0132] 이후, 화소 정의막(PDL)의 제1 영역(NBA) 상에 정공 제어층(HCL), 발광층(EML), 전자 제어층(ECL), 및 캐소드(CE)이 순차적으로 형성된다. 정공 제어층(HCL), 발광층(EML), 전자 제어층(ECL), 및 캐소드(CE)는 평면상에서 적어도 표시영역(DP-DA, 도 2 참조)에 중첩한다.
- [0133] 캐소드(CE) 상에 박막 봉지층(TFE)을 형성한다. 증착, 잉크젯 프린팅 공정 등에 의해 봉지 유기층 및/또는 봉지 무기층을 형성한다. 박막 봉지층(TFE)은 제1 영역(NBA) 상에 형성되고, 제2 영역(BA)에는 미배치될 수 있으나, 이에 제한되지 않는다.
- [0134] 도 6 내지 9는 본 발명의 일 실시예에 따른 표시패널(DP)의 일부분에 대응하는 단면도이다. 이하, 도 1 내지 도 5o를 참조하여 설명한 구성과 동일한 구성에 대한 상세한 설명은 생략한다.
- [0135] 도 6에 도시된 것과 같이, 제2 반도체 패턴(OSP2)과 제2 입력전극(DE2) 및 제2 출력전극(SE2)의 배치관계는 변경될 수 있다. 제2 입력전극(DE2) 및 제2 출력전극(SE2)을 형성한 후 제2 반도체 패턴(OSP2)을 형성함으로써 제2 반도체 패턴(OSP2)의 양단 부분이 제2 입력전극(DE2)과 제2 출력전극(SE2) 상에 각각 직접 배치될 수 있다.
- [0136] 도 7에 도시된 것과 같이, 연결전극(CNE)과 제6 절연층(60)은 생략될 수 있다. 애노드(AE)가 제5 절연층(50) 상에 직접 배치되고, 제3 컨택홀(CH3)을 통해서 제1 출력전극(SE1)에 연결될 수 있다. 신호라인(DL)의 제2 영역(BA)에 중첩하는 부분도 제5 절연층(50) 상에 직접 배치된다.
- [0137] 신호라인(DL)의 제2 영역(BA)에 중첩하는 부분은 애노드(AE)와 동일한 공정을 통해 형성될 수 있다. 신호라인

(DL)의 제2 영역(BA)에 중첩하는 부분과 애노드(AE)는 동일한 물질을 포함하고, 동일한 층구조를 가질 수 있다.

- [0138] 도 8a 내지 도 8f는 도 5o에 도시된 표시패널(DP)에 대응하는 표시패널들(DP)을 도시하였다. 도 8a 내지 도 8f에 도시된 표시패널들(DP)은 도 5o에 도시된 표시패널(DP) 대비 신호라인(DL)의 형상이 일부 상이할 수 있다.
- [0139] 도 8a 내지 도 8f에 도시된 것과 같이, 신호라인(DL)은 제1 부분(DL1-P1), 제2 부분(DL1-P2), 및 제3 부분(DL1-P3)을 포함한다. 제1 부분(DL1-P1)은 화소(PX, 도 2 참조)에 연결된 부분이고, 제3 부분(DL1-P3)은 대응하는 신호패드(DP-PD, 도 2 참조) 또는 미도시된 구동칩에 연결된 부분일 수 있다. 제2 부분(DL1-P2)은 제5 컨택홀(CH5) 및 제6 컨택홀(CH6)을 통해 제1 부분(DL1-P1)과 제3 부분(DL1-P3)을 연결할 수 있다. 제2 부분(DL1-P2)은 곡물영역(CA)에 중첩하는 부분일 수 있다.
- [0140] 도 8a에 도시된 것과 같이, 제1 부분(DL1-P1)과 제3 부분(DL1-P3)은 트랜지스터들(T1, T2)의 입력 전극 및 출력 전극들(DE1, SE1, SE2, DE2)과 동일한 공정에 의해 형성되고, 동일한 층상에 배치될 수 있다. 제5 컨택홀(CH5) 및 제6 컨택홀(CH6) 각각은 제4 절연층(40) 및 제5 절연층(50)을 관통할 수 있다. 제5 컨택홀(CH5) 및 제6 컨택홀(CH6) 각각은 제3 컨택홀(CH3)과 동일한 공정에 의해 형성될 수 있다.
- [0141] 도 8b에 도시된 것과 같이, 제1 부분(DL1-P1)과 제3 부분(DL1-P3)은 상부전극(UE)과 동일한 공정에 의해 형성되고, 동일한 층상에 배치될 수 있다. 제5 컨택홀(CH5) 및 제6 컨택홀(CH6) 각각은 제3 절연층(30), 제4 절연층(40), 및 제5 절연층(50)을 관통할 수 있다. 제5 컨택홀(CH5) 및 제6 컨택홀(CH6) 각각은 제3 컨택홀(CH3)과 동일한 공정에서 형성되되, 제3 절연층(30)을 더 관통하도록 제어된다. 본 발명의 일 실시예에서 제5 컨택홀(CH5) 및 제6 컨택홀(CH6)을 형성하기 위한 포토리소그래피 공정이 추가될 수도 있다.
- [0142] 도 8c에 도시된 것과 같이, 제1 부분(DL1-P1)과 제3 부분(DL1-P3)은 제1 제어 전극(GE1)과 동일한 공정에 의해 형성되고, 동일한 층상에 배치될 수 있다. 제5 컨택홀(CH5) 및 제6 컨택홀(CH6) 각각은 제2 절연층(20), 제3 절연층(30), 제4 절연층(40), 및 제5 절연층(50)을 관통할 수 있다. 제5 컨택홀(CH5) 및 제6 컨택홀(CH6) 각각은 제3 컨택홀(CH3)과 동일한 공정에서 형성되되, 제2 절연층(20) 및 제3 절연층(30)을 더 관통하도록 제어된다. 본 발명의 일 실시예에서 제5 컨택홀(CH5) 및 제6 컨택홀(CH6)을 형성하기 위한 포토리소그래피 공정이 추가될 수도 있다.
- [0143] 제1 부분(DL1-P1)과 제3 부분(DL1-P3) 중 어느 하나는 제1 입력 전극(DE1), 상부전극(UE), 제1 제어 전극(GE1) 중 어느 하나와 동일한 공정에 의해 형성되고, 동일한 층상에 배치되고, 다른 하나는 제1 입력 전극(DE1), 상부전극(UE), 제1 제어 전극(GE1) 중 다른 하나와 동일한 공정에 의해 형성되고, 동일한 층상에 배치될 수 있다. 제1 부분(DL1-P1)과 제3 부분(DL1-P3)의 위치에 따라 제5 컨택홀(CH5) 및 제6 컨택홀(CH6) 각각이 관통하는 절연층들은 달라질 수 있다. 제5 컨택홀(CH5) 및 제6 컨택홀(CH6) 각각은 제3 컨택홀(CH3)과 동일한 공정에서 형성되되, 그 깊이는 다르게 제어될 수 있다.
- [0144] 예컨대, 도 8d에 도시된 것과 같이, 제1 부분(DL1-P1)은 상부전극(UE)과 동일한 공정에 의해 형성되고, 동일한 층상에 배치될 수 있으며, 제3 부분(DL1-P3)은 제1 입력전극(DE1)과 동일한 공정에 의해 형성되고, 동일한 층상에 배치될 수 있다. 제5 컨택홀(CH5)은 제3 절연층(30), 제4 절연층(40), 및 제5 절연층(50)을 관통할 수 있고, 제6 컨택홀(CH6)은 제4 절연층(40) 및 제5 절연층(50)을 관통할 수 있다.
- [0145] 또한, 도 8e에 도시된 것과 같이, 제1 부분(DL1-P1)은 제1 제어 전극(GE1)과 동일한 공정에 의해 형성되고, 동일한 층상에 배치될 수 있으며, 제3 부분(DL1-P3)은 상부전극(UE)과 동일한 공정에 의해 형성되고, 동일한 층상에 배치될 수 있다. 제5 컨택홀(CH5)은 제2 절연층(20), 제3 절연층(30), 제4 절연층(40), 및 제5 절연층(50)을 관통할 수 있고, 제6 컨택홀(CH6)은 제3 절연층(30), 제4 절연층(40), 및 제5 절연층(50)을 관통할 수 있다.
- [0146] 도 8a 내지 도 8f에서 제2 부분(DL1-P2)은 연결전극(CNE)과 동일한 공정을 통해서 형성되고 동일한 층 상에 배치된 것으로 도시하였으나, 이에 제한되지 않는다. 제2 부분(DL1-P2)은 도 7에 도시된 것과 같이 애노드(AE)와 동일한 공정을 통해서 형성되고 동일한 층 상에 배치될 수도 있다. 도 9에 도시된 것과 같이, 표시패널(DP)은 제5 절연층(50)과 제6 절연층(60) 사이에 배치되고, 제2 반도체 패턴(OSP2)에 중첩하는 차광 패턴(LSP)를 더 포함할 수 있다.
- [0147] 차광 패턴(LSP)은 광 흡수율이 높은 물질 또는 광 반사율이 높은 물질을 포함할 수 있다. 차광 패턴(LSP)은 제2 반도체 패턴(OSP2) 상부에 배치되어 유기발광 다이오드(OLED)로부터 생성된 후 반사된 광이 제2 반도체 패턴(OSP2)에 입사되는 것을 블록킹한다.
- [0148] 한편, 차광 패턴(LSP)은 연결전극(CNE)과 동일한 물질을 포함할 수 있다. 구체적으로, 광 차단 패턴(LSP)은 금

속을 포함할 수 있다.

[0149] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

[0150] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0151] T1: 제1 박막 트랜지스터 T2: 제1 박막 트랜지스터

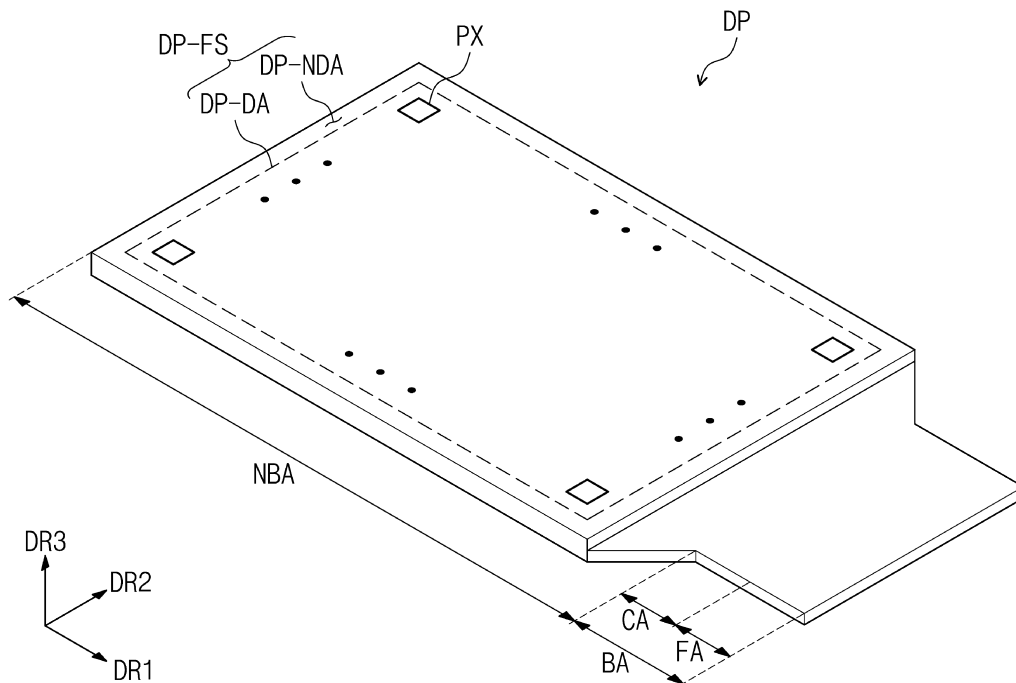
OLED: 유기발광 다이오드 DE1, DE2: 입력전극

SE1, SE2: 출력전극 GE1, GE2: 제어전극

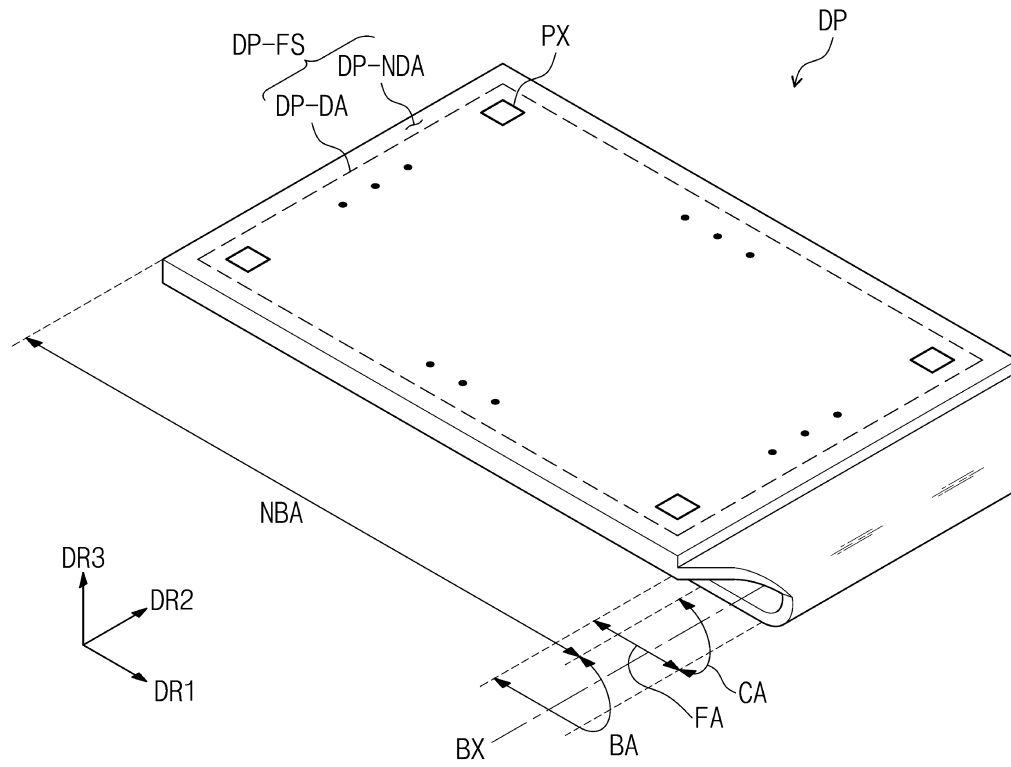
OSP1, OSP2: 반도체 패턴

도면

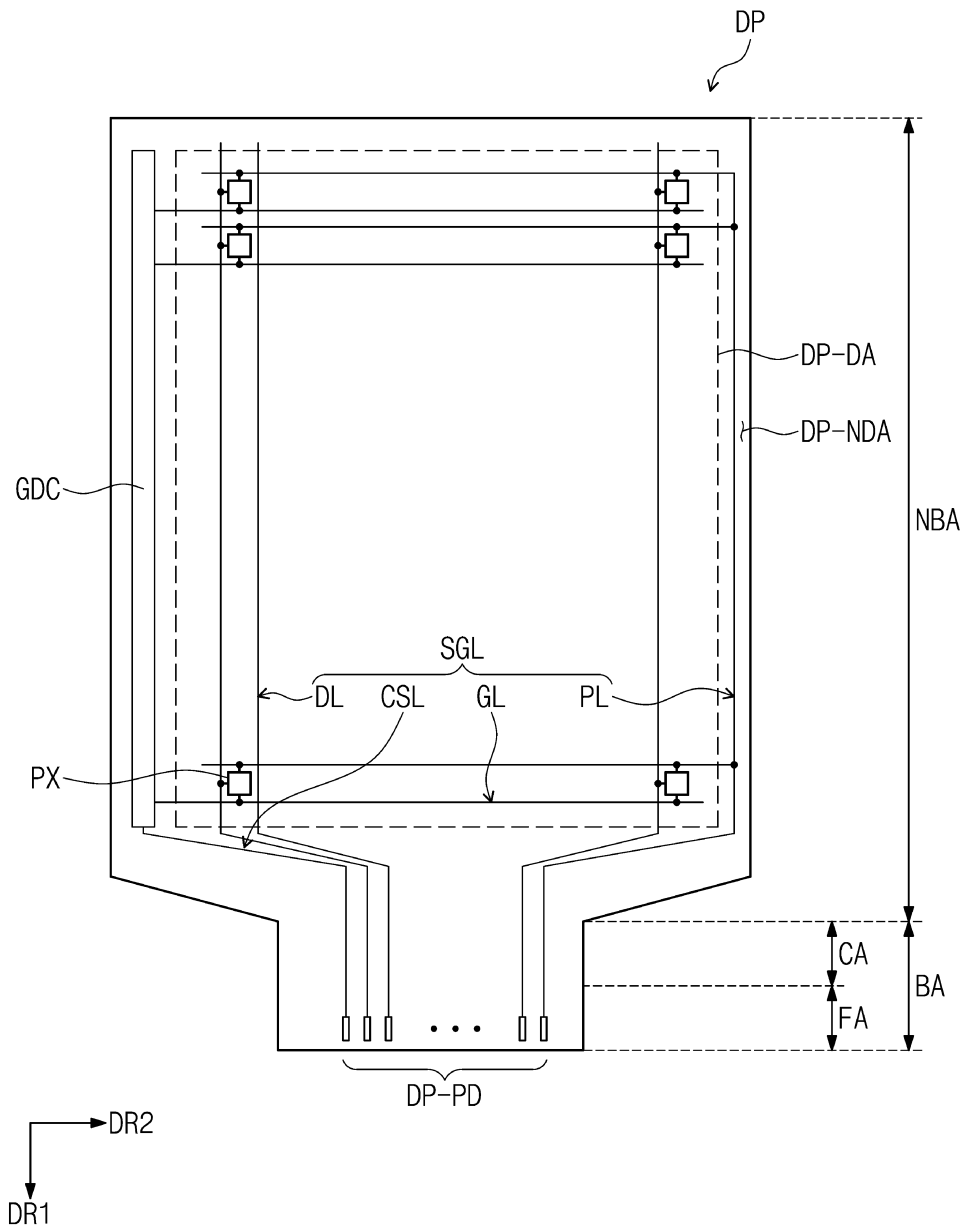
도면1a



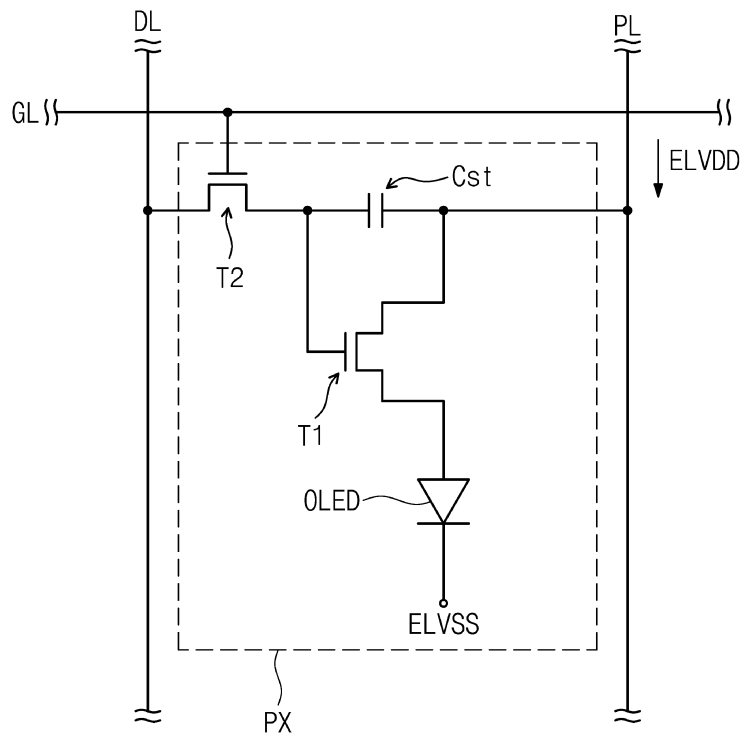
도면1b



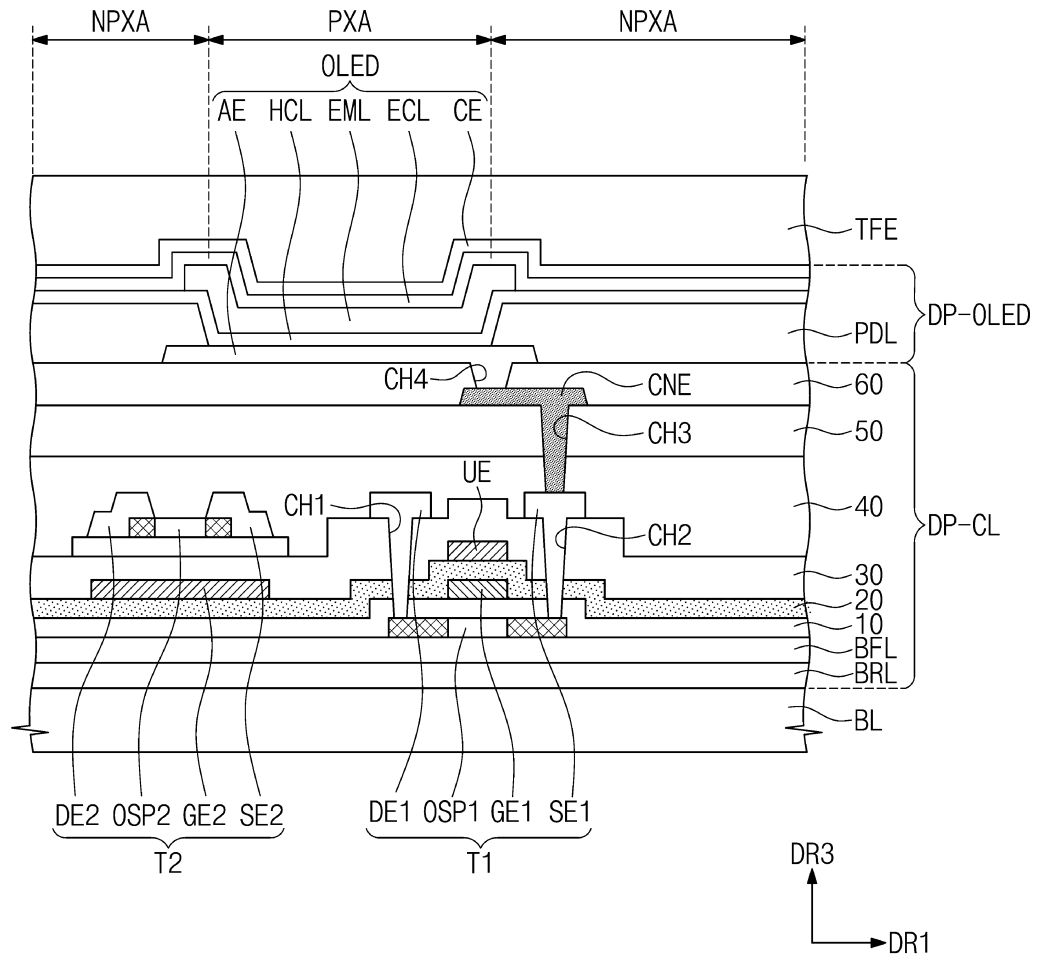
도면2



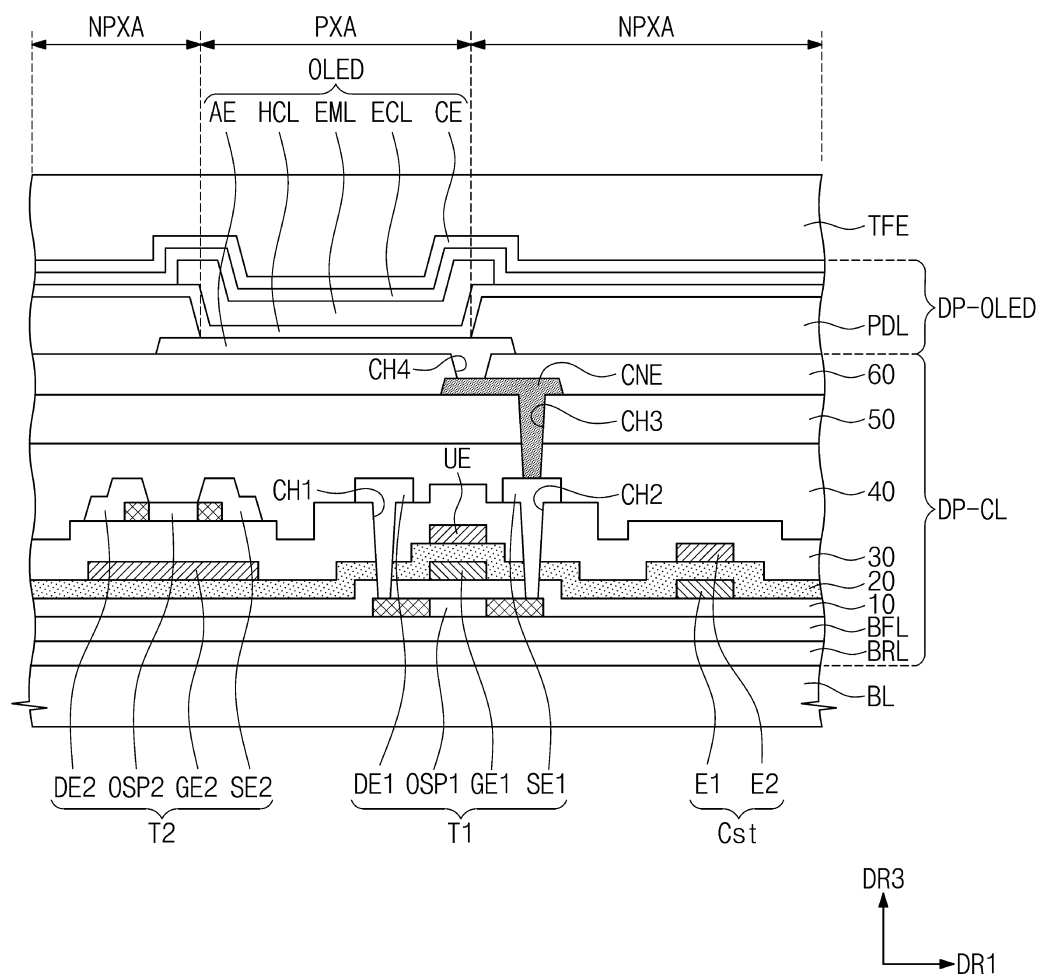
도면3a



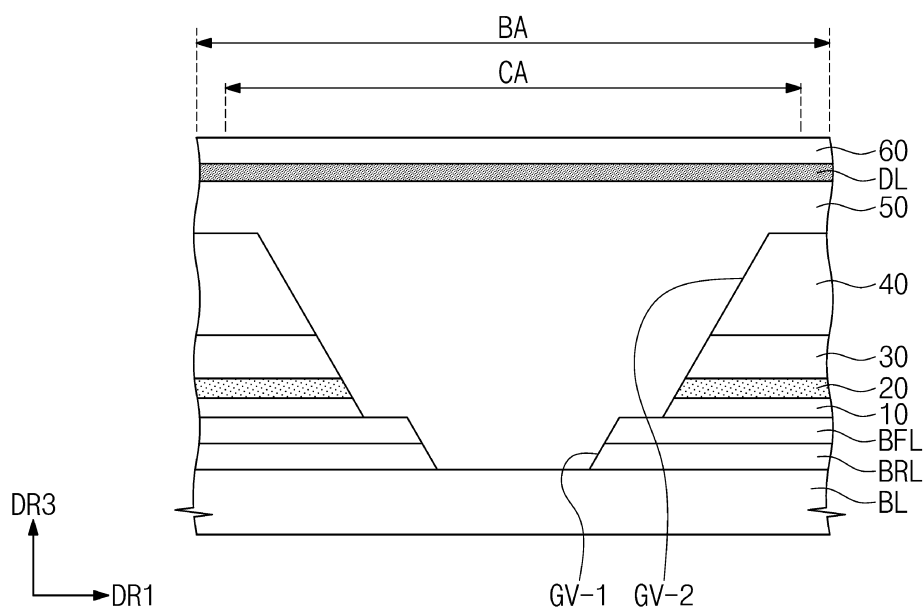
도면3b



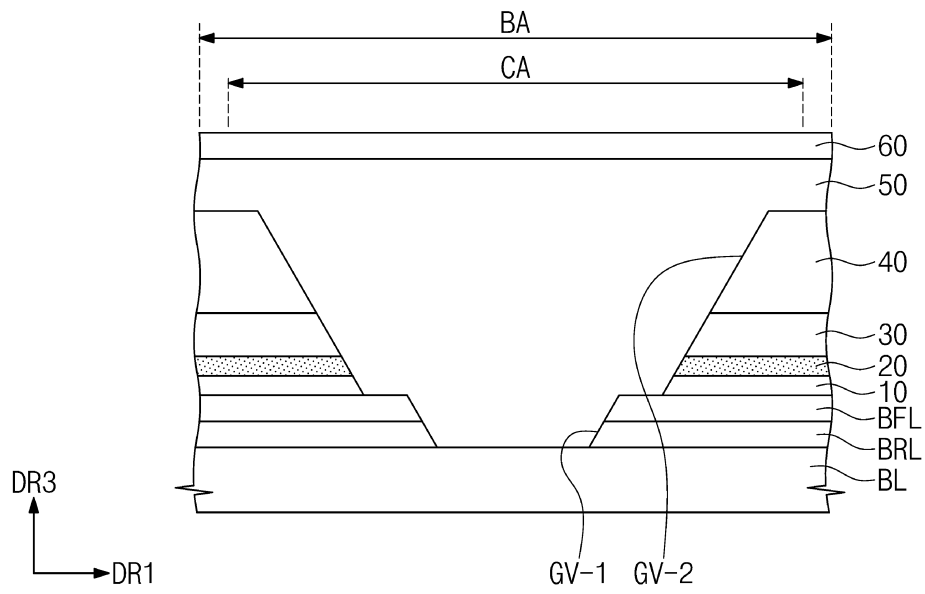
도면3c



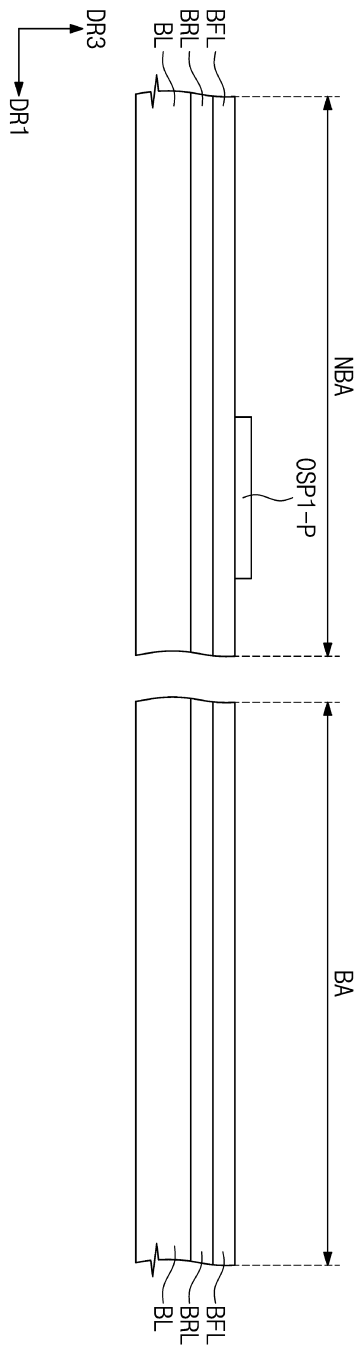
도면4a



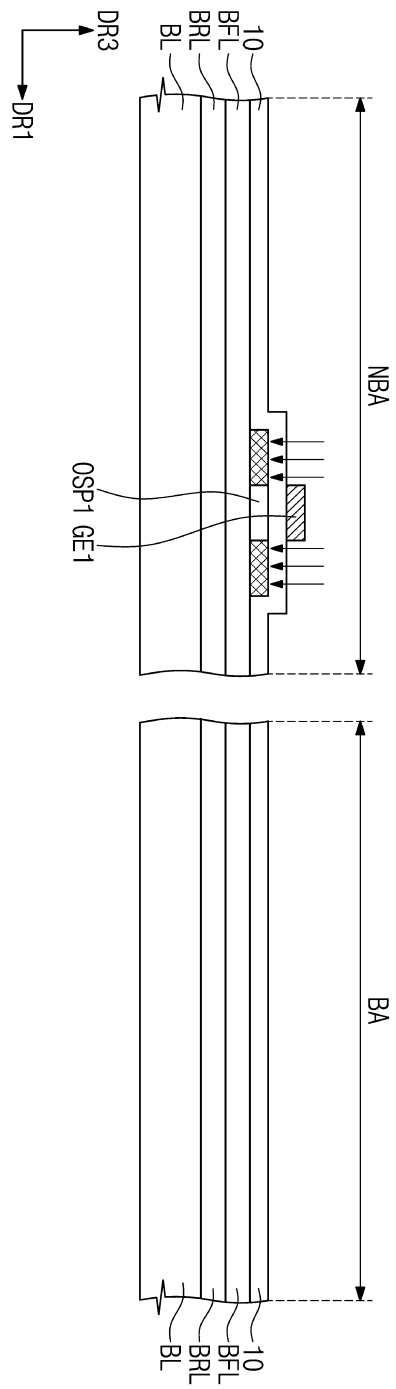
도면4b



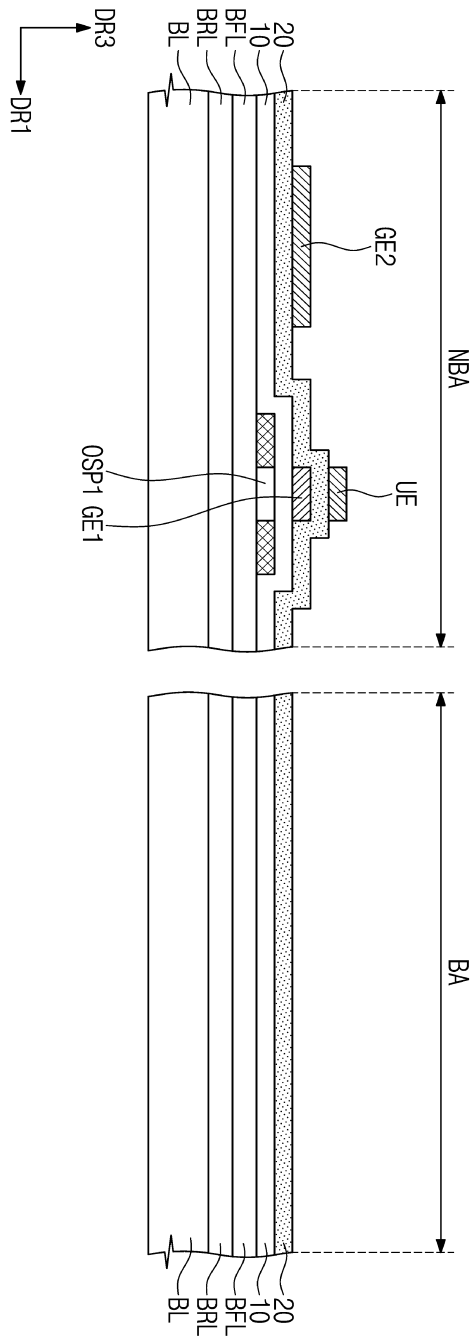
도면5a



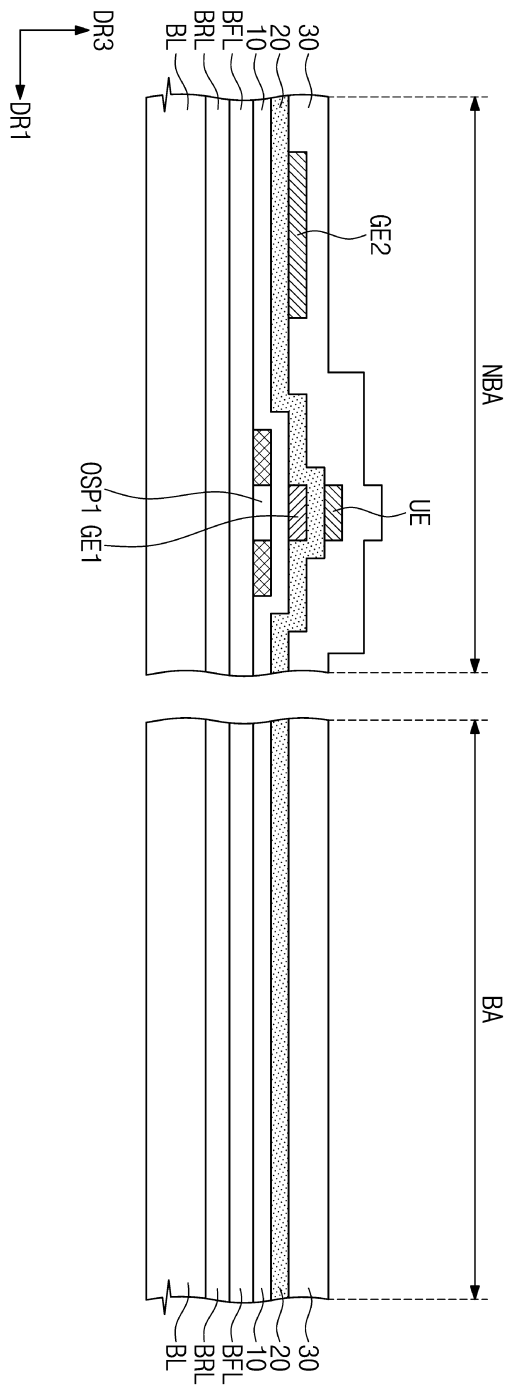
도면5b



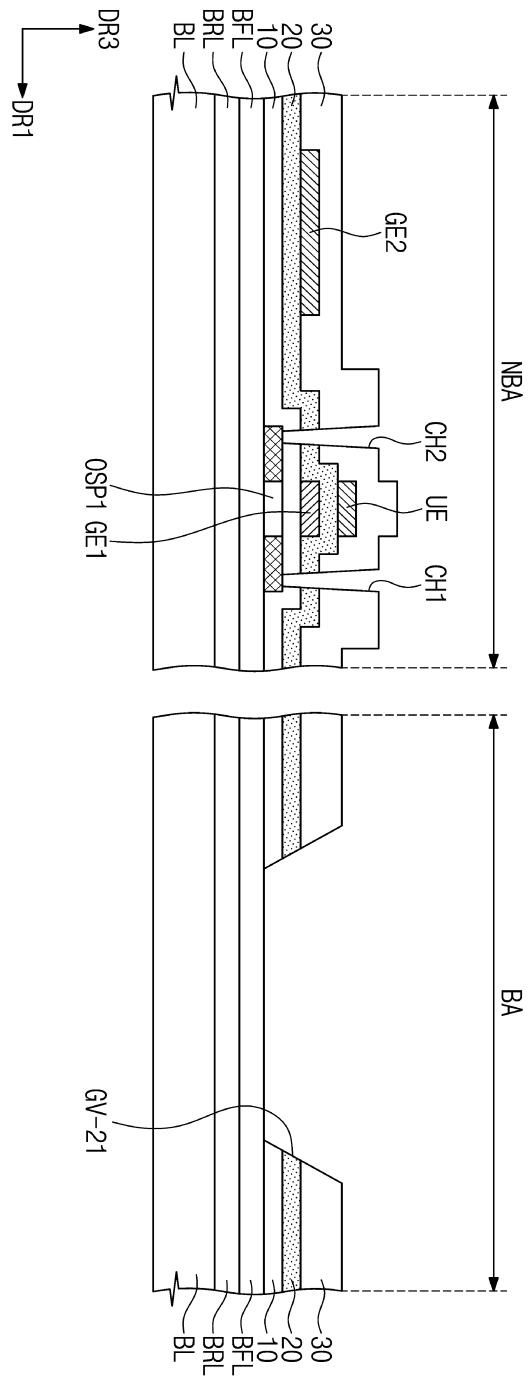
도면5c



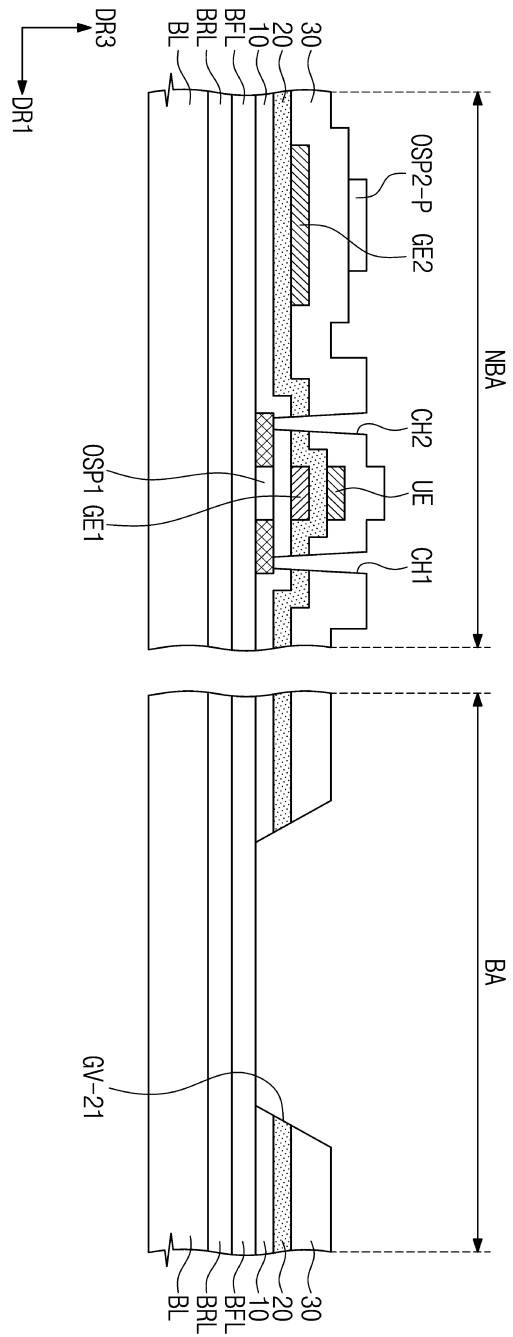
도면5d



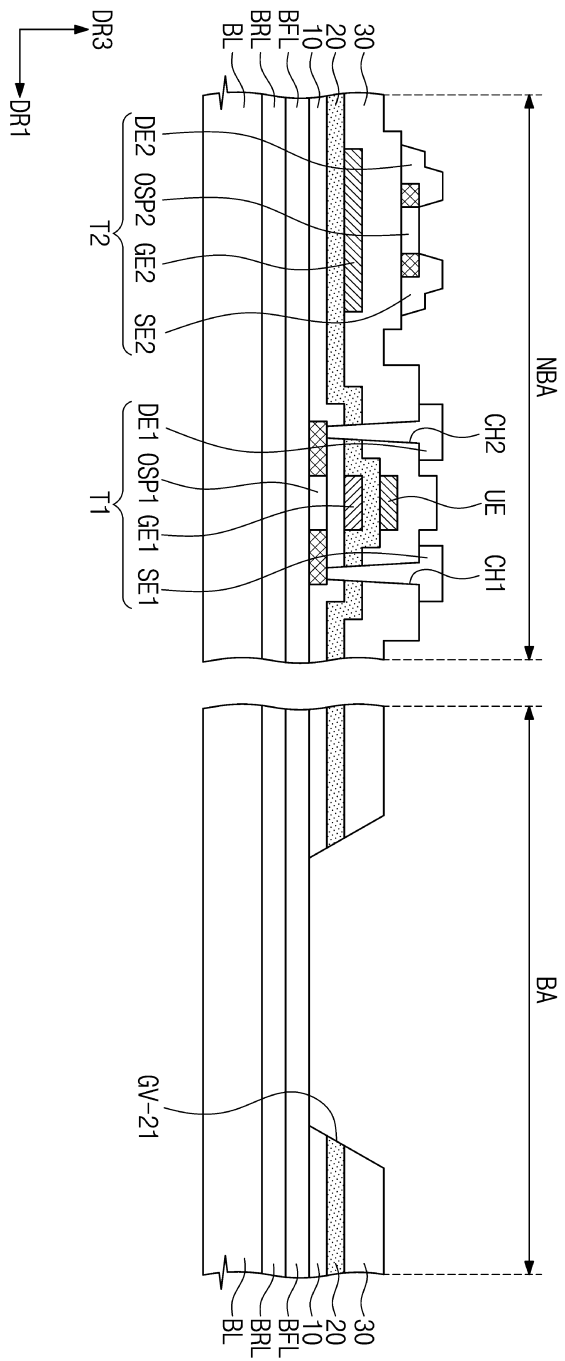
도면5e



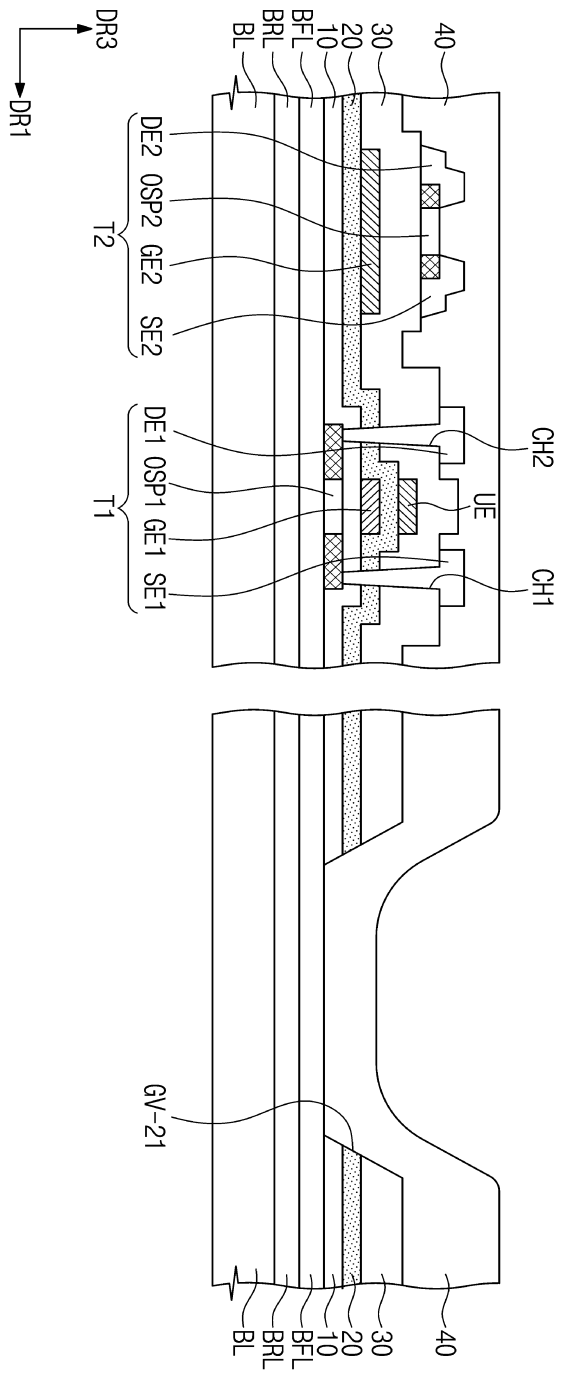
도면5f



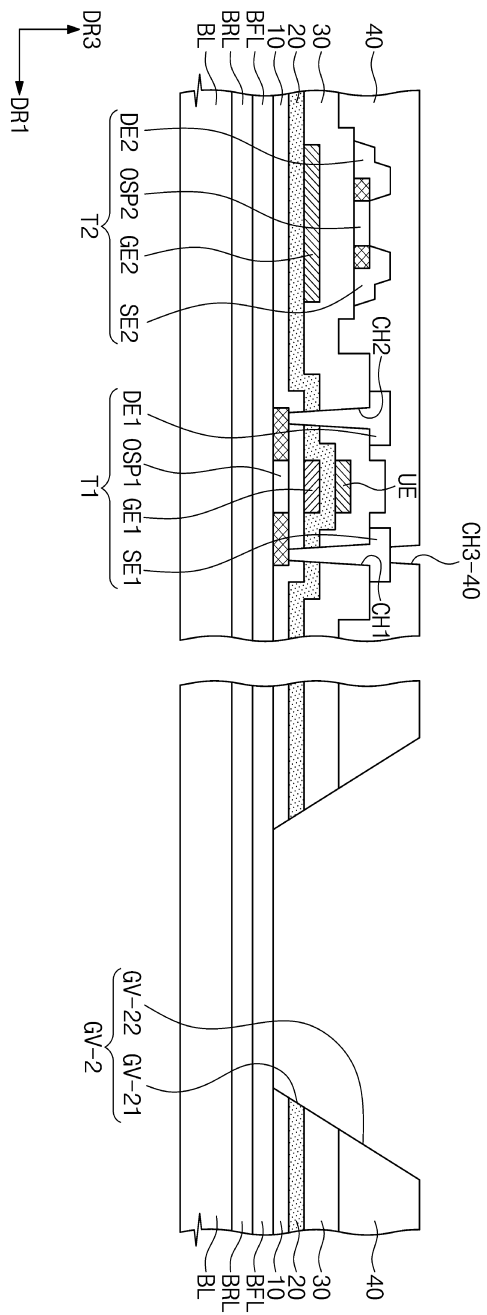
도면5g



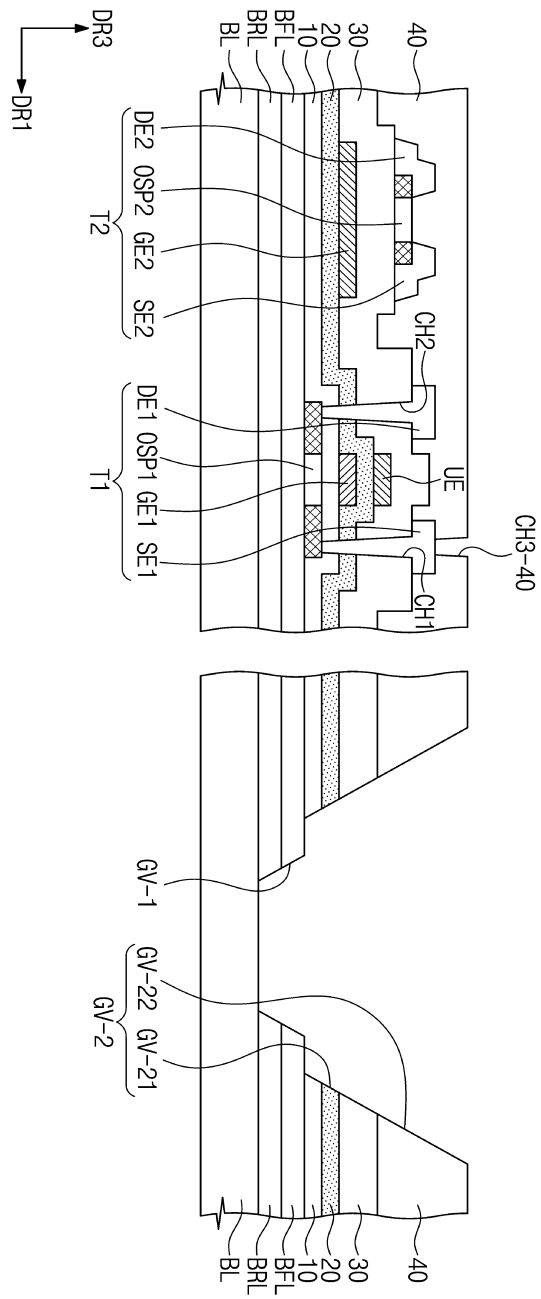
도면5h



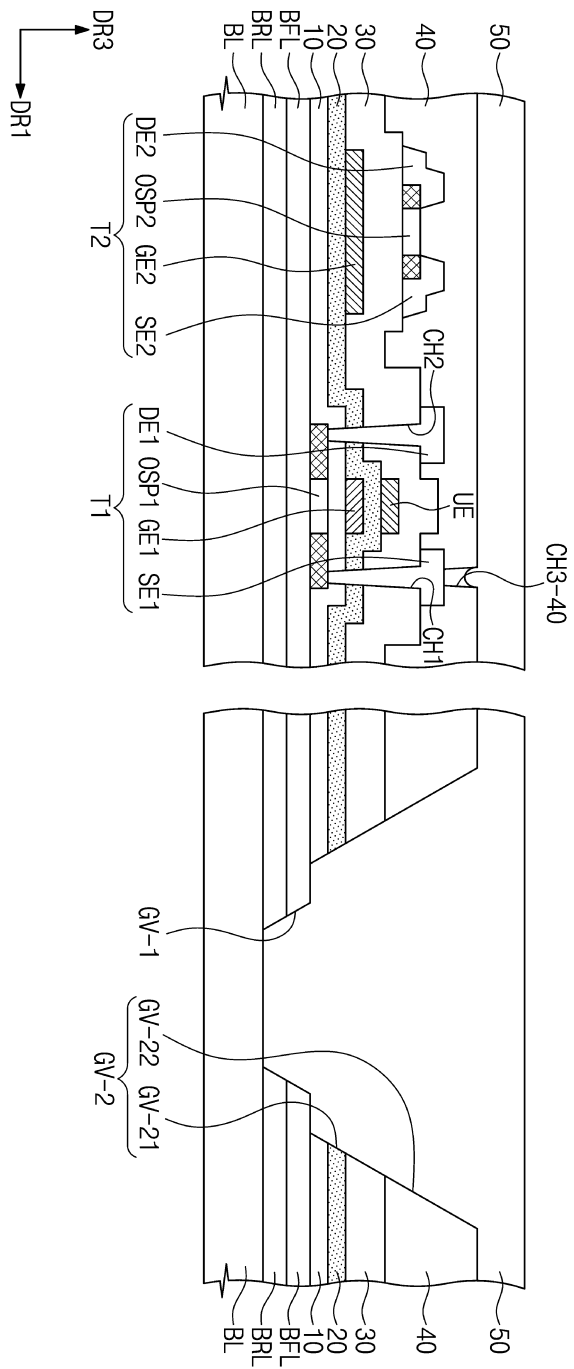
도면5i



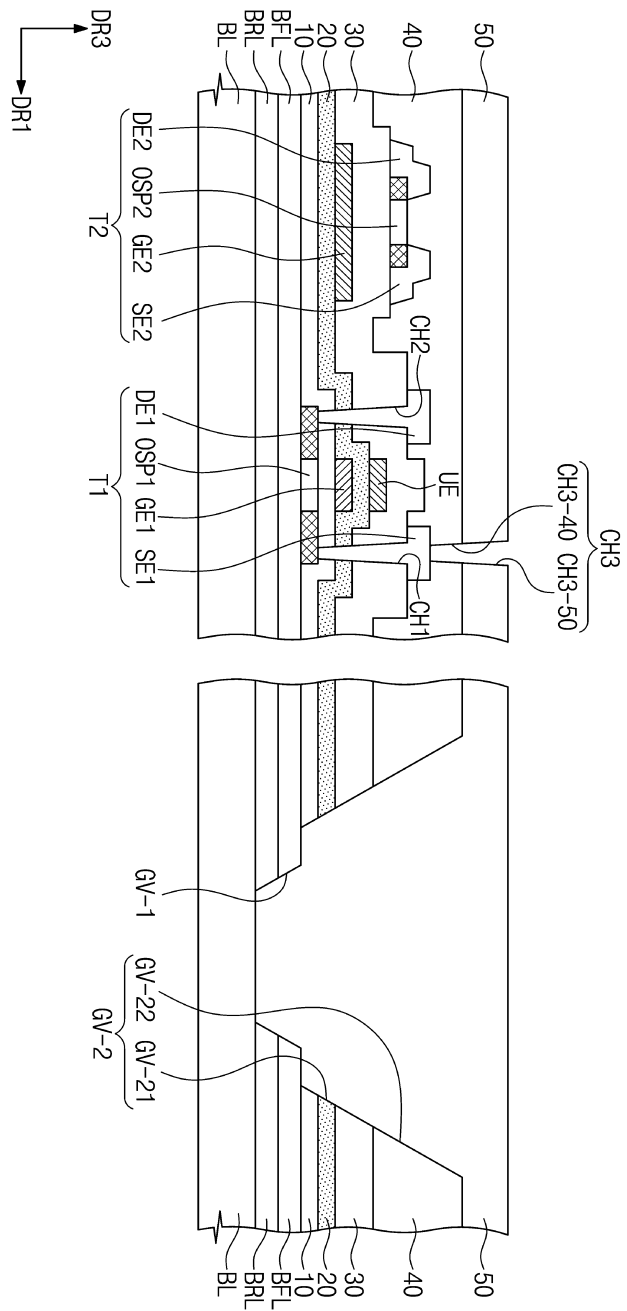
도면5j



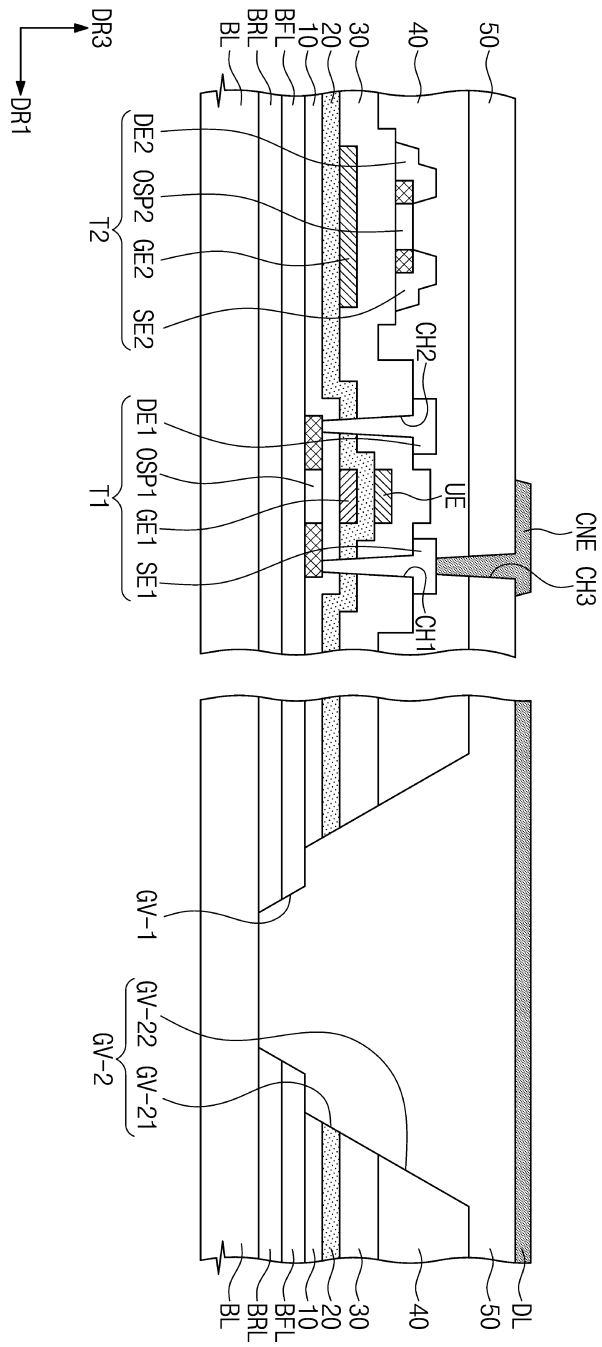
도면5k



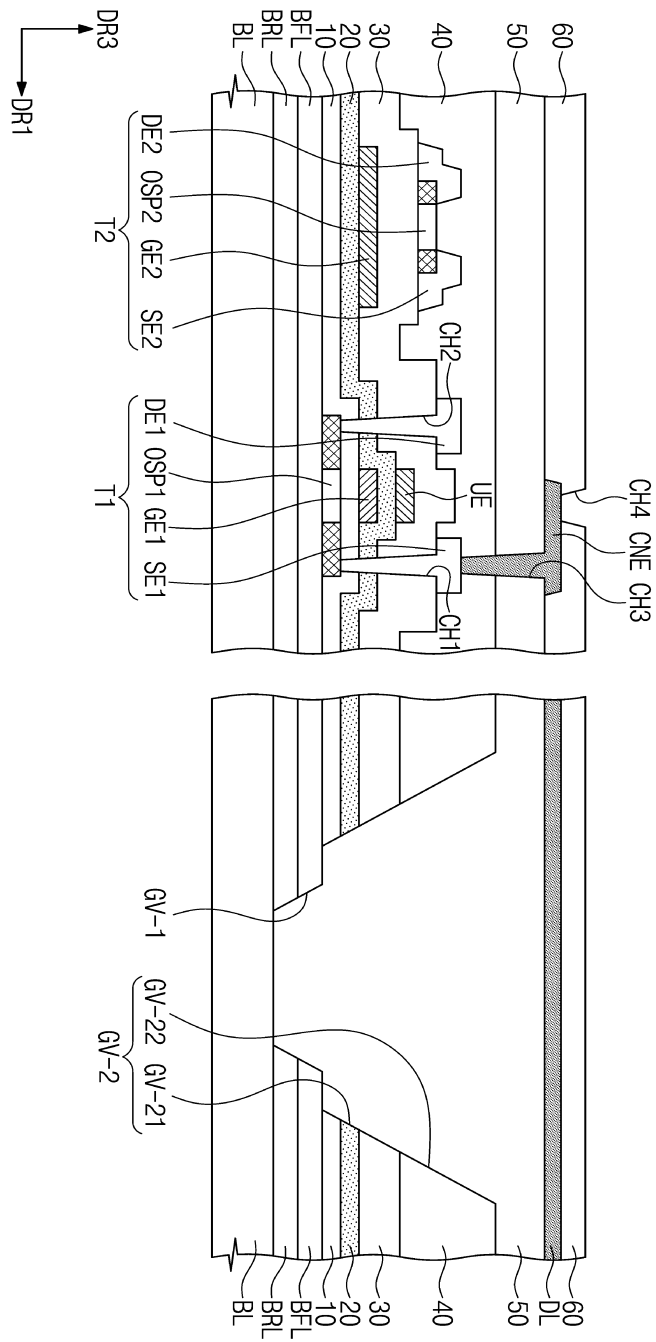
도면51



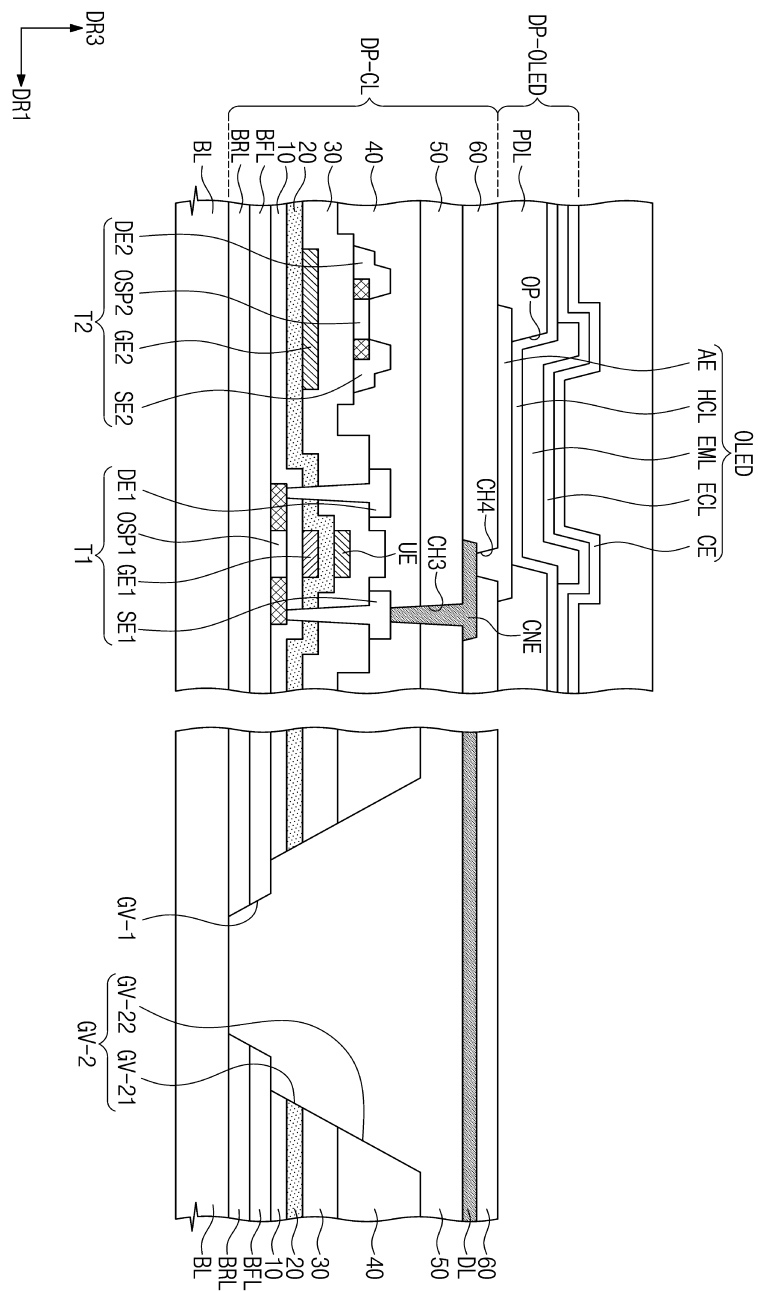
도면5m



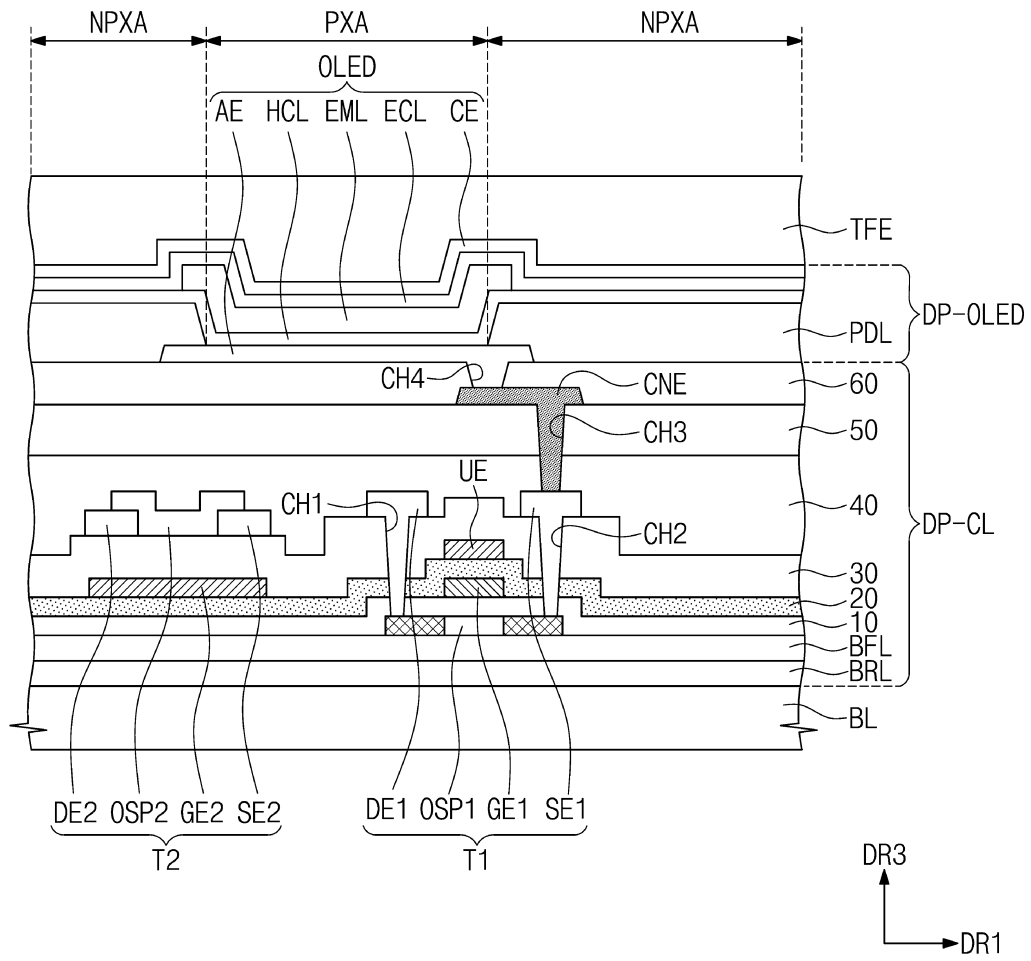
도면5n



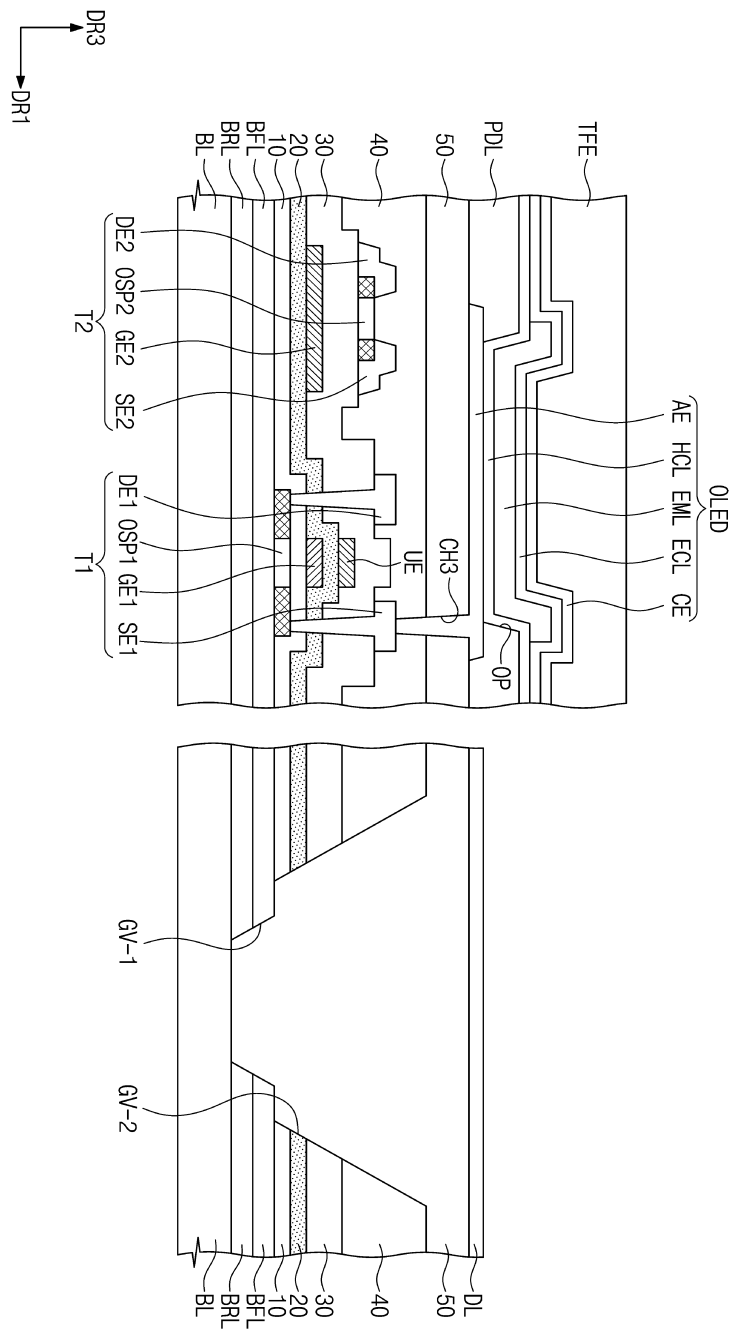
도면50



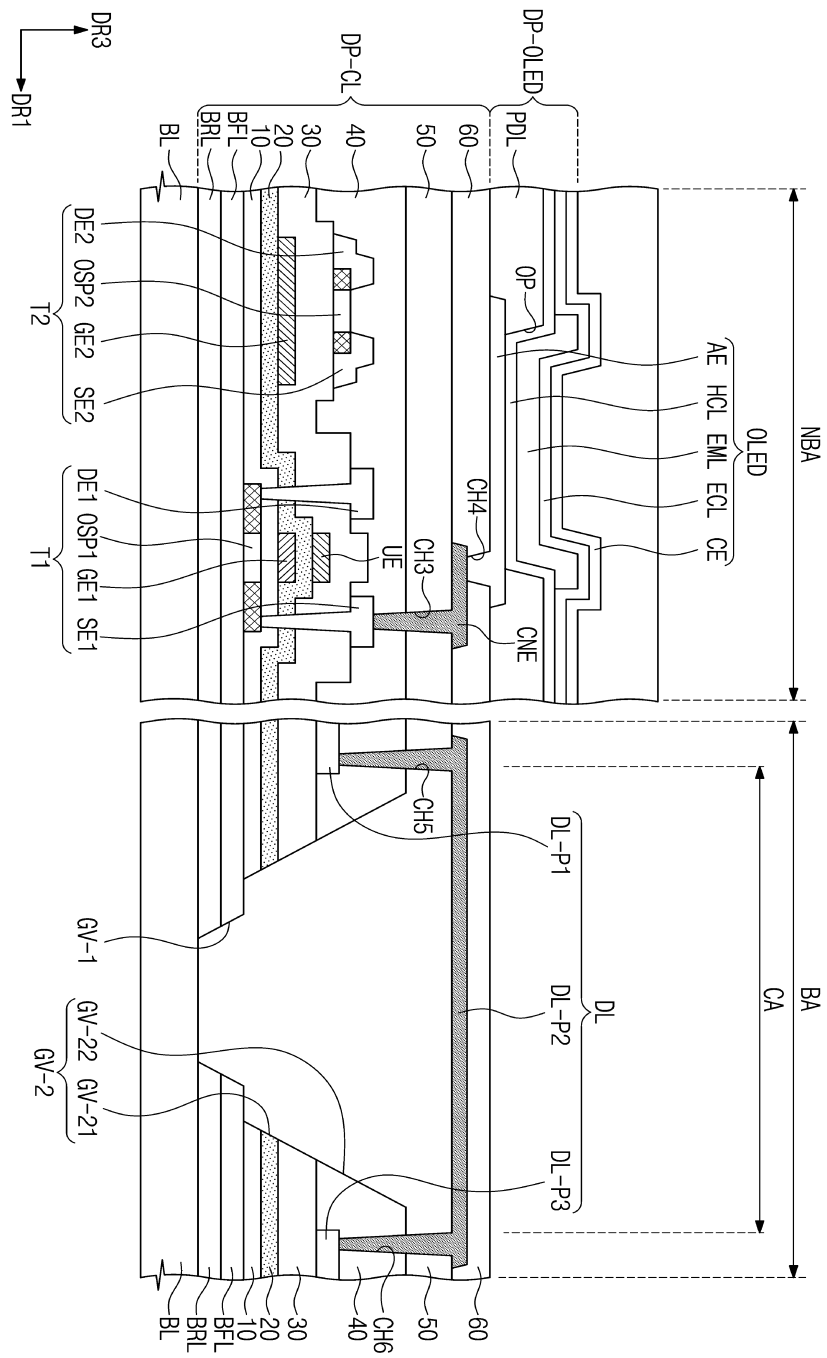
도면6



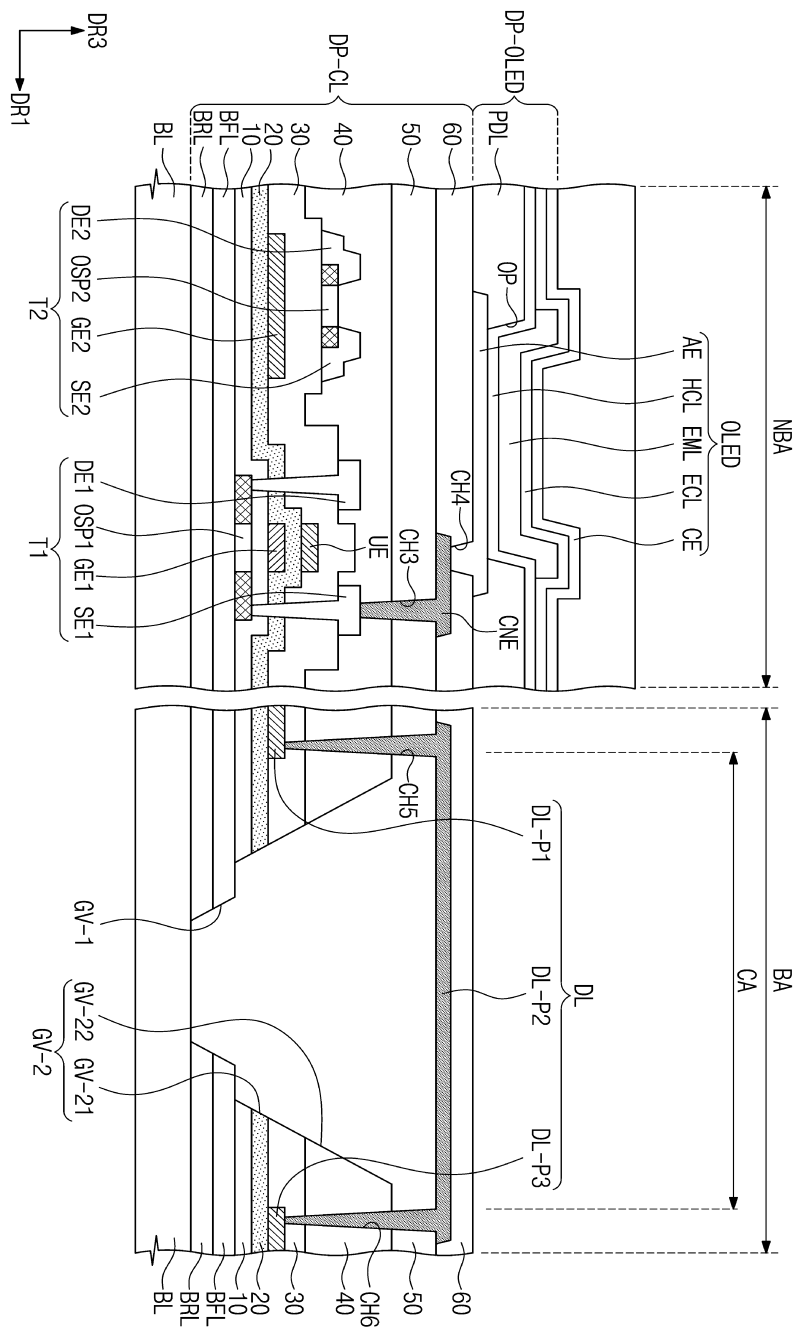
도면7



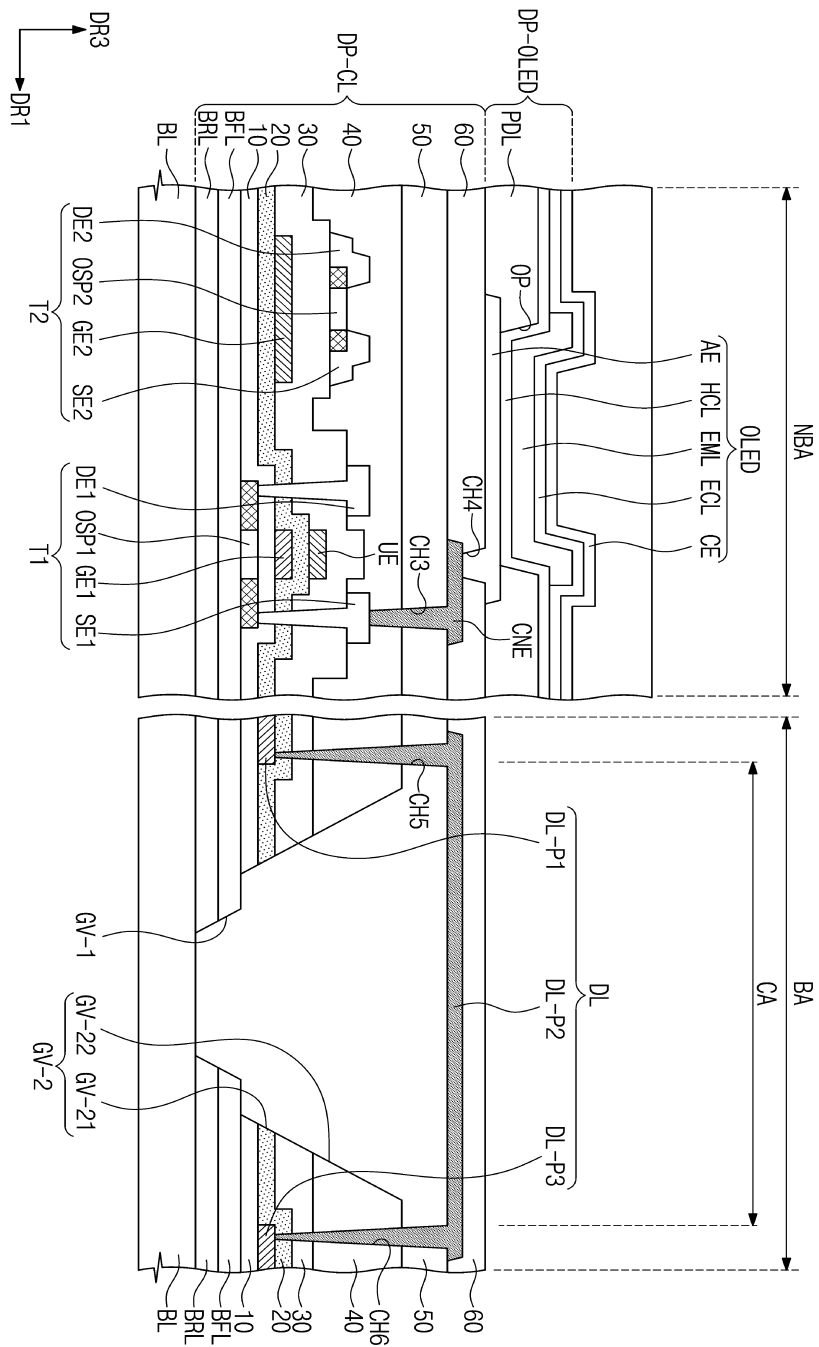
도면 8a



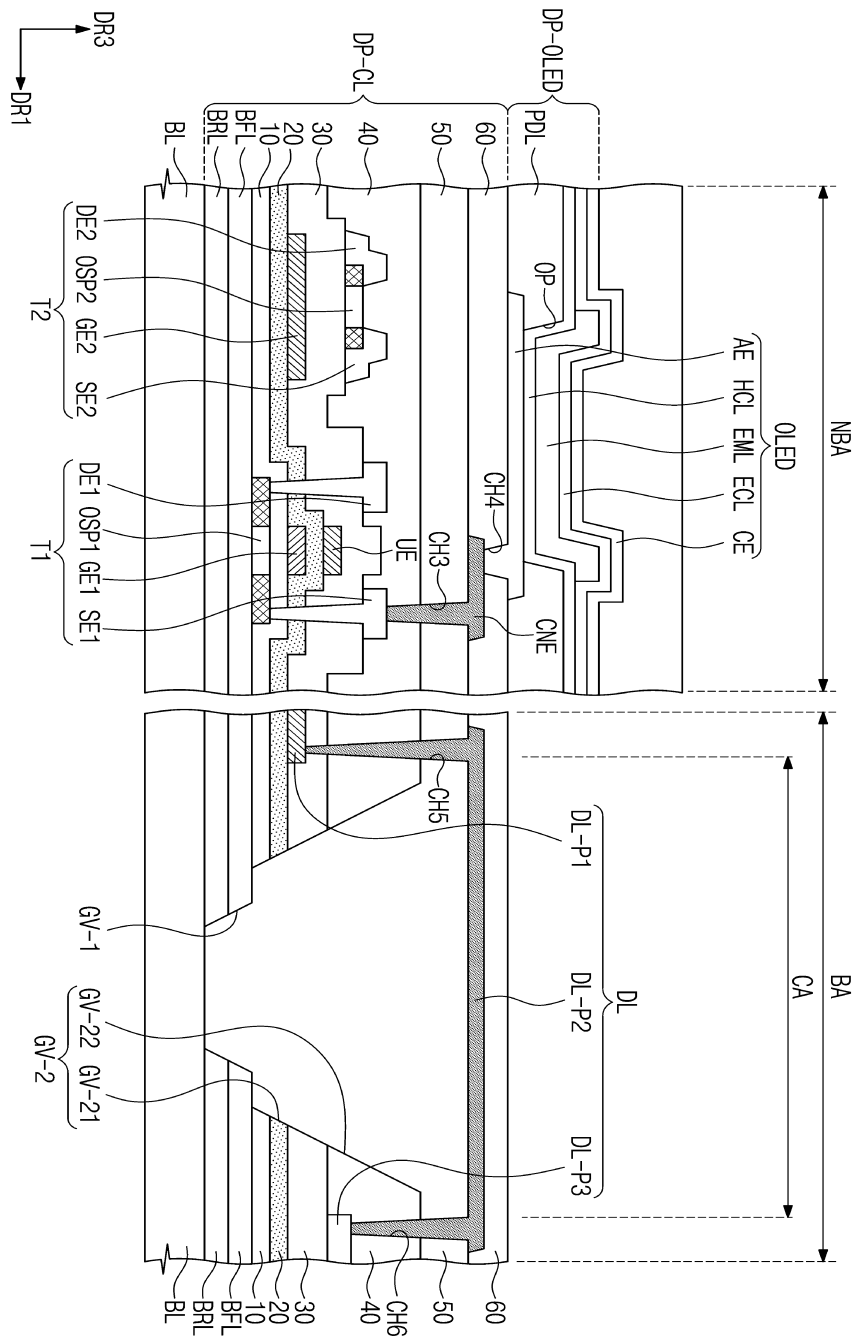
도면8b



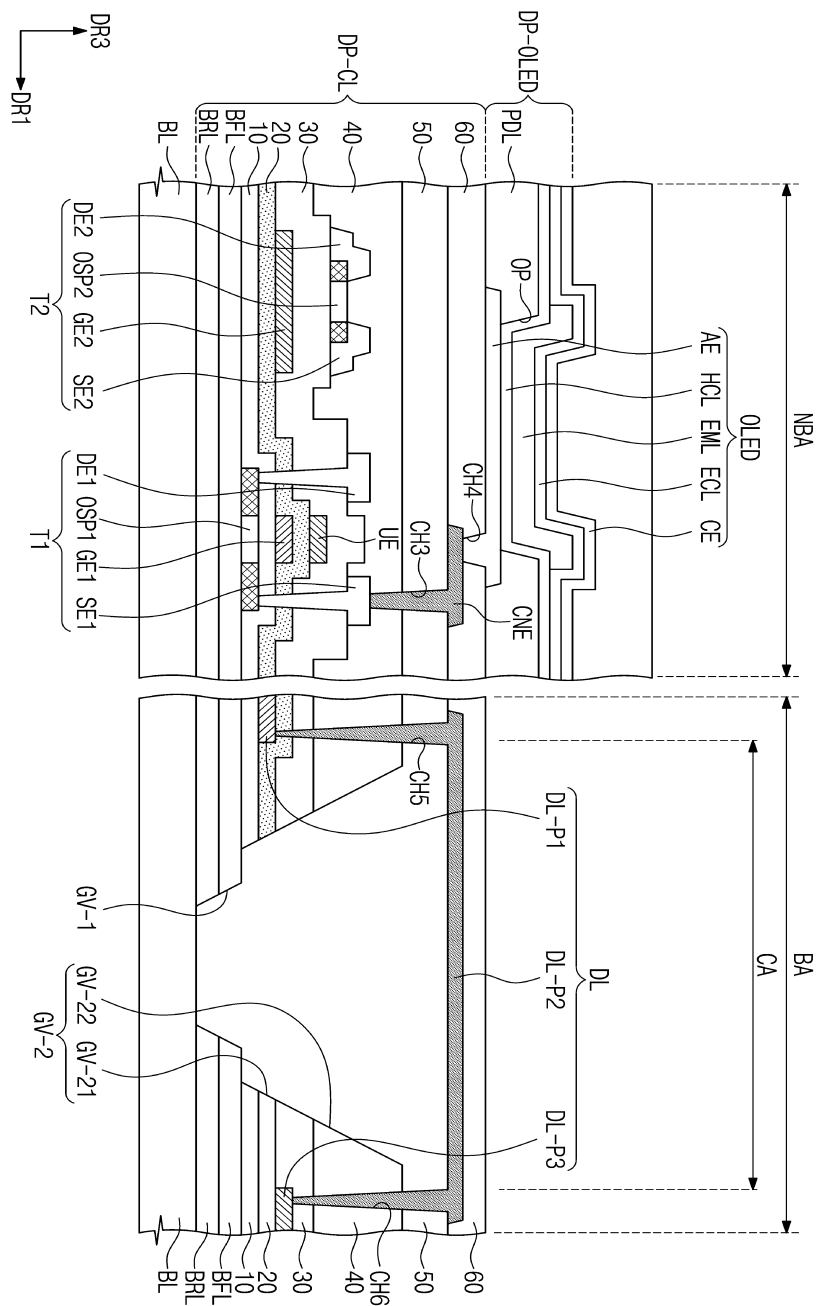
도면8c



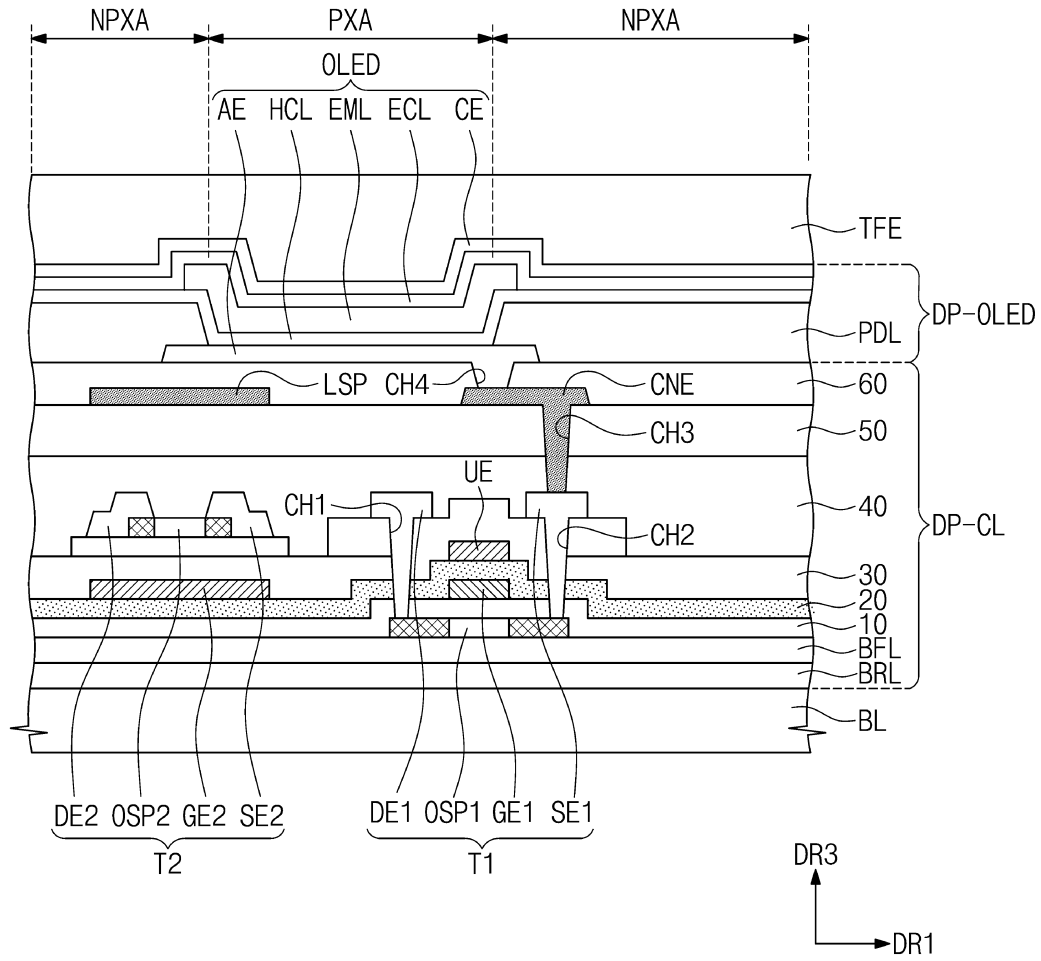
도면8d



도면8e



도면9



专利名称(译)	显示面板及其制造方法		
公开(公告)号	KR1020190063502A	公开(公告)日	2019-06-10
申请号	KR1020170162011	申请日	2017-11-29
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	조운종 성석제 이성준 신윤지 윤수연 정우호 최준후		
发明人	조운종 성석제 이성준 신윤지 윤수연 정우호 최준후		
IPC分类号	H01L27/32 H01L51/00 H01L51/52 H01L51/56		
CPC分类号	H01L27/3262 H01L27/3246 H01L27/3258 H01L51/0097 H01L51/5203 H01L51/5237 H01L51/56 H01L27/3276 H01L51/5253 H01L2251/5338 G09G3/3266 G09G3/3275 H01L27/1225 H01L27/124 H01L27/3272 H01L51/5012		
外部链接	Espacenet		

摘要(译)

该显示装置包括：基层，其包括第一区域和从第一区域弯曲的第二区域；至少一个无机层，该无机层具有与第二区域重叠的下凹槽；以及硅半导体，与第一区域重叠。包括图案的第一薄膜晶体管；具有底栅结构的第二薄膜晶体管，该底栅结构包括与第一区域重叠的氧化物半导体图案；绝缘层，其中限定了下凹槽和延伸的上凹槽；以及第二薄膜以及晶体管电连接的信号线，设置在下部凹槽和上部凹槽内的有机层，以及与有机层上的第一区域重叠的发光元件。

