



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0038149
(43) 공개일자 2019년04월08일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/3276 (2013.01)
H01L 27/322 (2013.01)
(21) 출원번호 10-2017-0128239
(22) 출원일자 2017년09월29일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김대현
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인로얄

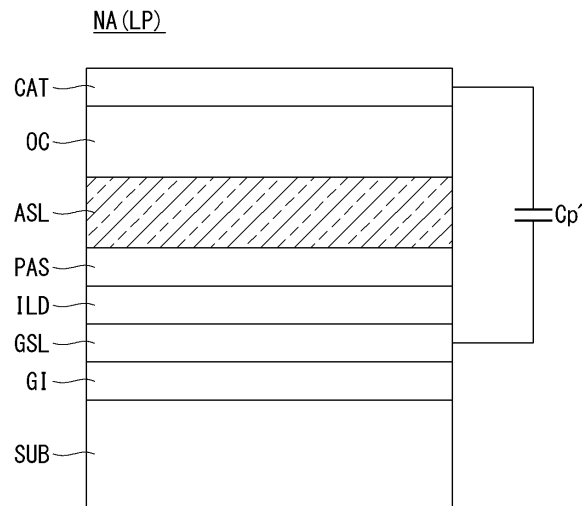
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 유기발광 표시장치

(57) 요약

본 발명에 따른 유기발광 표시장치는, 표시 영역 및 비 표시 영역이 정의된 기판, 상기 표시 영역에 배치된 신호 라인들, 상기 비 표시 영역에 배치된 패드들, 상기 비 표시 영역에 배치되어 대응하는 상기 신호 라인들과 상기 패드들을 연결하며 상이한 길이를 갖는 링크 라인들, 및 상기 링크 라인들 상에 국부적으로 배치된 보조 유전층을 포함한다.

대표도 - 도8



(52) CPC특허분류

H01L 51/5237 (2013.01)

명세서

청구범위

청구항 1

표시 영역 및 비 표시 영역이 정의된 기판을 포함하는 유기발광 표시장치에 있어서,
상기 표시 영역에 배치된 신호 라인들;
상기 비 표시 영역에 배치된 패드들;
상기 비 표시 영역에 배치되어, 대응하는 상기 신호 라인들과 상기 패드들을 연결하며, 상이한 길이를 갖는 링크 라인들; 및
상기 링크 라인들 상에 국부적으로 배치된 보조 유전층을 포함하는, 유기발광 표시장치.

청구항 2

제 1 항에 있어서,
상기 표시 영역에 배치된 컬러 필터를 더 포함하고,
상기 보조 유전층은,
상기 컬러 필터와 동일층에 배치되며, 동일 물질로 이루어진 컬러 필터 패턴인, 유기발광 표시장치.

청구항 3

제 2 항에 있어서,
상기 컬러 필터와 상기 컬러 필터 패턴은,
서로 상이한 두께를 갖는, 유기발광 표시장치.

청구항 4

제 2 항에 있어서,
상기 컬러 필터는,
픽셀마다 할당되는 적색, 녹색, 청색 컬러 필터를 포함하고,
상기 컬러 필터 패턴은,
상기 적색, 녹색, 청색 컬러 필터 중 적어도 두 개 이상이 적층된 구조를 갖는, 유기발광 표시장치.

청구항 5

제 1 항에 있어서,
상기 패드들 사이의 간격은 상기 신호 라인들 사이의 간격 보다 좁고,
상기 링크 라인들 간의 간격은,

적어도 일부 구간에서, 상기 패드에 가까워질수록 점진적으로 좁아지는, 유기발광 표시장치.

청구항 6

제 1 항에 있어서,
상기 표시 영역 및 상기 비 표시 영역에 배치된 캐소드를 포함하고,
상기 보조 유전층은,
상기 캐소드와 상기 링크 라인들 사이에 개재되는, 유기발광 표시장치.

청구항 7

제 1 항에 있어서,
상기 신호 라인은 게이트 라인이며,
상기 게이트 라인은,
상기 링크 라인을 통해 게이트 신호를 공급받는, 유기발광 표시장치.

청구항 8

제 1 항에 있어서,
상기 신호 라인은 데이터 라인이며,
상기 데이터 라인은,
상기 링크 라인을 통해 데이터 신호를 공급받는, 유기발광 표시장치.

청구항 9

제 1 항에 있어서,
상기 표시 영역 및 상기 비 표시 영역에 배치된 캐소드를 더 포함하고,
상기 캐소드와 상기 링크 라인들 각각의 중첩 면적은 일정한, 유기발광 표시장치.

청구항 10

표시 영역 및 비 표시 영역이 정의된 기판을 포함하는 유기발광 표시장치에 있어서,
상기 표시 영역에 배치된 신호 라인들;
상기 비 표시 영역에 배치된 패드들;
상기 비 표시 영역에 배치되어, 대응하는 상기 신호 라인들과 상기 패드들을 연결하며, 상이한 길이를 갖는 링크 라인들; 및
상기 링크 라인들 상에서 상기 표시 영역 및 상기 비 표시 영역에 연장되어 배치된 유전층을 포함하고,
상기 유전층은,
다른 영역 대비, 상기 링크 라인 상에서 국부적으로 두꺼운 두께를 갖는 일 부분을 포함하는, 유기발광 표시장치.

청구항 11

제 10 항에 있어서,

상기 표시 영역 및 상기 비 표시 영역에 배치된 캐소드를 포함하고,

상기 일 부분은,

상기 캐소드와 상기 링크 라인들 사이에 위치하는, 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 표시장치(display device)들이 개발되고 있다. 이러한 표시장치는 액정 표시장치(Liquid Crystal Display, LCD), 전계 방출 표시장치(Field Emission Display, FED), 플라즈마 디스플레이 패널(Plasma Display Panel, PDP) 및 유기발광 표시장치(Organic Light Emitting Display device; OLED) 등으로 구현될 수 있다.

[0003] 이들 표시장치 중에서 유기발광 표시장치는 유기 화합물을 여기시켜 발광하게 하는 자발광형 표시장치로, LCD에서 사용되는 백라이트가 필요하지 않아 경량 박형이 가능할 뿐만 아니라 공정을 단순화시킬 수 있는 이점이 있다. 또한, 유기 전계발광 표시장치는 저온 제작이 가능하고, 응답속도가 1ms 이하로서 고속의 응답속도를 가질 뿐만 아니라 낮은 소비 전력, 넓은 시야각 및 높은 콘트라스트(Contrast) 등의 특성을 갖는다는 점에서 널리 사용되고 있다.

[0004] 유기발광 표시장치는 픽셀들이 배열된 표시 영역과 표시 영역 외측의 비표시 영역을 포함한다. 픽셀들은 게이트 라인과 데이터 라인의 교차 구조에 의해 정의될 수 있다. 픽셀들 각각은 전기 에너지를 빛 에너지로 전환하는 유기 발광 다이오드(Organic Light Emitting Diode)를 포함한다. 유기발광 다이오드는 애노드, 캐소드, 및 이들 사이에 배치되는 유기 화합물층을 포함한다. 유기발광 표시장치는, 애노드 및 캐소드로부터 각각 주입된 정공 및 전자가 발광층 내부에서 결합하여 여기자인 엑시톤(exciton)을 형성하고, 형성된 엑시톤이 여기상태(excited state)에서 기저상태(ground state)로 떨어지면서 발광하여 화상을 표시하게 된다.

[0005] 비 표시 영역은 게이트 링크 라인들과 데이터 링크 라인들을 포함한다. 게이트 링크 라인들은 게이트 IC(Gate-Integrated Circuit)로부터 게이트 신호를 공급받아 표시 영역의 게이트 라인에 전달한다. 데이터 링크 라인들은 소스 IC(Source-Integrated Circuit)로부터 데이터 신호를 공급받아 표시 영역의 데이터 라인에 공급한다.

[0006] 최근에는, 표시장치의 심미감, 및 영상 몰입감을 개선하기 위해, 베젤을 최소화하기 위한 노력이 진행되고 있다. 네로우 베젤을 구현하기 위한 디자인적 제약에 의해, 전술한 링크 라인들은 좁은 영역에 집적되어 설계될 필요가 있다. 그 일환으로, 링크 라인들은 위치에 따라 상이한 길이를 갖도록 형성될 수 있는데, 이 경우 링크 라인들 간의 저항과 정전 용량 값에 차이를 갖게 되어, 링크 라인들 간 RC 지연(RC Delay) 수준에 차이가 발생하게 된다. 이 경우, 표시 패널 내 휘도 균일도가 저하되는 등 화상 품질에 문제가 발생할 수 있는 바, 이를 개선하기 위한 방안이 요구된다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 목적은 표시 품질이 개선된 유기발광 표시장치를 제공하는 데 있다.

과제의 해결 수단

[0008] 본 발명에 따른 유기발광 표시장치는, 표시 영역 및 비 표시 영역이 정의된 기판, 상기 표시 영역에 배치된 신호 라인들, 상기 비 표시 영역에 배치된 패드들, 상기 비 표시 영역에 배치되어 대응하는 상기 신호 라인들과

상기 패드들을 연결하며 상이한 길이를 갖는 링크 라인들, 및 상기 링크 라인들 상에 국부적으로 배치된 보조 유전층을 포함한다.

[0009] 본 발명에 다른 유기발광 표시장치는, 표시 영역 및 비 표시 영역이 정의된 기관, 상기 표시 영역에 배치된 신호 라인들, 상기 비 표시 영역에 배치된 패드들, 상기 비 표시 영역에 배치되어 대응하는 상기 신호 라인들과 상기 패드들을 연결하며, 상이한 길이를 갖는 링크 라인들, 및 상기 링크 라인들 상에서 상기 표시 영역 및 상기 비 표시 영역에 연장되어 배치된 유전층을 포함한다. 상기 유전층은 다른 영역 대비, 상기 링크 라인 상에서 국부적으로 두꺼운 두께를 갖는 일 부분을 포함한다.

발명의 효과

[0010] 본 발명은 사이에 발생하는 기생 용량을 저감함으로써, 상이한 길이를 갖는 링크 라인들 간의 RC 편차를 개선할 수 있다. 이에 따라, 표시 품질이 현저히 개선된 유기발광 표시장치를 제공할 수 있는 이점을 갖는다.

도면의 간단한 설명

[0011] 도 1은 유기발광 표시장치의 개략적인 블록도이다.
 도 2 및 도 3은 도 1에 도시된 픽셀을 개략적으로 나타낸 구성도들이다.
 도 4는 본 발명의 제1 실시예에 따른 유기발광 표시장치를 나타낸 평면도들이다.
 도 5는 도 4의 AR 영역을 확대 도시한 평면도이다.
 도 6은 관련 기술의 문제점을 설명하기 위한 도면들이다.
 도 7은 본 발명의 제1 실시예에 따른 표시 영역 내 서브 픽셀 구조를 개략적으로 나타낸 단면도이다.
 도 8은 본 발명의 제1 실시예에 따른 비 표시 영역 내 링크부의 적층 구조를 개략적으로 나타낸 도면이다.
 도 9는 본 발명의 제1 실시예에 따른 효과를 설명하기 위한 도면이다.
 도 10은 본 발명의 제2 실시예에 따른 표시 영역 내 서브 픽셀 구조를 개략적으로 나타낸 단면도이다.
 도 11 내지 도 13은 본 발명의 제2 실시예에 따른 비 표시 영역 내 링크부의 적층 구조를 개략적으로 나타낸 도면들이다.
 도 14의 (a)는 본 발명의 제3 실시예에 따른 표시 영역 내 적층 구조를 개략적으로 나타낸 단면도이다.
 도 14의 (b)는 본 발명의 제3 실시예에 따른 비 표시 영역 내 링크부의 적층 구조를 개략적으로 나타낸 단면도들이다.
 도 15는 본 발명의 제1 실시예에 따른 유기발광 표시장치를 나타낸 평면도들이다.
 도 16은 도 15의 AR 영역을 확대 도시한 평면도이다.
 도 17은 도 4의 AR 영역을 확대 도시한 평면도이다.
 도 18은 본 발명의 제5 실시예에 따른 것으로, 도 4의 AR 영역을 확대 도시한 평면도이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 여러 실시예들을 설명함에 있어서, 동일한 구성요소에 대하여는 서두에서 대표적으로 설명하고 다른 실시예에서는 생략될 수 있다.

[0013] 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0014] 도 1은 유기발광 표시장치의 개략적인 블록도이다. 도 2 및 도 3은 도 1에 도시된 픽셀을 개략적으로 나타낸

구성도들이다.

- [0015] 도 1을 참조하면, 유기발광 표시장치는 영상 처리부(10), 타이밍 제어부(20), 데이터 구동부(30), 게이트 구동부(40) 및 표시 패널(50)을 포함한다.
- [0016] 영상 처리부(10)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(10)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다. 영상 처리부(10)는 시스템 회로기판에 IC(Integrated Circuit) 형태로 형성된다.
- [0017] 타이밍 제어부(20)는 영상 처리부(10)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받는다.
- [0018] 타이밍 제어부(20)는 구동신호에 기초하여 게이트 구동부(40)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(30)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다. 타이밍 제어부(20)는 제어 회로기판에 IC 형태로 형성된다.
- [0019] 데이터 구동부(30)는 타이밍 제어부(20)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(20)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(30)는 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(30)는 기판 상에 IC 형태로 부착된다.
- [0020] 게이트 구동부(40)는 타이밍 제어부(20)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 게이트신호를 출력한다. 게이트 구동부(40)는 게이트라인들(GL1 ~ GLm)을 통해 게이트신호를 출력한다. 게이트 구동부(40)는 게이트 회로기판에 IC 형태로 형성되거나 표시 패널(50)에 게이트인패널(Gate In Panel) 방식으로 형성된다.
- [0021] 표시 패널(50)은 데이터 구동부(30) 및 게이트 구동부(40)로부터 공급된 데이터신호(DATA) 및 게이트신호에 대응하여 영상을 표시한다. 표시 패널(50)은 영상을 표시하는 서브 픽셀들(SP)을 포함한다.
- [0022] 도 2를 참조하면, 하나의 서브 픽셀은 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 보상회로(CC) 및 유기발광다이오드(OLED)를 포함한다. 유기발광다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0023] 스위칭 트랜지스터(SW)는 제1 게이트 라인(GL1)을 통해 공급된 게이트 신호에 응답하여 제1 데이터 라인(DL1)을 통해 공급되는 데이터 신호가 커패시터에 데이터 전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터에 저장된 데이터 전압에 따라 고전위 전원라인(VDD)과 저전위 전원라인(GND) 사이로 구동 전류가 흐르도록 동작한다. 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위한 회로이다. 또한, 스위칭 트랜지스터(SW)나 구동 트랜지스터(DR)에 연결된 커패시터는 보상회로(CC) 내부로 위치할 수 있다.
- [0024] 보상회로(CC)는 하나 이상의 박막 트랜지스터와 커패시터로 구성된다. 보상회로(CC)의 구성은 보상 방법에 따라 매우 다양한 바, 이에 대한 구체적인 예시 및 설명은 생략한다.
- [0025] 또한, 도 3에 도시된 바와 같이, 보상회로(CC)가 포함된 경우 서브 픽셀에는 보상 박막 트랜지스터를 구동함과 더불어 특정 신호나 전원을 공급하기 위한 신호라인과 전원라인 등이 더 포함된다. 추가된 신호라인은 서브 픽셀에 포함된 보상 박막 트랜지스터를 구동하기 위한 제1-2 게이트 라인(GL1b)으로 정의될 수 있다. 그리고 추가된 전원라인은 서브 픽셀의 특정 노드를 특정 전압으로 초기화하기 위한 초기화 전원라인(INIT)으로 정의될 수 있다. 그러나 이는 하나의 예시일 뿐 이에 한정되지 않는다.
- [0026] 한편, 도 2 및 도 3에서는 하나의 서브 픽셀에 보상회로(CC)가 포함된 것을 일례로 하였다. 하지만, 보상의 주체가 데이터 구동부(30) 등과 같이 서브 픽셀의 외부에 위치하는 경우 보상회로(CC)는 생략될 수도 있다. 즉, 하나의 서브 픽셀은 기본적으로 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터 및 유기발광다이오드(OLED)를 포함하는 2T(Transistor)1C(Capacitor) 구조로 구성되지만, 보상회로(CC)가 추가된 경우 3T1C, 4T2C, 5T2C, 6T2C, 7T2C 등으로 다양하게 구성될 수도 있다.
- [0027] 또한, 도 2 및 도 3에서는 보상회로(CC)가 스위칭 트랜지스터(SW)와 구동 트랜지스터(DR) 사이에 위치하는 것으로 도시하였지만, 구동 트랜지스터(DR)와 유기발광다이오드(OLED) 사이에도 더 위치할 수도 있다. 보상회로(CC)의 위치와 구조는 도 2와 도 3에 한정되지 않는다.

- [0028] <제1 실시예>
- [0029] 도 4는 본 발명의 제1 실시예에 따른 유기발광 표시장치를 나타낸 평면도들이다. 도 5는 도 4의 AR 영역을 확대 도시한 평면도이다. 도 6은 관련 기술의 문제점을 설명하기 위한 도면들이다.
- [0030] 도 4 및 도 5를 참조하면, 유기발광 표시장치는 기관(SUB) 및 회로부(CO)를 포함한다. 기관(SUB)은 표시 영역(AA) 및 표시 영역(AA)의 외측에 정의된 비 표시 영역(NA)을 포함한다. 표시 영역(AA)에는, 복수의 서브 픽셀(SP)들이 배치된다. 서브 픽셀(SP)은 표시 영역(AA) 내에서, R(red), G(green), B(blue) 또는 R, G, B, W(white) 방식으로 배열되어 풀 컬러를 구현한다. 서브 픽셀(SP)은 서로 교차하는 게이트 라인과 데이터 라인에 의해 구획될 수 있으나, 이에 한정되는 것은 아니다.
- [0031] 비 표시 영역(NA)은 게이트 패드부(GP) 및 링크부(LP)를 포함한다. 게이트 패드부(GP)는 표시 영역(AA)의 적어도 일측에 정의될 수 있다. 링크부(LP)는 표시 영역(AA)과 게이트 패드부(GP) 사이에 정의될 수 있다.
- [0032] 일 예로, 게이트 패드부(GP)는 표시 영역(AA)의 우측 또는 좌측 중 어느 하나에 배치될 수 있다. (도 4의 (a)) 다른 예로, 게이트 패드부(GP)는 RC 딜레이에 따른 신호 지연을 최소화하기 위해 표시 영역(AA)의 좌측 및 우측 나뉘어 배치될 수 있다. (도 4의 (b)) 즉, 도 4의 (b)에 도시된 바와 같이, 본 발명의 제1 실시예는, 한 개의 게이트 라인의 양측에 게이트 신호를 동시에 인가하는 더블 피딩(double feeding) 방식을 채용함으로써, 표시 영역(AA) 내에서 게이트 신호의 지연을 보상할 수 있다.
- [0033] 게이트 패드부(GP)는 복수의 게이트 패드(GPD)들을 포함하고, 링크부(LP)는 게이트 링크 라인(GLS)을 포함한다. 게이트 패드(GPD)는 표시 영역(AA)으로부터 연장되는 게이트 링크 라인(GSL)과 전기적으로 연결된다. 회로부(CO)는 범프(bump)(또는, 단자(terminal))들을 포함한다. 회로부(CO)의 범프는 이방성 도전필름(Anisotropic Conductive Film)을 통해 게이트 패드들에 각각 접합될 수 있다. 회로부(CO)는 연성 필름에 구동 IC(GIC)가 실장된 칩 온 필름(chip on film, COF) 방식으로 구현될 수 있다. 회로부(CO)는 복수 개일 수 있고, 회로부(CO)들은 할당된 게이트 패드들에 접합되어, 대응하는 게이트 링크 라인(GSL)들에 게이트 신호를 공급한다. 도면에서는, 각 회로부(CO) 당 할당되는 게이트 링크 라인(GSL)(또는, 게이트 패드)의 수가 7개인 것을 예로 들어 도시하고 있으나, 이에 한정되는 것은 아니다.
- [0034] 게이트 링크 라인(GSL)은, 회로부(CO)를 통해 인가받은 게이트 신호를 표시 영역(AA)의 게이트 라인(GL)에 공급한다. 이를 위해, 게이트 링크 라인(GSL)의 일단은 게이트 패드(GPD)에 연결되고, 게이트 링크 라인(GSL)의 타단은 게이트 라인(GL)에 연결된다.
- [0035] 게이트 패드(GPD)들 간의 피치(pitch, P1)(또는, 회로부(CO)의 범프들 간의 피치)는, 게이트 라인(GL)들 간의 피치(P2) 보다 좁게 설정된다. 따라서, 게이트 링크 라인(GSL)들 간의 피치가 게이트 패드(GPD)에 가까워질수록 점진적으로 좁아지는, 적어도 일부 구간을 포함한다. 즉, 게이트 패드(GPD)들 간의 피치(P1)와 게이트 라인(GL)들 간의 피치(P2)의 차이에 의해, 게이트 패드(GPD)와 게이트 라인(GL)을 연결하는 게이트 링크 라인(GSL)들의 길이는, 위치에 따라 상이하다. 예를 들어, 도면에 도시된 바와 같이, 한 회로부(CO) 당 게이트 링크 라인(GSL)들이 7개가 할당된다고 가정할 때, 게이트 링크 라인(GSL)들 중 중심에 배치된 게이트 링크 라인(GSL4)은 가장 짧은 길이를 갖게 되고, 중심으로부터 멀리 배치되는 게이트 링크 라인(GSL1, GSL2, GSL3, GSL5, GSL6, GSL7)일수록 상대적으로 긴 길이를 갖게 된다.
- [0036] 게이트 링크 라인(GSL)의 길이가 위치에 따라 상이한 경우, 게이트 링크 라인(GSL)들 간에 저항과 정전 용량 값의 편차(이하, “RC 편차”라 함)가 크게 발생하게 되어, 표시 영역(AA)의 게이트 라인(GL)들에 균일한 게이트 신호가 공급되지 못할 수 있다.
- [0037] 구체적으로, 게이트 링크 라인(GSL)들 간의 길이 차이로 인하여, 게이트 링크 라인(GSL)들 간 게이트 신호 펄스의 RC 지연(RC Delay) 수준에 차이가 발생하게 된다. 이 경우, 짧은 게이트 링크 라인(GSL)으로부터 게이트 신호를 공급받는 픽셀들과 긴 게이트 링크 라인(GSL)으로부터 게이트 신호를 공급받는 픽셀들 사이에 전류 편차가 발생하여, 표시 패널의 휘도 균일도가 현저히 저하되는 문제가 발생할 수 있다.
- [0038] 특히, 게이트 링크 라인(GSL)과 캐소드 사이에 발생하는 기생 용량에 의해, 게이트 링크 라인(GSL)들 간의 RC 편차는 가중될 수 있다. 구체적으로, 도 6을 더 참조하면, 유기발광 다이오드를 구성하는 캐소드(CAT)는 표시 영역(AA) 내에 배열된 서브 픽셀들을 모두 덮도록 기관 전면(全面)에 넓게 형성되기 때문에, 링크부(LP)에서 하나 이상의 유전층 예를 들어, 층간 절연막(ILD), 패시베이션막(PAS), 평탄화막(OC)을 사이에 두고 게이트 링크 라인(GSL)과 중첩된다. 게이트 링크 라인(GSL)은 하나 이상의 유전층을 사이에 두고 캐소드(CAT)와 중첩되기

때문에, 게이트 링크 라인(GSL)과 캐소드(CAT) 사이에 기생 용량(Cp)이 발생한다. 이 경우, 게이트 링크 라인(GSL)과 캐소드(CAT) 사이에 개재되는 유전층의 두께가 동일하더라도, 게이트 링크 라인(GSL)들 간의 면적 차이 에 의해 발생하는 기생 용량 값이 달라진다. 즉, 긴 게이트 링크 라인(GSL)과 캐소드(CAT) 사이의 기생 용량(Cp)은 긴 게이트 링크 라인(GSL)과 캐소드(CAT) 사이의 기생 용량(Cp) 보다 크다. 따라서, 상이한 길이를 갖는 게이트 링크 라인(GSL)들 간의 RC 편차는, 게이트 링크 라인(GSL)과 캐소드(CAT) 사이에 형성된 기생 용량의 크기에 기인하여 더 가중될 수 있다.

[0039] 본 발명의 제1 실시예는 게이트 링크 라인(GSL) 간의 RC 편차를 줄이기 위해, 게이트 링크 라인(GSL)과 캐소드(CAT) 사이의 기생 용량을 줄일 수 있는 신규 구조를 제안한다.

[0040] 도 7은 본 발명의 제1 실시예에 따른 표시 영역 내 서브 픽셀 구조를 개략적으로 나타낸 단면도이다. 도 8은 본 발명의 제1 실시예에 따른 비 표시 영역 내 링크부의 적층 구조를 개략적으로 나타낸 도면이다. 도 9는 본 발명의 제1 실시예에 따른 효과를 설명하기 위한 도면이다.

[0041] 도 7을 참조하면, 본 발명의 제1 실시예에 따른 유기발광 표시장치는, 박막 트랜지스터(T) 및 유기발광 다이오드(OLE)가 구비된 기판(SUB)을 포함한다. 도시하지는 않았으나, 기판(SUB) 상에는, 박막 트랜지스터(T) 및 유기발광 다이오드(OLE)를 덮는 봉지(encapsulation)층이 더 구비될 수 있다. 봉지층은 외부로부터 유입될 수 있는 수분 및 산소로부터 내부 소자를 보호할 수 있다.

[0042] 기판(SUB)은 유리(glass) 또는 플라스틱(plastic) 재질로 이루어질 수 있다. 예를 들어, 기판(SUB)은 PI(Polyimide), PET(polyethylene terephthalate), PEN(polyethylene naphthalate), PC(polycarbonate) 등의 플라스틱 재질로 형성되어, 유연한(flexible) 특성을 가질 수 있다.

[0043] 기판(SUB) 상에는, 박막 트랜지스터(T) 및 박막 트랜지스터(T)와 연결된 유기발광 다이오드(OLE)가 형성된다. 기판(SUB)과 박막 트랜지스터(T) 사이에는, 광차단층(미도시) 및 버퍼층(미도시)이 형성될 수 있다. 광차단층은 박막 트랜지스터(T)의 반도체층 특히, 채널(channel)에 중첩되도록 배치되어, 외부광으로부터 반도체 소자를 보호하는 기능을 할 수 있다. 버퍼층은 기판(SUB)으로부터 확산되는 이온이나 불순물을 차단하고, 외부의 수분 침투를 차단하는 기능을 할 수 있다.

[0044] 박막 트랜지스터(T)는, 반도체층(A), 게이트 전극(G), 소스/드레인 전극(S, D)을 포함한다. 반도체층(A) 위에는 게이트 절연막(GI) 및 게이트 전극(G)이 배치된다. 게이트 절연막(GI)은 게이트 전극(G)을 절연시키는 것으로, 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)으로 이루어질 수 있으나, 이에 한정되는 것은 아니다. 게이트 절연막(GI)은 기판(SUB) 전체 표면을 덮도록 형성될 수 있다. 도시하지는 않았으나, 게이트 절연막(GI)과 게이트 전극(G)은 동일 마스크를 이용하여 패터닝될 수 있으며, 이 경우, 게이트 절연막(GI)과 게이트 전극(G)은 동일한 평면 형상을 가질 수 있다.

[0045] 게이트 전극(G)은 게이트 절연막(GI)을 사이에 두고, 반도체층(A)과 중첩하도록 배치된다. 게이트 전극(G)은 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd), 탄탈륨(Ta) 및 텅스텐(W)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금의 단층이나 다층으로 이루어질 수 있다.

[0046] 게이트 전극(G) 위에는 층간 절연막(ILD)이 배치된다. 층간 절연막(ILD)은 게이트 전극(G)과 소스/드레인 전극(S, D)을 상호 절연시키는 것으로, 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다층으로 이루어질 수 있으나, 이에 한정되는 것은 아니다.

[0047] 층간 절연막(ILD) 위에는 소스/드레인 전극(S, D)이 배치된다. 소스 전극(S) 및 드레인 전극(D)은 소정 간격 이격되어 배치된다. 소스 전극(S)은 층간 절연막(ILD)을 관통하는 소스 콘택홀을 통해 반도체층(A)의 일측에 접촉한다. 드레인 전극(D)은 층간 절연막(ILD)을 관통하는 드레인 콘택홀을 통해 반도체층(A)의 타측에 접촉한다.

[0048] 소스 전극(S)과 드레인 전극(D)은 단일층 또는 다층으로 이루어질 수 있으며, 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 소스 전극(S)과 드레인 전극(D)이 다층일 경우에는 몰리브덴/알루미늄-네오디뮴, 몰리브덴/알루미늄, 티타늄/알루미늄, 또는 구리/몰리타늄의 2중층이거나 몰리브덴/알루미늄-네오디뮴/몰리브덴, 몰리브덴/알루미늄/몰리브덴, 티타늄/알루미늄/티타늄, 또는 몰리타늄/구리/몰리타늄의 3중층으로 이루어질 수 있다.

[0049] 박막 트랜지스터(T) 상에 패시베이션막(PAS)이 위치한다. 패시베이션막(PAS)은 박막 트랜지스터(T)를 보호하는

것으로 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다층으로 이루어질 수 있다.

- [0050] 패시베이션막(PAS) 상에 평탄화막(OC)이 위치한다. 평탄화막(OC)은 하부의 단차를 평탄화하는 것으로, 포토아크릴(photo acryl), 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene resin), 아크릴레이트계 수지(acrylate) 등의 유기물로 이루어질 수 있다.
- [0051] 평탄화막(OC) 상에 유기발광 다이오드(OLED)가 위치한다. 유기발광 다이오드(OLED)는, 서로 대향하는 애노드(AN)와 캐소드(CAT), 및 애노드(AN)와 캐소드(CAT) 사이에 개재되는 유기 화합물층(OL)을 포함한다.
- [0052] 보다 자세하게, 평탄화막(OC) 상에는 애노드(AN)가 위치한다. 애노드(AN)는 패시베이션막(PAS)과 평탄화막(OC)을 관통하는 콘택홀을 통해 박막 트랜지스터(T)의 드레인 전극(D)에 접속된다.
- [0053] 애노드(AN)는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO (Zinc Oxide) 등의 투명도전물질로 이루어져 투과 전극으로 기능할 수 있다. 또는, 애노드(AN)는 반사층을 포함하여 반사 전극으로 기능할 수 있다. 반사층은 알루미늄(Al), 구리(Cu), 은(Ag), 니켈(Ni) 또는 이들의 합금으로 이루어질 수 있으며, 바람직하게는 APC(은/팔라듐/구리 합금)으로 이루어질 수 있다. 애노드(AN)는 반사층을 포함한 다층으로 이루어질 수 있다. 애노드(AN)는 발광 방식에 따라, 투과 전극 또는 반사 전극으로 기능할 수 있다.
- [0054] 애노드(AN)가 형성된 기판(SUB) 상에 이웃하는 픽셀을 구획하는 बैं크층(BNK)이 위치한다. बैं크층(BNK)은 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어질 수 있다. बैं크층(BNK)에 의해 노출된 애노드(AN)의 중심부는 발광 영역으로 정의될 수 있다. बैं크층(BNK)은 애노드(AN)의 중심부를 노출하되 애노드(AN)의 측단을 덮도록 배치될 수 있다.
- [0055] 애노드(AN) 상에 유기 화합물층(OL)이 위치한다. 유기 화합물층(OL)은 발광층(Emission layer, EML)을 포함하고, 정공주입층(Hole injection layer, HIL), 정공수송층(Hole transport layer, HTL), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron injection layer, EIL) 중 어느 하나 이상을 더 포함할 수 있다. 발광층은 서브 픽셀마다 구분되어 배치될 수 있고, 서브 픽셀들을 덮도록 기판(SUB) 전면에 넓게 형성될 수도 있다.
- [0056] 유기 화합물층(OL) 상에는, 캐소드(CAT)가 위치한다. 캐소드(CAT)는 픽셀들을 덮도록 기판(SUB)의 전면에 넓게 형성될 수 있다. 캐소드(CAT)는, ITO(Indium Tin Oxide) IZO(Indium Zinc Oxide)와 같은 투명 도전물질로 형성되거나, 광이 투과될 수 있을 정도로 얇은 두께를 갖는 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 형성되어 투과 전극으로 기능할 수 있다. 또는, 캐소드(CAT)는 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어져 반사 전극으로 기능할 수 있다. 캐소드(CAT)는 발광 방식에 따라, 투과 전극 또는 반사 전극으로 기능할 수 있다.
- [0057] 도 8을 참조하면, 링크부(LP)의 기판(SUB) 상에는 표시 영역(AA)으로부터 연장된 게이트 절연막(GI), 층간 절연막(ILD), 패시베이션막(PAS), 평탄화막(OC)이 차례로 배치된다. 게이트 절연막(GI)과 층간 절연막(ILD) 사이에는 게이트 링크 라인(GSL)이 형성된다. 게이트 링크 라인(GSL)은 표시 영역(AA) 내에 배치된 게이트 라인(미도시)에 연결되며, 표시 영역(AA) 내에 배치된 게이트 라인 및 게이트 전극(G)과 동일층에 동일 물질로 형성될 수 있다. 캐소드(CAT)는 표시 영역(AA) 내에 배열된 서브 픽셀들을 모두 덮도록 기판 전면(全面)에 넓게 형성되어, 층간 절연막(ILD), 패시베이션막(PAS), 평탄화막(OC)을 사이에 두고 게이트 링크 라인(GSL)과 중첩된다.
- [0058] 본 발명의 제1 실시예는, 캐소드(CAT)와 게이트 링크 라인(GSL) 사이의 기생 용량(C_p')을 줄이기 위해, 캐소드(CAT)와 게이트 링크 라인(GSL) 사이에 보조 유전층(ASL)을 더 형성한다. 보조 유전층(ASL)은 기 설정된 두께를 갖도록 형성되며, 캐소드(CAT)와 게이트 링크 라인(GSL) 사이에 개재되어 캐소드(CAT)와 게이트 링크 라인(GSL)을 충분히 이격시키는 기능을 한다. 보조 유전층(ASL)은 링크부(LP)에서 캐소드(CAT)와 게이트 링크 라인(GSL) 사이에 국한되어 배치되는 구성이다. 도면에서는, 보조 유전층(ASL)이 평탄화막(OC)과 패시베이션막(PAS) 사이에 개재된 경우를 예로 들어 도시하고 있으나, 이에 한정되는 것은 아니다.
- [0059] 본 발명의 제1 실시예는 보조 유전층(ASL)을 구비하여 캐소드(CAT)와 게이트 링크 라인(GSL)을 충분히 이격시킴으로써, 캐소드(CAT)와 게이트 링크 라인(GSL) 사이에 발생하는 기생 용량을 저감할 수 있기 때문에, 상이한 길이를 갖는 게이트 링크 라인(GSL)들 간의 RC 편차가 개선될 수 있다. 즉, 본 발명의 제1 실시예에서는, 게이트 링크 라인(GSL)들과 캐소드(CAT) 사이의 기생 용량이 미미하기 때문에, 종래와 같은 비율로 기생 용량에 기인한 게이트 링크 라인(GSL)들 간 RC 편차가 발생하더라도, RC 편차의 절대치가 작아, 화질에 영향을 주지 않게 된다. 달리 표현하면, 본 발명의 제1 실시예에서는, 게이트 링크 라인(GSL)들과 캐소드(CAT) 사이의 기생 용량

을 현저히 줄일 수 있기 때문에, 상이한 길이를 갖는 게이트 링크 라인(GSL)들 간 RC 편차를 고려함에 있어서, 상기 기생 용량 값의 편차를 고려할 필요가 없다. 이에 따라, 본 발명의 제1 실시예는, 표시 패널의 휘도 균일도 저하를 방지할 수 있기 때문에, 표시 품질이 현저히 개선된 유기발광 표시장치를 제공할 수 있는 이점을 갖는다.

[0060] 이하, 비교 실험을 통해, 게이트 링크 라인(GSL)들 간 RC 편차 개선 효과를 설명한다. 비교예에 따른 구조는, 도 6과 같이 게이트 링크 라인(GSL)과 캐소드(CAT) 사이에 층간 절연막(ILD), 패시베이션막(PAS), 평탄화막(OC)이 차례로 개재된 구조를 갖는다. 실험예에 따른 구조는, 도 8과 같이 게이트 링크 라인(GSL)과 캐소드(CAT) 사이에 층간 절연막(ILD), 패시베이션막(PAS), 보조 유전층(ASL), 평탄화막(OC)이 차례로 개재된 구조를 갖는다. 비교예 및 실험예에 따른 구조 모두 동일한 두께를 갖는 층간 절연막(ILD), 패시베이션막(PAS) 및 평탄화막(OC)을 각각 적층하였으며, 실험예는 포토 레지스트(photo resist)를 포함하는 보조 유전층(ASL)을 더 형성하였다는 점에서 비교예와 차이를 갖는다. 즉, 실험예에서 보조 유전층(ASL)이 추가되는 것 외에, 실험예 및 비교예의 실험 조건은 동일하다.

[0061] 비교예와 실험예 각각의 구조에서, 게이트 링크 라인들(GSL1, GSL2, GSL3, GSL5, GSL6, GSL7)이 도 5와 같이 배열된 경우, 게이트 링크 라인들(GSL1, GSL2, GSL3, GSL5, GSL6, GSL7)의 기생 용량 프로 파일을 살펴보면 도 9에 나타낸 바와 같다.

[0062] 비교예의 경우 게이트 링크 라인(GSL)들 간 기생 용량의 편차는 대략 7pF 이고, 실험예의 경우 게이트 링크 라인(GSL)들 간 기생 용량의 편차는 대략 4pF 로 나타났다. 이를 통해 알 수 있듯이, 실험예의 경우, 비교예 대비 게이트 링크 라인(GSL)들과 캐소드(CAT) 사이의 기생 용량 값이 저감되었음은 물론, 게이트 링크 라인(GSL)들 간 기생 용량의 편차가 현저히 개선되었음을 알 수 있다. 이와 같이, 본 발명은 사이에 발생하는 기생 용량을 저감함으로써, 상이한 길이를 갖는 게이트 링크 라인(GSL)들 간의 RC 편차를 개선할 수 있다. 이에 따라, 표시 품질이 현저히 개선된 유기발광 표시장치를 제공할 수 있는 이점을 갖는다.

[0063] <제2 실시예>

[0064] 도 10은 본 발명의 제2 실시예에 따른 표시 영역 내 서브 픽셀 구조를 개략적으로 나타낸 단면도이다. 도 11 내지 도 13은 본 발명의 제2 실시예에 따른 비 표시 영역 내 링크부의 적층 구조를 개략적으로 나타낸 도면들이다. 본 발명의 제2 실시예를 설명함에 있어서, 제1 실시예와 실질적으로 동일한 구성에 대한 설명은 생략하기로 한다.

[0065] 도 10을 참조하면, 본 발명의 제2 실시예에 따른 유기발광 표시장치는 서브 픽셀(SP)들이 배열된 표시 영역(AA)을 포함한다. 각 픽셀들은, 기판(SUB) 상에 구비된 박막 트랜지스터(T) 및 유기발광 다이오드(OLED)를 포함한다. 유기발광 다이오드(OLED)는 애노드(ANO), 캐소드(CAT), 및 애노드(ANO)와 캐소드(CAT) 사이에 개재된 유기 화합물층(OL)을 포함한다.

[0066] 본 발명의 제2 실시예에 따른 유기발광 표시장치는, 하부 발광형(Bottom emission)으로 구현될 수 있다. 따라서, 유기발광 다이오드(OLED)로부터 방출된 광은 기판(SUB)을 거쳐 사용자에게 인지된다. 일 예로, 본 발명의 제2 실시예에 따른 유기발광 표시장치는, 적색(R), 녹색(G) 및 청색(B)을 구현하기 위해, 백색(W)을 발광하는 유기 화합물층(OL)과, 적색(R), 청색(B) 및 녹색(G)의 컬러 필터(color filter, CF)를 포함할 수 있다. 즉, 유기발광 표시장치는, 유기 발광층(OL)으로부터 방출된 백색(W)광이 적색(R), 녹색(G) 및 청색(B) 서브 픽셀에 대응되는 영역에 각각 구비된 적색(R), 녹색(G) 및 청색(B)의 컬러 필터(CF)를 통과함으로써, 적색(R), 녹색(G) 및 청색(B)을 구현할 수 있다.

[0067] 컬러 필터(CF)는 유기발광 다이오드(OLED) 하부에 배치된다. 즉, 컬러 필터(CF)는 적어도 하나의 절연막을 사이에 두고, 애노드(ANO) 아래에 배치될 수 있다. 도면에서는, 컬러 필터(CF)가 평탄화막(OC)과 패시베이션막(PAS) 사이에 개재된 경우를 예로 들어 도시하고 있으나, 이에 한정되는 것은 아니다.

[0068] 도 11을 참조하면, 본 발명의 제2 실시예에 따른 유기발광 표시장치는 링크부(LP)를 갖는 비 표시 영역(NA)을 포함한다. 링크부(LP)의 기판(SUB) 상에는 표시 영역(AA)으로부터 연장된 게이트 절연막(GI), 층간 절연막(ILD), 패시베이션막(PAS), 평탄화막(OC)이 차례로 배치된다. 게이트 절연막(GI)과 층간 절연막(ILD) 사이에는 게이트 링크 라인(GSL)이 형성된다. 게이트 링크 라인(GSL)은 표시 영역(AA) 내에 배치된 게이트 라인(미도시)에 연결되며, 표시 영역(AA) 내에 배치된 게이트 라인 및 게이트 전극(G)과 동일층에 동일 물질로 형성될 수 있다. 캐소드(CAT)는 표시 영역(AA) 내에 배열된 서브 픽셀들을 모두 덮도록 기판 전면(全面)에 넓게 형성되어, 층간 절연막(ILD), 패시베이션막(PAS), 평탄화막(OC)을 사이에 두고 게이트 링크 라인(GSL)과 중첩된

다.

- [0069] 본 발명의 제2 실시예는, 캐소드(CAT)와 게이트 링크 라인(GSL) 사이의 기생 용량(C_p')을 줄이기 위해, 캐소드(CAT)와 게이트 링크 라인(GSL) 사이에 컬러 필터 패턴(CFP)을 더 형성한다. 컬러 필터 패턴(CFP)은 제1 실시예의 보조 유전층과 실질적으로 동일한 기능을 한다. 컬러 필터 패턴(CFP)은 기 설정된 두께를 갖도록 형성되며, 캐소드(CAT)와 게이트 링크 라인(GSL) 사이에 개재되어 캐소드(CAT)와 게이트 링크 라인(GSL)을 충분히 이격시키는 기능을 한다. 컬러 필터 패턴(CFP)은 링크부(LP)에서 캐소드(CAT)와 게이트 링크 라인(GSL) 사이에 국부적으로 배치되는 구성이다.
- [0070] 본 발명의 제2 실시예는 링크부(LP)에 컬러 필터 패턴(CFP)을 구비하여 캐소드(CAT)와 게이트 링크 라인(GSL)을 충분히 이격시킬 수 있다. 이에 따라, 캐소드(CAT)와 게이트 링크 라인(GSL) 사이에 발생하는 기생 용량을 저감할 수 있기 때문에, 상이한 길이를 갖는 게이트 링크 라인(GSL)들 간의 RC 편차가 개선될 수 있다. 본 발명의 제2 실시예는, 표시 패널의 휘도 균일도 저하를 방지할 수 있기 때문에, 표시 품질이 현저히 개선된 유기발광 표시장치를 제공할 수 있는 이점을 갖는다.
- [0071] 링크부(LP)의 컬러 필터 패턴(CFP)은, 표시 영역(AA)에 배치된 컬러 필터(CF)와 동시에 형성된다. 따라서, 링크부(LP)의 컬러 필터 패턴(CFP)은, 표시 영역(AA)에 배치된 컬러 필터(CF)와 동일층에 형성될 수 있다. 컬러 필터 패턴(CFP)은 표시 영역에 배치된 적색(R), 녹색(G) 및 청색(B) 컬러 필터(CF) 중 어느 하나가 형성될 때, 함께 형성될 수 있다. 본 발명의 제2 실시예는, 링크부(LP)에서 캐소드(CAT)와 게이트 링크 라인(GSL)의 기생 용량을 줄이기 위한 구조를 별도로 형성할 필요가 없기 때문에, 제조 비용, 제조 시간 등을 저감할 수 있고, 추가 공정이 요구되지 않아 제조 수율을 향상시킬 수 있는 이점이 있다.
- [0072] 도 12를 참조하면, 표시 영역(AA) 내의 컬러 필터(CF)와 링크부(LP) 내의 컬러 필터 패턴(CFP)의 두께는 상이할 수 있다. 도 12의 (a)는 표시 영역(AA) 내 적층 구조를 개략적으로 나타낸 것이고, 도 12의 (b)는 비 표시 영역(NA) 내 링크부(LP)의 적층 구조를 개략적으로 나타낸 도면이다.
- [0073] 표시 영역(AA)에 배치되는 컬러 필터(CF)들은 특정 목적을 위해 예를 들어, 타겟이 되는 색좌표를 맞추기 위해, 기 설정된 제1 두께(t_1)를 갖도록 형성될 필요가 있고, 링크부(LP) 내에 배치되는 컬러 필터 패턴(CFP)은 기생 용량을 효과적으로 저감하기 위해 기 설정된 제2 두께(t_1')를 갖도록 형성될 필요가 있다. 이를 고려하여, 본 발명의 제2 실시예는, 멀티-톤 마스크(Multi-tone mask)를 이용하여 컬러 필터(CF)와 컬러 필터 패턴(CFP)을 동일 공정을 통해 동시에 형성하되, 양자의 두께(t_1, t_1')를 달리하여 형성할 수 있다.
- [0074] 도 13을 더 참조하면, 링크부(LP)에서 캐소드(CAT)와 게이트 링크 라인(GSL) 사이에 배치되는 컬러 필터 패턴(CFP)은, 적어도 두 개 이상의 컬러 필터(CF1, CF2)가 적층된 구조를 가질 수 있다. 즉, 컬러 필터 패턴(CFP)은 표시 영역(AA)내에 배치되는 적색(R), 녹색(G) 및 청색(B) 컬러 필터(CF) 중 적어도 두 개의 컬러 필터(CF)가 적층된 형태를 가질 수 있다. 이 경우, 도 10에 도시된 구조 대비 캐소드(CAT)와 게이트 링크 라인(GSL)을 더 충분히 이격시킬 수 있기 때문에, 기생 용량(C_p'')을 효과적으로 줄일 수 있는 이점을 갖는다.
- [0075] <제3 실시예>
- [0076] 도 14의 (a)는 본 발명의 제3 실시예에 따른 표시 영역 내 적층 구조를 개략적으로 나타낸 단면도이다. 도 14의 (b)는 본 발명의 제3 실시예에 따른 비 표시 영역 내 링크부의 적층 구조를 개략적으로 나타낸 단면도들이다. 본 발명의 제3 실시예를 설명함에 있어서, 제1 실시예와 실질적으로 동일한 구성에 대한 설명은 생략하기로 한다.
- [0077] 도 14를 참조하면, 기판(SUB) 상에서, 유기발광 다이오드와 게이트 링크 라인(GSL) 사이에는 적어도 하나의 유전층이 개재된다. 예를 들어, 유전층은 중간 절연막(ILD), 패시베이션막(PAS), 평탄화막(OC)을 포함할 수 있다. 유기발광 다이오드와 게이트 링크 라인(GSL) 사이에 개재되는 유전층들 중 적어도 하나는, 표시 영역(AA)과 링크부(LP)에서 서로 다른 두께를 가질 수 있다. 두께가 상이한 유전층은, 멀티-톤 마스크(Multi-tone mask)를 이용하여 형성될 수 있다.
- [0078] 일 예로, 표시 영역(AA)과 비 표시 영역(NA)을 덮도록 기판(SUB) 전면(全面)에 넓게 형성되며, 캐소드(CAT)와 게이트 링크 라인(GSL)(및, 게이트 라인(GL)) 사이에 개재되는 평탄화막(OC)은, 링크부(LP)에서 다른 영역 대비 두꺼운 두께를 가질 수 있다. 즉, 평탄화막(OC)은, 기판(SUB) 상에서 제1 두께(t_2)를 갖되, 링크부(LP)에서 국부적으로 제2 두께(t_2')를 갖도록 형성될 수 있다. 제2 두께(t_2) 부분 중 제1 두께(t_1')를 초과하는 부분은, 제1 실시예의 보조 유전층과 실질적으로 동일한 기능을 한다.

- [0079] 본 발명의 제3 실시예는, 캐소드(CAT)와 게이트 링크 라인(GSL)(및, 게이트 라인(GL)) 사이에 개재되는 유전층 중 적어도 어느 하나를 링크부(LP)에서 국부적으로 두껍게 형성함으로써, 캐소드(CAT)와 게이트 링크 라인(GSL)을 충분히 이격시킬 수 있다. 이에 따라, 캐소드(CAT)와 게이트 링크 라인(GSL) 사이에 발생하는 기생 용량을 저감할 수 있기 때문에, 상이한 길이를 갖는 게이트 링크 라인(GSL)들 간의 RC 편차가 개선될 수 있다. 본 발명의 제2 실시예는, 표시 패널의 휘도 균일도 저하를 방지할 수 있기 때문에, 표시 품질이 현저히 개선된 유기발광 표시장치를 제공할 수 있는 이점을 갖는다.
- [0080] <제4 실시예>
- [0081] 도 15는 본 발명의 제1 실시예에 따른 유기발광 표시장치를 나타낸 평면도들이다. 도 16은 도 15의 AR 영역을 확대 도시한 평면도이다. 본 발명의 제5 실시예를 설명함에 있어서, 제1 실시예와 실질적으로 동일한 구성에 대한 설명은 생략하기로 한다.
- [0082] 도 15를 참조하면, 유기발광 표시장치는 기관(SUB) 및 회로부(CO)를 포함한다. 기관(SUB)은 표시 영역(AA) 및 표시 영역(AA)의 외측에 정의된 비 표시 영역(NA)을 포함한다.
- [0083] 표시 영역(AA)은 복수의 서브 픽셀(SP)들을 포함한다. 비 표시 영역(NA)은 소스 패드부(DP) 및 링크부(LP)를 포함한다. 소스 패드부(DP)는 표시 영역(AA)의 적어도 일측에 정의될 수 있다. 링크부(LP)는 표시 영역(AA)과 소스 패드부(DP) 사이에 정의될 수 있다. 일 예로, 소스 패드부(DP)는 표시 영역(AA)의 상측 및 하측 중 어느 하나에 배치될 수 있다.
- [0084] 소스 패드부(DP)는 복수의 소스 패드(DPD)들을 포함하고, 링크부(LP)는 링크 라인(DSL)을 포함한다. 소스 패드(DPD)는 표시 영역(AA)으로부터 연장되는 링크 라인(DSL)과 전기적으로 연결된다. 회로부(CO)의 범프는 이방성 도전필름을 통해 소스 패드(DPD)들에 각각 접합될 수 있다. 회로부(CO)는 복수 개일 수 있고, 회로부(CO)들은 할당된 소스 패드(DPD)들에 접합되어, 대응하는 링크 라인(DSL)들에 게이트 신호를 공급한다.
- [0085] 링크 라인(DSL)은, 회로부(CO)를 통해 인가받은 기 설정된 신호를 표시 영역(AA)의 신호 라인(SL)에 공급한다. 이를 위해, 링크 라인(DSL)의 일단은 소스 패드(DPD)에 연결되고, 링크 라인(DSL)의 타단은 신호 라인(SL)에 연결된다. 신호 라인(SL)은 데이터 전압이 인가되는 데이터 라인, 보상회로를 구현하기 위한 센싱 라인 등을 포함할 수 있다.
- [0086] 소스 패드(DPD)들 간의 피치(P1)는, 신호 라인(SL)들 간의 피치(P2) 보다 좁게 설정된다. 따라서, 링크 라인(DSL)들 간의 피치가 소스 패드(DPD)에 가까워질수록 점진적으로 좁아지는, 적어도 일부 구간을 포함한다. 즉, 소스 패드(DPD)들 간의 피치(P1)와 신호 라인(SL)들 간의 피치(P2)의 차이에 의해, 소스 패드(DPD)와 신호 라인(SL)을 연결하는 링크 라인(DSL)들의 길이는, 위치에 따라 상이하다. 링크 라인(DSL)들 간의 길이 차이로 인하여, 링크 라인(DSL)들 간 기 설정된 신호의 RC 지연 수준에 차이가 발생할 수 있고, 이 경우, 표시 장치의 표시 품질이 저하될 수 있어 문제된다.
- [0087] 이를 해결하기 위해, 본 발명의 제5 실시예는 제1 내지 제4 실시예에 기재된, 보완 구조를 동일한 방법으로 적용할 수 있다. 일 예로, 본 발명의 제5 실시예는, 제1 실시예와 같이, 링크부(LP)에서 링크 라인(DSL)과 캐소드(CAT) 사이에 국부적으로 보조 유전층을 구비할 수 있다. 이에 따라, 캐소드(CAT)와 링크 라인(DSL) 사이에 발생하는 기생 용량을 저감할 수 있기 때문에, 상이한 길이를 갖는 링크 라인(DSL)들 간의 RC 편차가 개선될 수 있다. 본 발명의 제5 실시예는, 표시 패널의 휘도 균일도 저하를 방지할 수 있기 때문에, 표시 품질이 현저히 개선된 유기발광 표시장치를 제공할 수 있는 이점을 갖는다.
- [0088] <제5 실시예>
- [0089] 도 17은 도 4의 AR 영역을 확대 도시한 평면도이다. 도 18은 본 발명의 제5 실시예에 따른 것으로, 도 4의 AR 영역을 확대 도시한 평면도이다.
- [0090] 도 17을 참조하면, 게이트 패드(GPD)들 간의 피치(pitch, P1)(또는, 회로부(CO)의 범프들 간의 피치)는, 게이트 라인(GL)들 간의 피치(P2) 보다 좁게 설정된다. 따라서, 게이트 링크 라인(GSL)들 간의 피치가 게이트 패드(GPD)에 가까워질수록 점진적으로 좁아지는, 적어도 일부 구간을 포함한다. 즉, 게이트 패드(GPD)들 간의 피치(P1)와 게이트 라인(GL)들 간의 피치(P2)의 차이에 의해, 게이트 패드(GPD)와 게이트 라인(GL)을 연결하는 게이트 링크 라인(GSL)들의 길이는, 위치에 따라 상이하다. 예를 들어, 도면에 도시된 바와 같이, 한 회로부(CO)당 게이트 링크 라인(GSL)들이 7개가 할당된다고 가정할 때, 게이트 링크 라인(GSL)들 중 중심에 배치된 게이트 링크 라인(GSL4)은 가장 짧은 길이를 갖게 되고, 중심으로부터 멀리 배치되는 게이트 링크 라인(GSL1, GSL2,

GSL3, GSL5, GSL6, GSL7)일수록 상대적으로 긴 길이를 갖게 된다.

[0091] 본 발명의 제1 내지 제4 실시예에서는, 캐소드(CAT)와 게이트 링크 라인(GSL)을 충분히 이격시켜, 캐소드(CAT)와 게이트 링크 라인(GSL) 사이에 발생하는 기생 용량을 저감하는 구성을 개시하고 있다. 다만, 이와 같은 구성에 의해 상이한 길이를 갖는 게이트 링크 라인(GSL)들 간의 기생 용량 편차가 개선될 수는 있으나, 도 9의 (b)에서 보여지는 바와 같이 게이트 링크 라인(GSL)들간의 기생 용량 편차는 여전히 존재한다. 즉, 제1 내지 제7 게이트 링크 라인들(GSL1, GSL2, GSL3, GSL4, GSL5, GSL6, GSL7)과 캐소드(CAT)의 중첩 면적(OA1, OA2, OA3, OA4, OA5, OA6, OA7)이 일정하지 않기 때문에, 게이트 링크 라인들(GSL1, GSL2, GSL3, GSL4, GSL5, GSL6, GSL7) 간의 기생 용량 편차가 존재한다.

[0092] 본 발명의 제5 실시예는, 상이한 길이를 갖는 게이트 링크 라인들(GSL) 간의 기생 용량 편차를 실질적으로 없애기 위한 신규한 구조를 제안한다. 즉, 본 발명의 제5 실시예는 기생 용량의 편차를 개선하기 위해, 캐소드(CAT)의 형상을 위치에 따라 달리 형성할 수 있다.

[0093] 도 18을 참조하면, 본 발명의 제5 실시예는, 게이트 링크 라인들(GSL) 간 기생 용량의 편차를 줄이기 위해, 캐소드(CAT)와 게이트 링크 라인들(GSL) 각각의 중첩 면적(OA')을 실질적으로 동일하게 맞춘다. 이를 위하여 캐소드(CAT)의 형상은 종래와 다른 형상을 가질 수 있다.

[0094] 예를 들어, 제1 내지 제7 게이트 링크 라인들(GSL1, GSL2, GSL3, GSL4, GSL5, GSL6, GSL7)과 캐소드(CAT)의 중첩 면적(OA1', OA2', OA3', OA4', OA5', OA6', OA7')은 실질적으로 동일하게 제어된다. 이에 따라, 캐소드는 이형(Free form)의 평면 형상을 가질 수 있다. 즉, 캐소드의 형상은, 게이트 링크 라인들(GSL1, GSL2, GSL3, GSL4, GSL5, GSL6, GSL7)과 캐소드(CAT)의 중첩 면적(OA1', OA2', OA3', OA4', OA5', OA6', OA7')을 실질적으로 동일하게 제어할 수 있는 형상이라면, 모두 가능하다.

[0095] 본 발명의 제5 실시예는, 게이트 링크 라인(GSL)들 간 일정한 기생 용량을 갖도록 제어함으로써, 표시 패널의 휘도 균일도 저하를 방지할 수 있다. 이에 따라, 본 발명의 제5 실시예는, 표시 품질이 현저히 개선된 유기발광 표시장치를 제공할 수 있는 이점을 갖는다. 본 발명의 제5 실시예를 설명함에 있어서, 게이트 신호가 인가되는 게이트 링크 라인(GSL)만을 예로 들어 설명하였으나, 이에 한정되는 것은 아니다.

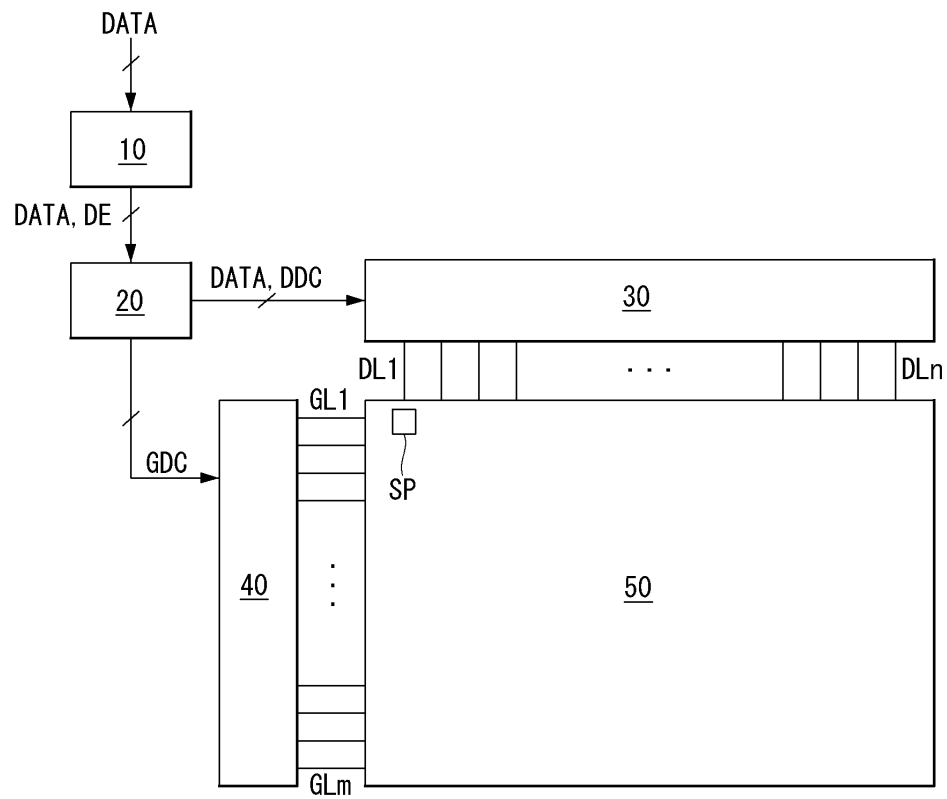
[0096] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양하게 변경 및 수정할 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정해져야만 할 것이다.

부호의 설명

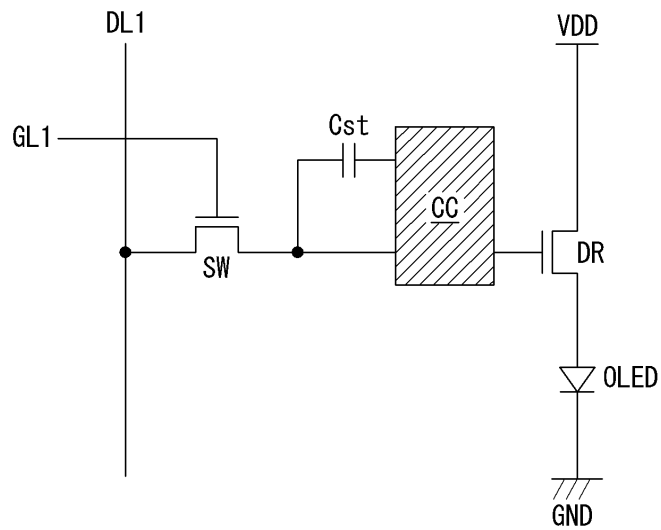
[0097] SUB : 기판 T : 박막 트랜지스터
OLE : 유기발광 다이오드 ANO : 애노드
OL : 유기 화합물층 CAT : 캐소드
GL : 게이트 라인 GSL : 게이트 링크 라인
SL : 신호 라인 DSL : 링크 라인
ASL : 보조 유전층 CF : 컬러 필터
CFP : 컬러 필터 패턴

도면

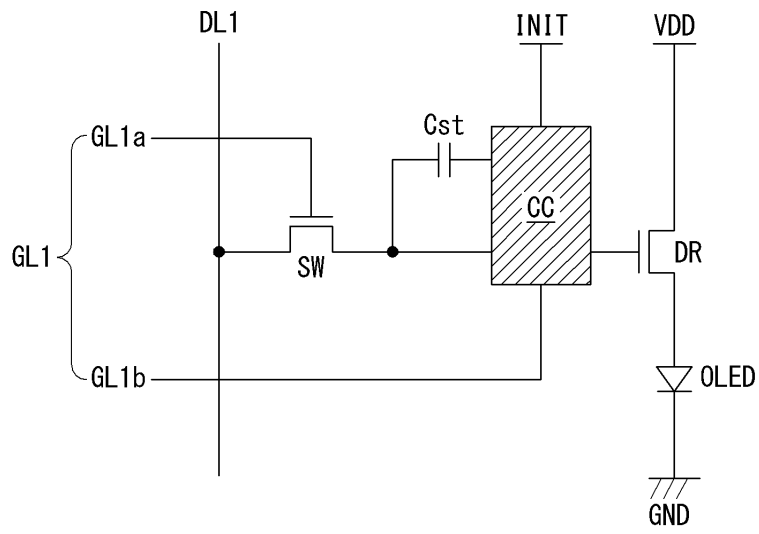
도면1



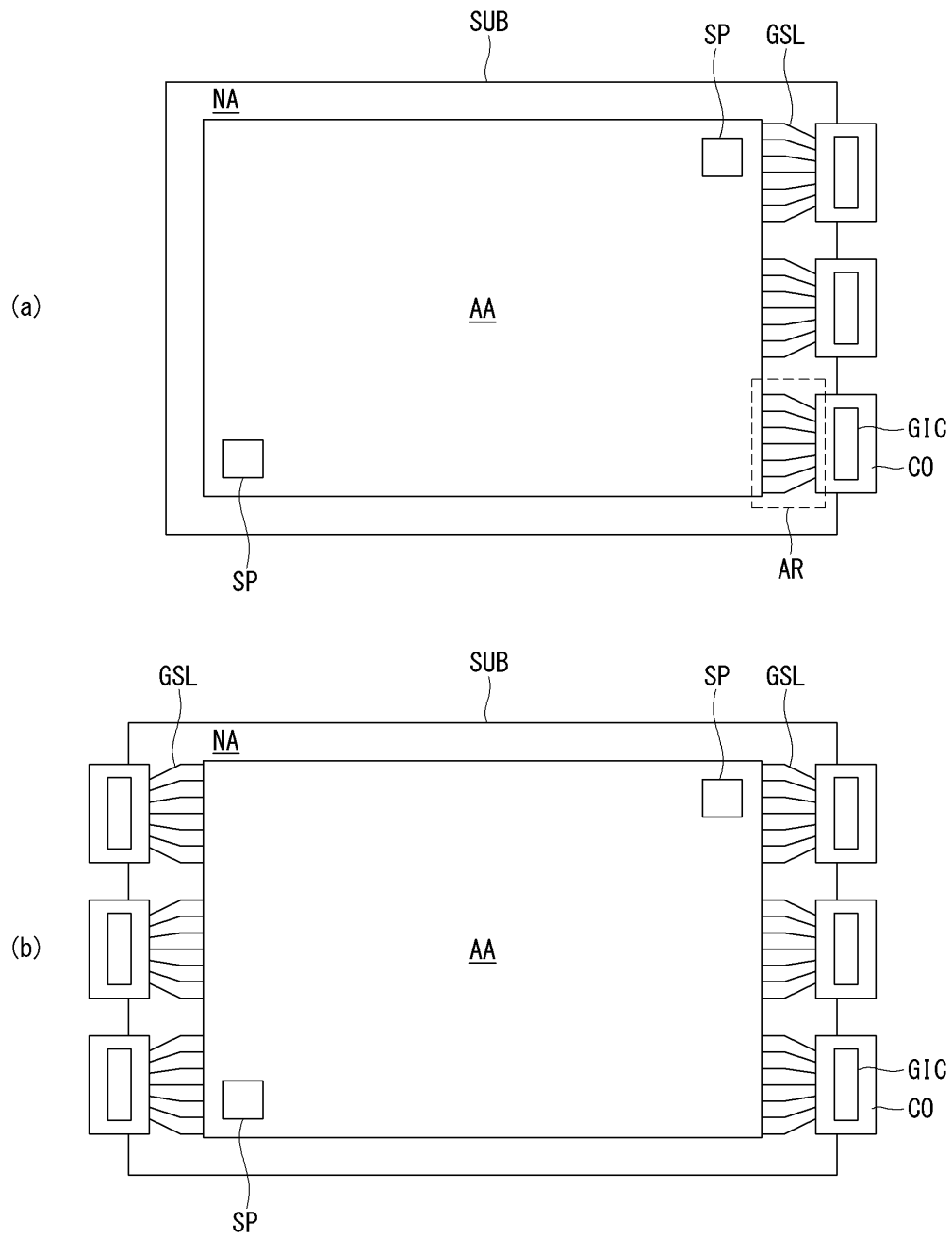
도면2



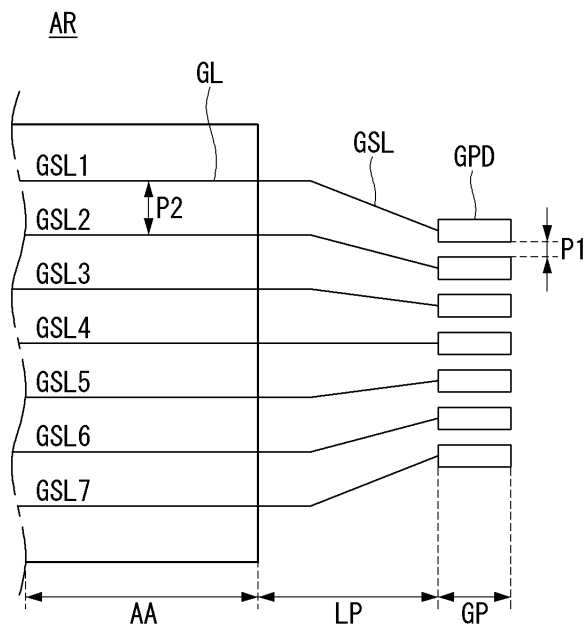
도면3



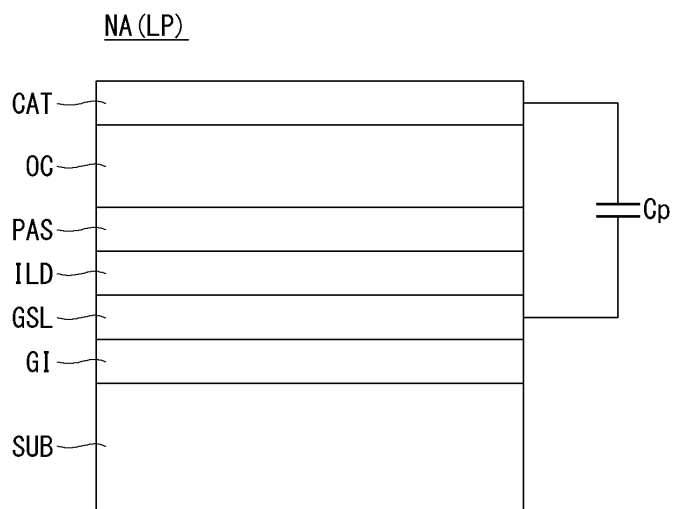
도면4



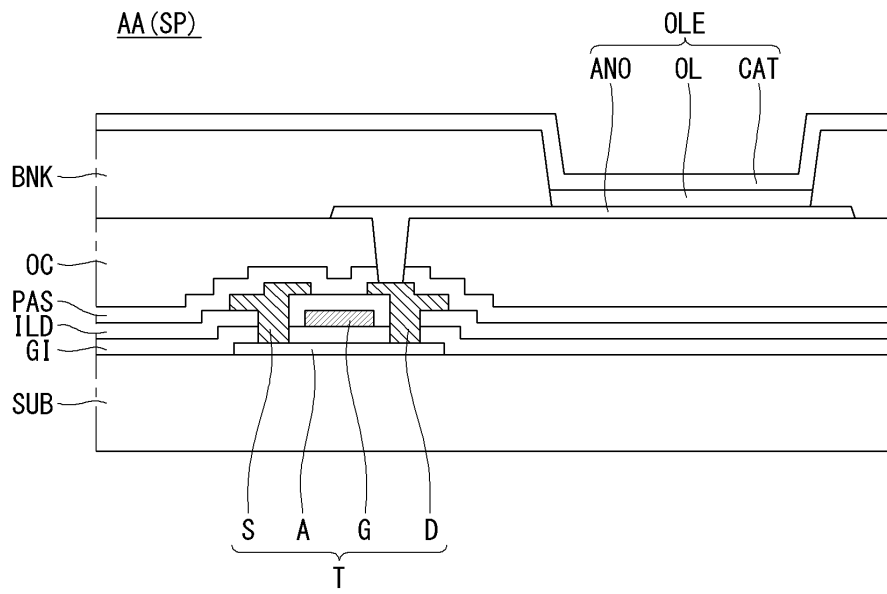
도면5



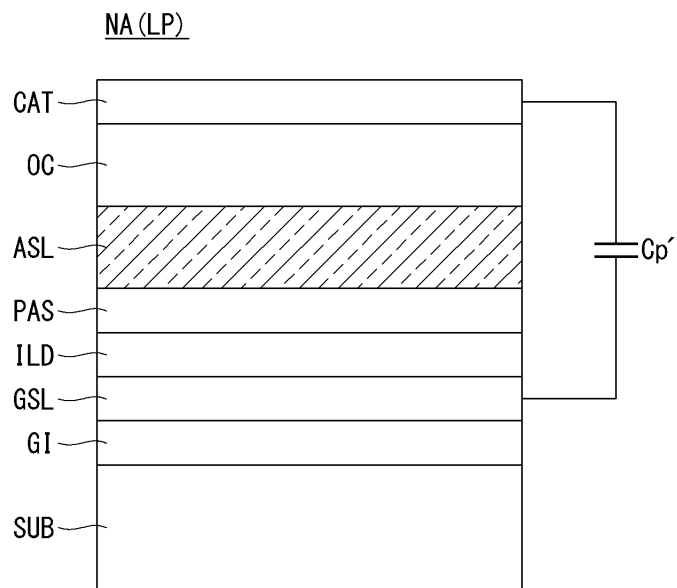
도면6



도면7



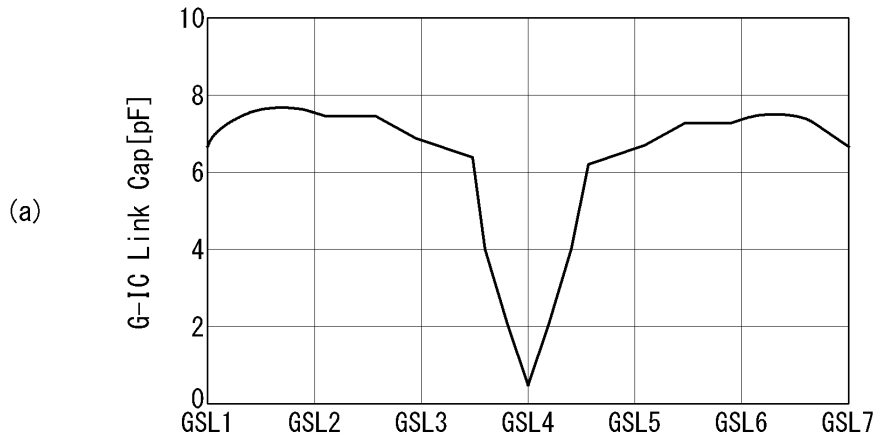
도면8



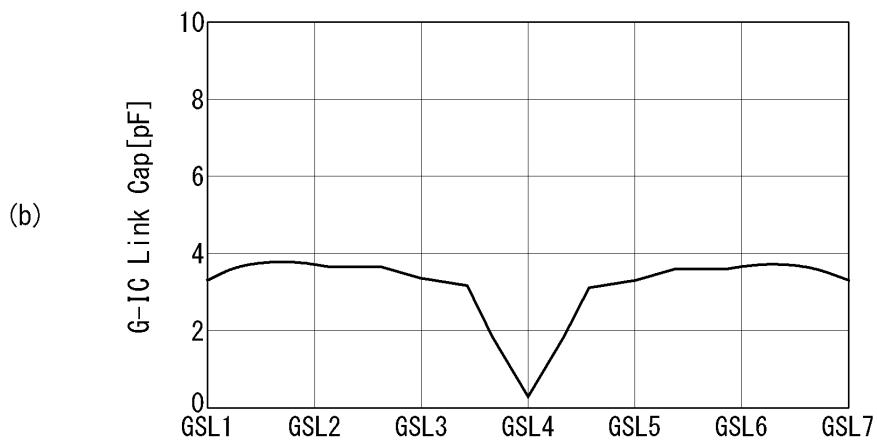
도면9

비교예

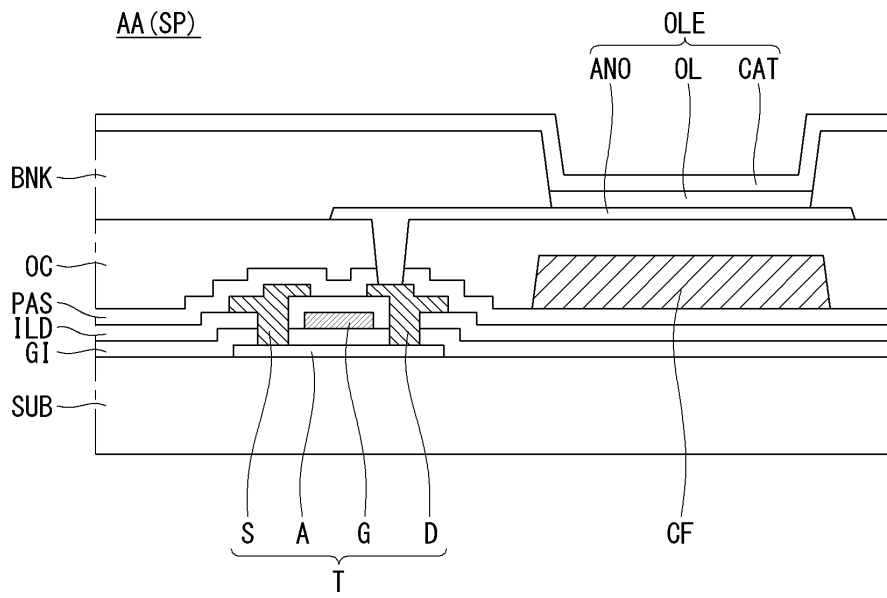
게이트 링크라인 기생용량 Profile



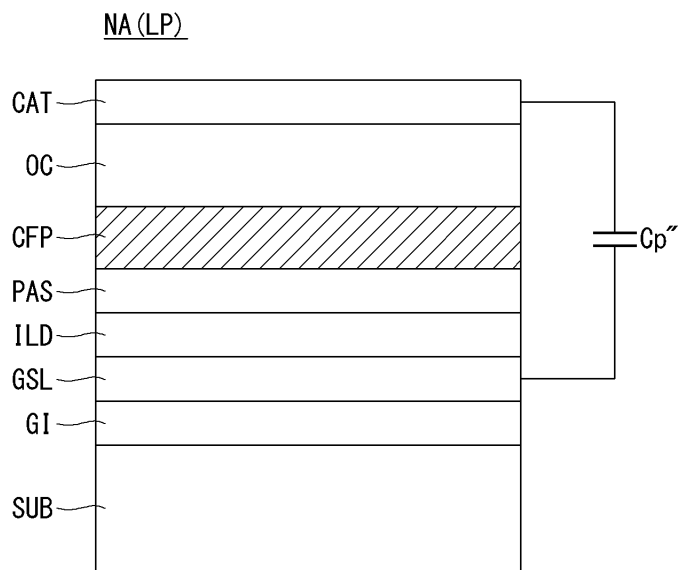
실형예



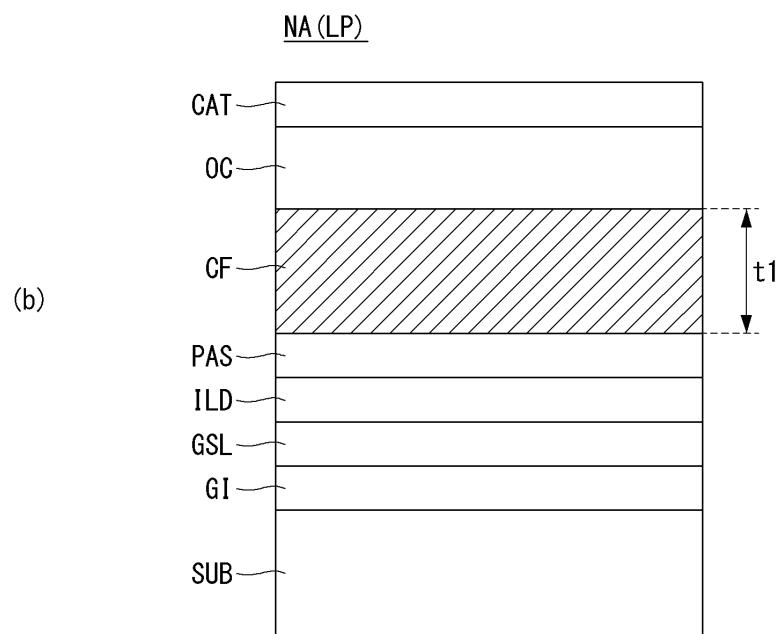
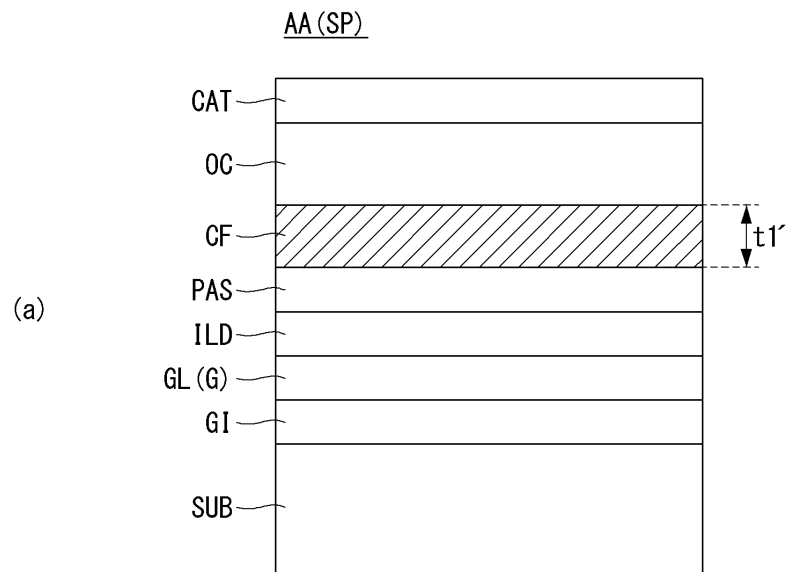
도면10



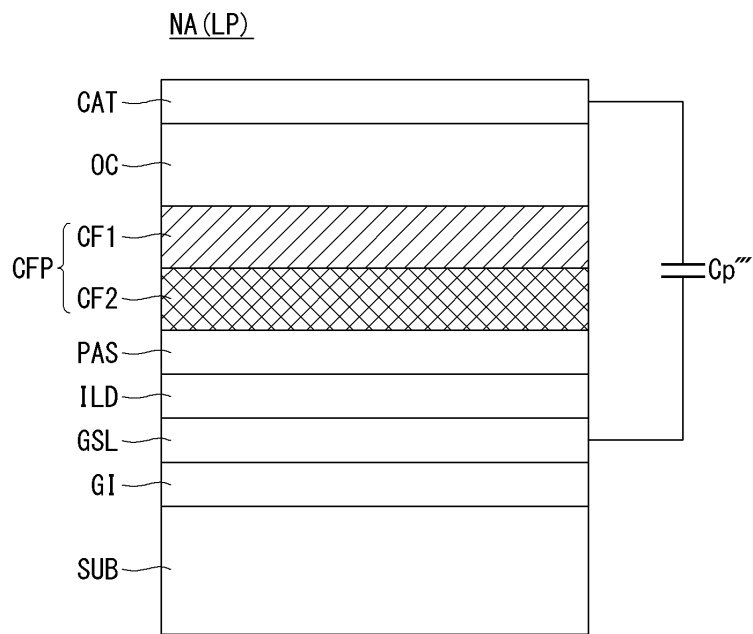
도면11



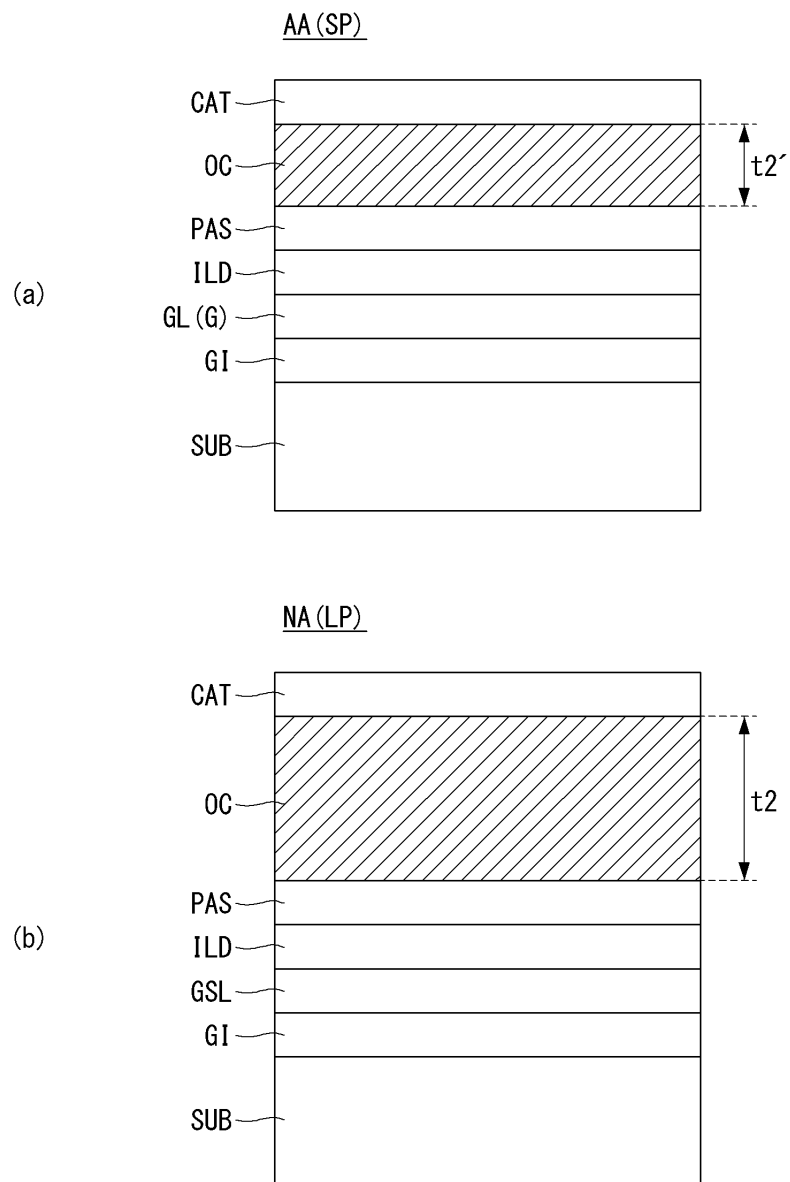
도면12



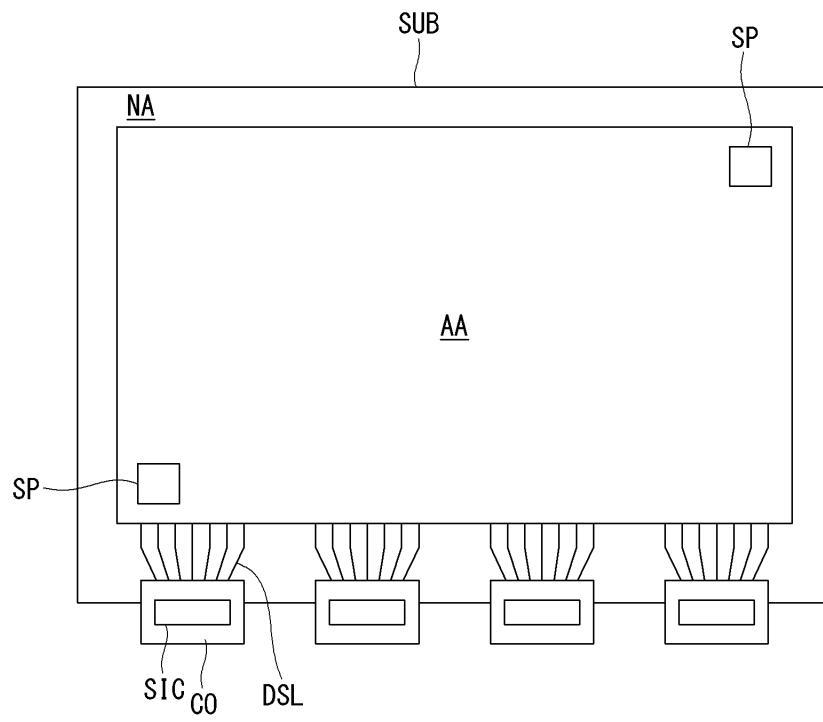
도면13



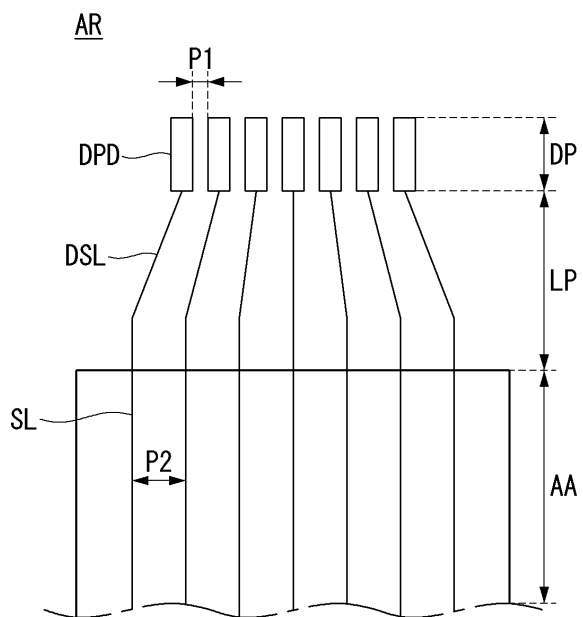
도면14



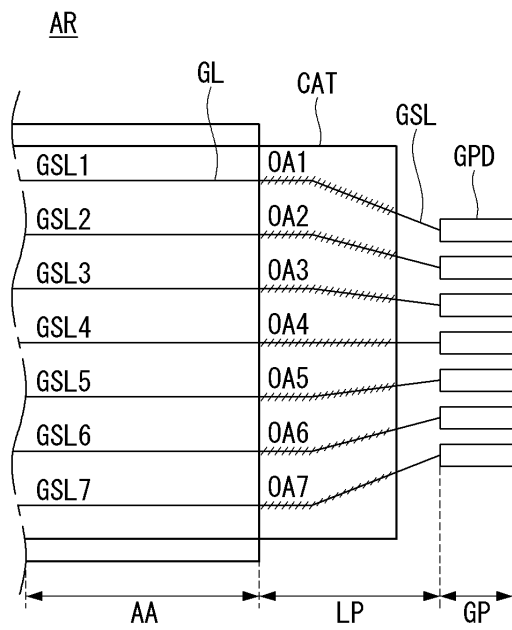
도면15



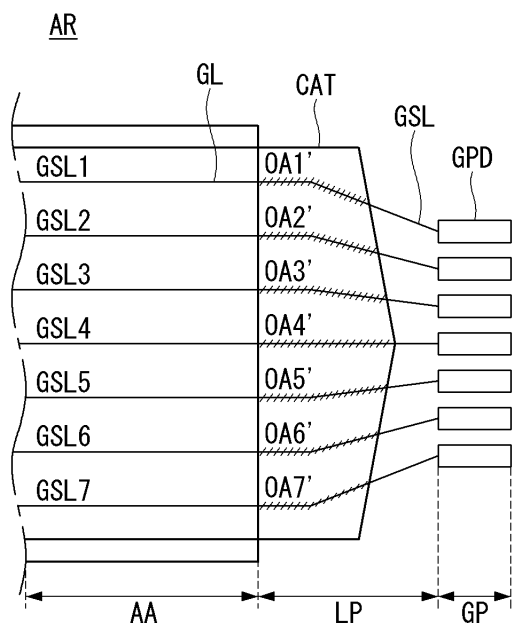
도면16



도면17



도면18



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020190038149A	公开(公告)日	2019-04-08
申请号	KR1020170128239	申请日	2017-09-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김대현		
发明人	김대현		
IPC分类号	H01L27/32 H01L51/52		
CPC分类号	H01L27/3276 H01L27/322 H01L51/5237		
外部链接	Espacenet		

摘要(译)

根据本发明的有机发光显示装置包括：基板，在基板中限定有显示区域和非显示区域；信号线，布置在显示区域中；焊盘，布置在非显示区域中，并且与非显示区域相对应。链接线将信号线连接到焊盘并具有不同的长度，并且辅助电介质层局部地布置在链接线上。

