



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0024465
(43) 공개일자 2019년03월08일

(51) 국제특허분류(Int. Cl.)
G09G 3/3266 (2016.01)

(52) CPC특허분류
G09G 3/3266 (2013.01)
G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0111475
(22) 출원일자 2017년08월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
공충식
경기도 파주시 월롱면 엘지로 245
한홍규
경기도 파주시 월롱면 엘지로 245
(뒷면에 계속)

(74) 대리인
특허법인로얄

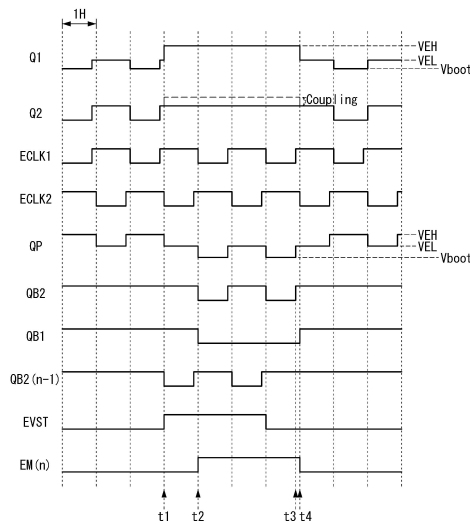
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 게이트 구동회로 및 이를 이용한 유기발광 표시장치

(57) 요약

본 명세서에 의한 유기발광 표시장치는 게이트라인에 연결되는 픽셀들 및 게이트라인들 중에서 적어도 어느 하나에 인가되는 게이트신호를 공급하며 서로 종속적으로 접속되는 다수의 스테이지로 이루어지는 게이트 구동회로를 포함한다. 게이트 구동회로의 제n(n은 자연수) 스테이지는 서로 역위상을 갖는 제1 및 제2 클럭신호를 이용하여, Q1 노드를 턴-온 전압으로 충전하는 Q1 노드 충전부 및 Q1 노드 전압에 응답하여 턴-온 전압을 출력단에 인가하는 풀업 트랜지스터를 포함한다. Q1 노드 충전부는 제2 클럭신호를 이용하여, Q1 노드 전압을 턴-온 전압으로 충전하는 제1 충전부 및 Q1 노드가 턴-온 전압인 구간에서 제1 클럭신호를 이용하여 Q1 노드와 커플링되는 Q2 노드를 충전하는 제2 충전부를 포함한다.

대표도 - 도4



(52) CPC특허분류
G09G 2300/0408 (2013.01)

(72) 발명자
신미희
경기도 과주시 월롱면 엘지로 245

이세완
경기도 과주시 월롱면 엘지로 245

명세서

청구범위

청구항 1

게이트라인에 연결된 픽셀들; 및

상기 게이트라인들 중에서 적어도 어느 하나에 인가되는 게이트신호를 공급하며, 서로 종속적으로 접속되는 다수의 스테이지로 이루어지는 게이트 구동회로를 포함하고,

상기 게이트 구동회로의 제 n (n 은 자연수) 스테이지는

서로 역위상을 갖는 제1 및 제2 클럭신호를 이용하여, Q1 노드를 턴-온 전압으로 충전하는 Q1 노드 충전부; 및 Q1 노드 전압에 응답하여, 턴-온 전압을 출력단에 인가하는 풀업 트랜지스터를 포함하며,

상기 Q1 노드 충전부는

상기 제2 클럭신호를 이용하여, 상기 Q1 노드 전압을 턴-온전압으로 충전하는 제1 충전부; 및

상기 Q1 노드가 턴-온 전압인 구간에서, 상기 제1 클럭신호를 이용하여 상기 Q1 노드와 커플링되는 Q2 노드를 충전하는 제2 충전부를 포함하는 유기발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 충전부는

스타트신호 입력단 및 상기 Q1 노드 사이에 접속되며, 게이트전극이 상기 제2 클럭신호의 입력단에 연결되는 제1 트랜지스터를 포함하는 유기발광 표시장치.

청구항 3

제 1 항에 있어서,

상기 제2 충전부는

상기 제1 클럭신호의 입력단 및 상기 Q2 노드 사이에 접속되며, 게이트전극이 상기 Q1 노드에 연결되는 제2 트랜지스터; 및

상기 Q1 노드 및 상기 Q2 노드 사이에 접속하는 제1 커패시터를 포함하는 유기발광 표시장치.

청구항 4

제 1 항에 있어서,

상기 Q1 노드 충전부는

상기 Q1 노드가 턴-오프 전압인 구간에서 상기 Q2 노드에 정전위전압을 인가하는 Q2 노드 제어부를 더 포함하는 유기발광 표시장치.

청구항 5

제 4 항에 있어서,

상기 Q2 노드 제어부는

상기 제2 클럭신호 입력단에 연결되는 게이트전극, 상기 Q2 노드에 연결되는 드레인전극 및 상기 고전위전압 입력단에 연결되는 소스전극을 포함하는 유기발광 표시장치.

청구항 6

제 1 항에 있어서,

상기 게이트 구동회로는

QB1 노드의 전압에 응답하여, 상기 출력단의 전압을 턴-오프 전압으로 제어하는 풀다운부; 및

상기 Q1 노드의 반대 전압레벨로 상기 QB1 노드의 전압을 제어하는 노드 제어부를 더 포함하는 유기발광 표시장치.

청구항 7

제 6 항에 있어서,

상기 노드 제어부는

QP 노드와 QB2 노드 사이에 접속되는 제2 커패시터;

제(n-1) 스테이지의 QB2 노드 및 상기 QP 노드와 연결되는 QP 노드 제어부를 더 포함하는 유기발광 표시장치.

청구항 8

제 7 항에 있어서,

상기 노드 제어부는

상기 QP 노드의 전압에 응답하여, 상기 제1 클럭신호의 턴-온 전압을 상기 QB2 노드에 인가하는 QB2 노드 제어부를 더 포함하는 유기발광 표시장치.

청구항 9

제 8 항에 있어서,

상기 노드 제어부는

게이트전극이 상기 제1 클럭신호를 인가받는 제1 클럭신호 입력단에 연결되고, 상기 QB2 노드의 전압을 상기 QB1 노드에 인가하는 QB1 노드 제어부를 더 포함하는 유기발광 표시장치.

청구항 10

종속적으로 접속되는 복수의 스테이지로 구성되고, 게이트신호를 출력하는 게이트 구동회로에 있어서,

상기 복수의 스테이지들 각각은 제1 및 제2 클럭신호를 이용하여 상기 게이트신호를 출력하고,

상기 복수의 스테이지들 중에서 제n(n은 자연수) 스테이지는

Q1 노드 전압에 응답하여, 턴-온 전압을 출력단에 인가하는 풀업 트랜지스터;

상기 Q1 노드와 Q2 노드 사이에 연결된 제1 커패시터;

상기 제2 클럭신호의 입력단에 연결된 게이트전극, 스타트신호의 입력단에 연결된 소스전극, 및 상기 Q1 노드에

연결된 드레인전극을 포함하는 제1 트랜지스터;

상기 Q1 노드에 연결된 게이트전극, 상기 제1 클럭신호의 입력단에 연결된 소스전극 및 상기 Q2 노드에 연결된 드레인전극을 포함하는 제2 트랜지스터를 포함하는 게이트 구동회로.

청구항 11

제 10 항에 있어서,

상기 제1 클럭신호 및 상기 제2 클럭신호는 서로 역위상인 게이트 구동회로.

청구항 12

제 11 항에 있어서,

상기 제1 클럭신호 및 상기 제2 클럭신호는 한 주기가 2 수평기간인 표시장치의 게이트 구동회로.

청구항 13

제 12 항에 있어서,

상기 스타트신호는 제(n-1) 스테이지가 출력하는 게이트신호인 게이트 구동회로.

청구항 14

제 10 항에 있어서,

상기 Q2 노드에 연결된 드레인전극, 고전위전압의 입력단에 연결된 소스전극, 및 상기 제2 클럭신호에 연결된 게이트전극을 포함하는 트랜지스터를 더 포함하는 게이트 구동회로.

발명의 설명

기술 분야

[0001] 본 명세서는 구동 능력이 향상된 게이트 구동회로 및 이를 이용한 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 평판 표시장치(Flat Panel Display; FPD)는 소형화 및 경량화에 유리한 장점으로 인해서 데스크탑 컴퓨터의 모니터뿐만 아니라, 노트북컴퓨터, 태블릿 등의 휴대용 컴퓨터나 휴대 전화 단말기 등에 폭넓게 이용되고 있다. 현재는 평판 표시장치뿐만 아니라 커브드 표시장치(Curved Display), 플렉서블 표시장치(Flexible Display), 롤러블 표시장치(Rollable Display), 및 웨어러블 표시장치(Wearable Display) 등 다양한 형태의 표시장치가 개발되고 있다. 이러한 표시장치들은 액정표시장치(Liquid Crystal Display; LCD), 플라즈마 표시장치(Plasma Display Panel; PDP), 전계 방출표시장치(Field Emission Display; FED), 유기발광 표시장치(Organic Light Emitting diode Display; 이하, OLED), 및 양자점 표시장치(Quantum Dot Display; QD) 등이 있다.

[0003] 이 중에서 유기발광 표시장치는 응답속도가 빠르고, 발광효율이 높은 휘도를 표현할 수 있으며 시야각이 큰 장점이 있다. 일반적으로 유기발광 표시장치는 스캔신호에 의해서 턴-온 되는 트랜지스터를 이용하여 데이터전압을 구동트랜지스터의 게이트 전극에 인가하고, 구동트랜지스터에 공급되는 데이터전압을 스토리지 커패시터에 충전한다. 그리고 발광제어신호를 이용하여 스토리지 커패시터에 충전된 데이터전압을 출력함으로써 유기발광 소자를 발광시킨다.

[0004] 유기발광 표시장치는 에미션신호와 하나 이상의 스캔신호를 이용하여 구동된다. 게이트신호인 에미션신호 및 스캔신호들을 생성하는 게이트 구동회로는 게이트신호를 순차적으로 출력하기 위한 쉬프트 레지스터를 포함하는

것이 일반적이다. 게이트 구동회로는 표시패널에서 비표시영역인 베젤 영역에 박막 트랜지스터들의 조합으로 이루어지는 게이트-인-패널(Gate In Panel, 이하 GIP) 형태로 구현되기도 한다. GIP 형태의 게이트 구동회로는 게이트라인의 개수에 대응하는 스테이지를 구비하고, 각 스테이지는 일대일로 대응하는 게이트라인에 공급되는 게이트펄스를 출력한다.

[0005] 시프트레지스터는 다양한 형태로 구현될 수 있으며, 게이트 구동회로의 구동 능력 향상 및 구동의 신뢰성을 높이기 위한 회로 구성을 최적화하기 위한 방안이 모색되고 있다.

발명의 내용

해결하려는 과제

[0006] 앞서 언급한 바와 같이, 게이트 구동회로는 화소 어레이와 함께 표시패널에 내장되는 기술인 GIP(gate driver in panel) 형태로 구현될 수 있다. 이러한 게이트 구동회로를 GIP 회로라고 일컫을 수도 있다. GIP 회로는 시프트 레지스터(shift register)를 포함하고, 시프트 레지스터를 구성하는 스테이지(stage)들은 스타트 펄스(start pulse)에 응답하여 출력을 발생하며, 그 출력을 클럭 신호에 따라 시프트시킬 수 있다. 즉, 게이트 구동회로는 다수의 트랜지스터(transistor)를 포함하는 스테이지들을 구비하고, 스테이지들은 종속적(cascading)으로 접속되어 출력을 순차적으로 발생할 수 있다. 이 경우, 트랜지스터는 트랜지스터의 한 종류로서 박막 트랜지스터(Thin Film Transistor; TFT)를 포함할 수 있다.

[0007] 스테이지들은 각각 풀업 트랜지스터(pull-up transistor)를 제어하기 위한 Q 노드, 풀다운 트랜지스터(pull-down transistor)를 제어하기 위한 QB(Q bar) 노드를 포함할 수 있다. 예를 들어, 스테이지들 각각은 전단 스테이지로부터 입력된 스타트 전압 신호 및 클럭 신호에 응답하여 Q 노드와 QB 노드 전압을 서로 반대로 충방전시키는 트랜지스터들을 포함할 수 있다.

[0008] QB 노드는 Q 노드와 반대로 충방전된다. Q 노드가 고전위전압일 때 QB 노드는 저전위전압이 되고, Q 노드가 저전위전압일 때 QB 노드는 고전위전압이 된다. Q 노드 또는 QB 노드에 저전위전압이 인가되면 풀업 트랜지스터 또는 풀다운 트랜지스터가 턴온(turn-on)되고, Q 노드 또는 QB 노드에 고전위전압이 인가되면 풀업 트랜지스터 또는 풀다운 트랜지스터가 턴오프(turn-off)되므로, 게이트 라인에 연결된 트랜지스터를 턴온/턴오프(off)시켜준다. 풀업 트랜지스터 및 풀다운 트랜지스터 각각의 일전극은 출력단에 연결되고, 출력단은 화소 어레이로 게이트 신호를 제공하기 위한 게이트 라인에 연결된다.

[0009] 앞서 언급한 바와 같이, Q 노드 및 QB 노드에 의해 출력단에 출력신호가 인가된다. 따라서, Q 노드 또는 QB 노드가 플로팅되면 Q 노드 또는 QB 노드의 전압이 고정되지 않고 변동될 수 있으므로 잘못된 출력신호가 출력될 수 있다.

[0010] 이에 본 명세서의 발명자들은 위에서 언급한 문제점들을 인식하고, 게이트 구동회로의 구동 능력 및 구동 신뢰성을 향상시키기 위한 게이트 구동회로를 고안하고, 이를 이용한 표시장치를 발명하였다.

[0011] 본 명세서의 실시예에 따른 해결 과제는 Q 노드가 플로팅되지 않고 고전위전압 또는 저전위전압이 인가되게 함으로써 출력단에서 잘못된 출력이 발생하지 않도록 회로를 구성함으로써 구동 능력 및 신뢰성이 향상된 게이트 구동회로 및 이를 이용한 표시장치를 제공하는 것이다.

[0012] 본 명세서의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0013] 본 명세서에 의한 유기발광 표시장치는 게이트라인에 연결된 픽셀들 및 게이트라인들 중에서 적어도 어느 하나에 인가되는 게이트신호를 공급하며 서로 종속적으로 접속되는 다수의 스테이지로 이루어지는 게이트 구동회로를 포함한다. 게이트 구동회로의 제n(n은 자연수) 스테이지는 서로 역위상을 갖는 제1 및 제2 클럭신호를 이용하여, Q1 노드를 턴-온 전압으로 충전하는 Q1 노드 충전부 및 Q1 노드 전압에 응답하여 턴-온 전압을 출력단에 인가하는 풀업 트랜지스터를 포함한다. Q1 노드 충전부는 제2 클럭신호를 이용하여, Q1 노드 전압을 턴-온 전압으로 충전하는 제1 충전부 및 Q1 노드가 턴-온 전압인 구간에서 제1 클럭신호를 이용하여 Q1 노드와 커플링되는 Q2 노드를 충전하는 제2 충전부를 포함한다.

[0014] 본 명세서에 의한 게이트 구동회로는 종속적으로 접속되는 복수의 스테이지로 구성되고, 게이트신호를

출력한다. 복수의 스테이지들 각각은 제1 및 제2 클럭신호를 이용하여 게이트 신호를 출력한다. 복수의 스테이지들 중에서 제n(n은 자연수) 스테이지는 Q1 노드 전압에 응답하여, 턴-온 전압을 출력단에 인가하는 풀업 트랜지스터, Q1 노드와 Q2 노드 사이에 연결된 제1 커패시터, 제2 클럭신호의 입력단에 연결된 게이트전극, 스타트 신호의 입력단에 연결된 소스전극, 및 Q1 노드에 연결된 드레인전극을 포함하는 제1 트랜지스터, Q1 노드에 연결된 게이트전극, 제1 클럭신호의 입력단에 연결된 소스전극 및 Q2 노드에 연결된 드레인전극을 포함하는 제2 트랜지스터를 포함한다.

발명의 효과

- [0015] 본 명세서에 의한 표시장치는 게이트 구동회로의 풀업 트랜지스터를 제어하는 노드의 전압을 안정적으로 유지함으로써, 게이트 구동회로의 구동 능력 및 신뢰성을 향상시키고, 표시장치가 정확하게 이미지를 표시하도록 할 수 있다.
- [0016] 이상에서 해결하고자 하는 과제, 과제 해결 수단, 효과에 기재한 명세서의 내용이 청구항의 필수적인 특징을 특정하는 것은 아니므로, 청구항의 권리범위는 명세서의 내용에 기재된 사항에 제한되지 않는다.

도면의 간단한 설명

- [0017] 도 1은 본 명세서에 의한 유기발광 표시장치의 구성을 나타내는 도면이다.
- 도 2는 본 명세서에 의한 게이트 구동회로의 구성을 나타내는 도면이다.
- 도 3은 도 2에 도시된 게이트 구동회로의 스테이지를 나타내는 도면이다.
- 도 4는 제1 실시 예에 의한 스테이지의 세부 구성을 나타내는 도면이다.
- 도 5는 도 4에 도시된 스테이지를 구동하는 클럭신호들의 타이밍을 나타내는 도면이다.
- 도 6은 제2 실시 예에 의한 스테이지의 세부 구성을 나타내는 도면이다.
- 도 7은 도 6에 도시된 스테이지를 구동하는 클럭신호들의 타이밍을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 명세서는 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 명세서의 개시가 완전하도록 하며, 본 명세서가 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 명세서는 청구항의 범주에 의해 정의될 뿐이다.
- [0019] 본 명세서의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 명세서가 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 명세서를 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 명세서의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0020] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0021] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0022] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0023] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 명세서의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0024] 본 명세서의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술

적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.

- [0025] 본 명세서의 게이트 구동회로에서 스위치 소자들은 n 타입 또는 p 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 트랜지스터로 구현될 수 있다. 이하의 실시예에서 p 타입 트랜지스터를 예시 하였지만, 본 명세서는 이에 한정되지 않는다. 트랜지스터는 게이트(gate), 소스(source), 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. 트랜지스터 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 트랜지스터에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 MOSFET(NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 MOSFET에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 타입 MOSFET(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 MOSFET에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 이하의 실시예에서 트랜지스터의 소스와 드레인으로 인하여 발명이 제한되지는 않는다.
- [0026] 도 1은 본 명세서에 의한 표시장치의 구성을 나타내는 도면이다.
- [0027] 도 1을 참조하면, 본 명세서에 의한 유기발광 표시장치는 픽셀들(P)이 매트릭스 형태로 배열되는 표시패널(10), 데이터 구동부(120), 게이트 구동부(130,140) 및 타이밍 컨트롤러(110)를 구비한다.
- [0028] 표시패널(10)은 픽셀(P)들이 배치되어 영상을 표시하는 표시부(10A) 및 게이트 구동회로(140)가 배치되고 영상을 표시하지 않는 비표시부(10B)를 포함한다.
- [0029] 표시부(10A)는 복수 개의 픽셀(P)을 포함하고, 각각의 픽셀(P)들이 표시하는 계조를 기반으로 영상을 표시한다. 픽셀(P)들은 제1 내지 제n 픽셀라인(HL1 내지 HLn)들을 따라 배열된다. 각각의 픽셀(P)은 컬럼라인(Column Line)을 따라 배열되는 데이터라인(DL)과 연결되고, 픽셀라인(HL)을 따라 배열되는 게이트라인(GL)에 연결된다. 즉, 동일한 픽셀라인에 배치된 픽셀들은 동일한 게이트라인(GL)을 공유하여 동시에 구동된다. 그리고 제1 픽셀라인(HL1)에 배치된 픽셀들을 제1 픽셀(P1)들이라 정의하고, 제n 픽셀라인(HLn)에 배치된 픽셀들을 제n 픽셀(Pn)들이라 정의할 때, 제1 픽셀(P1)들부터 제n 픽셀(Pn)들은 순차적으로 구동된다. 그리고, 하나의 스캔라인에 데이터를 기입하는 샘플링 기간을 1수평기간(1H)이라고 정의할 수 있다.
- [0030] 게이트라인(GL)은 픽셀 구조에 따라 에미션라인과 복수의 스캔라인을 포함할 수 있다. 본 명세서의 실시예에 의한 게이트라인(GL)은 도 2에 도시된 것과 같이, 제1 스캔라인(SL1), 제2 스캔라인(SL2) 및 에미션라인(EML)을 포함한다.
- [0031] 타이밍 컨트롤러(110)는 데이터 구동부(120) 및 게이트 구동부의 구동 타이밍을 제어하기 위한 것이다. 이를 위해서 타이밍 컨트롤러(110)는 외부로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(10)의 해상도에 맞게 재정렬하여 데이터 구동부(120)에 공급한다. 또한, 타이밍 컨트롤러(110)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동부(120)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동부의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 발생한다.
- [0032] 데이터 구동부(120)는 데이터라인부(DL)를 구동하기 위한 것이다. 이를 위해서 데이터 구동부(120)는 데이터 제어신호(DDC)를 기반으로 타이밍 컨트롤러(110)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 데이터 전압으로 변환하여 데이터라인(DL)들에 공급한다.
- [0033] 게이트 구동부는 레벨 시프터(130) 및 게이트 구동회로(140)를 포함한다. 레벨 시프터(130)는 IC 형태로 표시패널(10)에 접속되는 인쇄회로기판에 형성되고, 게이트 구동회로(140)는 표시패널(10)의 비표시영역(10B)에 형성되는 GIP 회로로 형성된다.
- [0034] 레벨 시프터(130)는 타이밍 컨트롤러(110)의 제어하에 클럭신호들 및 스타트신호(VST)를 레벨 쉬프팅한 후 게이트 구동회로(140)에 공급한다. 게이트 구동회로(140)는 GIP 방식에 의해 표시패널(10)의 비표시영역(10B)에서 다수의 박막 트랜지스터(이하 트랜지스터)조합으로 형성된다.
- [0035] 게이트 구동회로(140)는 스캔신호를 출력하기 위한 스캔신호 생성부 및 에미션 신호를 출력하기 위한 에미션신

호 생성부를 포함할 수 있다. 스캔신호 생성부 및 에미션신호 생성부는 서로 종속적으로 접속되는 다수의 스테이지를 포함할 수 있다. 게이트 구동회로에 대해서 자세히 살펴보면 다음과 같다.

- [0036] 도 2는 본 명세서에 의한 게이트 구동회로를 나타내는 도면이다. 도 2는 게이트 구동회로의 에미션신호 생성부를 도시하고 있지만, 스캔신호 생성부 또한 도 2와 같은 구성을 포함할 수 있다. 그리고, 게이트 구동회로는 시프트레지스터의 구성으로 형성될 수 있다. 그리고, 시프트레지스터에서 종속적으로 연결되는 스테이지들 각각은 에미션 드라이버 또는 스캔 드라이버에 해당한다.
- [0037] 도 1 및 도 2를 참조하면, 본 명세서에 의한 에미션신호 생성부는 제1 내지 제n 에미션 드라이버(EMD1~EMD(n))를 포함한다. 제1 에미션 드라이버(EMD1)는 에미션신호(EM1)를 생성하여, 에미션신호(EM1)를 제1 픽셀라인(HL1)에 배치되는 에미션 라인에 인가한다. 제2 에미션 드라이버(EMD2)는 에미션신호(EM2)를 생성하고, 에미션신호(EM2)를 제2 픽셀라인(HL2)에 배치되는 에미션 라인에 인가한다. 마찬가지로, 제n 에미션 드라이버(EMD(n))는 에미션신호(EM(n))를 생성하고, 에미션신호(EM(n))를 제n 픽셀라인(HLn)에 배치되는 에미션 라인에 인가한다.
- [0038] 제1 에미션 드라이버(EMD1)는 스타트신호(VST)를 입력받아 동작을 하고, 제2 에미션 드라이버(EMD2) 내지 제n 에미션 드라이버(EMD(n))은 이전 에미션 드라이버의 출력신호, 즉 에미션신호를 스타트신호 입력단(VP)에 인가받음으로써 동작한다.
- [0039] 즉, 에미션신호 생성부의 제1 내지 제n 에미션 드라이버(EMD1~EMD(n))는 서로 종속적으로 연결된다.
- [0040] 도 3은 도 2에 도시된 에미션신호 생성부에서 제n 에미션 드라이버의 구성을 나타내는 도면이다.
- [0041] 도 3을 참조하면, 제n 에미션 드라이버(EMD(n))는 Q1 노드 충전부(100,200), 노드 제어부(300), 폴업부(400) 및 폴다운부(500)를 포함한다.
- [0042] Q1 노드 충전부(100,200)는 서로 교번적으로 인가되는 제1 및 제2 클럭신호들(ECLK1,ECLK2)을 이용하여 Q1 노드(Q1)에 턴-온 전압을 인가한다. Q1 노드 충전부(100,200)는 제2 클럭신호(ECLK2)를 이용하여 Q1 노드(Q1)에 턴-온 전압을 인가하는 제1 충전부(100) 및 제1 클럭신호(ECLK1)를 이용하여 Q1 노드(Q1)에 턴-온 전압을 인가하는 제2 충전부(200)를 포함한다.
- [0043] 노드 제어부(300)는 Q1 노드(Q1), QB1 노드(QB1) 및 QB2 노드(QB2)의 전압을 제어한다.
- [0044] 폴업부(400)는 Q1 노드(Q1) 전압에 응답하여, 에미션 신호를 출력한다.
- [0045] 폴다운부(500)는 QB1 노드(QB1) 및 QB2 노드(QB2) 중에서 적어도 어느 하나의 전압에 응답하여, 출력단(Nout)의 전압을 턴-오프 전압으로 제어한다.
- [0046] 이하, 도 3에 도시된 에미션 드라이버의 구체적인 실시예를 살펴보면 다음과 같다.
- [0047] 도 4는 본 명세서의 제1 실시예에 의한 제n 에미션 드라이버를 나타내는 도면이다.
- [0048] 도 4를 참조하면, 제n 에미션 드라이버(EMD(n))는 Q1 노드 충전부(100,200), 노드 제어부(300), 폴업부(400) 및 폴다운부(500)를 포함한다.
- [0049] Q1 노드 충전부(100,200)는 제1 충전부(100) 및 제2 충전부(200)를 포함한다. 제1 충전부(100)(이하, 제1 트랜지스터, T1)는 제2 클럭신호 입력단(ECLK2)에 연결되는 게이트전극, 에미션 스타트신호(EVST)를 제공하는 스타트신호 입력단(VP)에 연결되는 소스전극 및 Q1 노드(Q1)에 연결되는 드레인전극을 포함한다. 제2 클럭신호 입력단(CP2)은 제2 클럭신호(ECLK2)를 입력받고, 스타트신호 입력단(VP)은 에미션 스타트신호(EVST) 또는 캐리신호를 입력받는다. 캐리신호는 제(n-1) 에미션 드라이버(EM(n-1))의 출력신호일 수 있다. 제1 트랜지스터(T1)는 에미션 스타트신호(EVST) 및 제2 클럭신호(ECLK2)들이 모두 턴-온 전압인 구간에서 Q1 노드(Q1)를 턴-온 전압인 저전위전압(VEL)으로 충전시킨다.
- [0050] 제2 충전부(200)는 제2 트랜지스터(T2) 및 제1 커패시터(C1)를 포함한다. 제2 트랜지스터(T2)는 Q1 노드(Q1)에 접속되는 게이트전극, 제1 클럭신호 입력단(CP1)에 연결되는 소스전극, 및 Q2 노드(Q2)에 연결되는 드레인전극을 포함한다. 제2 트랜지스터(T2)는 Q1 노드(Q1) 및 제1 클럭신호(ECLK1)가 턴-온 전압인 구간에서 Q2 노드(Q2)를 턴-온 전압인 저전위전압(VEL)으로 충전시킨다.
- [0051] 제1 커패시터(C1)는 Q1 노드(Q1) 및 Q2 노드(Q2) 사이에 접속된다. 제1 커패시터(C1)는 Q1 노드(Q1)의 전압에 대응하여 Q2 노드(Q2)의 전압을 부스트트래핑(bootstrap)시킨다. 또는, 제1 커패시터(C1)는 Q2 노드(Q2)의 전

압에 대응하여 Q1 노드(Q1)의 전압을 부트스트래핑시킨다.

- [0052] 노드 제어부(300)는 Q1 홀딩부(이하 제3 트랜지스터) (T3), QP 노드 제어부(이하, 제4 트랜지스터)(T4), QB2 노드 제어부(이하, 제8 트랜지스터)(T8), QB1 노드 제어부(이하, 제9 트랜지스터)(T9), QB1 홀딩부(이하, 제5 트랜지스터)(T5), QB2 홀딩부(이하, 제10 트랜지스터)(T10), 제2 및 제3 커패시터(C2,C3)를 포함한다. 노드 제어부(300)는 Q1 노드 제어부로 언급될 수도 있다.
- [0053] 제3 트랜지스터(T3)는 QB2 노드(QB2)에 접속되는 게이트전극, Q1 노드(Q1)에 연결되는 소스전극, 및 고전위전압 (VEH)의 입력단에 연결되는 드레인전극을 포함한다. Q1 노드 제어부(300)는 QB2 노드(QB2)가 턴-온 전압일 때에 Q1 노드(Q1)를 턴-오프 전압인 고전위전압(VEH)으로 충전시킨다.
- [0054] QB 노드 충전부(T4,T8,T9)는 제4 트랜지스터(T4), 제8 트랜지스터(T8) 및 제9 트랜지스터(T9)를 포함한다.
- [0055] 제4 트랜지스터(T4)는 제2 클럭신호 입력단(CP2)에 연결되는 게이트전극, 제(n-1) QB2 노드(QB2(n-1))에 연결되는 소스전극 및 QP 노드(QP)에 연결되는 드레인전극을 포함한다. 제4 트랜지스터(T4)는 제(n-1) QB2 노드(QB2(n-1))의 전압 및 제2 클럭신호(ECLK2)들이 모두 턴-온 전압인 구간에서 QP 노드(QP)를 턴-온 전압인 저전위전압(VEL)으로 충전시킨다. 제(n-1) QB2 노드(QB2(n-1))는 제(n-1) 에미션 드라이버(EM(n-1))의 QB2 노드(QB2)를 지칭한다.
- [0056] 제8 트랜지스터(T8)는 QP 노드(QP)에 연결되는 게이트전극, 제1 클럭신호 입력단(CP1)에 연결되는 소스전극, 및 QB2 노드(QB2)에 연결되는 드레인전극을 포함한다. 제8 트랜지스터(T8)는 QP 노드(QP)의 전압이 턴-온 전압일 때, 제1 클럭신호(ECLK1)의 전압을 QB2 노드(QB2)에 인가한다.
- [0057] 제2 커패시터(C2)의 양 전극은 각각 QP 노드(QP)와 QB2 노드(QB2)에 연결된다. 그 결과 QB2 노드(QB2)의 전압 변화에 따라 QP 노드(QP)는 부트스트래핑된다.
- [0058] 제9 트랜지스터(T9)는 제1 클럭신호 입력단(CP1)에 연결되는 게이트전극, QB2 노드(QB2)에 연결되는 소스전극, 및 QB1 노드(QB1)에 연결되는 드레인 전극을 포함한다. 제9 트랜지스터(T9)는 제1 클럭신호(ECLK1)의 전압레벨에 따라서, QB2 노드(QB2)와 QB1 노드(QB1) 간의 전류 경로를 스위칭한다.
- [0059] QB 노드 제어부(T5,T10)는 제5 트랜지스터(T5) 및 제10 트랜지스터(T10)를 포함한다.
- [0060] 제5 트랜지스터(T5)는 Q1 노드(Q1)에 연결되는 게이트전극, QB1 노드(QB1)에 연결되는 소스전극 및 고전위전압 (VEH)의 입력단에 연결되는 드레인전극을 포함한다. 제5 트랜지스터(T5)는 Q1 노드(Q1)의 전압이 턴-온 전압일 때에 QB1 노드(QB1)의 전압을 턴-오프 전압인 고전위전압(VEH)으로 충전시킨다.
- [0061] 제10 트랜지스터(T10)는 Q1 노드(Q1)에 연결되는 게이트전극, QB2 노드(QB2)에 연결되는 소스전극 및 고전위전압(VEH)의 입력단에 연결되는 드레인전극을 포함한다. 제10 트랜지스터(T10)는 Q1 노드(Q1)의 전압이 턴-온 전압일 때에 QB2 노드(QB2)의 전압을 턴-오프 전압인 고전위전압(VEH)으로 충전시킨다.
- [0062] 제3 커패시터(C3)의 양 전극은 각각 QB1 노드(QB1) 및 고전위전압(VEH)의 입력단에 연결된다. 제3 커패시터 (C3)는 QB1 노드(QB1)의 전압을 안정적으로 유지함으로써, 풀다운 트랜지스터(T7)의 동작 신뢰성을 높일 수 있다.
- [0063] 풀업부(400)는 Q1 노드(Q1)의 전압에 응답하여, 턴-온 전압인 저전위전압(VEL)을 출력단(Nout)에 인가한다. 풀업부(400)는 저전위전압(VEL)의 입력단과 출력단(Nout) 사이에 접속하며, 게이트전극이 Q1 노드(Q1)에 연결되는 풀업 트랜지스터(T6)로 구현될 수 있다.
- [0064] 풀다운부(500)는 QB1 노드(QB1)의 전압에 응답하여 출력단(Nout)에 턴-오프 전압인 고전위전압(VEH)을 인가하는 풀다운 트랜지스터(T7)를 포함한다.
- [0065] 도 5는 도 4에 도시된 제n 에미션 드라이버에 인가되는 클럭신호들 및 주요 노드의 전압 변화를 나타내는 타이밍도이다.
- [0066] 도 4 및 도 5를 참조하면, 풀업 트랜지스터(T6)는 Q1 노드 전압이 저전위전압(VEL) 이하의 턴-온 전압일 때에 출력단(Nout)을 저전위전압(VEL)으로 충전시킨다. 출력단(Nout)과 연결되는 제n 픽셀라인(HLn)의 에미션라인에는 턴-온 전압의 에미션 신호(EM(n))가 인가된다. Q1 노드(Q1)는 서로 교번적으로 턴-온 전압을 유지하는 제1 클럭신호(ECLK1) 및 제2 클럭신호(ECLK2)에 의해서 저전위전압(VEL)으로 유지된다. 제1 클럭신호(ECLK1) 및 제2 클럭신호(ECLK2)는 역위상을 갖고, 2수평기간(2H)의 주기를 갖는다. 다만, 제1 클럭신호(ECLK1) 및 제2 클럭

신호(ECLK2)는 동작 마진을 위해서 전압레벨이 반전되는 구간에서 다소 중첩되도록 펄스 폭이 설계될 수 있다.

- [0067] 제2 클럭신호(ECLK2)와 에미션 스타트신호(EVST)가 동기되는 구간에서 제1 트랜지스터(T1)는 턴-온되어서, Q1 노드(Q1)를 저전위전압(VEL)으로 충전시킨다.
- [0068] 제1 클럭신호(ECLK1)가 저전위전압(VEL)인 구간에서 제2 트랜지스터(T2)는 Q2 노드(Q2)를 저전위전압(VEL)으로 충전시킨다. 제1 클럭신호(ECLK1)에 의해서 Q2 노드(Q2)의 전압이 변하는 것에 대응하여, Q1 노드(Q1)는 부트스트래핑 전압(Vboot)으로 부트스트래핑된다. 그 결과 풀업 트랜지스터(T6)는 턴-온 전압의 저전위전압(VEL)을 출력단(Nout)에 충전시키고, 출력단(Nout)은 턴-온전압 레벨의 에미션신호(EM(n))를 출력한다.
- [0069] Q1 노드(Q1)가 턴-온전압레벨인 구간에서 제5 트랜지스터(T5)는 QB1 노드(QB1)의 전압을 턴-오프 전압인 고전위 전압(VEH)으로 충전시키고, 제10 트랜지스터(T10)는 QB2 노드(QB2)를 턴-오프 전압인 고전위전압(VEH)으로 충전시킨다. 그 결과, Q1 노드(Q1)가 턴-온 전압인 구간에서 풀다운 트랜지스터(T7)는 안정적으로 턴-오프 상태를 유지한다.
- [0070] 제1 타이밍(t1)에서, 제4 트랜지스터(T4)는 제(n-1) QB2 노드(QB2(n-1))로부터 인가받는 저전위전압(VEL)을 QP 노드(QP)에 인가한다. 제1 타이밍(t1)에서, 제2 클럭신호(ECLK2)가 턴-온 전압으로 반전되어 제1 트랜지스터(T1)는 턴-온 되고, 에미션 스타트신호(EVST)는 고전위전압(VEH)으로 반전된다. 그 결과, 제1 타이밍(t1)에서 Q1 노드(Q1)는 고전위전압(VEH)으로 반전된다. 제1 타이밍(t1)에서, Q1 노드(Q1)가 턴-오프 전압으로 상승하여, 제2 트랜지스터(T2)는 턴-오프된다. 제1 타이밍(t1)에서 턴-오프된 제2 트랜지스터(T2)는 에미션 스타트신호(EVST)와 제2 클럭신호(ECLK2)가 동기되는 제4 타이밍(t4)까지 턴-오프 상태를 유지한다. 제2 트랜지스터(T2)가 턴-오프 상태인 동안, Q2 노드(Q2)는 제1 클럭신호(ECLK1)의 전압변화에 영향을 받지 않고 일정한 전압을 유지할 수 있다. 그 결과, 제1 커패시터(C1)를 통해서 Q2 노드(Q2)와 커플링되는 Q1 노드(Q1)의 전압은 안정적으로 턴-오프 전압을 유지할 수 있다.
- [0071] 제2 타이밍(t2)에서, 제8 트랜지스터(T8)는 제1 클럭신호(ECLK1)의 저전위전압(VEL)을 QB2 노드(QB2)에 인가한다. 이때, QB2 노드(QB2)의 전압 변화량에 대응하여 QP 노드(QP)는 더 낮은 전압레벨로 부트스트래핑된다. 제9 트랜지스터(T9)는 저전위전압(VEL)의 제1 클럭신호(ECLK1)에 응답하여 QB2 노드(QB2)의 전압을 QB1 노드(QB1)에 인가한다.
- [0072] 풀다운 트랜지스터(T7)는 QB1 노드(QB1)의 전압에 응답하여, 출력단(Nout)을 턴-오프전압으로 충전시킨다.
- [0073] 제2 타이밍(t2)에서, 제3 트랜지스터(T3)는 QB2 노드(QB2)의 전압에 응답하여 Q1 노드(Q1)에 고전위전압(VEH)을 인가하여, Q1 노드(Q1)가 안정적으로 턴-오프 전압을 유지하도록 한다.
- [0074] 제3 타이밍(t3)에서, 제1 클럭신호(ECLK1)는 고전위전압(VEH)으로 반전된다. 제8 트랜지스터(T8)를 통해서 인가되는 제1 클럭신호(ECLK1)의 고전위전압(VEH)에 의해서 QB2 노드(QB2)의 전압은 고전위전압(VEH)이 된다. 제4 타이밍(t4)에서, 에미션 스타트신호(EVST)와 제2 클럭신호(ECLK2)가 다시 턴-온 전압으로 동기되고, 그 결과 Q1 노드(Q1)에는 저전위전압(VEL)이 인가된다.
- [0075] 살펴본 바와 같이, 본 명세서에 의한 게이트 구동회로의 에미션 드라이버는 제1 및 제2 클럭신호들(ECLK1, ECLK2)을 이용하여 풀업 트랜지스터의 게이트전압인 Q1 노드(Q1)를 제어한다. 제2 트랜지스터(T2)는 Q1 노드(Q1)에 턴-온 전압을 직접 인가하는 것이 아니라, Q1 노드(Q1)와 커플링되는 Q2 노드(Q2)에 턴-온 전압을 인가하여 Q1 노드(Q1) 전압을 제어한다. 특히, 제2 트랜지스터(T2)의 게이트전극은 Q1 노드(Q1)에 연결된다. 따라서, 풀업 트랜지스터가 턴-오프되는 구간에서 제2 트랜지스터(T2)는 턴-오프되어서, 풀업 트랜지스터의 게이트전압은 제1 클럭신호(ECLK1)에 의해서 직접적인 커플링 현상이 발생하지 않는다.
- [0076] 일반적인 게이트 구동회로는 서로 교번적으로 인가되는 제1 및 제2 클럭신호를 이용하여 Q 노드를 충전시킬 경우에, Q 노드에 클럭신호를 직접 인가한다. 그 결과, 풀업 트랜지스터가 턴-오프 상태이어서 Q 노드에 턴-온 전압을 인가하지 않을 경우에도 클럭신호의 전압 변화량에 따라 Q 노드가 부트스트래핑되어서, 원치않는 게이트 신호가 출력되기도 한다.
- [0077] 이에 반해서, 본 명세서에 의한 게이트 구동회로는 풀업 트랜지스터의 게이트전극인 Q1 노드(Q1)에 직접 턴-온 전압을 인가하지 않고 Q2 노드(Q2)를 통해서 턴-온 전압을 인가하며, 풀업 트랜지스터(Tpu)가 턴-오프일 때에 Q2 노드(Q2)와 Q1 노드(Q1)를 연결시키는 제2 트랜지스터(T2)를 턴-오프 시킨다. 따라서, 풀업 트랜지스터가 턴-오프 상태일 때에 Q2 노드(Q2)의 전압을 안정적인 턴-오프 전압으로 유지하여, 풀업 트랜지스터가 오동작하는 것을 방지한다.

- [0078] 도 6은 본 명세서의 제2 실시예에 의한 제n 에미션 드라이버를 나타내는 도면이다. 도 6에서 전술한 실시 예와 동일한 구성에 대해서는 동일한 도면부호를 사용하고 자세한 설명은 생략하거나 간략히 설명한다.
- [0079] 도 6을 참조하면, 제n 에미션 드라이버(EMD(n))는 Q1 노드 충전부(100,200,210), 노드 제어부(300), 풀업부(400) 및 풀다운부(500)를 포함한다.
- [0080] Q1 노드 충전부(100,200,210)는 제1 및 제2 충전부(100,200)와 Q2 노드 제어부(210)를 포함한다.
- [0081] 제1 충전부(100)(이하, 제1 트랜지스터)는 제2 클럭신호(ECLK2)를 입력받는 게이트전극, 에미션 스타트신호(EVST)를 제공하는 스타트신호 입력단(VP)에 연결되는 소스전극 및 Q1 노드(Q1)에 연결되는 드레인전극을 포함한다.
- [0082] 제2 충전부(200)는 제2 트랜지스터(T2) 및 제1 커패시터(C1)를 포함한다. 제2 트랜지스터(T2)는 Q1 노드(Q1)에 접속되는 게이트전극, 제1 클럭신호 입력단(CP1)에 연결되는 소스전극, 및 Q2 노드(Q2)에 연결되는 드레인전극을 포함한다. 제1 커패시터(C1)는 Q1 노드(Q1) 및 Q2 노드(Q2) 사이에 접속된다.
- [0083] 제1 커패시터(C1)는 Q1 노드(Q1)의 전압에 대응하여 Q2 노드(Q2)의 전압을 부트스트래핑시킨다. 또는, 제1 커패시터(C1)는 Q2 노드(Q2)의 전압에 대응하여 Q1 노드(Q1)의 전압을 부트스트래핑시킨다.
- [0084] Q2 노드 제어부(210)는 Q1 노드(Q1)가 턴-오프 전압인 구간에서 Q2 노드(Q2)에 정전위전압을 인가한다. 정전위 전압은 고전위전압(VEH)을 이용할 수 있다. Q2 노드 제어부(210)는 제2 클럭신호 입력단(CP2)에 연결되는 게이트전극, Q2 노드(Q2)에 연결되는 드레인전극 및 고전위전압(VEH)의 입력단에 연결되는 소스전극으로 이루어지는 트랜지스터일 수 있다. 이 경우, Q2 노드 제어부(210)는 제2a 트랜지스터(T2a)이다.
- [0085] 도 7은 도 6에 도시된 에미션 드라이버의 구동을 위한 클럭신호들 및 주요 노드의 전압 변화를 나타내는 타이밍도이다. 도 7에 도시된 제1 및 제2 클럭신호들의 타이밍은 도 5에 도시된 제1 및 제2 클럭신호들의 타이밍과 동일하기 때문에, 제2 실시예에 의한 에미션 드라이버의 구동 타이밍은 제1 실시예와 동일하다.
- [0086] 도 6 및 도 7을 참조하면, 제2 실시예에 의한 에미션 드라이버는 Q2 노드 제어부(210)를 이용하여, Q1 노드(Q1)가 고전위전압(VEH)을 유지하는 구간에서 Q2 노드(Q2)의 전압을 고전위전압(VEH)으로 유지할 수 있다.
- [0087] 제2 실시예의 Q2 노드 제어부(210)의 특징을 제1 실시예와 비교하면 다음과 같다.
- [0088] 도 4에 도시된 제1 실시예에서, Q2 노드(Q2)는 Q1 노드(Q1)와 제1 커패시터(C1)를 통해서 커플링 된 상태이다. 따라서, 도 5에서 보는 바와 같이, Q1 노드(Q1)의 전압이 상승하는 구간에서 Q2 노드(Q2)의 전압은 커플링 현상에 의해서 고전위전압(VEH) 보다 높은 전압레벨로 상승하기도 한다. 제2 트랜지스터(T2)의 드레인전압과 소스전압 간의 차이(Vds)는 Q2 노드(Q2)의 전압과 제1 클럭신호(ECLK1)의 전압 간의 차이에 해당한다. Q2 노드(Q2)의 전압이 고전위전압(VEH) 보다 높아지면, 제1 클럭신호(ECLK1)가 저전위전압(VGL)인 구간에서 제2 트랜지스터(T2)의 Vds 가 커진다. 그 결과 제2 트랜지스터(T2)의 열화가 가속될 수 있다.
- [0089] 그리고, 제2 실시예의 Q2 노드 제어부(210)는 Q1 노드(Q1)의 전압이 상승하는 구간 내에서 Q2 노드(Q2)에 정전위전압, 예컨대 고전위전압(VEH)을 인가한다. 따라서, Q2 노드(Q2)는 Q1 노드(Q1)의 전압이 상승하더라도 커플링 현상이 나타나지 않고 고전위전압(VEH)을 유지할 수 있다. 이로 인해서 제2 실시예는 제2 트랜지스터(T2)의 열화가 가속되는 것을 방지할 수 있다.
- [0090] 본 명세서의 실시예들은 다음과 같이 설명될 수 있다.
- [0091] 본 명세서에 의한 유기발광 표시장치는 게이트라인에 연결된 픽셀들 및 게이트라인들 중에서 적어도 어느 하나에 인가되는 게이트신호를 공급하며 서로 종속적으로 접속되는 다수의 스테이지로 이루어지는 게이트 구동회로를 포함한다. 게이트 구동회로의 제n(n은 자연수) 스테이지는 서로 역위상을 갖는 제1 및 제2 클럭신호를 이용하여, Q1 노드를 턴-온 전압으로 충전하는 Q1 노드 충전부 및 Q1 노드 전압에 응답하여 턴-온 전압을 출력단에 인가하는 풀업 트랜지스터를 포함한다. Q1 노드 충전부는 제2 클럭신호를 이용하여, Q1 노드 전압을 턴-온 전압으로 충전하는 제1 충전부 및 Q1 노드가 턴-온 전압인 구간에서 제1 클럭신호를 이용하여 Q1 노드와 커플링되는 Q2 노드를 충전하는 제2 충전부를 포함한다.
- [0092] 제1 충전부는 스타트신호 입력단 및 Q1 노드 사이에 접속되며, 게이트전극이 제2 클럭신호의 입력단에 연결되는 제1 트랜지스터를 포함할 수 있다.
- [0093] 제2 충전부는 제1 클럭신호의 입력단 및 Q2 노드 사이에 접속되며, 게이트전극이 Q1 노드에 연결되는 제2 트랜

지스터, 및 Q1 노드 및 Q2 노드 사이에 접속하는 제1 커패시터를 포함할 수 있다.

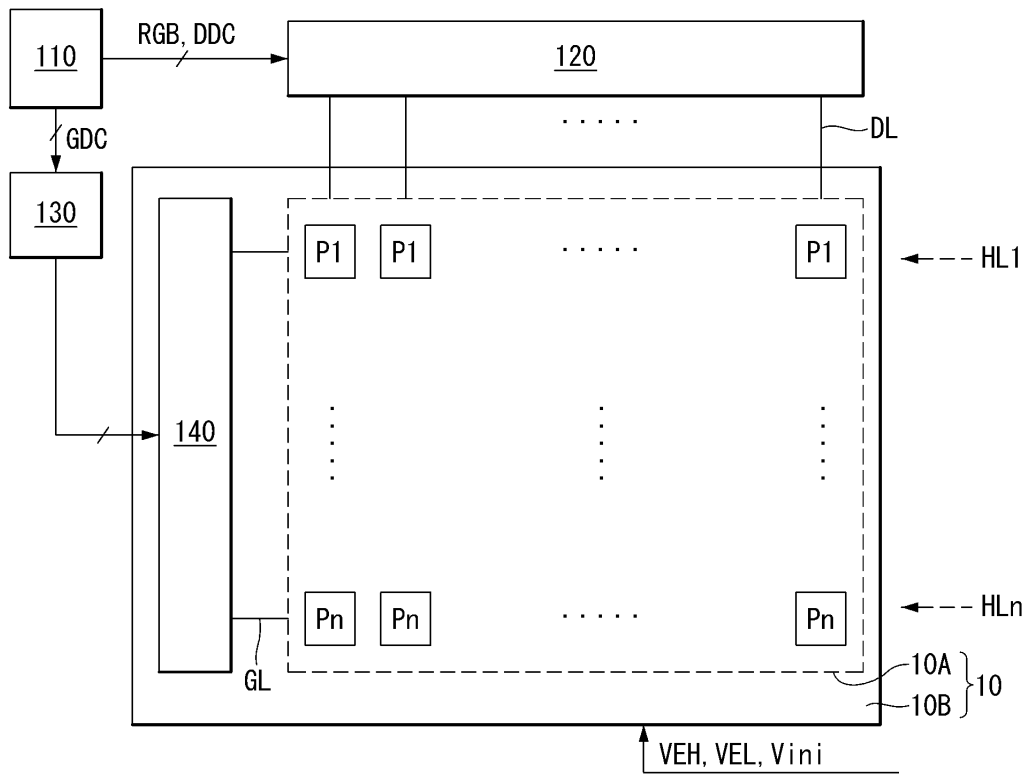
- [0094] Q1 노드 충전부는 Q1 노드가 턴-오프 전압인 구간에서 Q2 노드에 정전위전압을 인가하는 Q2 노드 제어부를 더 포함할 수 있다.
- [0095] Q2 노드 제어부는 제2 클럭신호 입력단에 연결되는 게이트전극, Q2 노드에 연결되는 드레인전극 및 고전위전압 입력단에 연결되는 소스전극을 포함할 수 있다.
- [0096] 게이트 구동회로는 QB1 노드의 전압에 응답하여, 출력단의 전압을 턴-오프 전압으로 제어하는 풀다운부, 및 Q1 노드의 반대 전압레벨로 QB1 노드의 전압을 제어하는 노드 제어부를 더 포함할 수 있다.
- [0097] 노드 제어부는 QP 노드와 QB2 노드 사이에 접속되는 제2 커패시터, 제(n-1) 스테이지의 QB2 노드 및 상QP 노드와 연결되는 QP 노드 제어부를 더 포함할 수 있다.
- [0098] 노드 제어부는 QP 노드의 전압에 응답하여, 제1 클럭신호의 턴-온 전압을 QB2 노드에 인가하는 QB2 노드 제어부를 더 포함할 수 있다.
- [0099] 노드 제어부는 게이트전극이 제1 클럭신호를 인가받는 제1 클럭신호 입력단에 연결되고, QB2 노드의 전압을 QB1 노드에 인가하는 QB1 노드 제어부를 더 포함할 수 있다.
- [0100] 본 명세서에 의한 게이트 구동회로는 구동회로는 종속적으로 접속되는 복수의 스테이지로 구성되고, 게이트신호를 출력한다. 복수의 스테이지들 각각은 제1 및 제2 클럭신호를 이용하여 게이트 신호를 출력한다. 복수의 스테이지들 중에서 제n(n은 자연수) 스테이지는 Q1 노드 전압에 응답하여, 턴-온 전압을 출력단에 인가하는 풀업 트랜지스터, Q1 노드와 Q2 노드 사이에 연결된 제1 커패시터, 제2 클럭신호의 입력단에 연결된 게이트전극, 스타트신호의 입력단에 연결된 소스전극, 및 Q1 노드에 연결된 드레인전극을 포함하는 제1 트랜지스터, Q1 노드에 연결된 게이트전극, 제1 클럭신호의 입력단에 연결된 소스전극 및 Q2 노드에 연결된 드레인전극을 포함하는 제2 트랜지스터를 포함한다.
- [0101] 제1 클럭신호 및 제2 클럭신호는 서로 역위상일 수 있다.
- [0102] 제1 클럭신호 및 제2 클럭신호는 한 주기가 2수평기간일 수 있다.
- [0103] 스타트신호는 제(n-1) 스테이지가 출력하는 게이트신호일 수 있다.
- [0104] Q2 노드에 연결된 드레인전극, 고전위전압의 입력단에 연결된 소스전극, 제2 클럭신호에 연결된 게이트전극을 포함하는 트랜지스터를 더 포함할 수 있다.
- [0105] 이상 설명한 내용을 통해 당업자라면 본 명세서의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 명세서의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

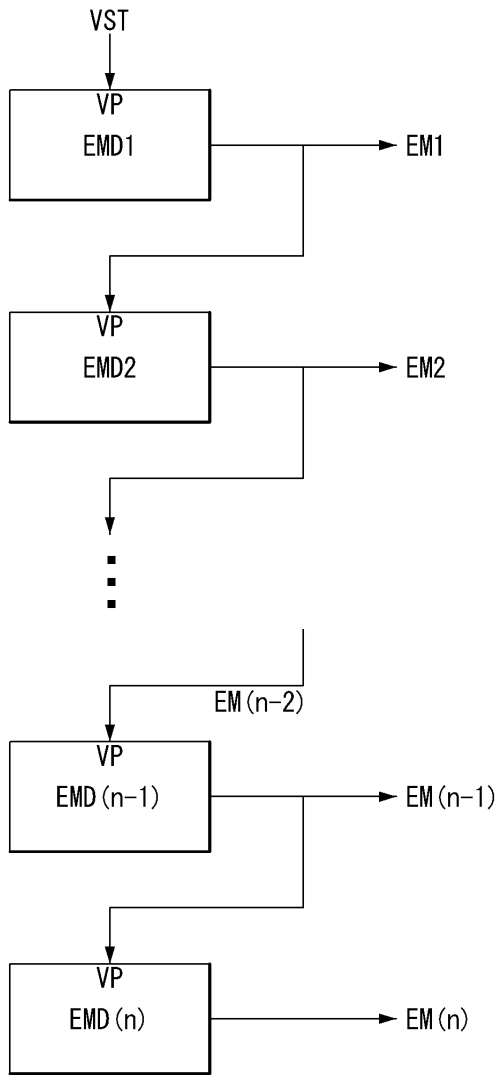
- [0106] 10: 표시패널 110: 타이밍 컨트롤러
- 120: 데이터 구동부 130,140: 게이트 구동부

도면

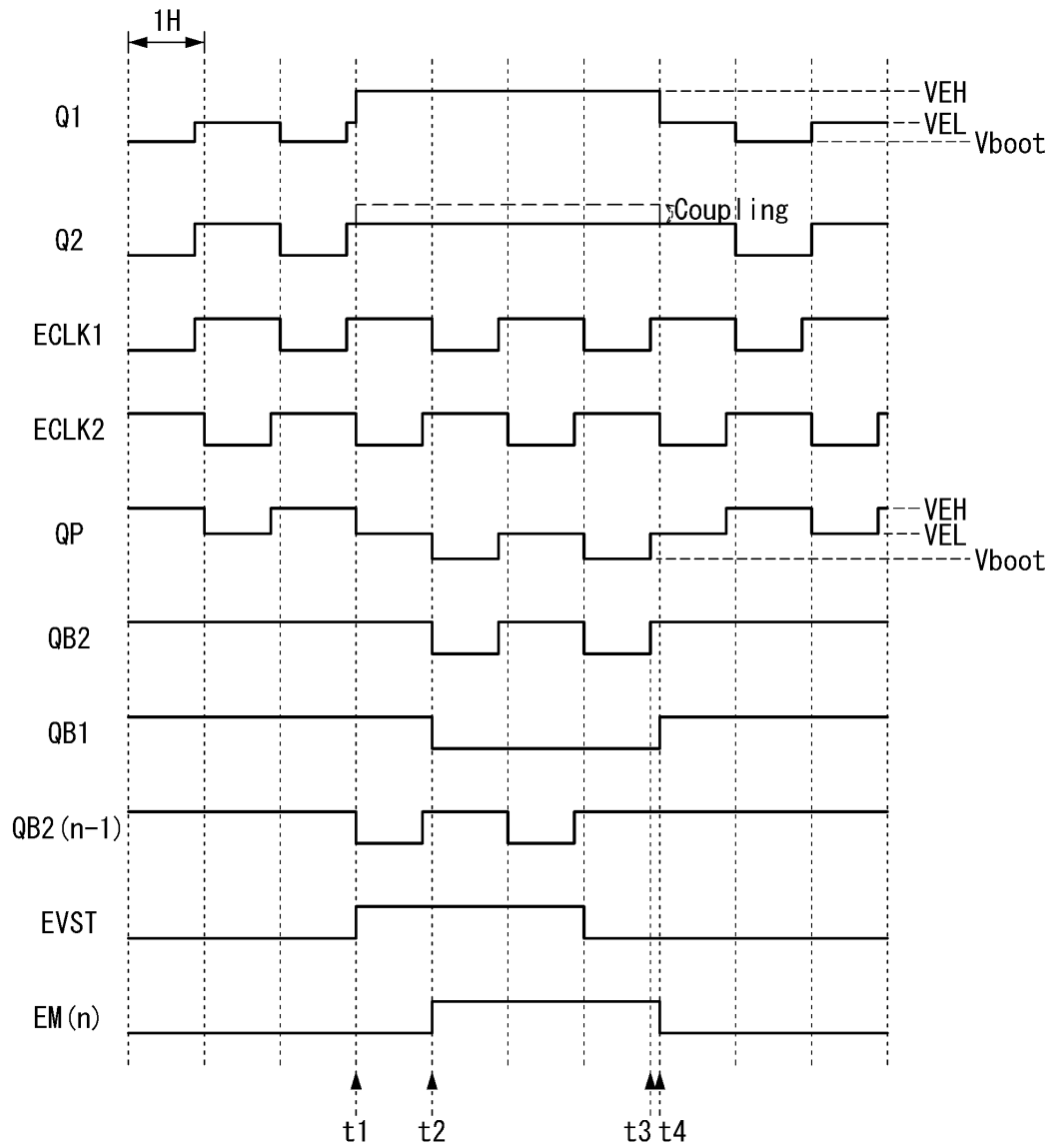
도면1



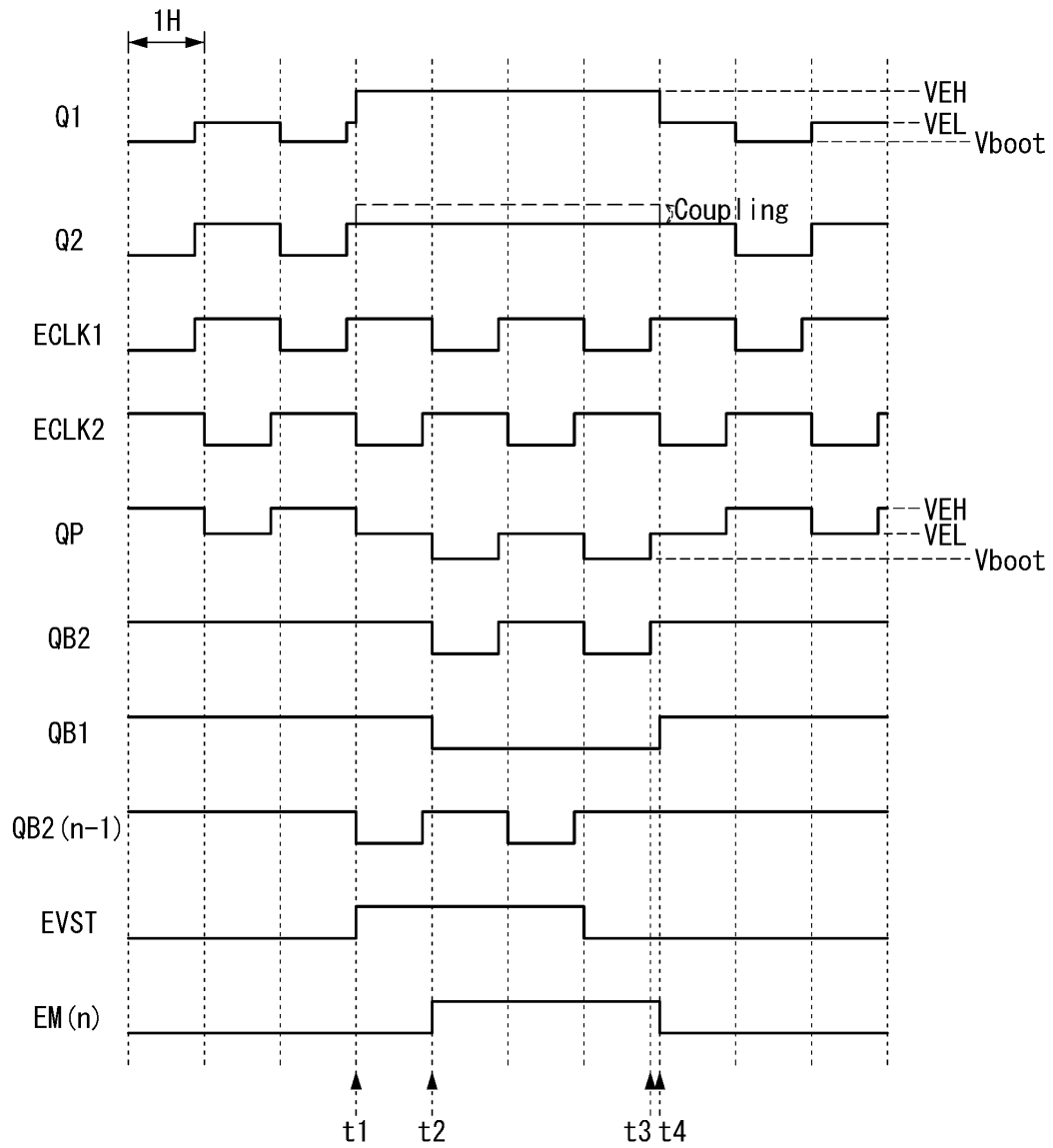
도면2



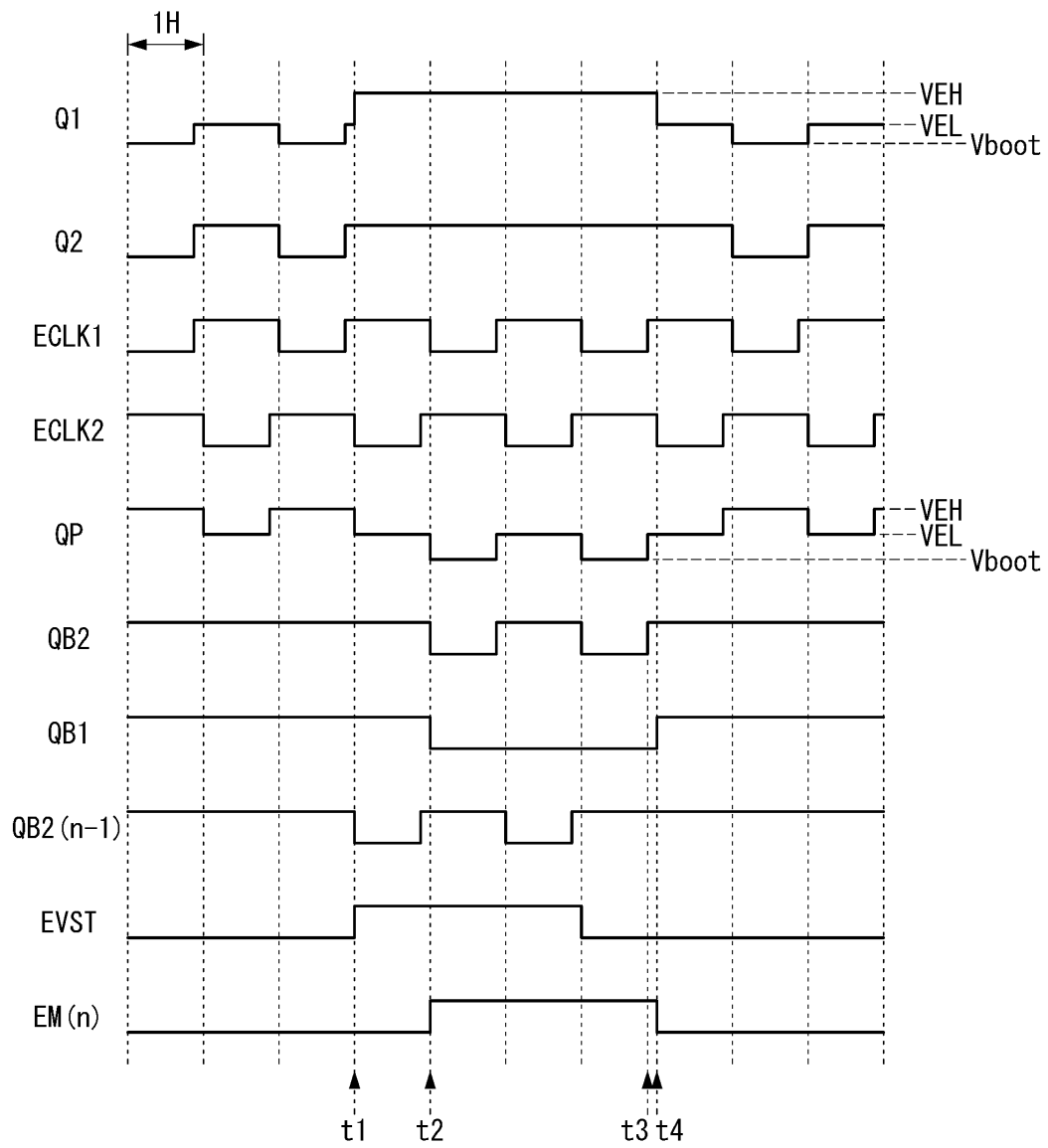
도면4



도면5



도면7



专利名称(译)	栅极驱动电路和使用其的有机发光显示器		
公开(公告)号	KR1020190024465A	公开(公告)日	2019-03-08
申请号	KR1020170111475	申请日	2017-08-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	공충식 한흥규 신미희 이세완		
发明人	공충식 한흥규 신미희 이세완		
IPC分类号	G09G3/3266		
CPC分类号	G09G3/3266 G09G2230/00 G09G2300/0408		
外部链接	Espacenet		

摘要(译)

根据本公开的有机发光二极管显示器包括栅极驱动电路，该栅极驱动电路包括彼此连接的多个级并且提供施加到像素中的至少一个的栅极信号和连接到该栅极线的栅极线。响应于Q1节点充电单元和Q1节点电压，通过使用具有相反相位的第一和第二时钟信号将栅极驱动电路的第n个级（n是自然数）导通，从而将Q1节点充电至导通电压。一个上拉晶体管，用于向输出级施加导通电压。在第一充电单元使用第二时钟信号将Q1节点电压充电至导通电压并且Q1节点是导通电压的时段中，Q1节点充电单元使用第一时钟信号耦合至Q1节点。第二充电单元，用于对Q2节点进行充电。

