



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0077833
(43) 공개일자 2018년07월09일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 51/50* (2006.01)
H01L 51/52 (2006.01)

(52) CPC특허분류
H01L 27/3246 (2013.01)
H01L 51/5012 (2013.01)

(21) 출원번호 10-2016-0182585
(22) 출원일자 2016년12월29일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
최정목
경기도 고양시 일산동구 숲속마을1로 115, 808동
1303호 (풍동, 숲속마을8단지아파트)
정낙운
서울특별시 영등포구 국회대로 552, 2동 702호 (당산동3가, 삼익아파트)
주명오
서울특별시 송파구 석촌호수로 133, 105동 1902호 (잠실동, 레이크팰리스)

(74) 대리인
특허법인네이트

전체 청구항 수 : 총 7 항

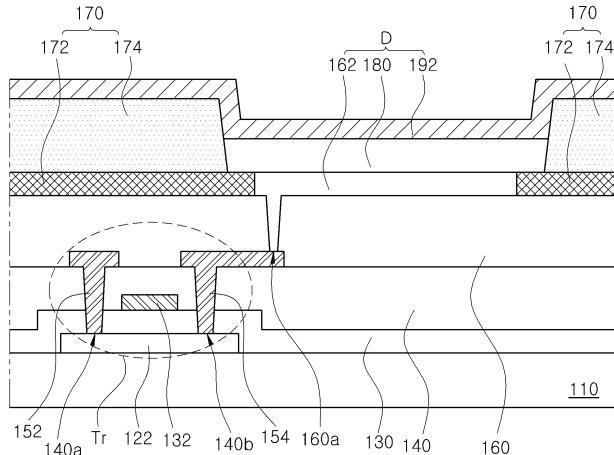
(54) 발명의 명칭 전계발광 표시장치

(57) 요 약

본 발명은 전계발광 표시장치에 관한 것으로, 본 발명의 전계발광 표시장치는, 기판과, 상기 기판 상의 제1 전극과, 상기 제1 전극을 노출하는 뱅크층과, 상기 뱅크층에 의해 노출되는 상기 제1 전극 상부의 발광층과, 상기 발광층 상부의 제2 전극을 포함하며, 상기 뱅크층은 제1 뱅크와 상기 제1 뱅크 상부의 제2 뱅크를 포함하고, 상기 제1 뱅크의 상면은 상기 제1 전극의 상면과 동일 평면 상에 있거나 상기 제1 전극의 상면보다 낮다.

이에 따라, 용액 공정을 통해 균일한 두께의 발광층을 형성함으로써, 화질을 향상시킬 수 있다.

대 표 도 - 도4



(52) CPC특허분류

H01L 51/5209 (2013.01)

H01L 2251/558 (2013.01)

명세서

청구범위

청구항 1

기판과;

상기 기판 상의 제1 전극과;

상기 제1 전극을 노출하는 뱅크층과;

상기 뱅크층에 의해 노출되는 상기 제1 전극 상부의 발광층과;

상기 발광층 상부의 제2 전극

을 포함하며,

상기 뱅크층은 제1 뱅크와 상기 제1 뱅크 상부의 제2 뱅크를 포함하고,

상기 제1 뱅크의 상면은 상기 제1 전극의 상면과 동일 평면 상에 있거나 상기 제1 전극의 상면보다 낮은 전계발광 표시장치.

청구항 2

제1항에 있어서,

상기 제1 뱅크의 두께는 상기 제1 전극의 두께와 같거나 더 얇은 전계발광 표시장치.

청구항 3

제2항에 있어서,

상기 제1 뱅크의 두께는 상기 제1 전극의 두께보다 얕으며, 상기 발광층은 상기 제1 전극의 측면과 접촉하는 전계발광 표시장치.

청구항 4

제1항에 있어서,

상기 제1 전극은 제1 부분과 상기 제1 부분을 둘러싸고 상기 제1 부분보다 얕은 제2 부분을 포함하는 전계발광 표시장치.

청구항 5

제4항에 있어서,

상기 제1 뱅크는 상기 제2 부분과 중첩하고, 상기 제1 뱅크의 상면은 상기 제1 부분의 상면과 동일 평면 상에 있거나 상기 제1 부분의 상면보다 낮은 전계발광 표시장치.

청구항 6

제5항에 있어서,

상기 제1 뱅크의 상면은 상기 제1 부분의 상면보다 낮으며, 상기 발광층은 상기 제1 부분의 측면과 접촉하는 전계발광 표시장치.

청구항 7

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 제1 뱅크는 친수성을 갖고, 상기 제2 뱅크는 소수성을 가지는 전계발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 전계발광 표시장치에 관한 것으로, 특히 균일한 휘도를 제공할 수 있는 대면적, 고해상도 전계발광 표시장치에 관한 것이다.

배경 기술

[0003] 최근, 박형화, 경량화, 저 소비전력화 등의 우수한 특성을 가지는 평판표시장치(flat panel display)가 널리 개발되어 다양한 분야에 적용되고 있다.

[0004] 평판표시장치 중에서, 전계발광 표시장치(electroluminescent display device)는, 전자 주입 전극인 음극과 정공 주입 전극인 양극 사이에 형성된 발광층에 전하를 주입하여 전자와 정공이 엑시톤(exciton)을 형성한 후, 이 엑시톤이 발광 재결합(radiative recombination) 함으로써 빛을 내는 소자이다. 이러한 전계발광 표시장치는 플라스틱과 같은 유연한 기판(flexible substrate) 위에도 형성할 수 있을 뿐 아니라, 자체 발광형이기 때문에 대조비(contrast ratio)가 크며, 응답시간이 수 마이크로초(μs) 정도이므로 동화상 구현이 쉽고, 시야각의 한정이 없으며 저온에서도 안정적이고, 직류 5V 내지 15V의 비교적 낮은 전압으로 구동이 가능하므로 구동회로의 제작 및 설계가 용이한 장점을 가진다.

[0005] 전계발광 표시장치의 발광층은 미세금속마스크(fine metal mask)를 이용하여 발광물질을 선택적으로 증착하는 진공 열 증착(vacuum thermal evaporation)법에 의해 형성된다.

[0006] 그런데, 이러한 증착 공정은 마스크 구비 등에 의해 제조 비용을 증가시키며, 마스크의 제작 편차, 처짐, 쇄도 우 효과(shadow effect) 등에 의해 대면적 및 고해상도 표시장치에 적용하기 어려운 문제가 있다.

[0007] 이를 해결하기 위해, 용액 공정(soluble process)에 의해 발광층을 형성하는 방법이 제안되었다. 이러한 용액 공정에 의해 형성된 발광층을 포함하는 종래의 전계발광 표시장치에 대해 도면을 참조하여 설명한다.

[0008] 도 1은 종래의 전계발광 표시장치를 개략적으로 도시한 단면도로, 하나의 화소영역을 도시한다.

[0009] 도 1에 도시한 바와 같이, 기판(10) 상의 화소영역에 제1 전극(20)이 형성된다. 제1 전극(20) 상부에는 제1 전극(20)의 가장자리를 덮는 뱅크층(30)이 형성된다. 뱅크층(30)은 하부 뱅크(32)와, 하부 뱅크(32) 상부의 상부 뱅크(34)를 포함한다.

[0010] 뱅크층(30)으로 둘러싸인 제1 전극(20) 상부에는 발광층(40)이 형성되고, 발광층(40)과 뱅크층(30) 상부에는 실질적으로 기판(10) 전면에 제2 전극(50)이 형성된다. 제1 전극(20)과 발광층(40) 및 제2 전극(50)은 발광다이오드(D)를 이룬다.

[0011] 여기서, 발광층(40)은 용액 공정을 통해 형성된다. 보다 상세하게는, 뱅크층(30)으로 둘러싸여 노출된 제1 전극(20) 상에 유기물질을 포함하는 용액을 적하(drop)한 후, 이를 건조하여 발광층(40)을 형성한다. 이때, 뱅크층(30)은 발광층(40)이 형성될 영역을 정의하고, 한 화소영역에 적하된 용액이 인접한 화소영역으로 침투하는 것을 방지한다.

[0012] 그런데, 이러한 용액 공정에 의해 발광층(40)을 형성할 때, 용액의 건조 과정에서 용매의 증발이 균일하게 이루어지지 않아, 화소영역 내에 형성된 발광층(40)의 평탄도가 저하된다.

[0013] 이러한 용액 공정에 따른 발광층(40)의 평탄도 문제를 해결하기 위해, 도 1에서와 같이 뱅크층(30)을 이중 구조

로 형성하나, 여전히 발광층(40)의 두께는 균일하지 않다.

[0014] 도 2는 도 1의 전계발광 표시장치에서 발광층의 프로파일을 개략적으로 도시한 도면이다.

[0015] 도 2에 도시한 바와 같이, 종래의 전계발광 표시장치에서 발광층(140)은 U자 모양으로 형성된다.

[0016] 보다 상세하게는, 용액이 전조될 때, 화소영역의 중앙과 가장자리에서 용매의 전조 속도가 달라, 화소영역의 중앙에서 가장자리로 갈수록 발광층(40)의 높이가 높아지게 된다. 따라서, 화소영역의 중앙에서 가장자리로 갈수록 발광층(40)의 두께가 두꺼워지고, 발광층(40)은 U자 모양으로 형성된다.

[0017] 이러한 불균일한 두께의 발광층(40)을 갖는 발광다이오드는 발광이 균일하지 않으며, 이에 따라, 전계발광 표시장치의 휘도가 불균일하게 되어 화질이 저하된다.

발명의 내용

해결하려는 과제

[0019] 상기한 문제점을 해결하기 위하여, 본 발명은 증착 공정에 의한 전계발광 표시장치의 제조 비용 증가와 면적 및 해상도 제약 문제를 해결하고자 한다.

[0020] 또한, 본 발명은 전계발광 표시장치의 휘도 불균일 문제를 해결하고자 한다.

과제의 해결 수단

[0022] 상기의 목적을 달성하기 위하여, 본 발명에 따른 전계발광 표시장치는, 기판과, 상기 기판 상의 제1 전극과, 상기 제1 전극을 노출하는 뱅크층과, 상기 뱅크층에 의해 노출되는 상기 제1 전극 상부의 발광층과, 상기 발광층 상부의 제2 전극을 포함하며, 상기 뱅크층은 제1 뱅크와 상기 제1 뱅크 상부의 제2 뱅크를 포함하고, 상기 제1 뱅크의 상면은 상기 제1 전극의 상면과 동일 평면 상에 있거나 상기 제1 전극의 상면보다 낮다.

[0023] 이에 따라, 발광층의 평탄도가 개선된다.

발명의 효과

[0025] 본 발명에서는, 발광다이오드의 발광층을 용액 공정으로 형성함으로써, 제조 비용이 절감되고 대면적 및 고해상도의 전계발광 표시장치를 제공할 수 있다.

[0026] 또한, 제1 뱅크의 상면이 제1 전극의 상면과 동일 평면 상에 있거나 더 낮도록 함으로써, 발광층의 평탄도를 개선하여 균일한 두께의 박막을 형성할 수 있다. 이에 따라, 화질을 향상시킬 수 있다.

[0027] 또한, 불균일한 두께의 발광층에 의해 야기되는 효율 및 수명 저하를 방지할 수 있다.

도면의 간단한 설명

[0029] 도 1은 종래의 전계발광 표시장치를 개략적으로 도시한 단면도이다.

도 2는 도 1의 전계발광 표시장치에서 발광층의 프로파일을 개략적으로 도시한 도면이다.

도 3은 본 발명의 실시예에 따른 전계발광 표시장치의 하나의 화소영역을 나타내는 회로도이다.

도 4는 본 발명의 제1 실시예에 따른 전계발광 표시장치의 단면도이다.

도 5는 본 발명의 제1 실시예에 따른 전계발광 표시장치의 개략적인 평면도이다.

도 6은 본 발명의 제1 실시예에 따른 전계발광 표시장치에서 발광층의 프로파일을 개략적으로 도시한 도면이다.

도 7은 본 발명의 제1 실시예에 따른 전계발광 표시장치의 개략적인 단면도이다.

도 8은 본 발명의 제1 실시예에 따른 다른 예의 전계발광 표시장치의 단면도이다.

도 9는 본 발명의 제2 실시예에 따른 전계발광 표시장치의 단면도이다.

도 10은 본 발명의 제2 실시예에 따른 다른 예의 전계발광 표시장치의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0030]

본 발명에 따른 전계발광 표시장치는, 기판과, 상기 기판 상의 제1 전극과, 상기 제1 전극을 노출하는 뱅크층과, 상기 뱅크층에 의해 노출되는 상기 제1 전극 상부의 발광층과, 상기 발광층 상부의 제2 전극을 포함하며, 상기 뱅크층은 제1 뱅크와 상기 제1 뱅크 상부의 제2 뱅크를 포함하고, 상기 제1 뱅크의 상면은 상기 제1 전극의 상면과 동일 평면 상에 있거나 상기 제1 전극의 상면보다 낮다.

[0031]

상기 제1 뱅크의 두께는 상기 제1 전극의 두께와 같거나 더 얇다.

[0032]

상기 제1 뱅크의 두께는 상기 제1 전극의 두께보다 얇으며, 상기 발광층은 상기 제1 전극의 측면과 접촉한다.

[0033]

상기 제1 전극은 제1 부분과 상기 제1 부분을 둘러싸고 상기 제1 부분보다 얕은 제2 부분을 포함한다.

[0034]

상기 제1 뱅크는 상기 제2 부분과 중첩하고, 상기 제1 뱅크의 상면은 상기 제1 부분의 상면과 동일 평면 상에 있거나 상기 제1 부분의 상면보다 낮다.

[0035]

상기 제1 뱅크의 상면은 상기 제1 부분의 상면보다 낮으며, 상기 발광층은 상기 제1 부분의 측면과 접촉한다.

[0036]

상기 제1 뱅크는 친수성을 갖고, 상기 제2 뱅크는 소수성을 가진다.

[0038]

이하, 도면을 참조하여 본 발명의 실시예에 따른 전계발광 표시장치에 대하여 상세히 설명한다.

[0039]

도 3은 본 발명의 실시예에 따른 전계발광 표시장치의 하나의 화소영역을 나타내는 회로도이다.

[0040]

도 3에 도시한 바와 같이, 본 발명의 실시예에 따른 전계발광 표시장치는 서로 교차하여 화소영역(P)을 정의하는 게이트 배선(GL)과 데이터 배선(DL)을 포함하고, 각각의 화소영역(P)에는 스위칭 박막트랜지스터(Ts)와 구동 박막트랜지스터(Td), 스토리지 커패시터(Cst), 그리고 발광다이오드(D)가 형성된다.

[0041]

보다 상세하게, 스위칭 박막트랜지스터(Ts)의 게이트 전극은 게이트 배선(GL)에 연결되고 소스 전극은 데이터 배선(DL)에 연결된다. 구동 박막트랜지스터(Td)의 게이트 전극은 스위칭 박막트랜지스터(Ts)의 드레인 전극에 연결되고, 소스 전극은 고전위 전압(VDD)에 연결된다. 발광다이오드(D)의 애노드(anode)는 구동 박막트랜지스터(Td)의 드레인 전극에 연결되고, 캐소드(cathode)는 저전위 전압(VSS)에 연결된다. 스토리지 커패시터(Cst)는 구동 박막트랜지스터(Td)의 게이트 전극과 드레인 전극에 연결된다.

[0042]

이러한 전계발광 표시장치의 영상표시 동작을 살펴보면, 게이트 배선(GL)을 통해 인가된 게이트 신호에 따라 스위칭 박막트랜지스터(Ts)가 턴-온(turn-on) 되고, 이때, 데이터 배선(DL)으로 인가된 데이터 신호가 스위칭 박막트랜지스터(Ts)를 통해 구동 박막트랜지스터(Td)의 게이트 전극과 스토리지 커패시터(Cst)의 일 전극에 인가된다.

[0043]

구동 박막트랜지스터(Td)는 데이터 신호에 따라 턴-온 되어 발광다이오드(D)를 흐르는 전류를 제어하여 영상을 표시한다. 발광다이오드(D)는 구동 박막트랜지스터(Td)를 통하여 전달되는 고전위 전압(VDD)의 전류에 의하여 발광한다.

[0044]

즉, 발광다이오드(D)를 흐르는 전류의 양은 데이터 신호의 크기에 비례하고, 발광다이오드(D)가 방출하는 빛의 세기는 발광다이오드(D)를 흐르는 전류의 양에 비례하므로, 화소영역(P)은 데이터 신호의 크기에 따라 상이한 계조를 표시하고, 그 결과 전계발광 표시장치는 영상을 표시한다.

[0045]

스토리지 커패시터(Cst)는 데이터 신호에 대응되는 전하를 일 프레임(frame) 동안 유지하여 발광다이오드(D)를 흐르는 전류의 양을 일정하게 하고 발광다이오드(D)가 표시하는 계조를 일정하게 유지시키는 역할을 한다.

[0046]

한편, 화소영역(P)에는 스위칭 및 구동 박막트랜지스터(Ts, Td)와 스토리지 커패시터(Cst) 외에 다른 트랜지스터 및/또는 커패시터가 더 추가될 수도 있다.

[0048] -제1 실시예-

[0049] 도 4는 본 발명의 제1 실시예에 따른 전계발광 표시장치의 단면도이고, 도 5는 본 발명의 제1 실시예에 따른 전계발광 표시장치의 개략적인 평면도로, 하나의 화소영역을 도시한다. 편의를 위해, 도 5에서는 뱅크와 제1 전극만을 도시한다.

[0050] 도 4와 도 5에 도시한 바와 같이, 절연 기판(110) 상부에 패터닝된 반도체층(122)이 형성된다. 기판(110)은 유리 기판이나 폴리이미드와 같은 폴리머로 이루어진 플렉서블 기판일 수 있다.

[0051] 반도체층(122)은 산화물 반도체 물질로 이루어질 수 있는데, 이 경우 반도체층(122) 하부에는 차광패턴(도시하지 않음)과 베퍼층(도시하지 않음)이 형성될 수 있으며, 차광패턴은 반도체층(122)으로 입사되는 빛을 차단하여 반도체층(122)이 빛에 의해 열화되는 것을 방지한다. 베퍼층은 산화 실리콘 또는 질화 실리콘과 같은 무기 절연 물질로 이루어질 수 있다. 이와 달리, 반도체층(122)은 다결정 실리콘으로 이루어질 수도 있으며, 이 경우 기판(110)과 반도체층(122) 사이에는 베퍼층(도시하지 않음)이 형성될 수 있다. 또한, 다결정 실리콘으로 이루어진 반도체층(122)의 양 가장자리에는 불순물이 도핑되어 있을 수 있다.

[0052] 반도체층(122) 상부에는 절연물질로 이루어진 게이트 절연막(130)이 실질적으로 기판(110) 전면에 형성된다. 게이트 절연막(130)은 산화 실리콘(SiO₂)과 같은 무기 절연물질로 형성될 수 있다. 반도체층(122)이 다결정 실리콘으로 이루어질 경우, 게이트 절연막(130)은 산화 실리콘(SiO₂)이나 질화 실리콘(SiNx)으로 형성될 수 있다.

[0053] 게이트 절연막(130) 상부에는 금속과 같은 도전성 물질로 이루어진 게이트 전극(132)이 반도체층(122)의 중앙에 대응하여 형성된다. 또한, 게이트 절연막(130) 상부에는 게이트 배선(도시하지 않음)과 제1 커페시터 전극(도시하지 않음)이 형성될 수 있다. 게이트 배선은 일 방향을 따라 연장되고, 제1 커페시터 전극은 게이트 전극(132)에 연결된다.

[0054] 한편, 본 발명의 실시예에서는 게이트 절연막(130)이 기판(110) 전면에 형성되어 있으나, 게이트 절연막(130)은 게이트 전극(132)과 동일한 모양으로 패터닝될 수도 있다.

[0055] 게이트 전극(132) 상부에는 절연물질로 이루어진 충간 절연막(140)이 기판(110) 전면에 형성된다. 충간 절연막(140)은 산화 실리콘(SiO₂)이나 질화 실리콘(SiNx)과 같은 무기 절연물질로 형성되거나, 포토 아크릴(photo acryl)이나 벤조사이클로부텐(benzocyclobutene)과 같은 유기 절연물질로 형성될 수 있다.

[0056] 충간 절연막(140)은 반도체층(122)의 양측 상면을 노출하는 제1 및 제2 컨택홀(140a, 140b)을 가진다. 제1 및 제2 컨택홀(140a, 140b)은 게이트 전극(132)의 양측에 게이트 전극(132)과 이격되어 위치한다. 여기서, 제1 및 제2 컨택홀(140a, 140b)은 게이트 절연막(130) 내에도 형성된다. 이와 달리, 게이트 절연막(130)이 게이트 전극(132)과 동일한 모양으로 패터닝될 경우, 제1 및 제2 컨택홀(140a, 140b)은 충간 절연막(140) 내에만 형성된다.

[0057] 충간 절연막(140) 상부에는 금속과 같은 도전성 물질로 소스 및 드레인 전극(152, 154)이 형성된다. 또한, 충간 절연막(140) 상부에는 데이터 배선(도시하지 않음)과 전원배선(도시하지 않음) 및 제2 커페시터 전극(도시하지 않음)이 형성될 수 있다.

[0058] 소스 및 드레인 전극(152, 154)은 게이트 전극(132)을 중심으로 이격되어 위치하며, 각각 제1 및 제2 컨택홀(140a, 140b)을 통해 반도체층(122)의 양측과 접촉한다. 도시하지 않았지만, 데이터 배선은 게이트 배선에 수직한 방향으로 연장되고 게이트 배선과 교차하여 화소영역을 정의하며, 고전위 전압을 공급하는 전원배선은 데이터 배선과 이격되어 위치한다. 제2 커페시터 전극은 드레인 전극(154)과 연결되고, 제1 커페시터 전극과 중첩하여 둘 사이의 충간 절연막(140)을 유전체로 스토리지 커페시터를 이룬다.

[0059] 한편, 반도체층(122)과, 게이트 전극(132), 그리고 소스 및 드레인 전극(152, 154)은 박막트랜지스터(Tr)를 이룬다. 여기서, 박막트랜지스터(Tr)는 반도체층(122)의 일측, 즉, 반도체층(122)의 상부에 게이트 전극(132)과 소스 및 드레인 전극(152, 154)이 위치하는 코플라나(coplanar) 구조를 가진다.

[0060] 이와 달리, 박막트랜지스터(Tr)는 반도체층의 하부에 게이트 전극이 위치하고 반도체층의 상부에 소스 및 드레인 전극이 위치하는 역 스태거드(inverted staggered) 구조를 가질 수 있다. 이 경우, 반도체층은 비정질 실리콘으로 이루어질 수 있다.

[0061] 여기서, 박막트랜지스터(Tr)는 전계발광 표시장치의 구동 박막트랜지스터에 해당하며, 구동 박막트랜지스터와 동일한 구조의 스위칭 박막트랜지스터(도시하지 않음)가 기판(110) 상에 더 형성된다. 구동 박막트랜지스터의 게이트 전극(132)은 스위칭 박막트랜지스터의 드레인 전극(도시하지 않음)에 연결되고 구동 박막트랜지스터의

소스 전극(152)은 전원배선(도시하지 않음)에 연결된다. 또한, 스위칭 박막트랜지스터의 게이트 전극(도시하지 않음)과 소스 전극(도시하지 않음)은 게이트 배선 및 데이터 배선과 각각 연결된다.

[0062] 소스 및 드레인 전극(152, 154) 상부에는 절연물질로 보호막(160)이 실질적으로 기판(110) 전면에 형성된다. 보호막(160)은 벤조사이클로부텐이나 포토 아크릴과 같은 유기 절연물질로 형성될 수 있다. 한편, 보호막(160) 하부에는 산화 실리콘(SiO₂)이나 질화 실리콘(SiNx)과 같은 무기 절연물질로 형성된 무기 절연막이 더 형성될 수도 있다.

[0063] 보호막(160)은 드레인 전극(154)을 노출하는 드레인 컨택홀(160a)을 가진다. 여기서, 드레인 컨택홀(160a)은 제2 컨택홀(140b)과 이격되어 형성된 것으로 도시되어 있으나, 드레인 컨택홀(160a)은 제2 컨택홀(140b) 바로 위에 형성될 수도 있다.

[0064] 보호막(160) 상부의 화소영역에는 비교적 일함수가 높은 도전성 물질로 제1 전극(162)이 형성된다. 제1 전극(162)은 드레인 컨택홀(160a)을 통해 드레인 전극(154)과 접촉한다. 일례로, 제1 전극(162)은 인듐-틴-옥사이드(indium tin oxide: ITO)나 인듐-징크-옥사이드(indium zinc oxide: IZO)와 같은 투명 도전성 물질로 형성될 수 있다.

[0065] 또한, 보호막(160) 상부에는 절연물질로 뱅크층(170)이 형성된다. 뱅크층(170)은 인접한 화소영역 사이에 위치하며, 제1 전극(162)을 둘러싸고, 제1 전극(162)을 노출한다.

[0066] 뱅크층(170)은 제1 뱅크(172)와 제1 뱅크(172) 상부의 제2 뱅크(174)를 포함한다. 여기서, 제2 뱅크(174)의 폭이 제1 뱅크(172)의 폭보다 좁으며, 제1 뱅크(172)는 제2 뱅크(174)의 측면으로부터 돌출된다.

[0067] 한편, 제1 뱅크(172)의 상면은 제1 전극(162)의 상면과 동일 평면 상에 있다. 이때, 제1 전극(162)과 제1 뱅크(172)는 동일한 두께를 가지며, 제1 뱅크(172)의 측면은 제1 전극(162)의 측면과 완전히 접촉한다.

[0068] 도 5에 도시한 것처럼, 장축 방향의 제1 뱅크(172)의 돌출 폭(d21)이 단축 방향의 제1 뱅크(172)의 돌출 폭(d22)보다 넓다. 이때, 장축 방향으로 인접한 화소영역의 거리가 단축 방향으로 인접한 화소영역의 거리보다 클 수 있다.

[0069] 이와 달리, 장축 방향의 제1 뱅크(172)의 돌출 폭(d21)과 단축 방향의 제1 뱅크(172)의 돌출 폭(d22)은 동일할 수도 있다.

[0070] 도 5에서는 화소영역이 직사각형 모양인 것으로 도시하였으나, 화소영역의 모양은 변경될 수 있다. 예를 들어, 화소영역은 곡면으로 이루어진 모서리를 갖는 직사각형 모양일 수 있다. 이와 달리, 화소영역은 장축과 단축을 갖는 실질적으로 긴 원 모양이거나, 다각형 모양일 수도 있으며, 이에 한정되지 않는다.

[0071] 제1 뱅크(172)는 상대적으로 표면 에너지가 높은 물질로 이루어져 추후 형성되는 발광층 재료와의 접촉각을 낮추고, 제2 뱅크(174)는 상대적으로 표면 에너지가 낮은 물질로 이루어져 추후 형성되는 발광층 재료와의 접촉각을 크게 함으로써 인접한 화소영역으로 발광층 재료가 넘치는 것을 방지한다. 따라서, 제1 뱅크(172)의 표면 에너지는 제2 뱅크(174)의 표면 에너지보다 높다. 일례로, 제1 뱅크(172)는 친수성 특성을 갖는 무기 절연물질이나 유기 절연물질로 이루어질 수 있으며, 제2 뱅크(174)는 소수성 특성을 갖는 유기 절연물질로 이루어질 수 있다.

[0072] 뱅크층(170)으로 둘러싸인 제1 전극(162) 상부에는 발광층(180)이 형성된다. 이때, 발광층(180)은 돌출된 제1 뱅크(172)의 상부에도 형성된다.

[0073] 발광층(180)은 용액 공정(soluble process)을 통해 형성될 수 있다. 용액 공정으로는 다수의 노즐을 포함하는 분사장치를 이용한 인쇄법이나 코팅법이 이용될 수 있으며, 이에 한정되지 않는다. 일례로, 용액 공정으로 잉크젯 인쇄법(inkjet printing method)이 이용될 수 있다.

[0074] 여기서, 발광층(180)은 막의 평탄도가 개선된다. 이에 대해, 추후 상세히 설명한다.

[0075] 도시하지 않았지만, 발광층(180)은 제1 전극(162) 상부로부터 순차적으로 적층된 정공보조층(hole auxiliary layer)과 발광물질층(emitting material layer: EML), 그리고 전자보조층(electron auxiliary layer)을 포함할 수 있다. 정공보조층은 정공주입층(hole injecting layer: HIL)과 정공수송층(hole transporting layer: HTL) 중 적어도 하나를 포함할 수 있으며, 전자보조층은 전자수송층(electron transporting layer: ETL)과 전자주입층(electron injecting layer: EIL) 중 적어도 하나를 포함할 수 있다. 발광물질층은 유기발광물질이나 양자 점(quantum dot)과 같은 무기발광물질로 이루어질 수 있다.

- [0076] 여기서, 정공보조층과 발광물질층은 화소영역 내에만 형성되고, 전자보조층은 실질적으로 기판(110) 전면에 형성될 수 있다. 이러한 경우, 정공보조층과 발광물질층은 용액 공정을 통해 형성될 수 있으며, 전자보조층은 전공 증착 공정을 통해 형성될 수 있다.
- [0077] 발광층(180) 상부에는 비교적 일함수가 낮은 도전성 물질로 제2 전극(192)이 실질적으로 기판(110) 전면에 형성된다. 여기서, 제2 전극(192)은 알루미늄(aluminum)이나 마그네슘(magnesium), 은(silver) 또는 이들의 합금으로 형성될 수 있다.
- [0078] 제1 전극(162)과 발광층(180) 및 제2 전극(192)은 발광다이오드(D)를 이루며, 제1 전극(162)은 애노드(anode)의 역할을 하고, 제2 전극(192)은 캐소드(cathode)의 역할을 한다.
- [0079] 도시하지 않았지만, 제2 전극(192) 상에는, 외부 수분이 발광다이오드(D)로 침투하는 것을 방지하기 위해, 인캡슐레이션 필름(encapsulation film, 도시하지 않음)이 형성될 수 있다. 예를 들어, 인캡슐레이션 필름은 제1 무기 절연층과, 유기 절연층 및 제2 무기 절연층의 적층 구조를 가질 수 있으나, 이에 한정되지 않는다.
- [0080] 여기서, 본 발명의 실시예에 따른 전계발광 표시장치는 발광층(180)으로부터 발광된 빛이 제1 전극(162)을 통해 외부로 출력되는 하부발광방식(bottom emission type)일 수 있다.
- [0081] 이와 달리, 본 발명의 실시예에 따른 전계발광 표시장치는 발광층(180)으로부터 발광된 빛이 제2 전극(192)을 통해 외부로 출력되는 상부발광방식(top emission type)일 수 있다. 이때, 제1 전극(162)은 불투명 도전성 물질로 이루어진 반사층(도시하지 않음)을 더 포함한다. 일례로, 반사층은 알루미늄-팔라듐-구리(aluminum-palladium-copper: APC) 합금으로 형성될 수 있으며, 제1 전극(162)은 ITO/APC/ITO의 3중층 구조를 가질 수 있다. 또한, 제2 전극(192)은 빛이 투과되도록 상대적으로 얇은 두께를 가질 수 있다.
- [0082] 한편, 상부발광방식의 경우, 박막트랜지스터(Tr)는 발광다이오드(D)의 바로 아래에 위치할 수 있다.
- [0084] 도 6은 본 발명의 제1 실시예에 따른 전계발광 표시장치에서 발광층의 프로파일을 개략적으로 도시한 도면이고, 도 7은 본 발명의 제1 실시예에 따른 전계발광 표시장치의 개략적인 단면도이다.
- [0085] 도 6과 도 7에 도시한 바와 같이, 본 발명에서는 제1 뱅크(172)의 상면과 제1 전극(162)의 상면이 동일 평면 상에 위치하도록 함으로써, 제1 전극(162)과 돌출된 제1 뱅크(172) 상부에 형성되는 발광층(180)의 평탄도가 개선되며, 발광층(180)은 균일한 두께를 가진다.
- [0086] 이에 따라, 본 발명에서는 제1 뱅크(172)의 돌출 폭(d2)을 줄일 수 있다.
- [0087] 즉, 도 1을 참조하면, 종래에는 하부 뱅크(32)의 돌출 폭(d1)이 최소 15 μm 로 비교적 큰 반면, 본 발명에서는 발광층(180)의 평탄도가 개선되어 제1 뱅크(172)의 돌출 폭(d2)을 종래 하부 뱅크(32)의 돌출 폭(d1)보다 작게 할 수 있다.
- [0088] 따라서, 본 발명에서는 실제 빛이 방출되는 유효 발광영역(A2)의 면적이 종래의 유효 발광영역(도 1의 A1)보다 커지므로, 개구율이 증가한다.
- [0090] 한편, 제1 뱅크(172)의 상면은 제1 전극(162)의 상면보다 낮을 수 있다.
- [0091] 도 8은 본 발명의 제1 실시예에 따른 다른 예의 전계발광 표시장치의 단면도로, 제1 뱅크를 제외하고 도 4와 동일한 구조를 가진다. 동일 부분에 대해 동일 부호를 부여하고, 동일 부분에 대한 설명은 생략한다.
- [0092] 도 8에 도시한 바와 같이, 제1 뱅크(172a)의 상면은 제1 전극(162)의 상면보다 낮다. 여기서, 제1 뱅크(172a)의 두께는 제1 전극(162)의 두께보다 얇다.
- [0093] 이러한 제1 전극(162)과 돌출된 제1 뱅크(172a) 상부에 형성되는 발광층(180)은 평탄도가 개선되어 균일한 두께를 가진다.
- [0094] 이때, 발광층(180)은 제1 전극(162)의 측면과도 접촉한다.
- [0096] -제2 실시예-

- [0097] 도 9는 본 발명의 제2 실시예에 따른 전계발광 표시장치의 단면도이다.
- [0098] 도 9에 도시한 바와 같이, 절연 기판(210) 상부에 패터닝된 반도체층(222)이 형성된다. 기판(210)은 유리 기판이나 폴리이미드와 같은 폴리머로 이루어진 플렉서블 기판일 수 있다.
- [0099] 반도체층(222)은 산화물 반도체 물질로 이루어질 수 있는데, 이 경우 반도체층(222) 하부에는 차광패턴(도시하지 않음)과 베퍼층(도시하지 않음)이 형성될 수 있으며, 차광패턴은 반도체층(222)으로 입사되는 빛을 차단하여 반도체층(222)이 빛에 의해 열화되는 것을 방지한다. 베퍼층은 산화 실리콘 또는 질화 실리콘과 같은 무기 절연 물질로 이루어질 수 있다. 이와 달리, 반도체층(222)은 다결정 실리콘으로 이루어질 수도 있으며, 이 경우 기판(210)과 반도체층(222) 사이에는 베퍼층(도시하지 않음)이 형성될 수 있다. 또한, 다결정 실리콘으로 이루어진 반도체층(222)의 양 가장자리에는 불순물이 도핑되어 있을 수 있다.
- [0100] 반도체층(222) 상부에는 절연물질로 이루어진 게이트 절연막(230)이 실질적으로 기판(210) 전면에 형성된다. 게이트 절연막(230)은 산화 실리콘(SiO₂)과 같은 무기 절연물질로 형성될 수 있다. 반도체층(222)이 다결정 실리콘으로 이루어질 경우, 게이트 절연막(230)은 산화 실리콘(SiO₂)이나 질화 실리콘(SiNx)으로 형성될 수 있다.
- [0101] 게이트 절연막(230) 상부에는 금속과 같은 도전성 물질로 이루어진 게이트 전극(232)이 반도체층(222)의 중앙에 대응하여 형성된다. 또한, 게이트 절연막(230) 상부에는 게이트 배선(도시하지 않음)과 제1 커패시터 전극(도시하지 않음)이 형성될 수 있다. 게이트 배선은 일 방향을 따라 연장되고, 제1 커패시터 전극은 게이트 전극(232)에 연결된다.
- [0102] 한편, 본 발명의 실시예에서는 게이트 절연막(230)이 기판(210) 전면에 형성되어 있으나, 게이트 절연막(230)은 게이트 전극(232)과 동일한 모양으로 패터닝될 수도 있다.
- [0103] 게이트 전극(232) 상부에는 절연물질로 이루어진 층간 절연막(240)이 기판(210) 전면에 형성된다. 층간 절연막(240)은 산화 실리콘(SiO₂)이나 질화 실리콘(SiNx)과 같은 무기 절연물질로 형성되거나, 포토 아크릴(photo acrylic)이나 벤조사이클로부텐(benzocyclobutene)과 같은 유기 절연물질로 형성될 수 있다.
- [0104] 층간 절연막(240)은 반도체층(222)의 양측 상면을 노출하는 제1 및 제2 컨택홀(240a, 240b)을 가진다. 제1 및 제2 컨택홀(240a, 240b)은 게이트 전극(232)의 양측에 게이트 전극(232)과 이격되어 위치한다. 여기서, 제1 및 제2 컨택홀(240a, 240b)은 게이트 절연막(230) 내에도 형성된다. 이와 달리, 게이트 절연막(230)이 게이트 전극(232)과 동일한 모양으로 패터닝될 경우, 제1 및 제2 컨택홀(240a, 240b)은 층간 절연막(240) 내에만 형성된다.
- [0105] 층간 절연막(240) 상부에는 금속과 같은 도전성 물질로 소스 및 드레인 전극(252, 254)이 형성된다. 또한, 층간 절연막(240) 상부에는 데이터 배선(도시하지 않음)과 전원배선(도시하지 않음) 및 제2 커패시터 전극(도시하지 않음)이 형성될 수 있다.
- [0106] 소스 및 드레인 전극(252, 254)은 게이트 전극(232)을 중심으로 이격되어 위치하며, 각각 제1 및 제2 컨택홀(240a, 240b)을 통해 반도체층(222)의 양측과 접촉한다. 도시하지 않았지만, 데이터 배선은 게이트 배선에 수직한 방향으로 연장되고 게이트 배선과 교차하여 화소영역을 정의하며, 고전위 전압을 공급하는 전원배선은 데이터 배선과 이격되어 위치한다. 제2 커패시터 전극은 드레인 전극(254)과 연결되고, 제1 커패시터 전극과 중첩하여 둘 사이의 층간 절연막(240)을 유전체로 스토리지 커패시터를 이룬다.
- [0107] 한편, 반도체층(222)과, 게이트 전극(232), 그리고 소스 및 드레인 전극(252, 254)은 박막트랜지스터(Tr)를 이룬다. 여기서, 박막트랜지스터(Tr)는 반도체층(222)의 일측, 즉, 반도체층(222)의 상부에 게이트 전극(232)과 소스 및 드레인 전극(252, 254)이 위치하는 코플라나(coplanar) 구조를 가진다.
- [0108] 이와 달리, 박막트랜지스터(Tr)는 반도체층의 하부에 게이트 전극이 위치하고 반도체층의 상부에 소스 및 드레인 전극이 위치하는 역 스태거드(inverted staggered) 구조를 가질 수 있다. 이 경우, 반도체층은 비정질 실리콘으로 이루어질 수 있다.
- [0109] 여기서, 박막트랜지스터(Tr)는 전계발광 표시장치의 구동 박막트랜지스터에 해당하며, 구동 박막트랜지스터와 동일한 구조의 스위칭 박막트랜지스터(도시하지 않음)가 기판(210) 상에 더 형성된다. 구동 박막트랜지스터의 게이트 전극(232)은 스위칭 박막트랜지스터의 드레인 전극(도시하지 않음)에 연결되고 구동 박막트랜지스터의 소스 전극(252)은 전원배선(도시하지 않음)에 연결된다. 또한, 스위칭 박막트랜지스터의 게이트 전극(도시하지 않음)과 소스 전극(도시하지 않음)은 게이트 배선 및 데이터 배선과 각각 연결된다.
- [0110] 소스 및 드레인 전극(252, 254) 상부에는 절연물질로 보호막(260)이 실질적으로 기판(210) 전면에 형성된다. 보

호막(260)은 벤조사이클로부텐이나 포토 아크릴과 같은 유기 절연물질로 형성될 수 있다. 한편, 보호막(260) 하부에는 산화 실리콘(SiO₂)이나 질화 실리콘(SiNx)과 같은 무기 절연물질로 형성된 무기 절연막이 더 형성될 수도 있다.

[0111] 보호막(260)은 드레인 전극(254)을 노출하는 드레인 컨택홀(260a)을 가진다. 여기서, 드레인 컨택홀(260a)은 제2 컨택홀(240b)과 이격되어 형성된 것으로 도시되어 있으나, 드레인 컨택홀(260a)은 제2 컨택홀(240b) 바로 위에 형성될 수도 있다.

[0112] 보호막(260) 상부의 화소영역에는 비교적 일함수가 높은 도전성 물질로 제1 전극(262)이 형성된다. 제1 전극(262)은 드레인 컨택홀(260a)을 통해 드레인 전극(254)과 접촉한다. 일례로, 제1 전극(262)은 인듐-틴-옥사이드(indium tin oxide: ITO)나 인듐-징크-옥사이드(indium zinc oxide: IZO)와 같은 투명 도전성 물질로 형성될 수 있다.

[0113] 제1 전극(262)은 제1 부분(262a)과 제2 부분(262b)을 포함한다. 제2 부분(262b)은 제1 부분(262a)을 둘러싸며 제1 부분(262a)보다 얇은 두께를 가진다.

[0114] 제1 전극(262) 상부에는 절연물질로 뱅크층(270)이 형성된다. 뱅크층(270)은 인접한 화소영역 사이에 위치하고, 제1 전극(262)의 제2 부분(262b)을 덮으며, 제1 전극(262)의 제1 부분(262a)을 노출한다.

[0115] 뱅크층(270)은 제1 뱅크(272)와 제1 뱅크(272) 상부의 제2 뱅크(274)를 포함한다. 여기서, 제2 뱅크(274)의 폭이 제1 뱅크(272)의 폭보다 좁으며, 제1 뱅크(272)는 제2 뱅크(274)의 측면으로부터 돌출된다.

[0116] 도시하지 않았지만, 장축 방향의 제1 뱅크(272)의 돌출 폭은 단축 방향의 제1 뱅크(272)의 돌출 폭보다 넓거나 같을 수 있다.

[0117] 한편, 제1 뱅크(272)의 상면은 제1 전극(262)의 상면, 보다 상세하게는, 제1 부분(262a)의 상면과 동일 평면 상에 있다. 이때, 제1 뱅크(272)는 제1 전극(262)의 제2 부분(262b)과 중첩하며, 제1 뱅크(272)의 측면은 제1 전극(262)의 제1 부분(262a)의 측면과 접촉한다.

[0118] 제1 뱅크(272)는 상대적으로 표면 에너지가 높은 물질로 이루어져 추후 형성되는 발광층 재료와의 접촉각을 낮추고, 제2 뱅크(274)는 상대적으로 표면 에너지가 낮은 물질로 이루어져 추후 형성되는 발광층 재료와의 접촉각을 크게 함으로써 인접한 화소영역으로 발광층 재료가 넘치는 것을 방지한다. 따라서, 제1 뱅크(272)의 표면 에너지는 제2 뱅크(274)의 표면 에너지보다 높다. 일례로, 제1 뱅크(272)는 친수성 특성을 갖는 무기 절연물질이나 유기 절연물질로 이루어질 수 있으며, 제2 뱅크(274)는 소수성 특성을 갖는 유기 절연물질로 이루어질 수 있다.

[0119] 뱅크층(270)에 의해 노출된 제1 전극(262) 상부, 즉, 제1 부분(262a)의 상부에는 발광층(280)이 형성된다. 발광층(280)은 용액 공정(soluble process)을 통해 형성될 수 있다. 용액 공정으로는 다수의 노즐을 포함하는 분사장치를 이용한 인쇄법이나 코팅법이 이용될 수 있으며, 이에 한정되지 않는다. 일례로, 용액 공정으로 잉크젯 인쇄법(inkjet printing method)이 이용될 수 있다.

[0120] 여기서, 발광층(280)은 돌출된 제1 뱅크(272)의 상부에도 형성되며, 제1 뱅크(272)의 상면과 제1 전극(262)의 제1 부분(262a)의 상면은 동일 평면 상에 위치하므로, 막의 평탄도가 개선되며, 발광층(180)은 균일한 두께를 가진다.

[0121] 도시하지 않았지만, 발광층(280)은 제1 전극(262) 상부로부터 순차적으로 적층된 정공보조층(hole auxiliary layer)과 발광물질층(emitting material layer: EML), 그리고 전자보조층(electron auxiliary layer)을 포함할 수 있다. 정공보조층은 정공주입층(hole injecting layer: HIL)과 정공수송층(hole transporting layer: HTL) 중 적어도 하나를 포함할 수 있으며, 전자보조층은 전자수송층(electron transporting layer: ETL)과 전자주입층(electron injecting layer: EIL) 중 적어도 하나를 포함할 수 있다. 발광물질층은 유기발광물질이나 양자 점(quantum dot)과 같은 무기발광물질로 이루어질 수 있다.

[0122] 여기서, 정공보조층과 발광물질층은 화소영역 내에만 형성되고, 전자보조층은 실질적으로 기판(210) 전면에 형성될 수 있다. 이러한 경우, 정공보조층과 발광물질층은 용액 공정을 통해 형성될 수 있으며, 전자보조층은 전공 증착 공정을 통해 형성될 수 있다.

[0123] 발광층(280) 상부에는 비교적 일함수가 낮은 도전성 물질로 제2 전극(292)이 실질적으로 기판(210) 전면에 형성된다. 여기서, 제2 전극(292)은 알루미늄(aluminum)이나 마그네슘(magnesium), 은(silver) 또는 이들의 합금으

로 형성될 수 있다.

[0124] 제1 전극(262)과 발광층(280) 및 제2 전극(292)은 발광다이오드(D)를 이루며, 제1 전극(262)은 애노드(anode)의 역할을 하고, 제2 전극(292)은 캐소드(cathode)의 역할을 한다.

[0125] 도시하지 않았지만, 제2 전극(292) 상에는, 외부 수분이 발광다이오드(D)로 침투하는 것을 방지하기 위해, 인캡슐레이션 필름(encapsulation film, 도시하지 않음)이 형성될 수 있다. 예를 들어, 인캡슐레이션 필름은 제1 무기 절연층과, 유기 절연층 및 제2 무기 절연층의 적층 구조를 가질 수 있으나, 이에 한정되지 않는다.

[0126] 여기서, 본 발명의 실시예에 따른 전계발광 표시장치는 발광층(280)으로부터 발광된 빛이 제1 전극(262)을 통해 외부로 출력되는 하부발광방식일 수 있다.

[0127] 이와 달리, 본 발명의 실시예에 따른 전계발광 표시장치는 발광층(280)으로부터 발광된 빛이 제2 전극(292)을 통해 외부로 출력되는 상부발광방식일 수 있다. 이때, 제1 전극(262)은 불투명 도전성 물질로 이루어진 반사층(도시하지 않음)을 더 포함한다. 일례로, 반사층은 알루미늄-팔라듐-구리(aluminum-palladium-copper: APC) 합금으로 형성될 수 있으며, 제1 전극(262)은 ITO/APC/ITO의 3중층 구조를 가질 수 있다. 또한, 제2 전극(292)은 빛이 투과되도록 상대적으로 얇은 두께를 가지며, 제2 전극(292)의 빛 투과도는 약 45-50%일 수 있다.

[0128] 한편, 상부발광방식의 경우, 박막트랜지스터(Tr)는 발광다이오드(D) 바로 아래에 위치할 수 있다.

[0130] 한편, 제1 뱅크(272)의 상면은 제1 전극(262)의 제1 부분(262a)의 상면보다 낮을 수 있다.

[0131] 도 10은 본 발명의 제2 실시예에 따른 다른 예의 전계발광 표시장치의 단면도로, 제1 뱅크를 제외하고 도 9와 동일한 구조를 가진다. 동일 부분에 대해 동일 부호를 부여하고, 동일 부분에 대한 설명은 생략한다.

[0132] 도 10에 도시한 바와 같이, 제1 뱅크(272a)의 상면은 제1 전극(262)의 제1 부분(262a)의 상면보다 낮다.

[0133] 이러한 제1 전극(262)의 제1 부분(262a)과 돌출된 제1 뱅크(272a) 상부에 형성되는 발광층(280)은 평탄도가 개선되어 균일한 두께를 가진다.

[0134] 이때, 발광층(280)은 제1 전극(262)의 제1 부분(262a)의 측면과도 접촉한다.

[0136] 이와 같이, 본 발명에 따른 전계발광 표시장치에서는, 발광층의 일부 또는 전부가 비교적 작은 면적에 적용이 가능한 용액 공정을 통해 형성되므로, 증착 공정을 줄여 제조 비용을 줄일 수 있으며, 대면적 및 고해상도 표시장치에도 적용할 수 있다.

[0137] 또한, 제1 뱅크의 상면이 제1 전극의 상면과 동일 평면 상에 있거나 더 낮도록 함으로써, 발광층의 평탄도를 개선하여 균일한 두께의 박막을 형성할 수 있다. 이에 따라, 휘도를 균일하게 하여 화질을 향상시킬 수 있다.

[0138] 또한, 발광다이오드의 효율과 수명, 구동 전압, 색 특성 등을 향상시킬 수 있다.

[0140] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 통상의 지식을 가진 자는 하기의 특허청구범위에 기재된 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

[0142] 110: 기판 122: 반도체층

130: 게이트 절연막 132: 게이트 전극

140: 층간 절연막 140a, 140b: 제1 및 제2 컨택홀

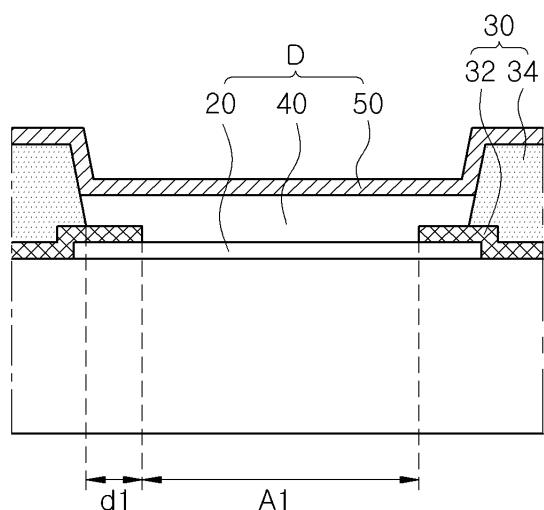
152: 소스 전극 154: 드레인 전극

160: 보호막 160a: 드레인 컨택홀

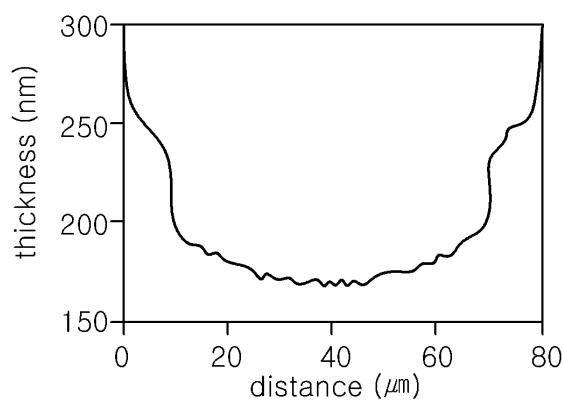
162: 제1 전극 170: 뱅크층
 172: 제1 뱅크 172: 제2 뱅크
 180: 발광층 192: 제2 전극
 D: 발광다이오드

도면

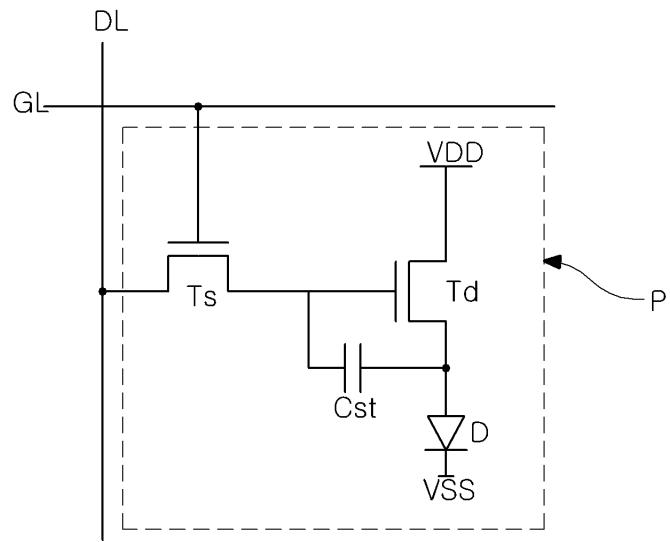
도면1



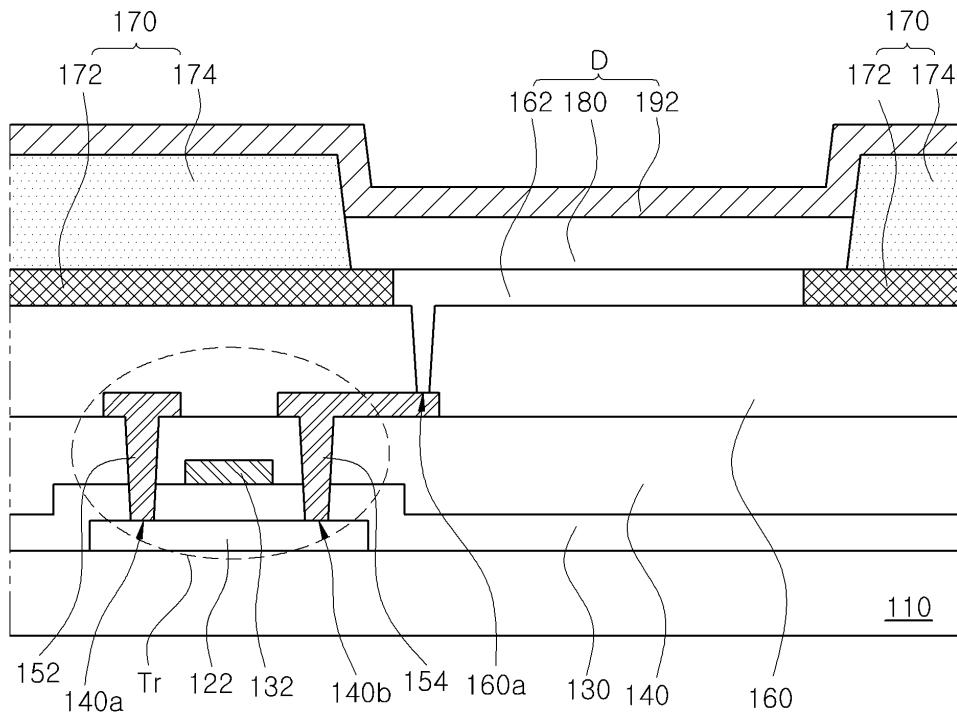
도면2



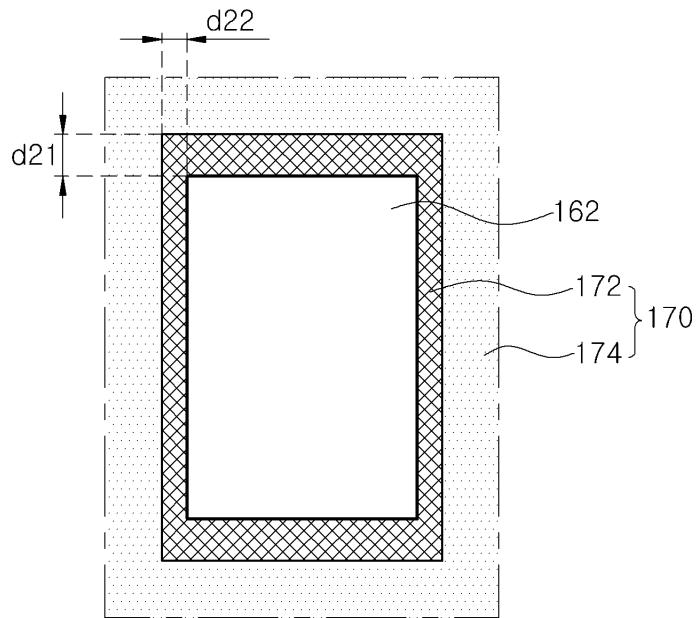
도면3



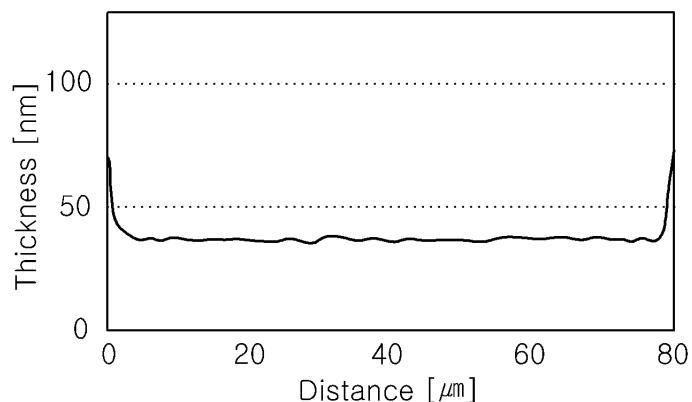
도면4



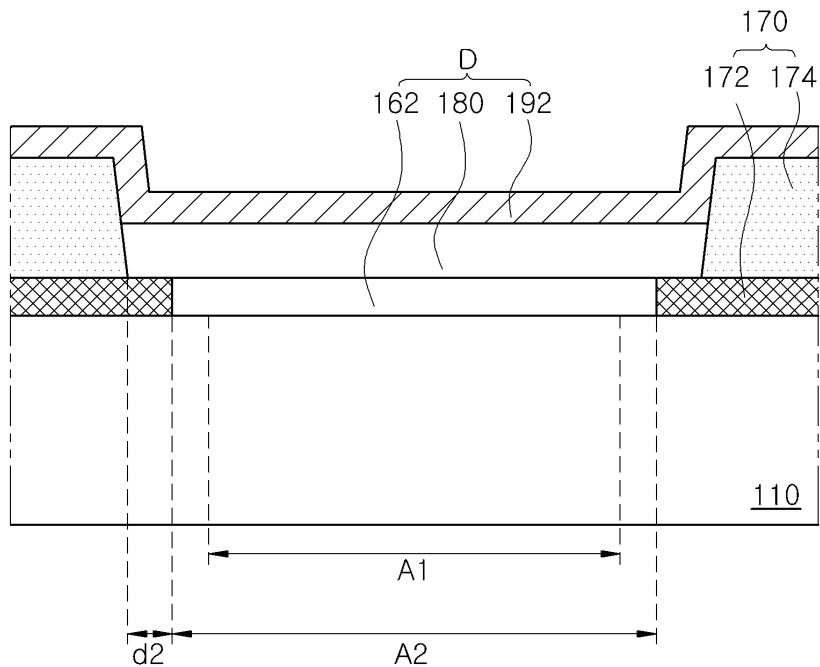
도면5



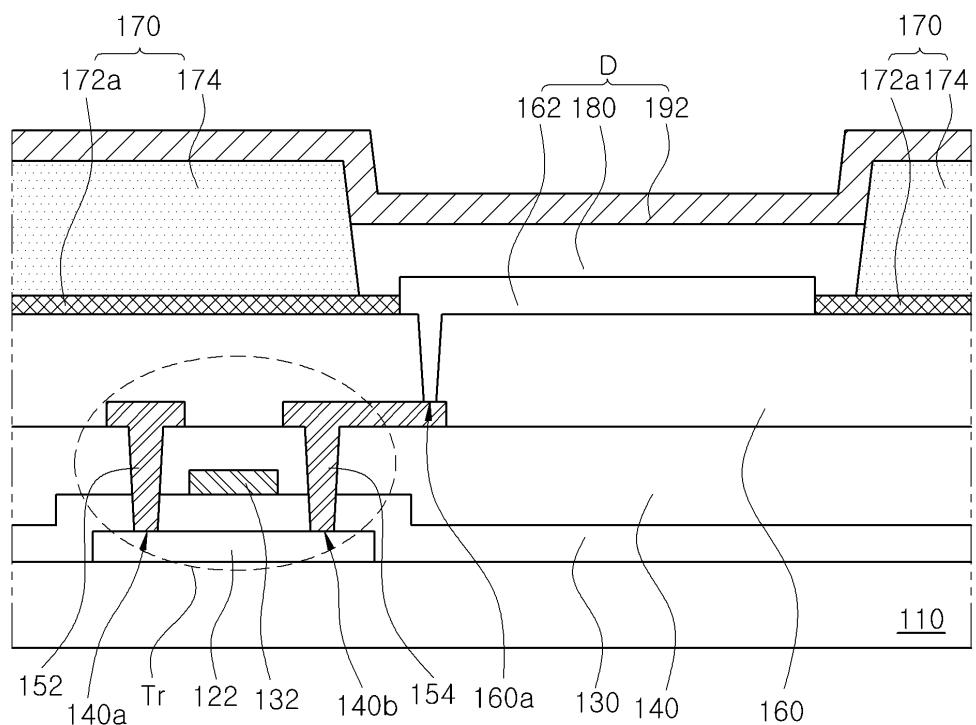
도면6



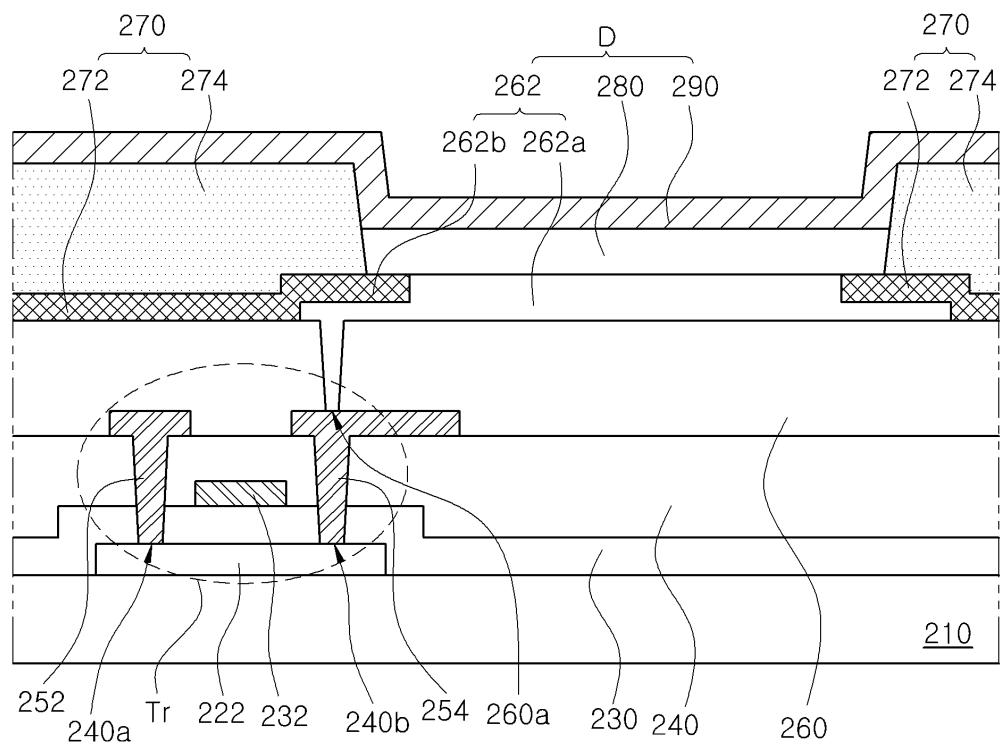
도면7



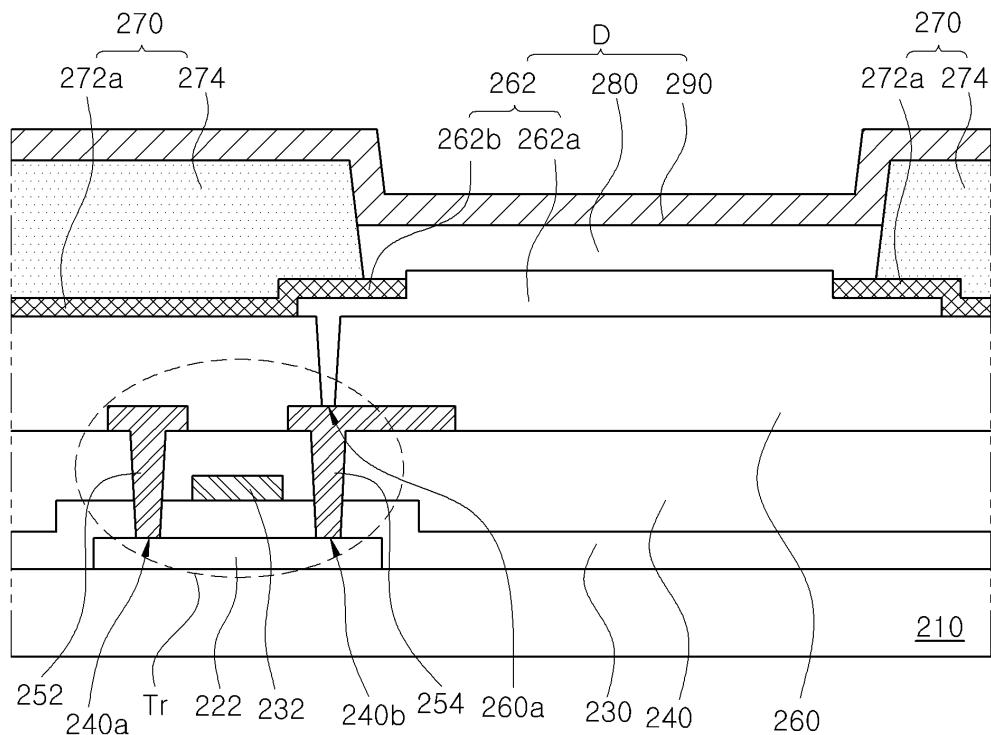
도면8



도면9



도면10



专利名称(译)	电致发光显示器		
公开(公告)号	KR1020180077833A	公开(公告)日	2018-07-09
申请号	KR1020160182585	申请日	2016-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI JEONG MOOK 최정묵 JUNG NACK YOUN 정낙운 JOO MYUNG O 주명오		
发明人	최정묵 정낙운 주명오		
IPC分类号	H01L27/32 H01L51/50 H01L51/52		
CPC分类号	H01L27/3246 H01L51/5012 H01L51/5209 H01L2251/558		
外部链接	Espacenet		

摘要(译)

本发明涉及电致发光显示器和本发明的电致发光显示器，是基板，基板上的第一电极，暴露第一电极的堤层，第一电极上部的发光层暴露于包括堤岸层和发光层上部的第二电极，堤岸层包括第一堤岸上部的第二堤岸和第一堤岸，并且它与第一电极的上侧在同一平面上或者，第一排的上侧低于第一电极的上侧的上侧。因此，通过溶液工艺形成均匀厚度的发光层。以这种方式可以改善图像质量。

