



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0015098
(43) 공개일자 2017년02월08일

- | | |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01)</p> <p>(52) CPC특허분류
G09G 3/3266 (2013.01)
G09G 3/3233 (2013.01)</p> <p>(21) 출원번호 10-2016-0026258</p> <p>(22) 출원일자 2016년03월04일
심사청구일자 없음</p> <p>(30) 우선권주장
1020150106747 2015년07월28일 대한민국(KR)</p> | <p>(71) 출원인
한국전자통신연구원
대전광역시 유성구 가정로 218 (가정동)
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)</p> <p>(72) 발명자
변춘원
대전광역시 유성구 지족북로 33
양중헌
대전광역시 유성구 은구비남로 56 901동 1901호 (노은동, 열매마을금성백조아파트)
(뒷면에 계속)</p> <p>(74) 대리인
특허법인 고려</p> |
|---|---|

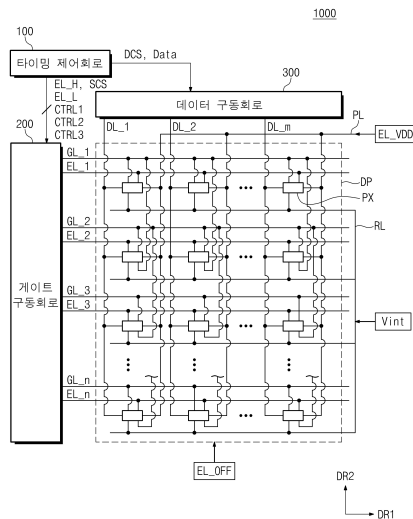
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 게이트 구동 회로 및 게이트 구동 회로를 포함하는 유기발광 표시장치

(57) 요약

본 발명의 실시 예에 따른 게이트 구동 회로는 i 번째 변조회로(여기서 i 는 2 이상의 자연수) 및 i 번째 라인 선택 회로를 포함한다. i 번째 변조회로는 수신된 제 1 내지 제 3 제어신호들을 기반으로 i 번째 변조 전압을 i 번째 라인 선택 회로로 출력한다. i 번째 라인 선택 회로는 수신된 i 번째 변조 전압의 레벨에 따라 턴-온되거나 턴-오프하는 메모리 트랜지스터를 포함한다.

대표도 - 도1



(52) CPC특허분류

G09G 2230/00 (2013.01)
G09G 2300/0842 (2013.01)
G09G 2310/08 (2013.01)
G09G 2330/021 (2013.01)

황치선

대전광역시 유성구 반석동 반석마을5단지아파트

(72) 발명자

윤성민

경기도 수원시 영통구 매영로 310번길 12, 554동
1404호

조경익

대전광역시 유성구 상대로 17

이 발명을 지원한 국가연구개발사업

과제고유번호 B0101-15-0133

부처명 미래창조과학부

연구관리전문기관 정보통신기술진흥센터

연구사업명 ETRI 연구개발지원사업

연구과제명 미래광고 서비스를 위한 에너지절감형 환경적응 I/O 플랫폼 기술 개발

기 여 율 1/1

주관기관 한국전자통신연구원

연구기간 2012.03.01 ~ 2017.02.28

명세서

청구범위

청구항 1

$i-1$ 번째(여기서 i 는 2 이상의 자연수) 게이트 라인 및 $i+1$ 번째 게이트 라인에 접속된 i 번째 변조회로, i 번째 게이트 라인 및 i 번째 발광 라인에 접속된 i 번째 라인 선택 회로를 포함하는 게이트 구동 회로에 있어서,

상기 i 번째 변조회로는 수신된 제 1 내지 제 3 제어신호들을 기반으로 i 번째 변조 전압을 상기 i 번째 라인 선택 회로로 출력하고, 제 1 내지 제 5 트랜지스터들 및 제 1 및 제 2 커패시터들을 포함하고,

상기 i 번째 라인 선택 회로는 상기 수신된 i 번째 변조 전압의 레벨에 따라 턴-온되거나 턴-오프하는 메모리 트랜지스터를 포함하는 게이트 구동 회로.

청구항 2

제 1 항에 있어서,

상기 i 번째 변조회로는,

상기 제 1 트랜지스터의 타단과 제 2 트랜지스터의 일단의 교차점은 제 1 노드이고,

상기 제 2 트랜지스터의 타단과 상기 제 3 트랜지스터의 타단의 교차점은 제 2 노드이고,

상기 제 4 트랜지스터의 타단과 상기 제 5 트랜지스터의 타단의 교차점은 제 3 노드이고,

상기 제 1 커패시터는 상기 제 1 노드와 상기 제 3 노드 사이에 연결되고,

상기 제 2 커패시터는 상기 제 2 노드와 상기 제 3 노드 사이에 연결되는 게이트 구동 회로.

청구항 3

제 2 항에 있어서,

상기 제 1 트랜지스터의 게이트는 상기 제 1 제어 신호를 수신하고, 일단은 상기 제 2 제어 신호를 수신하고, 타단은 상기 제 1 노드와 연결되고,

상기 제 2 트랜지스터의 게이트는 상기 $i-1$ 번째 게이트 라인과 연결되고, 일단은 상기 제 1 노드와 연결되고, 타단은 상기 제 2 노드와 연결되고,

상기 제 3 트랜지스터의 게이트는 상기 제 1 제어 신호를 수신하고, 일단은 상기 제 3 제어 신호를 수신하고, 타단은 상기 제 2 노드와 연결되고,

상기 제 4 트랜지스터의 게이트는 상기 제 1 제어 신호를 수신하고, 일단은 접지 전압과 연결되고, 타단은 상기 제 3 노드와 연결되고,

상기 제 5 트랜지스터의 게이트는 상기 $i+1$ 번째 게이트 라인과 연결되고, 일단은 상기 제 2 제어 신호를 수신하고, 타단은 상기 제 3 노드와 연결되는 게이트 구동 회로.

청구항 4

제 3 항에 있어서,

상기 제 1 내지 제 5 트랜지스터들은 옥사이드 박막 트랜지스터(Oxide-Thin-Film-Transistor)이고, 상기 제 2 커패시터의 커패시턴스는 상기 제 1 커패시터의 커패시턴스보다 큰 게이트 구동 회로.

청구항 5

제 1 항에 있어서,

상기 i 번째 라인 선택 회로는

제 6 트랜지스터를 더 포함하고,

상기 메모리 트랜지스터의 게이트는 상기 i번째 변조 전압을 수신하고, 일단은 제 1 전원 전압과 연결되고, 타단은 상기 i번째 발광 라인과 연결되고,

상기 제 6 트랜지스터의 게이트는 상기 i-1번째 게이트 라인에 연결되고, 일단은 상기 1 전원 전압보다 낮은 레벨을 갖는 제 2 전원 전압과 연결되고, 타단은 상기 i번째 발광 라인과 연결되는 게이트 구동 회로.

청구항 6

제 5 항에 있어서,

상기 메모리 트랜지스터는 비휘발성(non-volatile)의 데이터 보유 특성을 갖고, 상기 제 6 트랜지스터는 옥사이드 박막 트랜지스터인 게이트 구동 회로.

청구항 7

제 5 항에 있어서,

상기 제 1 제어 신호가 하이 레벨을 유지하는 동안,

상기 메모리 트랜지스터를 프로그램하기 위한 제 1 전압 레벨을 갖는 상기 제 2 제어 신호가 상기 i번째 변조 전압으로 상기 메모리 트랜지스터의 게이트에 인가되는 게이트 구동 회로.

청구항 8

제 7 항에 있어서,

상기 메모리 트랜지스터가 프로그램된 후, 상기 i번째 변조 전압의 레벨은 제 2 전압 레벨로 유지되고,

상기 제 1 커패시터는 상기 제 2 전압 레벨로 충전되고,

상기 제 2 전압 레벨은 상기 제 1 전압 레벨보다는 낮고, 상기 메모리 트랜지스터를 턴-온하는 게이트 구동 회로.

청구항 9

제 8 항에 있어서,

제 3 전압 레벨을 갖는 제 3 제어 신호에 의해 상기 제 2 커패시터는 충전되고,

상기 제 3 전압 레벨은 상기 제 2 전압 레벨보다 낮고, 음의 전압 레벨인 게이트 구동 회로.

청구항 10

제 9 항에 있어서,

상기 i-1번째 게이트 라인에 하이 레벨의 게이트 신호가 전달될 때, 상기 제 2 트랜지스터가 턴-온되고,

상기 제 1 커패시터의 전압의 레벨과 상기 제 2 커패시터의 전압의 레벨이 제 4 전압 레벨을 갖도록 조절되고,

상기 제 4 전압 레벨은 상기 제 2 전압 레벨보다는 낮고, 상기 제 3 전압 레벨보다는 높은 레벨을 갖고, 상기 메모리 트랜지스터를 턴-오프하는 게이트 구동 회로.

청구항 11

제 10 항에 있어서,

상기 i번째 게이트 라인에 하이 레벨의 게이트 신호가 전달될 때, 상기 제 6 트랜지스터가 턴-온이 되고,

상기 제 6 트랜지스터는 상기 제 2 전원전압을 상기 i번째 발광 라인으로 출력하는 게이트 구동 회로.

청구항 12

제 11 항에 있어서,

상기 제 1 커패시터의 전압의 레벨이 상기 제 2 전압 레벨로 조절된 후, 상기 제 2 제어 신호의 전압 레벨은 부스트 레벨로 유지되고,

상기 $i+1$ 번째 게이트 라인에 하이 레벨의 게이트 신호가 인가되는 동안, 상기 제 5 트랜지스터는 턴-온되고, 상기 부스트 레벨을 갖는 상기 제 2 제어 신호가 상기 제 3 노드로 인가되는 게이트 구동 회로.

청구항 13

제 12 항에 있어서,

상기 부스트 레벨을 갖는 상기 제 2 제어 신호에 의해, 상기 제 1 커패시터의 전압의 레벨 및 상기 제 2 커패시터의 전압의 레벨이 상기 제 2 전압 레벨을 갖도록 조절되는 게이트 구동 회로.

청구항 14

제 10 항에 있어서,

상기 제 1 커패시터의 전압의 레벨 및 상기 제 2 커패시터의 전압의 레벨은 전하 공유(charge sharing)를 통해 상기 제 4 전압 레벨을 갖도록 조절되는 게이트 구동 회로.

청구항 15

게이트 라인들에 게이트 신호들을 제공하고, 발광 라인들에 발광 제어신호들을 제공하는 게이트 구동 회로;

데이터 라인들에 데이터 신호들을 제공하는 데이터 구동 회로; 및

복수의 화소들을 포함하는 유기발광 표시패널들을 포함하며,

상기 게이트 구동 회로는 $i-1$ 번째(여기서 i 는 2 이상의 자연수) 게이트 라인 및 $i+1$ 번째 게이트 라인에 접속된 i 번째 변조회로, i 번째 게이트 라인 및 i 번째 발광 라인에 접속된 i 번째 라인 선택 회로를 포함하고,

상기 i 번째 변조회로는 수신된 제 1 내지 제 3 제어신호들을 기반으로 i 번째 변조 전압을 상기 i 번째 라인 선택 회로로 출력하고,

상기 i 번째 라인 선택 회로는 상기 수신된 i 번째 변조 전압의 레벨에 따라 턴-온되거나 턴-오프하는 메모리 트랜지스터를 포함하는 유기 발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시장치에 관한 것으로, 더욱 상세하게는 향상된 집적도 및 적은 전력을 소모하는 게이트 구동 회로 및 게이트 구동 회로를 포함하는 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 텔레비전, 휴대 전화, 태블릿 컴퓨터, 네비게이션, 게임기 등과 같은 멀티 미디어 장치에 사용되는 다양한 표시 장치들이 개발되고 있다. 이러한 표시장치의 종류 중 하나로 유기발광 표시장치(Organic Light Emitting Display, OLED)가 있다. 유기발광 표시장치는 자발광형(Self-luminous) 표시 장치로서, 시야각이 넓고, 콘트라스트가 우수하며, 응답 속도가 빠른 것이 장점이다.

[0003] 유기발광 표시장치는 복수 개의 화소들을 포함한다. 복수 개의 화소들 각각은 유기발광 다이오드 및 유기발광 다이오드를 제어하는 회로부를 포함한다. 회로부는 적어도 스위칭 트랜지스터, 구동 트랜지스터, 및 스토리지 커패시터를 포함한다. 유기발광 다이오드는 애노드, 캐소드, 및 애노드와 캐소드 사이에 배치된 유기 발광층을 포함한다. 유기발광 다이오드는 애노드와 캐소드 사이에 유기 발광층의 문턱전압 이상의 전압이 인가되면 발광된다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 회로의 집적도를 높이면서 적은 전력을 소모하는 게이트 구동 회로 및 게이트 구동 회로를 포함하는 유기발광 표시장치를 제공하는데 있다.

과제의 해결 수단

[0005] 본 발명의 일 실시 예에 따른 게이트 구동 회로는 i 번째 변조회로(여기서 i 는 2 이상의 자연수) 및 i 번째 라인 선택 회로를 포함한다. i 번째 변조회로는 수신된 제 1 내지 제 3 제어신호들을 기반으로 i 번째 변조 전압을 i 번째 라인 선택 회로로 출력한다. i 번째 라인 선택 회로는 수신된 i 번째 변조 전압의 레벨에 따라 턴-온되거나 턴-오프하는 메모리 트랜지스터를 포함한다.

[0006] 본 발명의 일 실시 예에 따른 유기 발광 표시 장치는 게이트 구동 회로, 데이터 구동 회로 및 유기발광 표시패널들을 포함한다. 게이트 구동 회로는 게이트 라인들에 게이트 신호들을 제공하고, 발광 라인들에 발광 제어신호들을 제공한다. 그리고, 게이트 구동 회로는 $i-1$ 번째(여기서 i 는 2 이상의 자연수) 게이트 라인 및 $i+1$ 번째 게이트 라인에 접속된 i 번째 변조회로, i 번째 게이트 라인 및 i 번째 발광 라인에 접속된 i 번째 라인 선택 회로를 포함한다. i 번째 변조회로는 수신된 제 1 내지 제 3 제어신호들을 기반으로 i 번째 변조 전압을 i 번째 라인 선택 회로로 출력하고, i 번째 라인 선택 회로는 수신된 i 번째 변조 전압의 레벨에 따라 턴-온되거나 턴-오프하는 메모리 트랜지스터를 포함한다. 데이터 구동 회로는 데이터 라인들에 데이터 신호들을 제공한다. 유기발광 표시패널들은 복수의 화소들을 포함한다.

발명의 효과

[0007] 이상과 같은 본 발명의 실시 예에 따른 구동 회로 및 구동 회로를 포함하는 유기발광 표시장치는 비휘발성(non-volatile)의 성질을 갖는 메모리 트랜지스터의 독출 전압의 크기를 변조함으로써 메모리 트랜지스터에 대한 빠른 동작이 요구되는 동작 환경에서도 적절하게 동작할 수 있다. 나아가, 본 발명의 실시 예에 따른 구동 회로 및 구동 회로를 포함하는 유기발광 표시장치는 기존의 게이트 구동 회로에 포함되는 트랜지스터의 수보다 적은 수의 트랜지스터들을 기반으로 동작할 수 있다. 따라서, 본 발명의 실시 예에 따른 구동 회로 및 구동 회로를 포함하는 유기발광 표시장치는 장치의 소형화에 유리할 수 있다. 더불어, 본 발명의 실시 예에 따른 구동 회로 및 구동 회로를 포함하는 유기발광 표시장치는 기존의 게이트 구동 회로를 이용할 때보다 적은 전력을 소모한다.

도면의 간단한 설명

- [0008] 도 1은 본 발명의 일 실시 예에 따른 유기발광 표시장치의 블록도이다.
- 도 2는 본 발명의 일 실시 예에 따른 유기발광 표시패널에 포함된 화소의 등가회로이다.
- 도 3은 본 발명의 일 실시 예에 따른 게이트 구동 회로를 보여주는 블록도이다.
- 도 4는 본 발명의 일 실시 예에 따른 게이트 구동 회로를 더 상세히 보여주는 회로도이다.
- 도 5는 메모리 트랜지스터의 동작 특성에 관한 도면이다.
- 도 6은 본 발명 일 실시 예에 따른 구동 회로의 동작을 설명하기 위한 타이밍도이다.
- 도 7은 도 6의 T1-T2 구간의 게이트 구동 회로의 동작을 설명하는 회로도이다.
- 도 8은 도 6의 T3-T4 구간의 게이트 구동 회로의 동작을 설명하는 회로도이다.
- 도 9는 도 6의 T4-T5 구간의 게이트 구동 회로의 동작을 설명하는 회로도이다.
- 도 10은 도 6의 T5-T6 구간의 게이트 구동 회로의 동작을 설명하는 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0009] 기술한 특성 및 이하 상세한 설명은 모두 본 발명의 설명 및 이해를 돕기 위한 예시적인 사항이다. 즉, 본 발명은 이와 같은 실시 예에 한정되지 않고 다른 형태로 구체화될 수 있다. 다음 실시 형태들은 단지 본 발명을 완전히 개시하기 위한 예시이며, 본 발명이 속하는 기술 분야의 통상의 기술자들에게 본 발명을 전달하기 위한 설명이다. 따라서, 본 발명의 구성 요소들을 구현하기 위한 방법이 여럿 있는 경우에는, 이들 방법 중 특정한 것 또는 이와 동일성 있는 것 가운데 어떠한 것으로든 본 발명의 구현이 가능함을 분명히 할 필요가 있다.

- [0010] 본 명세서에서 어떤 구성이 특정 요소들을 포함한다는 언급이 있는 경우, 또는 어떤 과정이 특정 단계들을 포함한다는 언급이 있는 경우는, 그 외 다른 요소 또는 다른 단계들이 더 포함될 수 있음을 의미한다. 즉, 본 명세서에서 사용되는 용어들은 특정 실시 형태를 설명하기 위한 것일 뿐이고, 본 발명의 개념을 한정하기 위한 것이 아니다. 나아가, 발명의 이해를 돕기 위해 설명한 예시들은 그것의 상보적인 실시 예도 포함한다.
- [0011] 본 명세서에서 사용되는 용어들은 본 발명이 속하는 기술 분야의 통상의 기술자들이 일반적으로 이해하는 의미를 갖는다. 보편적으로 사용되는 용어들은 본 명세서의 맥락에 따라 일관적인 의미로 해석되어야 한다. 또한, 본 명세서에서 사용되는 용어들은, 그 의미가 명확히 정의된 경우가 아니라면, 지나치게 이상적이거나 형식적인 의미로 해석되지 않아야 한다. 이하 첨부된 도면을 통하여 본 발명의 실시 예가 설명된다.
- [0012] 도 1은 본 발명의 일 실시예에 따른 유기발광 표시장치의 블록도이다. 도 1을 참조하면, 유기발광 표시장치(1000)는 타이밍 제어 회로(100), 게이트 구동 회로(200), 데이터 구동 회로(300), 및 유기발광 표시패널(DP)을 포함한다.
- [0013] 타이밍 제어 회로(100)는 입력 영상신호들(미도시)을 수신한다. 그리고 타이밍 제어 회로(100)는 수신된 입력 영상신호들(미 도시)를 기반으로 데이터 구동 회로(300)와의 인터페이스 사양에 맞도록 입력 영상신호들의 데이터 포맷을 변환해 영상 데이터(Data)를 생성할 수 있다. 이어, 타이밍 제어 회로(100)는 영상 데이터(Data), 각종 제어신호들(DCS, CTRL_1, CTRL_2, CTRL_3) 그리고 제 1 및 제 2 전원 전압(EL_H, EL_L)들을 출력할 수 있다.
- [0014] 게이트 구동 회로(200)는 타이밍 제어 회로(100)로부터 게이트 제어신호(SCS), 제 1 내지 제 3 제어신호들(CTRL_1, CTRL_2, CTRL_3) 그리고 제 1 및 제 2 전원 전압(EL_H, EL_L)들을 수신한다. 게이트 제어신호(SCS)는 게이트 구동 회로(200)의 동작을 개시하는 수직개시신호, 신호들의 출력 시기를 결정하는 클럭신호 등을 포함할 수 있다. 게이트 구동 회로(200)는 복수개의 게이트 신호들을 생성하고, 복수개의 게이트 신호들을 후술하는 복수 개의 게이트 라인들(GL1~GLn)에 순차적으로 출력할 수 있다.
- [0015] 또한, 게이트 구동 회로(200)는 게이트 제어신호(SCS), 제 1 내지 제 3 제어신호들(CTRL_1, CTRL_2, CTRL_3) 그리고 제 1 및 제 2 전원 전압(EL_H, EL_L)들을 기반으로 복수개의 발광 제어신호들을 생성한다. 그리고, 게이트 구동 회로(200)는 후술하는 복수개의 발광 라인들(EL1~ELn)에 복수개의 발광 제어신호들을 출력한다.
- [0016] 도 1은 복수 개의 게이트 신호들과 복수개의 발광 제어신호들이 하나의 게이트 구동 회로(200)로부터 출력되는 것으로 도시하였지만, 본 발명은 이에 한정되는 것은 아니다. 본 발명의 일 실시 예에서, 복수 개의 게이트 구동 회로가 복수개의 게이트 신호들을 분할하여 출력하고, 복수 개의 발광 제어신호들을 분할하여 출력할 수 있다. 또한, 본 발명의 일 실시 예에서, 복수 개의 게이트 신호들을 생성하여 출력하는 구동 회로와 복수 개의 발광 제어신호들을 생성하여 출력하는 구동 회로는 별개로 구분될 수 있다.
- [0017] 데이터 구동 회로(300)는 타이밍 제어 회로(100)로부터 데이터 제어신호(DCS) 및 영상 데이터(Data)를 수신한다. 데이터 구동 회로(300)는 영상 데이터(Data)를 데이터 신호들로 변환하고, 데이터 신호들을 후술하는 복수 개의 데이터 라인들(DL1~DLm)에 출력한다. 데이터 신호들은 영상 데이터(Data)의 계조값에 대응하는 아날로그 전압들이다.
- [0018] 유기발광 표시패널(DP)은 복수 개의 게이트 라인들(GL1~GLn), 복수 개의 발광 라인들(EL1~ELn), 복수 개의 데이터 라인들(DL1~DLm) 및 복수 개의 화소들(PX)을 포함한다. 복수 개의 게이트 라인들(GL1~GLn)은 제 1 방향(DR1)으로 연장되고, 제 1 방향(DR1)에 직교하는 제2 방향(DR2)으로 나열된다. 복수 개의 발광 라인들(EL1~ELn) 각각은 복수 개의 게이트 라인들(GL1~GLn) 중 대응하는 게이트 라인에 나란하게 배열될 수 있다. 복수 개의 데이터 라인들(DL1~DLm)은 복수 개의 게이트 라인들(GL1~GLn)과 절연되게 교차한다.
- [0019] 복수 개의 화소들(PX) 각각은 복수 개의 게이트 라인들(GL1~GLn) 중 대응하는 게이트 라인, 복수 개의 발광 라인들(EL1~ELn) 중 대응하는 발광 라인 및 복수 개의 데이터 라인들(DL1~DLm) 중 대응하는 데이터 라인들에 접속된다. 복수 개의 화소들(PX) 각각은 제 1 픽셀 전압(EL_VDD) 및 제 1 픽셀 전압(EL_VDD)보다 낮은 레벨의 제2 픽셀 전압(EL_VSS)을 수신한다. 복수 개의 화소들(PX) 각각은 제 1 픽셀 전압(EL_VDD)이 인가되는 전원 라인(PL)에 접속된다. 복수 개의 화소들(PX) 각각은 초기화 전압(Vint)을 수신하는 초기화 라인(RL)에 접속된다. 도 1에는 간략히 도시되었으나, 복수 개의 화소들(PX) 각각은 복수 개의 게이트 라인들(GL1~GLn) 중 복수 개의 게이트 라인들에 접속될 수 있다.
- [0020] 본 발명의 실시 예에 따르면, 게이트 라인들에 인가되는 게이트 신호들을 기반으로 발광 라인들에 인가되는 발

광 신호들이 생성될 수 있다. 따라서, 본 발명의 실시 예에 따르면, 불필요한 부분의 전원 공급 차단이 가능해지고, 클럭킹 전력(Clocking power)을 감소시킬 수 있다. 다시 말해, 복수의 클럭들을 이용해 게이트 신호들을 생성하는 종래의 기술을 이용하는 경우보다 회로 동작에 필요한 클럭의 수를 감소시켜 소비 전력이 감소된다. 또한, 클럭의 생성 등에 이용되는 소자들의 수가 줄어들 수 있기 때문에 장치의 면적의 소형화 측면에서도 유리하다.

- [0021] 도 2는 본 발명의 일 실시 예에 따른 유기발광 표시패널에 포함된 화소의 등가회로이다. 도 2를 참조하면, 화소들(PX)은 유기발광소자(OLED) 및 유기발광소자(OLED)를 제어하는 회로부를 포함한다.
- [0022] 회로부는 제 1 트랜지스터(TR1), 제 2 트랜지스터(TR2), 제 3 트랜지스터(TR3) 및 커패시터(CAP)를 포함할 수 있다.
- [0023] 제 1 트랜지스터(TR1)는 제 1 제어 전극, 제 1 입력 전극 및 제 1 출력 전극을 포함한다. 예를 들어, 제 1 제어 전극은 게이트 라인(GL)과 연결된다. 예를 들어, 제 1 입력 전극은 데이터 라인(DL)과 연결된다. 예를 들어, 제 1 출력 전극은 후술되는 커패시터(CAP)의 제 1 전극 및 제 2 트랜지스터(TR2)의 제어 전극과 연결된다.
- [0024] 커패시터(CAP)는 제 1 트랜지스터(TR1)의 제 1 출력 전극과 연결된 제 1 전극 및 제 1 픽셀 전압(EL_VDD)을 수신하는 제 2 전극을 포함한다. 커패시터(CAP)는 제 1 트랜지스터(TR1)로부터 수신한 데이터 신호에 대응하는 전압을 충전한다.
- [0025] 제 2 트랜지스터(TR2)는 제 2 제어 전극, 제 2 입력 전극 및 제 2 출력 전극을 포함한다. 예를 들어, 제 2 제어 전극은 제 1 트랜지스터(TR1)의 제 1 출력 전극에 연결된다. 예를 들어, 제 2 입력 전극은 제 1 픽셀 전압(EL_VDD)을 수신한다. 예를 들어, 제 2 출력 전극은 후술되는 제 3 트랜지스터(TR3)의 제 3 입력 전극에 연결된다.
- [0026] 제 3 트랜지스터(TR3)는 제 3 제어 전극, 제 3 입력 전극 및 제 3 출력 전극을 포함한다. 예를 들어, 제 3 제어 전극은 발광 라인(EL)과 연결되어 복수의 발광 제어신호들을 수신할 수 있다. 예를 들어, 제 3 입력 전극은 제 2 트랜지스터(TR2)의 제 2 출력 전극과 연결된다. 예를 들어, 제 3 출력 전극은 유기발광소자(OLED)와 연결된다. 제 3 트랜지스터(TR3)는 발광 라인(EL)을 통해 수신되는 발광 제어 신호에 따라 온/오프 동작을 수행한다. 이에 따라, 제 3 트랜지스터(TR3)는 커패시터(CAP)에 저장된 전압에 대응된 전류를 유기발광소자(OLED)로 흐르도록 제어할 수 있다.
- [0027] 유기발광소자(OLED)는 제 3 트랜지스터(TR3)의 출력 전극에 연결되어 제 1 픽셀 전압(EL_VDD)을 수신하는 애노드 및 제 2 픽셀 전압(EL_VSS)을 수신하는 캐소드를 포함한다. 또한, 유기발광소자(OLED)는 애노드와 캐소드 사이에 배치된 발광층을 포함한다. 유기발광소자(OLED)는 제 3 트랜지스터(TR3)의 턴-온 구간 동안 발광할 수 있다.
- [0028] 본 발명의 실시 예에 따르면, 게이트 라인들에 인가되는 게이트 신호들을 기반으로 발광 라인들에 인가되는 발광 신호들이 생성될 수 있다. 예시적으로, 게이트 신호가 하이 레벨 신호인 경우 발광 신호는 로우 레벨 신호일 수 있다. 반대로, 게이트 신호가 로우 레벨 신호인 경우 발광 신호는 하이 레벨 신호일 수 있다. 한편, 화소들(PX)의 등가회로는 도 2에 제한되지 않고, 변형되어 실시될 수 있다.
- [0029] 도 3은 본 발명의 일 실시 예에 따른 게이트 구동 회로를 보여주는 블록도이다. 도 1 내지 도 3을 참조하면, 게이트 구동 회로(200)는 복수의 게이트 라인들(GL_{n-1}, GL_n, GL_{n+1}, 이하 n은 2 이상의 자연수로 정의) 각각에 대응되는 복수의 변조 회로들(M_{n-1}, M_n, M_{n+1}) 및 복수의 라인 선택 회로들(LS_{n-1}, LS_n, LS_{n+1})을 포함한다.
- [0030] 도 3의 복수의 변조 회로들(M_{n-1}, M_n, M_{n+1}) 각각은 하나의 게이트 라인과 연결될 수 있다. 예를 들어, 제 n-1 변조 회로(M_{n-1})는 제 n-2 게이트 라인(GL_{n-2})과 연결된다. 예를 들어, 제 n 변조 회로(M_n)는 제 n-1 게이트 라인(GL_{n-1})과 연결된다. 제 n+1 변조 회로(M_{n+1})는 제 n 제어 라인(GL_n)과 연결된다.
- [0031] 도 3의 복수의 변조 회로들(M_{n-1}, M_n, M_{n+1}) 각각은 접지 전압(VSS)과 연결된다. 예시적으로, 접지 전압(VSS)은 복수의 변조 회로들(M_{n-1}, M_n, M_{n+1})의 전압을 초기화하는 경우 이용될 수 있다.
- [0032] 복수의 변조 회로들(M_{n-1}, M_n, M_{n+1}) 각각은 타이밍 제어 회로(100)로부터 수신되는 제 1 내지 제 3 제어 신호들(CTRL1, CTRL2, CTRL3)을 수신한다. 복수의 변조 회로들(M_{n-1}, M_n, M_{n+1}) 각각은 제 1 내지 제 3 제어 신호들(CTRL1, CTRL2, CTRL3)을 기반으로 복수의 변조 전압들(VM_{n-1}, VM_n, VM_{n+1})을 각각 출력할 수 있다. 예를 들어, 제 n-1 변조 회로(M_{n-1})는 제 1 내지 제 3 제어 신호들(CTRL1, CTRL2, CTRL3)을 기반으로 제 n-1

변조 전압(VM_{n-1})을 출력한다. 예를 들어, 제 $n-1$ 변조 회로(M_{n-1})는 제 1 내지 제 3 제어 신호들(CTRL1, CTRL2, CTRL3)을 기반으로 제 $n-1$ 변조 전압(VM_{n-1})을 출력한다. 예를 들어, 제 n 변조 회로(M_n)는 제 1 내지 제 3 제어 신호들(CTRL1, CTRL2, CTRL3)을 기반으로 제 n 변조 전압(VM_n)을 출력한다. 예를 들어, 제 $n+1$ 변조 회로(M_{n+1})는 제 1 내지 제 3 제어 신호들(CTRL1, CTRL2, CTRL3)을 기반으로 제 $n+1$ 변조 전압(VM_{n+1})을 출력한다. 제 1 내지 제 3 제어 신호들에 관하여는 후술되는 도면들에서 더 상세히 설명된다.

- [0033] 복수의 라인 선택 회로들(LS_{n-1} , LS_n , LS_{n+1}) 각각은 복수의 변조 회로들(M_{n-1} , M_n , M_{n+1})과 각각 연결될 수 있다. 예를 들어, 제 $n-1$ 라인 선택 회로(LS_{n-1})는 제 $n-1$ 변조 회로(M_{n-1})와 연결되어 제 $n-1$ 변조 전압(VM_{n-1})을 수신할 수 있다. 예를 들어, 제 n 라인 선택 회로(LS_n)는 제 n 변조 회로(M_n)와 연결되어 제 n 변조 전압(VM_n)을 수신할 수 있다. 예를 들어, 제 $n+1$ 라인 선택 회로(LS_{n+1})는 제 $n+1$ 변조 회로(M_{n+1})와 연결되어 제 $n+1$ 변조 전압(VM_{n+1})을 수신할 수 있다.
- [0034] 복수의 라인 선택 회로들(LS_{n-1} , LS_n , LS_{n+1}) 각각은 타이밍 제어 회로(100)로부터 수신되는 제 1 전원전압(EL_H) 및 제 2 전원전압(EL_L)과 연결될 수 있다. 그리고, 복수의 라인 선택 회로들(LS_{n-1} , LS_n , LS_{n+1}) 각각은 대응되는 게이트 라인들(GL_{n-1} , GL_n , GL_{n+1})과 연결된다. 예를 들어, 제 $n-1$ 라인 선택 회로(LS_{n-1})는 제 $n-1$ 게이트 라인(GL_{n-1})과 연결된다. 예를 들어, 제 n 라인 선택 회로(LS_n)는 제 n 게이트 라인(GL_n)과 연결된다. 예를 들어, 제 $n+1$ 라인 선택 회로(LS_{n+1})는 제 $n+1$ 게이트 라인(GL_{n+1})과 연결된다.
- [0035] 또한, 복수의 라인 선택 회로들(LS_{n-1} , LS_n , LS_{n+1}) 각각은 수신된 복수의 변조 전압들(VM_{n-1} , VM_n , VM_{n+1}) 및 복수의 게이트 신호들(GL_{n-1} , GL_n , GL_{n+1})을 기반으로 제 1 전원전압(EL_{VDD}) 또는 제 2 전원전압(EL_L)을 선택하여 복수의 발광 제어 신호들(EL_{n-1} , EL_n , EL_{n+1})로 출력할 수 있다.
- [0036] 도 4는 본 발명의 일 실시 예에 따른 게이트 구동 회로를 더 상세하게 보여주는 회로도이다. 도 1 내지 도 4를 참조하면, 복수의 변조 회로들(M_{n-1} , M_n , M_{n+1}) 각각은 5개의 트랜지스터들 및 2개의 커패시터들을 포함할 수 있다.
- [0037] 예를 들어, 제 $n-1$ 변조 회로(M_n)는 제 1 내지 제 5 트랜지스터들($T1_{n-1}$ ~ $T5_{n-1}$) 및 제 1 내지 제 2 커패시터들($C1_{n-1}$, $C2_{n-1}$)을 포함한다. 제 n 변조 회로(M_n)는 제 1 내지 제 5 트랜지스터들($T1_n$ ~ $T5_n$) 및 제 1 내지 제 2 커패시터들($C1_n$, $C2_n$)을 포함한다. 제 $n+1$ 변조 회로(M_{n+1})는 제 1 내지 제 5 트랜지스터들($T1_{n+1}$ ~ $T5_{n+1}$) 및 제 1 내지 제 2 커패시터들($C1_{n+1}$, $C2_{n+1}$)을 포함한다.
- [0038] 그리고, 복수의 라인 선택 회로들(LS_{n-1} , LS_n , LS_{n+1}) 각각은 1개의 메모리 트랜지스터 및 1개의 트랜지스터를 포함할 수 있다. 예를 들어, 제 $n-1$ 라인 선택 회로(LS_{n-1})는 제 $n-1$ 메모리 트랜지스터(MT_{n-1}) 및 제 6 트랜지스터($T6_{n-1}$)를 포함한다. 예를 들어, 제 n 라인 선택 회로(LS_n)는 제 n 메모리 트랜지스터(MT_n) 및 제 6 트랜지스터($T6_n$)를 포함한다. 예를 들어, 제 n 라인 선택 회로(LS_n)는 제 n 메모리 트랜지스터(MT_n) 및 제 6 트랜지스터($T6_n$)를 포함한다. 예를 들어, 제 $n+1$ 라인 선택 회로(LS_{n+1})는 제 $n+1$ 메모리 트랜지스터(MT_{n+1}) 및 제 6 트랜지스터($T6_{n+1}$)를 포함한다.
- [0039] 간결한 설명을 위해, 제 n 변조 회로(M_n)의 내부 구조 및 제 n 라인 선택 회로(LS_n)의 내부 구조를 중심으로 설명한다.
- [0040] 도 4의 제 n 변조 회로(M_n)는 제 1 내지 제 5 트랜지스터들($T1_n$ ~ $T5_n$) 및 제 1 내지 제 2 커패시터($C1_n$, $C2_n$)를 포함한다. 예를 들어, 제 1 내지 제 5 트랜지스터들($T1_n$ ~ $T5_n$)은 옥사이드 박막 트랜지스터(OTFT, Oxide Thin Film Transistor)일 수 있다. 옥사이드 박막 트랜지스터(OTFT)는 일반적인 박막 트랜지스터보다 누설 전류(Off current)의 크기가 매우 작다. 따라서, 옥사이드 박막 트랜지스터(OTFT)를 이용하는 경우 누설 전류에 의한 전력의 소모를 줄일 수 있다. 또한, 옥사이드 박막 트랜지스터(OTFT)를 이용하는 경우 누설 전류에 의한 장치의 오동작을 줄여 장치의 신뢰성이 향상될 수 있다.
- [0041] 제 1 트랜지스터($T1_n$)의 제어 전극은 제 1 제어 신호(CTRL_1)를 수신한다. 따라서, 제 1 제어 신호(CTRL_1)가 하이 레벨인 경우 제 1 트랜지스터($T1_n$)는 턴-온된다. 그리고, 제 1 트랜지스터($T1_n$)의 입력 전극은 제 2 제어 신호(CTRL_2)를 수신한다. 그리고, 제 1 트랜지스터($T1_n$)의 출력 전극은 제 2 트랜지스터($T2_n$)의 입력 전극 및 제 1 커패시터($C1_n$)와 연결된다.
- [0042] 제 2 트랜지스터($T2_n$)의 제어 전극은 제 $n-1$ 게이트 라인(GL_{n-1})과 연결된다. 따라서, 제 2 트랜지스터($T2_n$)는 제 $n-1$ 게이트 라인(GL_{n-1})의 게이트 신호가 하이 레벨인 경우 턴-온된다. 제 2 트랜지스터($T2_n$)의 입력 전극은 제 1 트랜지스터($T1_n$)의 출력 전극 및 제 1 커패시터($C1_n$)와 연결된다. 제 2 트랜지스터($T2_n$)의 출력

전극은 제 3 트랜지스터(T3_n)의 입력 전극 및 제 2 커패시터(C2_n)와 연결된다.

- [0043] 제 3 트랜지스터(T3_n)의 제어 전극은 제 1 제어 신호(CTRL₁)를 수신한다. 따라서, 제 1 제어 신호(CTRL₁)가 하이 레벨인 경우 제 3 트랜지스터(T3_n)는 턴-온된다. 그리고, 제 3 트랜지스터(T3_n)의 입력 전극은 제 3 제어 신호(CTRL₃)를 수신한다. 그리고, 제 3 트랜지스터(T3_n)의 출력 전극은 제 2 트랜지스터(T2_n)의 출력 전극 및 제 2 커패시터(C2_n)와 연결된다.
- [0044] 제 4 트랜지스터(T4_n)의 제어 전극은 제 1 제어 신호(CTRL₁)를 수신한다. 따라서, 제 1 제어 신호(CTRL₁)가 하이 레벨인 경우 제 4 트랜지스터(T4_n)는 턴-온된다. 그리고, 제 4 트랜지스터(T4_n)의 입력 전극은 접지 전압 신호(VSS)를 수신한다. 그리고, 제 4 트랜지스터(T4_n)의 출력 전극은 제 5 트랜지스터(T5_n)의 출력 전극, 제 1 커패시터(C1_n) 및 제 2 커패시터(C2_n)와 연결된다.
- [0045] 제 5 트랜지스터(T5_n)의 제어 전극은 제 n+1 게이트 라인(GL_{n+1})과 연결된다. 따라서, 제 n 게이트 라인(GL_n)에 대응된 제 5 트랜지스터(T5_n)는 제 n+1 게이트 라인(GL_{n+1})의 게이트 신호가 하이 레벨인 경우 턴-온된다. 그리고, 제 5 트랜지스터(T5_n)의 입력 전극은 제 2 제어 신호(CTRL₂)를 수신한다. 그리고, 제 5 트랜지스터(T5_n)의 출력 전극은 제 4 트랜지스터(T4_n)의 출력 전극, 제 1 커패시터(C1_n) 및 제 2 커패시터(C2_n)와 연결된다.
- [0046] 제 1 노드(N1_n)는 제 1 트랜지스터(T1_n)의 출력 전극과 제 2 트랜지스터(T2_n)의 입력 전극의 교차점일 수 있다. 제 2 노드(N2_n)는 제 2 트랜지스터(T2_n)의 출력 전극과 제 3 트랜지스터(T3_n)의 출력 전극의 교차점일 수 있다. 제 3 노드(N3_n)는 제 4 트랜지스터(T4_n)의 출력 전극과 제 5 트랜지스터(T5_n)의 출력 전극의 교차점일 수 있다.
- [0047] 제 1 커패시터(C1_n)는 제 1 노드(N1_n) 및 제 3 노드(N3_n) 사이에 연결된다. 제 2 커패시터(C2_n)는 제 2 노드(N2_n) 및 제 3 노드(N3_n) 사이에 연결된다. 또한, 제 1 커패시터(C1_n)의 커패시턴스(C1)의 크기는 제 2 커패시터의 커패시턴스(C2)의 크기보다 작을 수 있다. 제 2 커패시터의 커패시턴스(C2)의 크기가 큰 경우, 제 1 커패시터(C1_n)에 저장된 전압의 값의 변화량을 크게 할 수 있다. 이를 통해 후술될 메모리 트랜지스터의 턴-온 동작 및 턴-오프 동작의 정확도를 높일 수 있다.
- [0048] 제 n 라인 선택 회로(LS_n)는 메모리 트랜지스터(MT_n) 및 제 6 트랜지스터(T6_n)를 포함할 수 있다.
- [0049] 메모리 트랜지스터(MT_n)는 전원의 유무에 관계없이 프로그램된 데이터 특성을 유지하는 비휘발성 소자이다. 메모리 트랜지스터(MT_n)의 제어 전극은 제 1 노드(N1_n)와 연결된다. 메모리 트랜지스터(MT_n)의 동작 특성은 프로그램 여부 및 제 1 노드(N1_n)에 인가되는 전압의 레벨에 따라 결정된다. 메모리 트랜지스터(MT_n)의 동작 특성에 관하여는 후술되는 도면들을 참조하여 더 상세하게 설명된다. 메모리 트랜지스터(MT_n)의 입력 전극은 제 1 전원 전압(EL_H)을 수신한다. 메모리 트랜지스터(MT_n)의 출력 전극은 제 n 발광 라인(EL_n)과 연결된다.
- [0050] 제 6 트랜지스터(T6_n)는 옥사이드 박막 트랜지스터(OTFT, Oxide Thin Film Transistor)일 수 있다. 앞서 언급한 바와 같이 옥사이드 박막 트랜지스터(OTFT)는 누설 전류(Off current)의 크기가 매우 작다. 따라서, 옥사이드 박막 트랜지스터(OTFT)를 이용하는 경우 전력 소모의 감소의 효과 및 장치의 신뢰성의 효과가 획득될 수 있다. 제 6 트랜지스터(T6_n)의 제어 전극은 제 n 게이트 라인(GL_n)과 연결된다. 따라서, 제 n 게이트 라인에 대응된 제 6 트랜지스터(T6_n)는 제 n 게이트 라인(GL_n)의 게이트 신호가 하이 레벨인 경우 턴-온된다. 제 6 트랜지스터(T6_n)의 입력 전극은 제 2 전원 전압(EL_L)을 수신한다. 제 6 트랜지스터(T6_n)의 출력 전극은 제 n 발광 라인(EL_n)과 연결된다.
- [0051] 지금까지 도 4의 제 n 게이트 라인(GL_n)에 대응되는 제 n 변조 회로(M_n)의 내부 구조 및 제 n 라인 선택 회로(LS_n)의 내부 구조에 대해 서술하였다. 서술된 내용을 바탕으로, 도 4에 도시된 제 n-1 게이트 라인(GL_{n-1})에 대응되는 제 n-1 변조 회로(M_{n-1})의 내부 구조 및 제 n-1 라인 선택 회로(LS_{n-1})의 내부 구조와 제 n+1 게이트 라인(GL_{n+1})에 대응되는 제 n+1 변조 회로(M_{n+1})의 내부 구조 및 제 n+1 라인 선택 회로(LS_{n+1})의 내부 구조가 이해될 수 있을 것이다.
- [0052] 도 5는 메모리 트랜지스터의 동작 특성에 관한 도면이다. 도 4 및 도 5를 참조하면, 메모리 트랜지스터(MT)는 프로그램 상태 또는 소거 상태 중 어느 하나의 상태를 갖는다. 도 5의 가로축은 메모리 트랜지스터(MT)의 제어 전극에 인가되는 게이트 전압(VGS)의 크기를 의미하고, 도 5의 세로축은 메모리 트랜지스터(MT)의 채널을 통해 흐르는 드레인 전류(IDS)의 크기를 의미한다.
- [0053] 프로그램된(programed) 메모리 트랜지스터(MT)의 상태는 제 1 상태(S1)를 가리킬 수 있다. 예를 들어, 제 1 독

출 전압(VRO_1)이 메모리 트랜지스터(MT)의 게이트 전압(VGS)으로 인가될 때, 제 1 상태(S1)의 메모리 트랜지스터(MT)의 드레인 전류(IDS)는 턴-온 전류(I_ON)일 수 있다. 또한, 제 2 독출 전압(VRO_2)이 메모리 트랜지스터(MT)의 게이트 전압(VGS)으로 인가될 때, 제 1 상태(S1)의 메모리 트랜지스터(MT)의 드레인 전류(IDS)는 제 1 턴-오프 전류(I1_OFF)일 수 있다. 그리고, 제 3 독출 전압(VRO_3)이 메모리 트랜지스터(MT)의 게이트 전압(VGS)으로 인가될 때, 제 1 상태(S1)의 메모리 트랜지스터(MT)의 드레인 전류(IDS)는 턴-온 전류(I_ON)일 수 있다.

[0054] 또한, 소거된(erased) 메모리 트랜지스터(MT)의 상태는 제 2 상태(S2)를 가리킬 수 있다. 예를 들어, 제 1 독출 전압(VRO_1)이 메모리 트랜지스터(MT)의 게이트 전압(VGS)으로 인가될 때, 제 2 상태(S2)의 메모리 트랜지스터(MT)의 드레인 전류(IDS)는 제 2 턴-오프 전류(I2_OFF)일 수 있다. 마찬가지로, 제 2 독출 전압(VRO_2)이 메모리 트랜지스터(MT)의 게이트 전압(VGS)으로 인가될 때, 제 2 상태(S2)의 메모리 트랜지스터(MT)의 드레인 전류(IDS)는 제 2 턴-오프 전류(I2_OFF)일 수 있다. 그리고, 제 3 독출 전압(VRO_3)이 메모리 트랜지스터(MT)의 게이트 전압(VGS)으로 인가될 때, 제 2 상태(S2)의 메모리 트랜지스터(MT)의 드레인 전류(IDS)는 턴-온 전류(I_ON)일 수 있다.

[0055] 도 5의 도면에서 제 1 오프 전류(I1_OFF) 및 제 2 오프 전류(I2_OFF)는 다른 전류 레벨을 갖는 것으로 표현되었으나 이는 예시적인 것이며, 본 발명의 실시 예는 제 1 오프 전류(I1_OFF) 및 제 2 오프 전류(I2_OFF)는 같은 전류 레벨 또는 같은 수준의 레벨을 갖는 다양한 실시 예를 더 포함할 수 있음은 이해될 수 있을 것이다.

[0056] 메모리 트랜지스터(MT)를 게이트 구동 회로에 집적한 본 발명의 실시 예에 따르면, 독출 전압의 크기를 동적으로 조절함으로써 동일한 상태(프로그램 상태 또는 소거 상태)를 갖는 메모리 트랜지스터(MT)의 드레인 전류의 크기를 조절할 수 있다. 예시적으로, 제 1 독출 전압(VRO_1)이 제 1 상태(S1)의 메모리 트랜지스터(MT)의 게이트 전압(VGS)으로 인가될 때, 드레인 전류(IDS)는 턴-온 전류(I_ON)일 수 있다. 이 경우, 턴-온 전류(I_ON)의 크기는 제 1 턴-오프 전류(I1_OFF) 또는 제 2 턴-오프 전류(I2_OFF)의 크기에 비해 10⁷배 정도 크기 때문에, 제 1 상태(S1)의 메모리 트랜지스터(MT)는 제 1 독출 전압(VRO_1)에 의해 턴-온된다.

[0057] 반대로, 제 1 독출 전압(VRO_1)의 전압 크기를 변조(Modulation)한 제 2 독출 전압(VRO_2)이 제 1 상태(S1)의 메모리 트랜지스터(MT)의 게이트 전압(VGS)으로 인가될 때, 드레인 전류(IDS)는 제 1 턴-오프 전류(I1_OFF)가 흐를 수 있다. 이 경우 제 1 턴-오프 전류(I1_OFF)의 크기는 턴-온 전류(I_ON)의 크기에 비해 10⁻⁷배 정도 작기 때문에, 제 1 상태(S1)의 메모리 트랜지스터(MT)는 제 2 독출 전압(VRO_2)에 의해 턴-오프된다. 본 발명의 일 실시예에 따른 경우, 도 5에 도시된 바와 같이 제 1 독출 전압(VRO_1)의 레벨을 제 2 독출 전압(VRO_2)의 레벨로 변조하거나, 제 2 독출 전압(VRO_2)의 레벨을 제 1 독출 전압(VRO_1)의 레벨로 변조할 수 있다.

[0058] 본 발명은 메모리 트랜지스터(MT)의 게이트에 인가되는 독출 전압 레벨의 변조에 따른 드레인 전류의 크기의 차이를 기반으로 메모리 트랜지스터(MT)의 턴-온 또는 턴-오프 동작을 수행한다. 즉, 기존의 일정한 전압 레벨의 게이트 전압(VGS)이 인가될 때, 메모리 트랜지스터(MT)의 턴-온 또는 턴-오프 동작을 구별하기 위한 프로그램 동작 또는 소거 동작이 요구되지 않는다. 따라서, 기존의 메모리 트랜지스터(MT)의 턴-온 또는 턴-오프 동작을 구별하기 위한 프로그램 동작 또는 소거 동작에 요구되는 별도의 프로그램 시간 또는 소거 시간이 요구되지 않는다.

[0059] 그러므로, 메모리 트랜지스터(MT)의 빠른 동작(예시적으로, 턴-온에서 턴-오프 또는 턴-오프에서 턴-온으로 전환하는 동작)을 요구하는 동작 환경에서도 본 발명이 적용될 수 있다.

[0060] 도 6은 본 발명 일 실시 예에 따른 게이트 구동 회로의 동작을 설명하기 위한 타이밍도이다. 도 1 내지 도 6을 참조하면, 본 발명 일 실시 예에 따른 구동 회로는 복수의 게이트 라인들(GL_{n-1}, GL_n, GL_{n+1}) 및 복수의 발광 제어 라인들(EL_{n-1}, EL_n, EL_{n+1})을 포함한다고 가정한다.

[0061] 도 6의 가로축들은 시간을 의미하고, 제 1 구간(T0~T1) 내지 제 8 구간(T7~T8)들로 구성된다. 그리고, 세로축들은 해당 신호의 레벨을 의미한다. 예시적으로, 한 프레임은 제 2 내지 제 7 구간들(T2~T7)을 포함할 수 있다. 도 6은 한 프레임 내 게이트 구동 회로의 동작을 설명하며, 다음 프레임에 대하여는 반복되는 설명이므로 생략될 수 있음은 이해될 수 있을 것이다.

[0062] 참고로, 도 6의 제 1 구간(T0~T1)은 이전 프레임의 마지막 게이트 라인(미도시)의 게이트 신호가 하이 레벨을 갖는 구간을 가리킬 수 있다. 도 6의 제 3 구간(T2~T3)은 제 1 게이트 라인(GL₁, 미도시)의 하이 레벨을 갖는 게이트 신호에서부터 제 n-2 게이트 라인(GL_{n-2}, 미도시)의 하이 레벨을 갖는 게이트 신호가 인가되는 구간을 의미할 수 있다. 더불어, 도 6의 제 7 구간(T6~T7)은 제 n+2 게이트 라인(GL_{n+2}, 미도시)의 하이 레벨을 갖는 게이트 신호에서부터 한 프레임의 마지막 게이트 라인(미도시)의 하이 레벨을 갖는 게이트 신호가 인가되는 구

간을 의미할 수 있다.

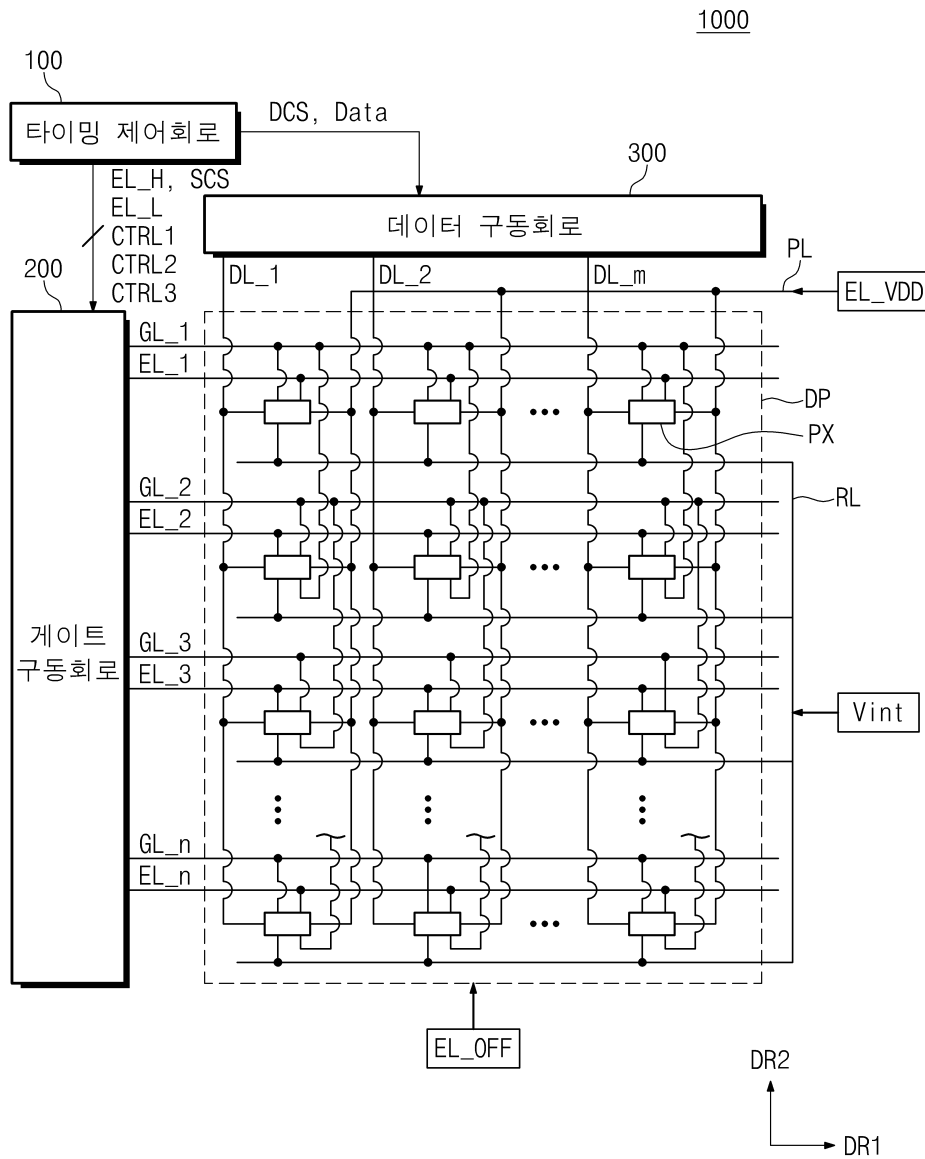
- [0063] 도 6의 프레임 신호(FR)는 제 1 구간(T0~T1)에서, 하이 레벨(FH)이다. 프레임 신호(FR)는 제 2 구간(T1~T2)에서 로우 레벨(FL)이다. 후술될 바와 같이 프레임 신호(FR)가 로우 레벨(FL)을 갖는 제 1 구간(T0~T1)에서 복수의 메모리 트랜지스터(MT)에 대한 프로그램 동작이 수행된다. 즉, 제 1 게이트 라인(GL₁)부터 제 n 게이트 라인(GL_n)으로 하이 레벨을 갖는 게이트 신호들이 순차적으로 인가되는 동안, 프레임 신호(FR)는 하이 레벨(FH)을 유지한다. 그리고, 도 6의 프레임 신호(FR)는 한 프레임 내 나머지 구간들(T2~T7)에서 하이 레벨(FH)을 갖는다.
- [0064] 도 6의 제 n-1 게이트 라인(GL_{n-1})은 제 4 구간(T3~T4)에서 하이 레벨(GH)을 갖고, 한 프레임(T1~T7) 내 나머지 구간에서는 로우 레벨(GL)을 갖는 신호이다.
- [0065] 도 6의 제 n 게이트 라인(GL_n)은 제 5 구간(T4~T5)에서 하이 레벨(GH)을 갖고, 한 프레임(T1~T7)의 나머지 구간에서는 로우 레벨을 갖는 신호이다.
- [0066] 도 6의 제 n+1 게이트 라인(GL_{n+1})은 제 6 구간(T5~T6)에서 하이 레벨(GH)을 갖고, 한 프레임(T1~T7)의 나머지 구간에서는 로우 레벨(GL)을 갖는 신호이다.
- [0067] 도 6의 제 1 제어 신호(CTRL₁)는 복수의 게이트 라인들(GL_{n-1}, GL_n, GL_{n+1})의 레벨이 모두 로우 레벨인 구간(T1~T2, 전술한 제 2 구간을 의미)에서만 하이 레벨(CH)을 갖고, 한 프레임(T1~T7)의 나머지 구간에서는 로우 레벨(CL)을 갖는 신호일 수 있다.
- [0068] 도 6의 제 2 제어 신호(CTRL₂)는, 제 2 구간(T1~T2)에서, 후술될 메모리 트랜지스터(MT)를 프로그램(programed)시키기 위한 프로그램 전압(V_PGM) 레벨로 상승한 후 메모리 트랜지스터(MT)를 턴-온하기 위한 리드아웃 전압(V_RO) 레벨로 하강한 후 부스트 전압(V_BST) 레벨을 갖는다. 그리고, 제 2 제어 신호(CTRL₂)는 한 프레임(T1~T7)의 나머지 구간(T2~T7)에서 부스트 전압(V_BST) 레벨을 유지한다.
- [0069] 도 6의 제 3 제어 신호(CTRL₃)는, 제 2 구간(T1~T2)에서, 로우 레벨(V_IL)을 갖고, 한 프레임(T1~T7)의 나머지 구간에서는 하이 레벨(V_IH)을 갖는 신호이다. 구체적으로, 제 2 구간(T1~T2)의 제 3 제어 신호(CTRL₃)의 전압 레벨은 후술될 커패시터를 음의 전압 레벨로 충전시킬 수 있다.
- [0070] 도 6의 제 1 노드(N1_n), 제 2 노드(N2_n), 제 3 노드(N3_n) 및 제 n 발광 라인(EL_n)은 제 n 게이트 라인(GL_n)에 대응된다고 가정한다. 도 6의 제 1 노드(N1_n)의 전압 레벨은, 제 2 구간(T1~T2)에서, 후술될 메모리 트랜지스터(MT)를 프로그램(programed)시키기 위한 프로그램 전압(V_PGM) 레벨로 상승한 후 메모리 트랜지스터(MT)를 턴-온하기 위한 리드아웃 전압(V_RO) 레벨로 하강한다. 이어, 제 1 노드(N1_n)의 전압 레벨은 제 3 구간(T2~T3) 동안 리드아웃 전압(V_RO) 레벨을 유지할 수 있다. 이어, 제 1 노드(N1_n)의 전압 레벨은 제 4 구간(T3~T4) 및 제 5 구간(T4~T5) 동안 변조 전압(V_RoM) 레벨을 유지할 수 있다. 이어, 제 1 노드(N1_n)의 전압 레벨은 제 6 구간(T5~T6) 및 제 7 구간(T6~T7) 동안 리드아웃 전압(V_RO) 레벨을 유지할 수 있다.
- [0071] 도 6의 제 2 노드(N2_n)의 전압 레벨은, 제 2 구간(T1~T2)에서, 제어 신호(CTRL₃)에 따라 로우 레벨(V_IL)로 하강한다. 로우 레벨(V_IL)은 음의 전압 레벨을 의미한다. 이어, 제 2 노드(N2_n)의 전압 레벨은 제 3 구간(T2~T3) 동안 로우 레벨(V_IL)을 유지할 수 있다. 이어, 제 2 노드(N2_n)의 전압 레벨은 제 4 구간(T3~T4) 및 제 5 구간(T4~T5) 동안 변조 전압(V_RoM) 레벨을 유지할 수 있다. 이어, 제 2 노드(N2_n)의 전압 레벨은 제 6 구간(T5~T6) 및 제 7 구간(T6~T7) 동안 리드아웃 전압(V_RO) 레벨을 유지한다.
- [0072] 도 6의 제 3 노드(N3_n)의 전압 레벨은 제 2 구간(T1~T2) 내지 제 5 구간(T4~T5) 동안 로우 레벨(V_BL)을 유지한다. 이어, 제 3 노드(N3_n)의 전압 레벨은 제 6 구간(T5~T6) 및 제 7 구간(T6~T7) 동안 하이 레벨(V_BH)을 유지할 수 있다.
- [0073] 도 6의 제 n 발광 라인(EL_n)은 제 1 구간(T0~T1) 내지 제 3 구간(T2~T3) 동안 제 1 전원 전압(EL_H)을 출력할 수 있다. 이어, 제 n 발광 라인(EL_n)은 제 4 구간(T3~T4) 및 제 5 구간(T4~T5) 동안 제 2 전원 전압(EL_L)을 출력한다. 이어, 제 n 발광 라인(EL_n)은 제 6 구간(T5~T6) 및 제 7 구간(T6~T7) 동안 제 1 전원 전압(EL_H)을 출력할 수 있다.
- [0074] 도 7은 도 6의 T1-T2 구간의 게이트 구동 회로의 동작을 설명하는 회로도이다. 도 1 내지 도 7을 참조하면, 제 2 구간(T1~T2)은 프레임 신호(FR)가 로우 레벨(FL)인 구간이고, 동시에 한 프레임을 구성하는 복수의 게이트 라인들(GL_{n-1}, GL_n, GL_{n+1})의 게이트 신호들이 모두 로우 레벨(CL)인 구간을 의미한다. 도 7의 제 2 구간(T1~T2)이 설명될 때, 진한 선으로 표시된 선들은 하이 레벨을 갖는 신호들이 인가되는 것을 나타낸다. 또한, 진한

선으로 표시된 소자들은 제 2 구간(T1-T2)에서 활성화된 소자들을 나타낸다.

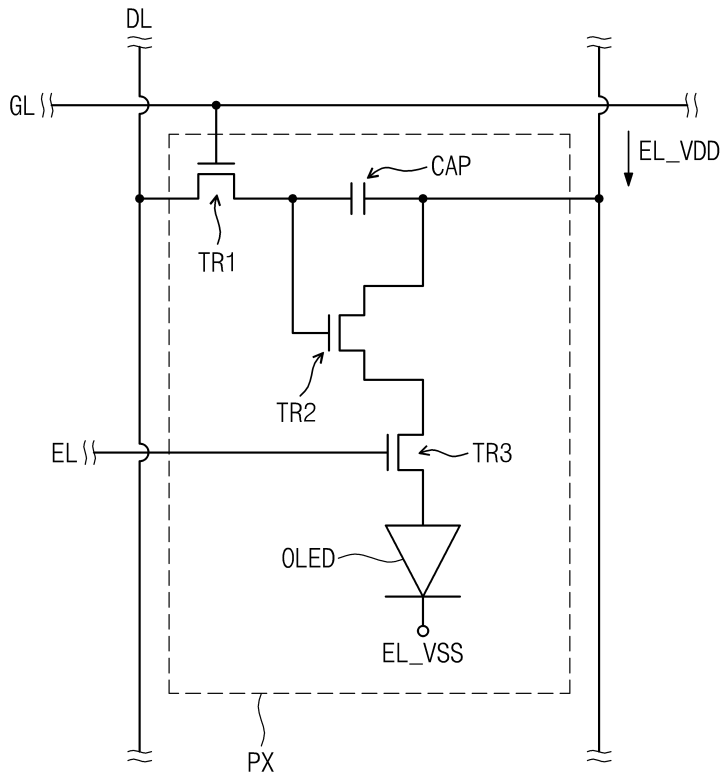
- [0075] 제 2 구간(T1-T2)에서, 제 1 제어 신호(CTRL₁)는 하이 레벨(CH)을 갖는다. 이에 따라, 제 n-1 게이트 라인(GL_{n-1})에 대응되는 제 1 트랜지스터(T1_{n-1}), 제 3 트랜지스터(T3_{n-1}) 및 제 4 트랜지스터(T4_{n-1})가 턴-온된다. 그리고, 제 n-1 게이트 라인(GL_{n-1})에 대응되는 제 2 트랜지스터(T2_{n-1}) 및 제 n-1 게이트 라인(GL_{n-1})에 대응되는 제 5 트랜지스터(T5_{n-1})는 턴-오프된다.
- [0076] 또한, 제 n 게이트 라인(GL_n)에 대응되는 제 1 트랜지스터(T1_n), 제 3 트랜지스터(T3_n) 및 제 4 트랜지스터(T4_n)가 턴-온된다. 그리고, 제 n 게이트 라인(GL_n)에 대응되는 제 2 트랜지스터(T2_n) 및 제 n 게이트 라인(GL_n)에 대응되는 제 5 트랜지스터(T5_n)는 턴-오프된다.
- [0077] 마찬가지로, 제 n+1 게이트 라인(GL_{n+1})에 대응되는 제 1 트랜지스터(T1_{n+1}), 제 3 트랜지스터(T3_{n+1}) 및 제 4 트랜지스터(T4_{n+1})가 턴-온된다. 그리고, 제 n+1 게이트 라인(GL_{n+1})에 대응되는 제 2 트랜지스터(T2_{n+1}) 및 제 n+1 게이트 라인(GL_{n+1})에 대응되는 제 5 트랜지스터(T5_{n+1})는 턴-오프된다.
- [0078] 제 2 구간(T1-T2)에서, 복수의 게이트 라인들(GL_{n-1}, GL_n, GL_{n+1}) 각각에 대응된 복수의 메모리 트랜지스터들(MT_{n-1}, MT_n, MT_{n+1})을 동시에 프로그램하기 위한 복수의 변조 전압들(VM_{n-1}, VM_n, VM_{n+1})이 메모리 트랜지스터의 게이트에 각각 인가된다. 예를 들어, 복수의 변조 전압들(VM_{n-1}, VM_n, VM_{n+1})은 제 1 전압 레벨(V_{PGM})을 갖는다.
- [0079] 제 2 구간(T1-T2)에서, 복수의 메모리 트랜지스터들(MT_{n-1}, MT_n, MT_{n+1})이 프로그램될 때, 복수의 메모리 트랜지스터들(MT_{n-1}, MT_n, MT_{n+1})의 게이트-드레인 특성(VGS-IDS)은 도 5의 제 2 상태(S2)에서 제 1 상태(S1)가 된다.
- [0080] 제 2 구간(T1-T2)에서, 복수의 메모리 트랜지스터들(MT_{n-1}, MT_n, MT_{n+1})이 프로그램된 후, 복수의 변조 전압들(VM_{n-1}, VM_n, VM_{n+1})의 레벨은 제 1 전압 레벨(V_{PGM})에서 제 2 전압 레벨(V_{RO})로 유지된다. 이 경우, 복수의 게이트 라인들(GL_{n-1}, GL_n, GL_{n+1}) 각각에 대응된 제 1 커패시터들(C1_{n-1}, C1_n, C1_{n+1})은 제 2 전압 레벨(V_{RO})로 충전된다. 예를 들어, 제 2 전압 레벨(V_{RO})은 제 1 전압 레벨(V_{PGM})보다는 낮고, 복수의 메모리 트랜지스터들(MT_{n-1}, MT_n, MT_{n+1})을 턴-온하는 전압이다.
- [0081] 제 2 구간(T1-T2)에서, 복수의 게이트 라인들(GL_{n-1}, GL_n, GL_{n+1}) 각각에 대응된 제 2 커패시터들(C2_{n-1}, C2_n, C2_{n+1})은 제 3 전압 레벨(V_{IL})로 충전된다. 예를 들어, 제 3 전압 레벨(V_{IL})은 제 2 전압 레벨(V_{RO})보다 낮고, 음의 전압 레벨일 수 있다.
- [0082] 제 2 구간(T1-T2)에서, 복수의 게이트 라인들(GL_{n-1}, GL_n, GL_{n+1}) 각각에 대응된 제 4 트랜지스터들(T4_{n-1}, T4_n, T4_{n+1})는 접지전압(VSS)을 이용해 복수의 게이트 라인들(GL_{n-1}, GL_n, GL_{n+1}) 각각에 대응된 제 3 노드들(N3_{n-1}, N3_n, N3_{n+1})을 초기화할 수 있다.
- [0083] 제 2 구간(T1-T2)에서, 복수의 메모리 트랜지스터들(MT_{n-1}, MT_n, MT_{n+1})의 게이트에는 복수의 메모리 트랜지스터들(MT_{n-1}, MT_n, MT_{n+1})을 턴-온하는 제 2 전압 레벨(V_{RO})을 갖는 복수의 변조 전압들(VM_{n-1}, VM_n, VM_{n+1})이 인가된다. 따라서, 복수의 발광 제어 라인들(EL_{n-1}, EL_n, EL_{n+1})은 제 1 전원 전압(EL_H)을 발광 제어 신호들로 출력한다.
- [0084] 이후의 도면들은 간결한 설명을 위해 제 n 게이트 라인(GL_n)에 대응되는 제 1 내지 제 6 트랜지스터(T1_n~T6_n)와 제 1 및 제 2 커패시터(C1_n, C2_n), 그리고 메모리 트랜지스터(MT_n)를 중심으로 제 n 발광 라인으로 발광 제어 신호가 출력되는 과정을 설명한다.
- [0085] 도 8은 도 6의 T3-T4 구간의 게이트 구동 회로의 동작을 설명하는 회로도이다. 도 8의 제 4 구간(T3-T4)이 설명될 때, 진한 선으로 표시된 선들은 하이 레벨을 갖는 신호들이 인가되는 것을 나타낸다. 또한, 진한 선으로 표시된 소자들은 제 4 구간(T3-T4)에서 활성화된 소자들을 나타낸다.
- [0086] 도 1 내지 도 8을 참조하면, 제 4 구간(T3-T4)은 제 n-1 게이트 라인(GL_{n-1})의 게이트 신호가 하이 레벨을 갖는다. 따라서, 제 2 트랜지스터(T2_n)은 턴-온이 된다. 제 2 트랜지스터(T2_n)가 턴-온이 되는 경우, 나머지 트랜지스터들은 턴-오프된다.
- [0087] 따라서, 제 4 구간(T3-T4)에서, 제 1 커패시터(C1_n), 제 2 커패시터(C2_n) 및 제 2 트랜지스터(T2_n)는 하나의 폐회로를 구성한다. 전하량 보존의 법칙에 의거하여 제 1 커패시터(C1_n)에 대응된 제 n 변조 전압(VM_n)의 제 2 전압 레벨(V_{RO})은 제 4 전압 레벨(V_{RoM})로 변조된다. 마찬가지로, 제 2 커패시터(C2_n)에 대응된 제 3

도면

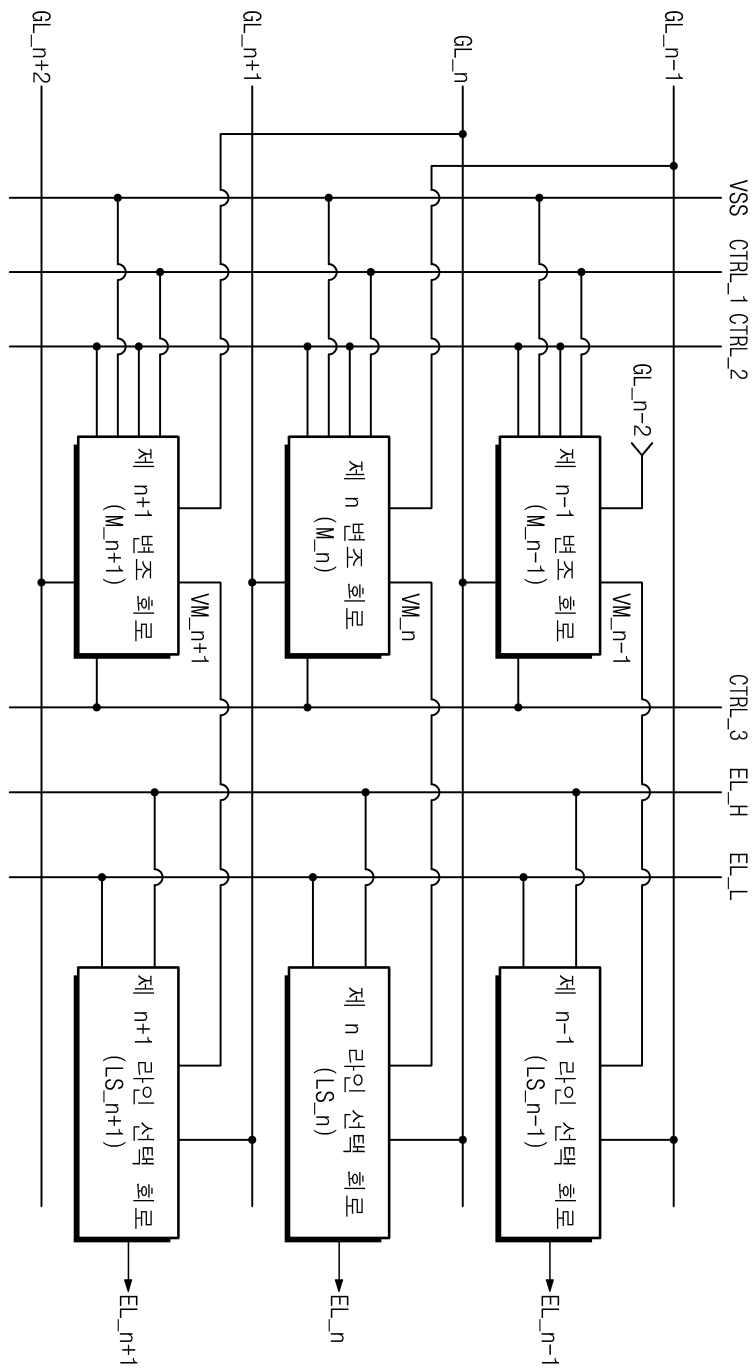
도면1



도면2

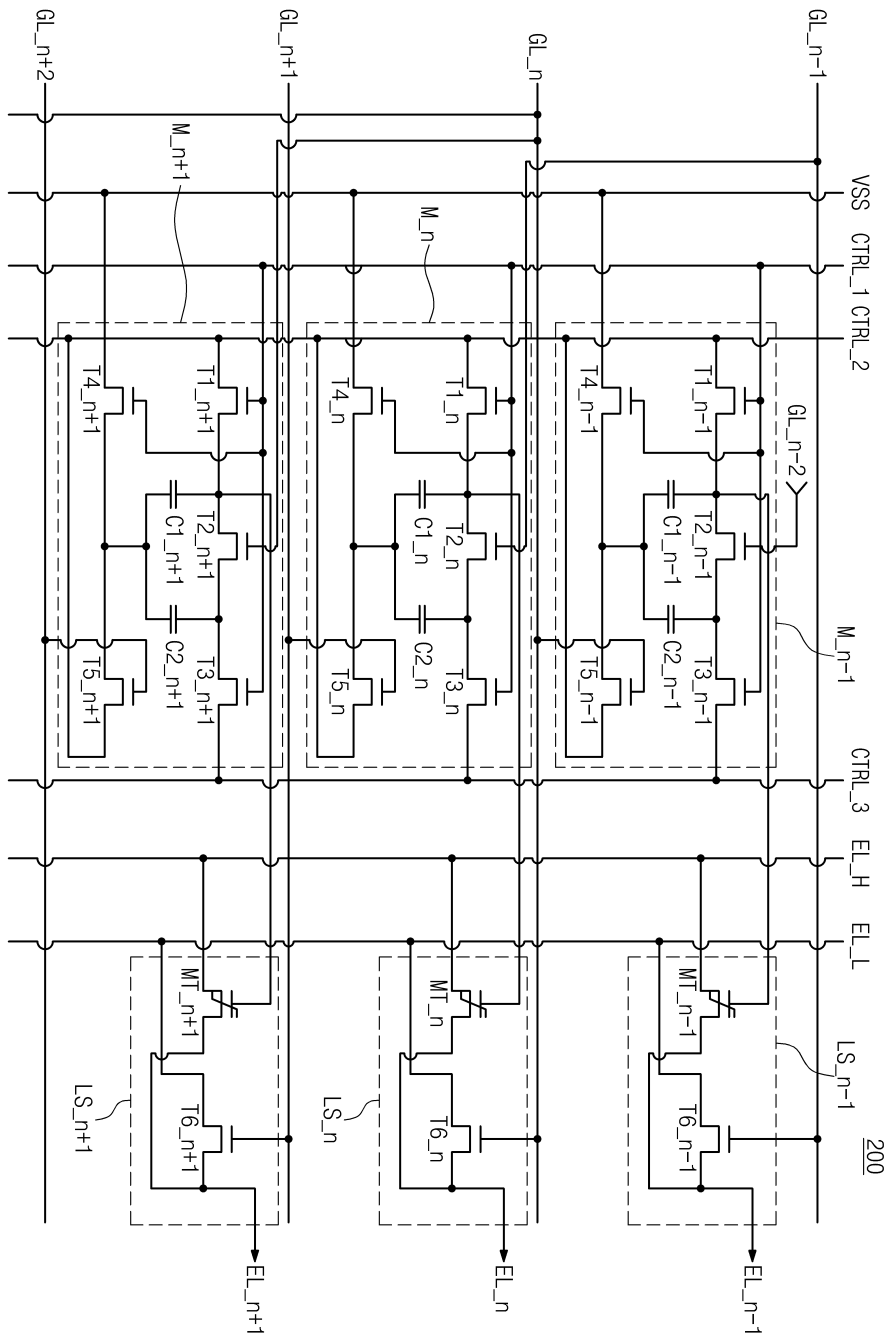


도면3

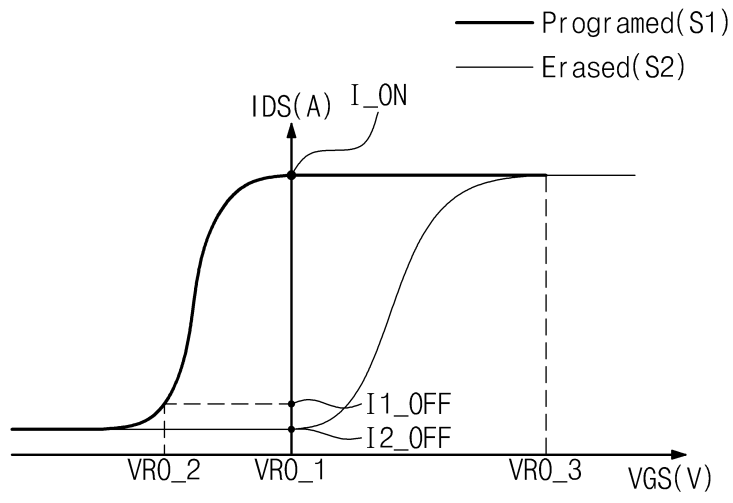


200

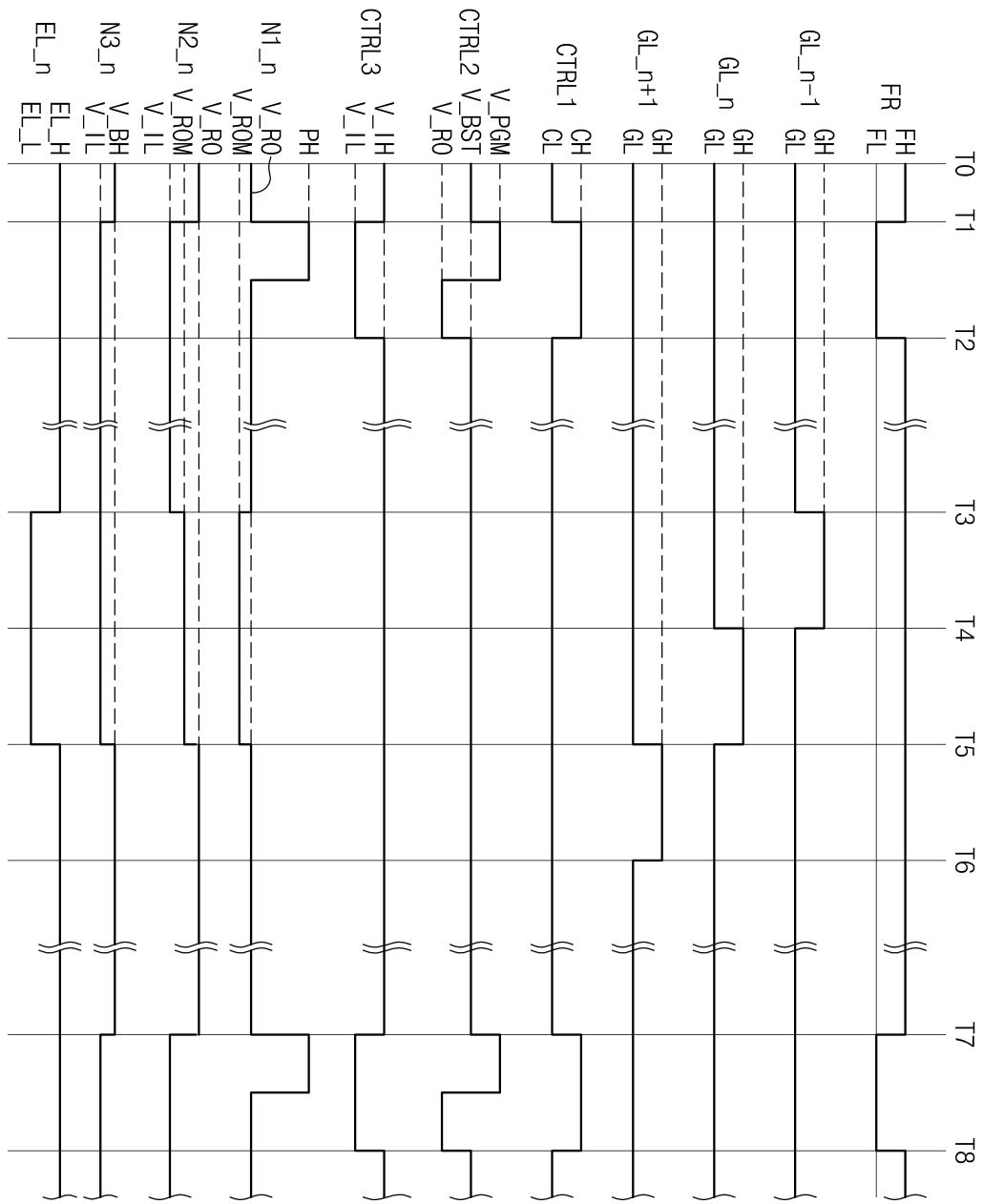
도면4



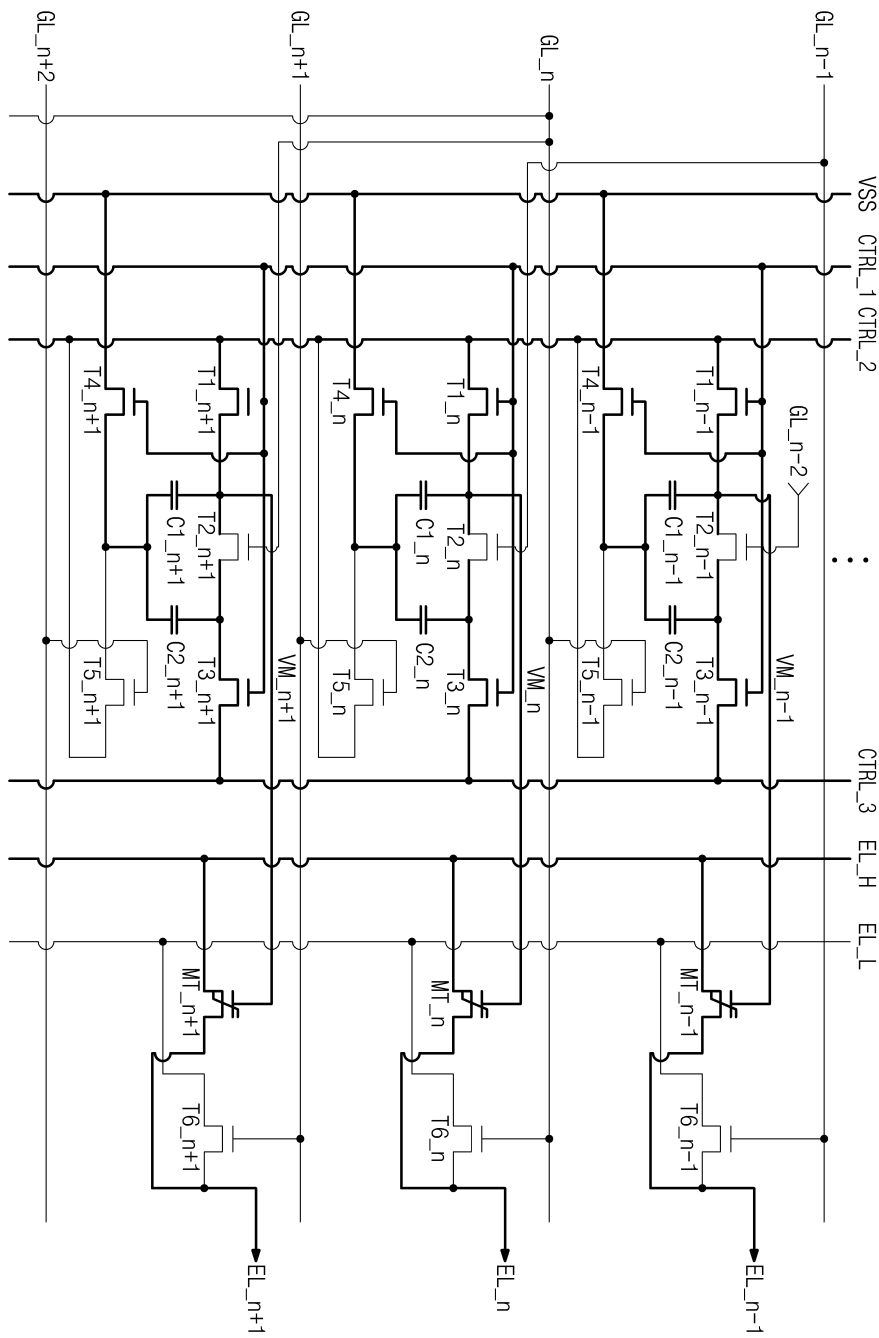
도면5



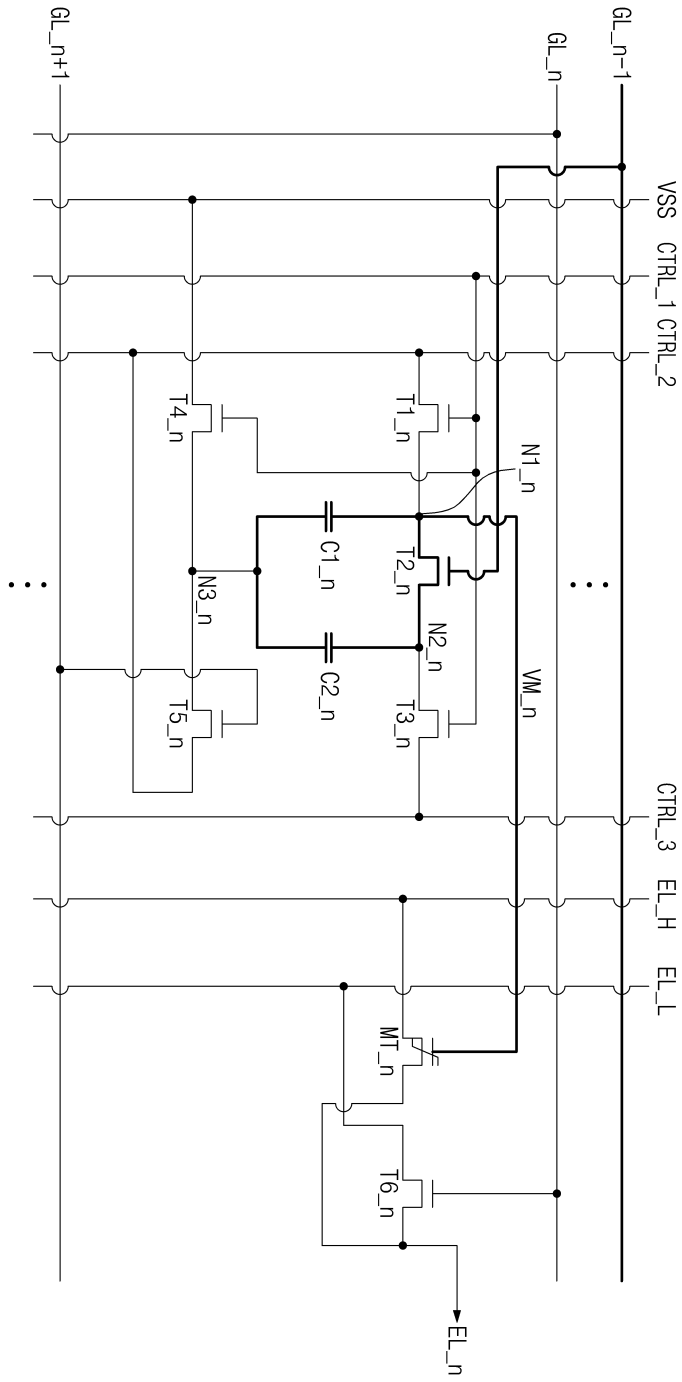
도면6



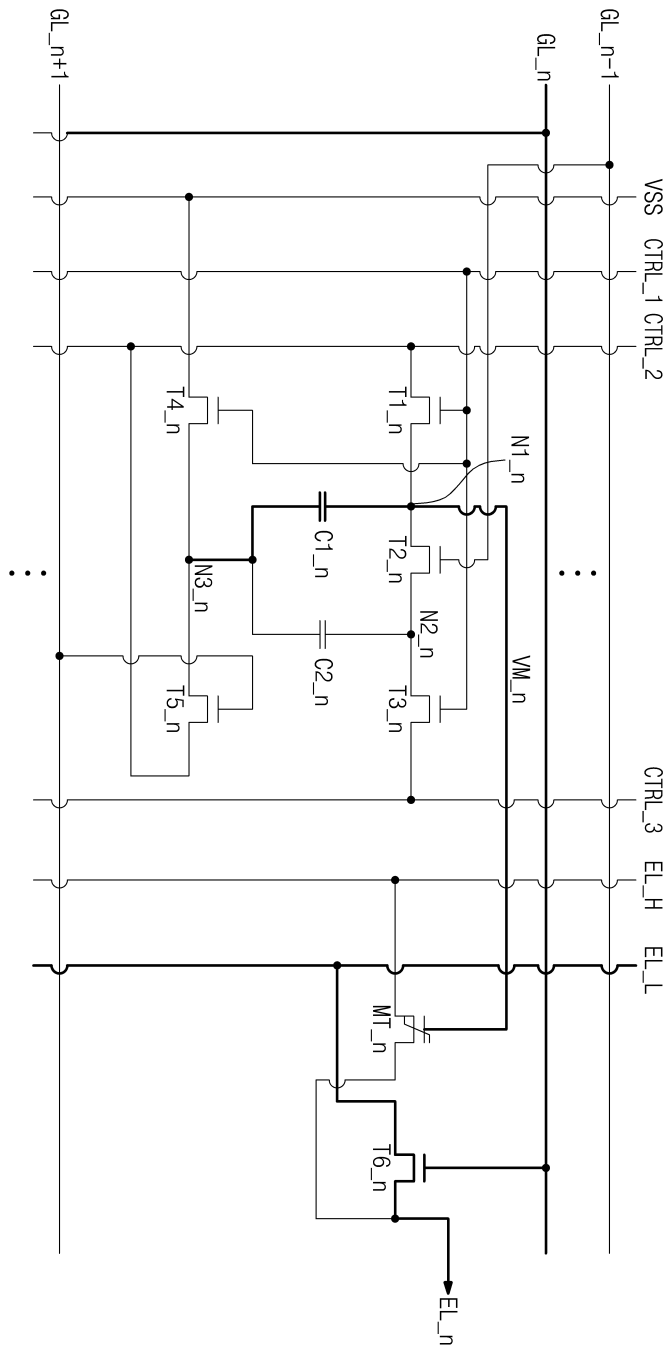
도면7



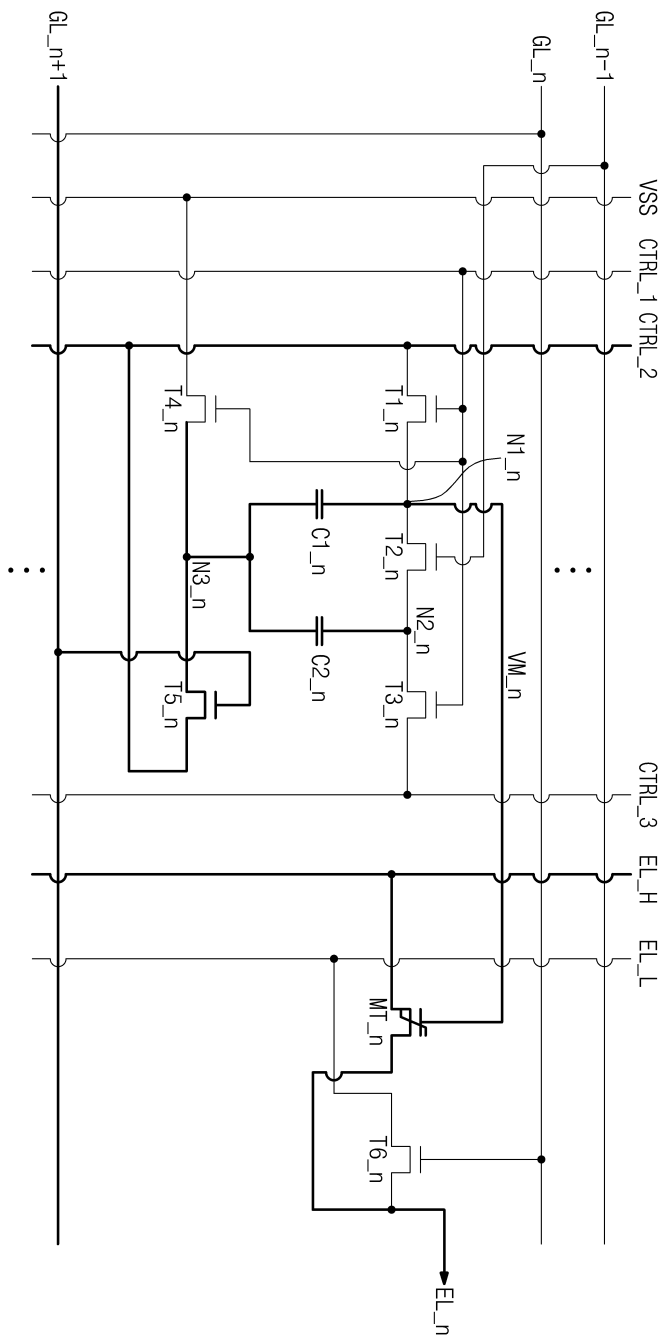
도면8



도면9



도면10



专利名称(译)	OLED显示器，包括栅极驱动电路和栅极驱动电路		
公开(公告)号	KR1020170015098A	公开(公告)日	2017-02-08
申请号	KR1020160026258	申请日	2016-03-04
[标]申请(专利权)人(译)	韩国电子通信研究院 庆熙大学校产学协力团		
申请(专利权)人(译)	韩国电子通信研究院 庆熙大学的学术合作		
[标]发明人	CHUNWON BYUN 변춘원 JONG HEON YANG 양종헌 SUNG MIN YOON 윤성민 KYOUNG IK CHO 조경익 CHI SUN HWANG 황치선		
发明人	변춘원 양종헌 윤성민 조경익 황치선		
IPC分类号	G09G3/32		
CPC分类号	G09G2300/0842 G09G2230/00 G09G3/3233 G09G3/3266 G09G2310/08 G09G2330/021		
优先权	1020150106747 2015-07-28 KR		
其他公开文献	KR102031234B1		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的栅极驱动电路包括第i个调制电路(其中, i是2或更大的自然数)和第i个线选择电路。第i个调制电路基于接收到的第一至第三控制信号将第i个调制电压输出至第i个线选择电路。第i线选择电路包括根据所接收的第i个调制电压的电平而导通或截止的存储晶体管。

