(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0006321
(43) 공개일자 2017년01월18일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 51/56* (2006.01)
(52) CPC특허분류
H01L 27/3258 (2013.01)
H01L 27/3211 (2013.01)
(21) 출원번호 10-2015-0096431
(22) 출원일자 2015년07월07일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
오재영
경기도 고양시 일산동구 노루목로 100 213동 802호 (장항동,호수마을2단지아파트)
(74) 대리인
특허법인로얄

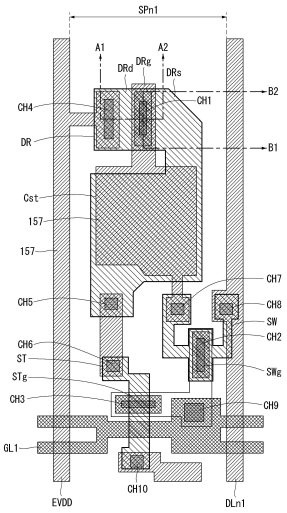
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **유기전계발광표시장치와 이의 제조방법**

(57) 요 약

본 발명은 표시 패널을 고해상도(UHD 이상)로 구현시, 서브 픽셀의 한정된 공간 내에 회로를 구성해야 하는 레이아웃 상의 한계 설계치 조건의 상승으로 야기되는 구조적 취약부의 발생 영역(발생 빈도가 높아짐)의 증가를 회피 및 방지한다. 이를 위해, 본 발명의 게이트금속층은 트랜지스터 영역의 제1절연층 상에 위치하고, 제2절연층은 트랜지스터 영역과 커패시터 영역의 제1절연층 상에 위치하며 게이트금속층을 노출하는 제1콘택홀을 갖고, 소오스 드레인금속층은 트랜지스터 영역과 커패시터 영역의 제2절연층 상에 위치하며 제1콘택홀을 통해 게이트금속층에 연결된다.

대 표 도 - 도11



(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/3272 (2013.01)
H01L 51/56 (2013.01)
H01L 2227/32 (2013.01)
H01L 2251/56 (2013.01)

명 세 서

청구범위

청구항 1

제1기판 상에 정의된 트랜지스터 영역과 커패시터 영역에 위치하는 광차단층;

상기 트랜지스터 영역과 커패시터 영역의 광차단층 상에 위치하는 버퍼층;

상기 트랜지스터 영역과 커패시터 영역의 버퍼층 상에 위치하는 반도체층;

상기 트랜지스터 영역과 커패시터 영역의 반도체층 상에 위치하는 제1절연층;

상기 트랜지스터 영역의 제1절연층 상에 위치하는 게이트금속층;

상기 트랜지스터 영역과 커패시터 영역의 제1절연층 상에 위치하며 상기 게이트금속층을 노출하는 제1콘택홀을 갖는 제2절연층; 및

상기 트랜지스터 영역과 커패시터 영역의 제2절연층 상에 위치하며 상기 제1콘택홀을 통해 상기 게이트금속층에 연결된 소오스 드레인금속층을 포함하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 게이트금속층은

상기 반도체층의 채널영역에 대응하는 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 트랜지스터 영역은

유기 발광다이오드에 구동전류를 제공하는 구동 트랜지스터, 상기 커패시터에 데이터신호를 전달하는 스위칭 트랜지스터 및 상기 유기 발광다이오드의 애노드전극을 센싱하는 센싱 트랜지스터 중 하나 이상을 포함하는 유기전계발광표시장치.

청구항 4

제3항에 있어서,

상기 스위칭 트랜지스터의 게이트전극과 상기 센싱 트랜지스터의 게이트전극은 상기 소오스 드레인금속층에 의해 상호 전기적으로 연결됨과 동시에 스캔라인에 공통으로 연결되는 유기전계발광표시장치.

청구항 5

제3항에 있어서,

상기 스위칭 트랜지스터의 제1전극 및 제2전극, 상기 센싱 트랜지스터의 제1전극 및 제2전극, 상기 구동 트랜지스터의 제1전극 및 제2전극은 상기 반도체층으로 이루어지되, 도체화된 유기전계발광표시장치.

청구항 6

제1항에 있어서,

상기 제1콘택홀은

바(Bar) 형상인 유기전계발광표시장치.

청구항 7

제1기판 상에 트랜지스터 영역과 커패시터 영역을 정의하고, 상기 트랜지스터 영역과 상기 커패시터 영역에 광차단층을 형성하는 단계;

상기 트랜지스터 영역과 커패시터 영역의 광차단층 상에 버퍼층을 형성하는 단계;

상기 트랜지스터 영역과 커패시터 영역의 버퍼층 상에 반도체층을 형성하는 단계;

상기 트랜지스터 영역과 커패시터 영역의 반도체층 상에 제1절연층을 형성하는 단계;

상기 트랜지스터 영역과 커패시터 영역의 제1절연층 상에 게이트금속층을 형성하고, 상기 트랜지스터 영역의 채널영역에 상기 게이트금속층이 존재하도록 패터닝하는 단계;

상기 트랜지스터 영역과 커패시터 영역의 제1절연층 상에 제2절연층을 형성하고, 상기 게이트금속층을 노출하는 제1콘택홀을 형성하는 단계; 및

상기 트랜지스터 영역과 커패시터 영역의 제2절연층 상에 소오스 드레인금속층을 형성하고, 상기 소오스 드레인금속층이 상기 제1콘택홀을 통해 상기 게이트금속층에 연결되도록 패터닝하는 단계를 포함하는 유기전계발광표시장치의 제조방법.

청구항 8

제7항에 있어서,

상기 트랜지스터 영역은

유기 발광다이오드에 구동전류를 제공하는 구동 트랜지스터, 상기 커패시터에 데이터신호를 전달하는 스위칭 트랜지스터 및 상기 유기 발광다이오드의 애노드전극을 센싱하는 센싱 트랜지스터 중 하나 이상을 포함하는 유기전계발광표시장치의 제조방법.

청구항 9

제8항에 있어서,

상기 스위칭 트랜지스터의 게이트전극과 상기 센싱 트랜지스터의 게이트전극은 상기 소오스 드레인금속층에 의해 상호 전기적으로 연결됨과 동시에 스캔라인에 공통으로 연결되는 유기전계발광표시장치의 제조방법.

청구항 10

제8항에 있어서,

상기 스위칭 트랜지스터의 제1전극 및 제2전극, 상기 센싱 트랜지스터의 제1전극 및 제2전극, 상기 구동 트랜지스터의 제1전극 및 제2전극에 대응하여 위치하는 반도체층은 고체화 공정에 의해 도체화된 유기전계발광표시장치의 제조방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 유기전계발광표시장치와 이의 제조방법에 관한 것이다.

배 경 기 술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 유기전계발광표시장치(Organic Light Emitting Display: OLED), 액정표시장치(Liquid Crystal Display: LCD) 및 플라즈마표시장치(Plasma Display Panel: PDP) 등과 같은 표시장치의 사용이 증가하고 있다.

[0003] 앞서 설명한 표시장치 중 유기전계발광표시장치에는 복수의 서브 픽셀을 포함하는 표시패널과 표시패널을 구동하는 구동부가 포함된다. 구동부에는 표시패널에 스캔신호(또는 게이트신호)를 공급하는 스캔구동부 및 표시패널에 데이터신호를 공급하는 데이터 구동부 등이 포함된다.

[0004] 유기전계발광표시장치는 매트릭스 형태로 배치된 서브 픽셀들에 스캔신호 및 데이터신호 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있게 된다.

[0005] 한편, 표시 패널을 고해상도(UHD 이상)로 구현할 경우, 서브 픽셀의 크기는 이전과 대비하여 더 작아진다. 서브 픽셀의 크기는 이전과 대비하여 더 작아진다. 때문에 서브 픽셀의 한정된 공간 내에 회로를 구성해야 하는 레이아웃 상의 한계 설계치 조건은 상승하게 된다.

[0006] 이와 같이 한계 설계치 조건이 상승할 경우, 구조적 취약부의 발생 영역(발생 빈도가 높아짐)의 증가는 물론 이로 인하여 소자의 불안정성 등 또한 야기할 수 있다. 그러므로 표시 패널을 고해상도로 구현하기 위해서는 위와 같은 문제를 회피 및 방지하기 위한 연구가 필요하다.

발명의 내용

해결하려는 과제

[0007] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 표시 패널을 고해상도(UHD 이상)로 구현시, 서브 픽셀의 한정된 공간 내에 회로를 구성해야 하는 레이아웃 상의 한계 설계치 조건의 상승으로 야기되는 구조적 취약부의 발생 영역(발생 빈도가 높아짐)의 증가를 회피 및 방지하는 것이다. 또한, 본 발명은 표시 패널을 고해상도(UHD 이상)로 구현시, 표시 패널의 신뢰성이나 생산 수율을 향상하는 것이다.

과제의 해결 수단

[0008] 상술한 과제 해결 수단으로 본 발명은 광차단층, 버퍼층, 반도체층, 제1절연층, 게이트금속층, 제2절연층 및 소오스 드레인금속층을 포함하는 유기전계발광표시장치에 관한 것이다. 광차단층은 제1기판 상에 정의된 트랜지스터 영역과 커패시터 영역에 위치한다. 버퍼층은 트랜지스터 영역과 커패시터 영역의 광차단층 상에 위치한다. 반도체층은 트랜지스터 영역과 커패시터 영역의 버퍼층 상에 위치한다. 제1절연층은 트랜지스터 영역과 커패시터 영역의 반도체층 상에 위치한다. 게이트금속층은 트랜지스터 영역의 제1절연층 상에 위치한다. 제2절연층은 트랜지스터 영역과 커패시터 영역의 제1절연층 상에 위치하며 게이트금속층을 노출하는 제1콘택홀을 갖는다. 소오스 드레인금속층은 트랜지스터 영역과 커패시터 영역의 제2절연층 상에 위치하며 제1콘택홀을 통해 게이트금속층에 연결된다.

[0009] 게이트금속층은 반도체층의 채널영역에 대응할 수 있다.

[0010] 트랜지스터 영역은 유기 발광다이오드에 구동전류를 제공하는 구동 트랜지스터, 커패시터에 데이터신호를 전달하는 스위칭 트랜지스터 및 유기 발광다이오드의 애노드전극을 센싱하는 센싱 트랜지스터 중 하나 이상을 포함할 수 있다.

[0011] 스위칭 트랜지스터의 게이트전극과 센싱 트랜지스터의 게이트전극은 소오스 드레인금속층에 의해 상호 전기적으로 연결됨과 동시에 스캔라인에 공통으로 연결될 수 있다.

[0012] 스위칭 트랜지스터의 제1전극 및 제2전극, 센싱 트랜지스터의 제1전극 및 제2전극, 구동 트랜지스터의 제1전극 및 제2전극은 반도체층으로 이루어지되, 도체화된 것일 수 있다.

[0013] 제1콘택홀은 바(Bar) 형상일 수 있다.

[0014] 다른 측면에서 본 발명은 유기전계발광표시장치의 제조방법을 제공한다. 유기전계발광표시장치의 제조방법은 제1기판 상에 트랜지스터 영역과 커패시터 영역을 정의하고, 트랜지스터 영역과 상기 커패시터 영역에 광차단층을 형성하고, 트랜지스터 영역과 커패시터 영역의 광차단층 상에 버퍼층을 형성하고, 트랜지스터 영역과 커패시터 영역의 버퍼층 상에 반도체층을 형성하고, 트랜지스터 영역과 커패시터 영역의 반도체층 상에 제1절연층을 형성하고, 트랜지스터 영역과 커패시터 영역의 제1절연층 상에 게이트금속층을 형성하고, 트랜지스터 영역의 채널영역에 게이트금속층이 존재하도록 패터닝하고, 트랜지스터 영역과 커패시터 영역의 제1절연층 상에 제2절연층을 형성하고, 게이트금속층을 노출하는 제1콘택홀을 형성하고, 트랜지스터 영역과 커패시터 영역의 제2절연층 상에 소오스 드레인금속층을 형성하고, 소오스 드레인금속층이 제1콘택홀을 통해 이트금속층에 연결되도록 패터닝하는 단계를 포함한다.

[0015] 트랜지스터 영역은 유기 발광다이오드에 구동전류를 제공하는 구동 트랜지스터, 커패시터에 데이터신호를 전달하는 스위칭 트랜지스터 및 유기 발광다이오드의 애노드전극을 센싱하는 센싱 트랜지스터 중 하나 이상을 포함

할 수 있다.

[0016] 스위칭 트랜지스터의 게이트전극과 센싱 트랜지스터의 게이트전극은 소오스 드레인금속층에 의해 상호 전기적으로 연결됨과 동시에 스캔라인에 공통으로 연결될 수 있다.

[0017] 스위칭 트랜지스터의 제1전극 및 제2전극, 센싱 트랜지스터의 제1전극 및 제2전극, 구동 트랜지스터의 제1전극 및 제2전극에 대응하여 위치하는 반도체층은 고체화 공정에 의해 도체화될 수 있다.

발명의 효과

[0019] 본 발명은 표시 패널을 고해상도(UHD 이상)로 구현시, 서브 픽셀의 한정된 공간 내에 회로를 구성해야 하는 레이아웃 상의 한계 설계치 조건의 상승으로 야기되는 구조적 취약부의 발생 영역(발생 빈도가 높아짐)의 증가를 회피 및 방지할 수 있는 효과가 있다. 또한, 본 발명은 정전기성 불량 가능성, 기생 커패시터의 생성 가능성, 구동 트랜지스터의 특성치(예: 문턱전압) 불안정성 등과 같은 문제를 제거하여 표시 패널의 신뢰성이나 생산 수율을 향상할 수 있는 효과가 있다.

도면의 간단한 설명

[0020] 도 1은 본 발명의 실시예에 따른 유기전계발광표시장치의 개략적인 블록도.

도 2는 서브 픽셀의 개략적인 회로 구성도.

도 3은 본 발명의 실시예에 따른 서브 픽셀의 제1회로 구성 예시도.

도 4는 본 발명의 실시예에 따른 서브 픽셀의 제2회로 구성 예시도.

도 5는 본 발명의 실시예에 따른 표시 패널의 단면 예시도.

도 6은 본 발명의 실험예에 따른 서브 픽셀의 일부를 나타낸 평면도.

도 7은 도 6에 도시된 A1-A2영역의 단면도.

도 8은 실험예에 따른 공정방법을 설명하기 위한 단면도.

도 9는 도 6에 도시된 B1-B2영역의 단면도.

도 10 및 도 11은 본 발명의 실시예에 따른 서브 픽셀의 일부를 나타낸 평면도들.

도 12는 도 11에 도시된 A1-A2영역의 단면도.

도 13은 도 11에 도시된 B1-B2영역의 단면도.

도 14는 도 13에 도시된 제1콘택홀의 평면도.

도 15는 실험예와 실시예를 비교 설명하기 위한 B1-B2영역의 단면도.

발명을 실시하기 위한 구체적인 내용

[0021] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0022] 도 1은 본 발명의 실시예에 따른 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 서브 픽셀의 개략적인 회로 구성도이며, 도 3은 본 발명의 실시예에 따른 서브 픽셀의 제1회로 구성 예시도이고, 도 4는 본 발명의 실시예에 따른 서브 픽셀의 제2회로 구성 예시도이며, 도 5는 본 발명의 실시예에 따른 표시 패널의 단면 예시도이다.

[0023] 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 유기전계발광표시장치에는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(130), 스캔 구동부(140) 및 표시 패널(150)이 포함된다.

[0024] 영상 처리부(110)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다.

[0025] 타이밍 제어부(120)는 영상 처리부(110)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호

및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 스캔 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.

[0026] 데이터 구동부(130)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(120)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(130)는 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(130)는 IC(Integrated Circuit) 형태로 형성될 수 있다.

[0027] 스캔 구동부(140)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 스캔신호를 출력한다. 스캔 구동부(140)는 스캔라인들(GL1 ~ GLm)을 통해 스캔신호를 출력한다. 스캔 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 표시 패널(150)에 게이트인패널(Gate In Panel) 방식으로 형성된다.

[0028] 표시 패널(150)은 데이터 구동부(130) 및 스캔 구동부(140)로부터 공급된 데이터신호(DATA) 및 스캔신호에 대응하여 영상을 표시한다. 표시 패널(150)은 영상을 표시할 수 있도록 동작하는 서브 픽셀들(SP)을 포함한다.

[0029] 서브 픽셀은 구조에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식으로 형성된다. 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함한다. 서브 픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다.

[0030] 도 2에 도시된 바와 같이, 하나의 서브 픽셀에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 보상회로(CC) 및 유기 발광다이오드(OLED)가 포함된다.

[0031] 스위칭 트랜지스터(SW)는 제1스캔라인(GL1)을 통해 공급된 스캔신호에 응답하여 제1데이터라인(DL1)을 통해 공급되는 데이터신호가 커패시터(Cst)에 데이터전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터전압에 따라 제1전원라인(EVDD)과 제2전원라인(EVSS) 사이로 구동 전류가 흐르도록 동작한다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.

[0032] 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위해 서브 픽셀 내에 추가된 회로이다. 보상회로(CC)는 하나 이상의 트랜지스터로 구성된다. 보상회로(CC)의 구성은 보상 방법에 따라 매우 다양한바 이에 대한 예시를 설명한다.

[0033] 도 3 및 도 4에 도시된 바와 같이, 보상회로(CC)에는 센싱 트랜지스터(ST)와 센싱라인(VREF)이 포함된다. 센싱 트랜지스터(ST)는 구동 트랜지스터(DR)의 소오스라인과 유기 발광다이오드(OLED)의 애노드전극 사이(이하 센싱노드)에 접속된다. 센싱 트랜지스터(ST)는 센싱라인(VREF)을 통해 전달되는 초기화전압(또는 센싱전압)을 센싱노드에 공급하거나 센싱노드의 전압 또는 전류를 센싱할 수 있도록 동작한다.

[0034] 스위칭 트랜지스터(SW)는 제1데이터라인(DL1)에 제1전극이 연결되고, 구동 트랜지스터(DR)의 게이트전극에 제2전극이 연결된다. 구동 트랜지스터(DR)는 제1전원라인(EVDD)에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 커패시터(Cst)는 구동 트랜지스터(DR)의 게이트전극에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)의 제2전극에 애노드전극이 연결되고 제2전원라인(EVSS)에 캐소드전극이 연결된다. 센싱 트랜지스터(ST)는 센싱라인(VREF)에 제1전극이 연결되고 센싱노드인 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다.

[0035] 센싱 트랜지스터(ST)의 동작 시간은 보상 알고리즘(또는 보상 회로의 구성)에 따라 스위칭 트랜지스터(SW)와 유사/동일하거나 다를 수 있다. 일례로, 스위칭 트랜지스터(SW)는 제1a스캔라인(GL1a)에 게이트전극이 연결되고, 센싱 트랜지스터(ST)는 제1b스캔라인(GL1b)에 게이트전극이 연결될 수 있다. 다른 예로, 스위칭 트랜지스터(SW)의 게이트전극에 연결된 제1a스캔라인(GL1a)과 센싱 트랜지스터(ST)의 게이트전극에 연결된 제1b스캔라인(GL1b)은 공통으로 공유하도록 연결될 수 있다.

[0036] 센싱라인(VREF)은 데이터 구동부에 연결될 수 있다. 이 경우, 데이터 구동부는 실시간, 영상의 비표시기간 또는 N 프레임(N은 1 이상 정수) 기간 동안 서브 픽셀의 센싱노드를 센싱하고 센싱결과를 생성할 수 있게 된다. 한편, 스위칭 트랜지스터(SW)와 센싱 트랜지스터(ST)는 동일한 시간에 턴온될 수 있다. 이 경우, 데이터 구동부의 시분할 방식에 의거 센싱라인(VREF)을 통한 센싱 동작과 데이터신호를 출력하는 데이터 출력 동작은 상호 분

리(구분) 된다.

[0037] 이 밖에, 센싱결과에 따른 보상 대상은 디지털 형태의 데이터신호, 아날로그 형태의 데이터신호 또는 감마 등이 될 수 있다. 그리고 센싱결과를 기반으로 보상신호(또는 보상전압) 등을 생성하는 보상 회로는 데이터 구동부의 내부, 타이밍 제어부의 내부 또는 별도의 회로로 구현될 수 있다.

[0038] 기타, 도 3 및 도 4에서는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 유기 발광다이오드(OLED), 센싱 트랜지스터(ST)를 포함하는 3T(Transistor)1C(Capacitor) 구조의 서브 픽셀을 일례로 설명하였지만, 보상회로(CC)가 추가된 경우 3T2C, 4T2C, 5T1C, 6T2C 등으로 구성될 수도 있다.

[0039] 한편, 도 3의 서브 픽셀의 회로와 도 4의 서브 픽셀의 회로를 비교해 보면, 두 회로에는 광차단층(LS)의 구성에 차이가 있다. 광차단층(LS)은 외광을 차단하는 역할을 하기 위해 존재한다. 광차단층(LS)이 금속성 재료로 형성될 경우 기생 전압이 충전되는 문제가 유발된다. 때문에, 광차단층(LS)은 구동 트랜지스터(DR)의 소오스전극에 접속된다.

[0040] 구체적으로 설명하면, 광차단층(LS)은 도 3과 같이 구동 트랜지스터(DR)의 채널영역 하부에만 배치되거나, 도 4와 같이 광차단층(LS)은 구동 트랜지스터(DR)의 채널영역 하부뿐만 아니라 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 채널영역 하부에도 배치될 수 있다. 광차단층(LS)은 단순히 외광을 차단할 목적으로 사용하거나, 다른 전극이나 라인과의 연결을 도모하고, 커패시터 등을 구성하는 전극으로 활용할 수 있다.

[0041] 도 5에 도시된 바와 같이, 제1기판(150a)의 표시영역(AA) 상에는 도 3 또는 도 4에서 설명된 회로를 기반으로 서브 픽셀들이 형성된다. 표시영역(AA) 상에 형성된 서브 픽셀들은 보호필름(또는 보호기판)(150b)에 의해 밀봉된다. 기타 미설명된 NA는 비표시영역을 의미한다.

[0042] 서브 픽셀들은 표시영역(AA) 상에서 적색(R), 백색(W), 청색(B) 및 녹색(G)의 순으로 수평 또는 수직하게 배치된다. 그리고 서브 픽셀들은 적색(R), 백색(W), 청색(B) 및 녹색(G)이 하나의 픽셀(P)이 된다. 그러나 서브 픽셀들의 배치 순서는 발광재료, 발광면적, 보상회로의 구성(또는 구조) 등에 따라 다양하게 변경될 수 있다. 또한, 서브 픽셀들은 적색(R), 청색(B) 및 녹색(G)이 하나의 픽셀(P)이 될 수 있다.

[0043] 한편, 도 3 및 도 4의 서브 픽셀의 회로를 기반으로 고해상도(UHD 이상)의 표시 패널을 제작할 경우, 서브 픽셀의 크기는 이전과 대비하여 더 작아진다. 서브 픽셀의 크기는 이전과 대비하여 더 작아진다. 때문에 표시 패널의 전반에 걸쳐 이전 대비 레이아웃 설계의 복잡도가 상승하게 된다.

[0044] 이와 같이 표시 패널의 레이아웃 설계의 복잡도가 상승할 경우, 공정 상에서 발생하는 이물이나 파티클에 의해 구조적 취약부에 위치하는 전극 간의 쇼트가 발생할 확률이 높아짐은 물론 이로 인하여 소자의 불안정성 등(예: 트랜지스터의 문턱전압 이동) 또한 야기할 수 있다. 그러므로 표시 패널을 고해상도로 구현하기 위해서는 위와 같은 문제를 회피 및 방지하기 위한 연구가 필요하다.

[0045] 이하, 실험예를 기반으로 고해상도의 표시 패널 제작시 발생할 수 있는 구조적 취약부를 파악함과 더불어 이 부분에 대한 문제점을 고찰하고 이를 해결할 수 있는 실시예에 대해 설명한다.

[0046] - 실험예 -

[0047] 도 6은 본 발명의 실험예에 따른 서브 픽셀의 일부를 나타낸 평면도이고, 도 7은 도 6에 도시된 A1-A2영역의 단면도이며, 도 8은 실험예에 따른 공정방법을 설명하기 위한 단면도이고, 도 9는 도 6에 도시된 B1-B2영역의 단면도이다.

[0048] 도 6 내지 도 9에 도시된 바와 같이, 제1서브 픽셀(SPn1)은 좌측에 배치된 제1전원라인(EVDD), 우측에 배치된 제1데이터라인(DLn1), 하측에 배치된 제1스캔라인(GL1) 및 하측에 배치된 센싱라인(VREF)에 전기적으로 연결된다.

[0049] 제1서브 픽셀(SPn1)은 도 3에 도시된 회로를 기판으로 제작된 것을 일례로 한다. 따라서, 제1서브 픽셀(SPn1)에는 구동 트랜지스터(DR), 커패시터(Cst), 유기 발광다이오드(OLED), 스위칭 트랜지스터(SW) 및 센서 트랜지스터(ST)가 포함된다.

[0050] 구동 트랜지스터(DR)는 산화물 반도체층을 기반으로 탑게이트형으로 형성되는 반면 스위칭 트랜지스터(SW) 및 센서 트랜지스터(ST)는 다결정 반도체층(예: 실리콘)을 기반으로 바탐게이트형으로 형성된다. 즉, 제1서브 픽셀(SPn1) 내에 구성된 트랜지스터는 이종의 반도체층으로 이루어진다. 이하, 제1서브 픽셀(SPn1)의 일부를 나타내는 단면도를 기반으로 이의 구조를 설명한다.

[0051] 제1기판(150a) 상에는 광차단층(151)이 형성된다. 광차단층(151)은 구동 트랜지스터(DR)의 채널영역(153a) 또는 반도체층(153)에 대응하여 형성된다. 광차단층(151)은 기 설명한 바와 같이 외광을 차단함은 물론 다른 전극이나 라인과의 연결을 도모하고, 커패시터 등을 구성하는 전극으로 활용된다.

[0052] 광차단층(151) 상에는 버퍼층(152) 및 반도체층(153)이 형성된다. 도시된 반도체층(153)은 구동 트랜지스터(DR)의 반도체층으로서 산화물 반도체층(예: IGZO)으로 구성된다. 그리고 반도체층(153)에서 채널영역(153a)에 해당하는 부분을 제외한 소오스영역(153s) 및 드레인영역(153d)에 해당하는 부분은 도체화되어 금속전극 또는 배선(Metalization)이 된다. 도체화 공정은 O2 플라즈마나 식각 공정을 이용할 수 있으나 이에 한정되지 않는다.

[0053] 반도체층(153) 상에는 제1절연층(154)이 형성되고, 제1절연층(154) 상에는 게이트금속층(155)이 형성된다. 제1절연층(154)은 게이트절연층으로 정의될 수 있는다. 게이트금속층(155)은 제1서브 픽셀(SPn1)의 구동 트랜지스터(DR)의 게이트전극으로 사용된다. 또한, 게이트금속층(155)은 제1스캔라인(GL1)으로 사용된다.

[0054] 게이트금속층(155) 상에는 제2절연층(156)이 형성된다. 제2절연층(156)은 하부 구조물과 상부에 형성되는 구조물 간의 전기적 절연을 하는 층간 절연층으로 정의될 수 있다. 제2절연층(156)에는 하부 구조물의 일부를 노출하는 다수의 콘택홀이 형성된다. 다수의 콘택홀은 홀 마스크에 의해 패터닝된다.

[0055] 제2절연층(156) 상에는 소오스 드레인금속층(157)이 형성된다. 소오스 드레인금속층(157)은 제1전원라인(EVDD), 제1데이터라인(DLn1), 센싱라인(VREF)을 구성하는 라인과 서브 픽셀의 내부에 포함되는 트랜지스터 및 커패시터를 구성하는 전극으로 각각 분리된다. 소오스 드레인금속층(157)에 의해 구동 트랜지스터(DR)의 드레인전극은 제1전원라인(EVDD)에 연결된다.

[0056] 소오스 드레인금속층(157) 상에는 제3절연층(158)이 형성된다. 제3절연층(158)은 제1기판(150a) 상에 형성된 트랜지스터 등의 구조물을 보호하기 위한 보호층으로 정의될 수 있다.

[0057] 제3절연층(158) 상에는 제4절연층(160)이 형성된다. 제4절연층(160)은 표면을 평탄화하는 코팅층으로 정의될 수 있다. 제4절연층(160)은 컬러필터의 사용 유무에 따라 미형성될 수 있다. 예컨대, 제3절연층(158) 상에 정의된 개구영역에 대응하여 컬러필터가 형성된 경우 제3절연층(158) 상에는 제4절연층(160)이 형성된다. 그러나 컬러필터가 미형성된 경우 제4절연층(160)은 생략될 수도 있다. 한편, 컬러필터가 형성되는 경우 유기 발광다이오드는 백색을 발광할 수 있으나 이에 한정되지 않는다.

[0058] 이하 도시되어 있진 않지만 제4절연층(160) 상에는 유기 발광다이오드의 애노드전극으로 정의될 수 있는 하부전극과, 하부전극의 일부를 노출하는 개구영역을 갖는 뱅크층과, 빛을 발광하는 유기 발광층과, 유기 발광다이오드의 캐소드전극으로 정의될 수 있는 상부전극 등이 더 형성된다.

[0059] 한편, 실험예에서는 도 8의 (a)-(d)와 같이 제1기판(150a) 상에 광차단층(151), 버퍼층(152) 및 반도체층(153)을 순차 적층하고, 반도체층(153) 상에 풀톤 영역(F/T)과 하프톤 영역(H/T)으로 구분된 포토레지스트(PR)를 형성한다. 이때, 풀톤 영역(F/T)과 하프톤 영역(H/T)은 광차단층(151)과 반도체층(153) 간의 단차를 형성하기 위해 사용된다.

[0060] 이후 포토 공정 등을 진행한 후 식각(일괄 패턴이라고도 함)을 하면, 식각 선택비에 의해 광차단층(151), 버퍼층(152) 및 반도체층(153)은 모두 유사/동일한 형태로 패턴된다. 이후 잔존하는 포토레지스터(PR)를 제거하고 제1기판(150a) 상에 제1절연층(154)을 형성하고, 제1절연층(154) 상에 게이트금속층(155) 등을 형성한다.

[0061] 실험예와 같은 공정은 선택적 식각 기술로서, 광차단층(151)부터 반도체층(153)을 형성하고 이를 패턴하는 공정을 통합하여 마스크의 개수를 저감할 수 있고, 식각 진행시 다층 구조물 간의 간섭을 최소화할 수 있는 공정 기술(Damage Free)이다.

[0062] 실험예에서는 실리콘(Si) 계열의 SiO2, SiNx, SiON 중 하나로 제1절연층(154)을 형성한다. 제1절연층(154)은 탑게이트형 구동 트랜지스터의 구동 능력 향상 등 고해상도 공정 요건을 만족시키기 위해 제2절연층(156) 등과 대비하여 두께를 얇게 형성한다. 이 경우, 제1절연층(154)의 얇은 두께를 보상/보완하기 위해 제2절연층(154)의 두께는 제1절연층(154)의 두께 대비 적어도 2배 이상 두껍게 형성한다. 예컨대, 제1절연층(154)의 두께는 300Å ~ 2500Å으로 형성되고, 제2절연층(156)의 두께는 4000Å ~ 6000Å으로 형성될 수 있다. 제1절연층(154)의 두께를 300Å ~ 2500Å와 같이 얇게 형성하면 구동 트랜지스터(DR)의 구동 능력(전류 이동도 향상, 트랜지스터 온 전압 균일화 등) 등을 향상할 수 있다.

[0063] 위와 같은 조건에 의해, 탑게이트형 구동 트랜지스터(DR)의 구동 능력은 향상되지만 제1절연층(154)의 얇은 두께로 인하여, 도 9와 같이 단차를 형성하는 부분의 끝단 특히 광차단층(151)과 게이트금속층(155) 간의 거리

(L1)는 짧아진다.

[0064] 그 결과, 실험예는 광차단층(151)과 게이트금속층(155) 간의 거리(L1)가 짧기 때문에 (1) 정전기성 불량 가능성, (2) 기생 커패시터의 생성 가능성, (3) 구동 트랜지스터(DR)의 특성치(예: 문턱전압) 불안정성 등과 같은 문제에 구조적으로 취약(구조적 취약부)할 수 있는 것으로 나타났다. 따라서, 실험예는 구조적 취약부로 인하여 표시 패널의 신뢰성이나 생산 수율이 하락할 수 있는 결과를 초래할 수 있다.

[0065] - 실시예 -

[0066] 도 10 및 도 11은 본 발명의 실시예에 따른 서브 픽셀의 일부를 나타낸 평면도들이고, 도 12는 도 11에 도시된 A1-A2영역의 단면도이며, 도 13은 도 11에 도시된 B1-B2영역의 단면도이고, 도 14는 도 13에 도시된 제1콘택홀의 평면도이며, 도 15는 실험예와 실시예를 비교 설명하기 위한 B1-B2영역의 단면도이다.

[0067] 도 10 내지 도 14에 도시된 바와 같이, 제1서브 픽셀(SPn1)은 좌측에 배치된 제1전원라인(EVDD), 우측에 배치된 제1데이터라인(DLn1), 하측에 배치된 제1스캔라인(GL1) 및 하측에 배치된 센싱라인(VREF)에 전기적으로 연결된다.

[0068] 제1서브 픽셀(SPn1)은 도 4(도 3의 구조도 가능)에 도시된 회로를 기판으로 제작된 것을 일례로 한다. 따라서, 제1서브 픽셀(SPn1)에는 구동 트랜지스터(DR), 커패시터(Cst), 유기 발광다이오드(OLED), 스위칭 트랜지스터(SW) 및 센서 트랜지스터(ST)가 포함된다.

[0069] 구동 트랜지스터(DR), 스위칭 트랜지스터(SW) 및 센서 트랜지스터(ST)는 트랜지스터 영역에 형성된다. 커패시터(Cst)는 구동 트랜지스터(DR)와 스위칭 트랜지스터(SW) 및 센서 트랜지스터(ST) 사이에 정의된 커패시터 영역에 형성된다. 유기 발광다이오드(OLED)는 개구영역에 형성된다. 개구영역은 트랜지스터 영역, 커패시터 영역과 더불어 구동 트랜지스터(DR)의 상측에 정의된다. 개구영역은 탑 발광, 바탑 발광, 양면 발광 등 발광 방식에 따라 다양하게 위치할 수 있다.

[0070] 구동 트랜지스터(DR)와 더불어 스위칭 트랜지스터(SW) 및 센서 트랜지스터(ST)는 산화물 반도체층을 기반으로 탑게이트형으로 형성된다. 즉, 실시예는 실험예와 달리 제1서브 픽셀(SPn1) 내에 구성된 트랜지스터가 동종의 산화물 반도체층으로 이루어진다.

[0071] 실시예는 구동 트랜지스터(DR), 스위칭 트랜지스터(SW) 및 센서 트랜지스터(ST)를 산화물 반도체층으로 형성함에 따라 콘택홀(CH1 ~ CH10)의 개수가 증가한다. 참고로, 실험예의 콘택홀 개수는 7개이고, 실시예의 콘택홀(CH1 ~ CH10)의 개수는 10개이다. 그러나 실시예의 구조는 하나의 예시에 해당하는바 이에 한정되지 않음에 주의해야 한다.

[0072] 이하, 제1서브 픽셀(SPn1)의 일부를 나타내는 단면도를 기반으로 이의 구조를 설명한다. 다만, 단면도는 구동 트랜지스터(DR)의 단면을 일례로 설명한다. 그 이유는 스위칭 트랜지스터(SW) 및 센서 트랜지스터(ST)의 단면 또한 구동 트랜지스터(DR)의 단면과 유사 동일하기 때문이다.

[0073] 제1기판(150a) 상에는 광차단층(151)이 형성된다. 광차단층(151)은 구동 트랜지스터(DR)의 채널영역(153a) 또는 반도체층(153)과 더불어 미도시하고 있지만 스위칭 트랜지스터(SW) 및 센서 트랜지스터(ST)에 대응하여 형성된다. 광차단층(151)은 기 설명한 바와 같이 외광을 차단함은 물론 다른 전극이나 라인과의 연결을 도모하고, 커패시터 등을 구성하는 전극으로 활용된다.

[0074] 광차단층(151) 상에는 버퍼층(152) 및 반도체층(153)이 형성된다. 도시된 반도체층(153)은 구동 트랜지스터(DR), 스위칭 트랜지스터(SW) 및 센서 트랜지스터(ST)의 반도체층으로서 산화물 반도체층(예: IGZO)으로 구성된다. 그리고 반도체층(153)에서 채널영역(153a)에 해당하는 부분을 제외한 소오스영역(DRs, 153s) 및 드레인영역(DRd, 153d)에 해당하는 부분은 도체화되어 금속전극 또는 배선(Metalization)이 된다. 도체화 공정은 O2 플라즈마나 식각 공정을 이용할 수 있으나 이에 한정되지 않는다. 한편, 소오스영역(DRs, 153s) 중 커패시터(Cst)가 형성되는 영역을 지나는 부분은 커패시터(Cst)의 하부전극이 된다.

[0075] 반도체층(153) 상에는 제1절연층(154)이 형성되고, 제1절연층(154) 상에는 게이트금속층(155)이 형성된다. 제1절연층(154)은 게이트절연층으로 정의될 수 있는다. 게이트금속층(155)은 제1서브 픽셀(SPn1)의 구동 트랜지스터(DR)의 게이트전극(DRg), 스위칭 트랜지스터(SW)의 게이트전극(SWg) 및 센서 트랜지스터(ST)의 게이트전극(STg)으로 사용된다. 또한, 게이트금속층(155)은 제1스캔라인(GL1)으로 사용된다.

[0076] 구동 트랜지스터(DR)의 게이트전극(DRg), 스위칭 트랜지스터(SW)의 게이트전극(SWg) 및 센서 트랜지스터(ST)의

게이트전극(STg)은 섬(Island) 형태로 반도체층(153)의 채널영역에 대응하여 형성되도록 패터닝된다.

[0077] 게이트금속층(155) 상에는 제2절연층(156)이 형성된다. 제2절연층(156)은 하부 구조물과 상부에 형성되는 구조물 간의 전기적 절연을 하는 층간 절연층으로 정의될 수 있다. 제2절연층(156)에는 하부 구조물의 일부를 노출하는 다수의 콘택홀(CH1 ~ CH10)이 형성된다. 다수의 콘택홀(CH1 ~ CH10)은 홀 마스크에 의해 형성되며 레이아웃 설계에 따라 가감된다.

[0078] 제2절연층(156) 상에는 소오스 드레인금속층(157)이 형성된다. 소오스 드레인금속층(157)은 제1전원라인(EVDD), 제1데이터라인(DLn1), 센싱라인(VREF)을 구성하는 라인과 서브 픽셀의 내부에 포함되는 트랜지스터 및 커패시터를 구성하는 전극으로 각각 분리되도록 패터닝된다.

[0079] 소오스 드레인금속층(157)의 제1부분은 제1전원라인(EVDD)이 됨과 동시에 제1전원라인(EVDD)과 제4콘택홀(CH4)을 통해 노출된 구동 트랜지스터(DR)의 드레인전극(DRd)을 전기적으로 연결한다. 제1전원라인(EVDD)은 수직방향으로 배선된다. 제1전원라인(EVDD)과 제4콘택홀(CH4)을 통해 노출된 구동 트랜지스터(DR)의 드레인전극(DRd)을 전기적으로 연결하는 영역은 제1전원라인(EVDD)으로부터 돌출되어 T자 형상을 가질 수 있다. 한편, 제4콘택홀(CH4)은 수평방향보다 수직방향의 긴 바(Bar) 형상을 가질 수 있다.

[0080] 소오스 드레인금속층(157)의 제2부분은 커패시터(Cst)의 상부전극이 됨과 동시에 제1콘택홀(CH1)을 통해 노출된 구동 트랜지스터(DR)의 게이트전극(DRg)과 제7콘택홀(CH7)을 통해 노출된 스위칭 트랜지스터(SW)의 제2전극을 연결한다. 커패시터(Cst)의 상부전극이 되는 영역은 하부전극이 되는 부분과 중첩한다. 구동 트랜지스터(DR)의 게이트전극(DRg)과 연결되는 영역은 커패시터(Cst)의 상부전극이 되는 영역으로부터 돌출되어 I자 형상을 가질 수 있다. 한편, 제1콘택홀(CH1)은 수평방향보다 수직방향의 긴 바(Bar) 형상을 가질 수 있고, 제7콘택홀(CH7)은 사각형 형상을 가질 수 있다.

[0081] 소오스 드레인금속층(157)의 제3부분은 제5콘택홀(CH5)을 통해 노출된 구동 트랜지스터(DR)의 드레인전극(DRd)과 제6콘택홀(CH6)을 통해 노출된 센싱 트랜지스터(ST)의 제1전극을 연결한다. 소오스 드레인금속층(157)의 제3부분은 I자 형상을 가질 수 있다. 한편, 제5 및 제6콘택홀(CH5, CH6)은 사각형 형상을 가질 수 있다.

[0082] 소오스 드레인금속층(157)의 제4부분은 제10콘택홀(CH10)을 통해 노출된 센싱 트랜지스터(ST)의 제2전극과 미도시된 센싱라인을 연결한다. 소오스 드레인금속층(157)의 제4부분은 수평방향으로 연장되어 이웃하는 영역의 서브 픽셀의 측면에 위치하는 센싱라인에 연결된다. 한편, 제10콘택홀(CH10)은 사각형 형상을 가질 수 있다.

[0083] 소오스 드레인금속층(157)의 제5부분은 제3콘택홀(CH3)을 통해 노출된 센싱 트랜지스터(ST)의 게이트전극과 제2콘택홀(CH2)을 통해 노출된 스위칭 트랜지스터(SW)의 게이트전극을 제9콘택홀(CH9)을 통해 노출된 스캔라인(GL1)에 공통으로 연결한다. 소오스 드레인금속층(157)의 제5부분은 L자(또는 니은) 형상을 가질 수 있다. 한편, 제2콘택홀(CH2)은 수평방향보다 수직방향의 긴 바(Bar) 형상을 가질 수 있고, 제3콘택홀(CH3)은 수직방향보다 수평방향의 긴 바(Bar) 형상을 가질 수 있고, 제9콘택홀(CH9)은 사각형 형상을 가질 수 있다.

[0084] 소오스 드레인금속층(157)의 제6부분은 제1데이터라인(DLn1)이 됨과 동시에 제8콘택홀(CH8)을 통해 노출된 스위칭 트랜지스터(SW)의 제1전극을 연결한다. 제1데이터라인(DLn1)은 수직방향으로 배선된다. 소오스 드레인금속층(157)의 제6부분은 제8콘택홀(CH8) 방향으로 돌출된 돌출부를 가질 수 있다. 한편, 제8콘택홀(CH8)은 사각형 형상을 가질 수 있다. 제5, 제7 및 제8콘택홀(CH5, CH7, CH8)은 평도 상에서 보았을 때 동일선상에 위치하도록 배치될 수 있다.

[0085] 소오스 드레인금속층(157) 상에는 제3절연층(158)이 형성된다. 제3절연층(158)은 제1기판(150a) 상에 형성된 트랜지스터 등의 구조물을 보호하기 위한 보호층으로 정의될 수 있다.

[0086] 제3절연층(158) 상에는 제4절연층(160)이 형성된다. 제4절연층(160)은 표면을 평탄화하는 코팅층으로 정의될 수 있다. 제4절연층(160)은 컬러필터의 사용 유무에 따라 미형성될 수 있다. 예컨대, 제3절연층(158) 상에 정의된 개구영역에 대응하여 컬러필터가 형성된 경우 제3절연층(158) 상에는 제4절연층(160)이 형성된다. 그러나 컬러필터가 미형성된 경우 제4절연층(160)은 생략될 수도 있다. 한편, 컬러필터가 형성되는 경우 유기 발광다이오드는 백색을 발광할 수 있으나 이에 한정되지 않는다.

[0087] 이하 도시되어 있진 않지만 제4절연층(160) 상에는 유기 발광다이오드의 애노드전극으로 정의될 수 있는 하부전극과, 하부전극의 일부를 노출하는 개구영역을 갖는 뱅크층과, 빛을 발광하는 유기 발광층과, 유기 발광다이오드의 캐소드전극으로 정의될 수 있는 상부전극 등이 더 형성된다.

[0088] 실시예는 구동 트랜지스터(DR), 스위칭 트랜지스터(SW) 및 센서 트랜지스터(ST)를 모두 산화물 반도체층(예:

IGZO)으로 형성한다. 그러므로 실시예 또한 실험예에서 설명한 도 8의 (a)-(d)와 같이 제1기판(150a) 상에 광차단층(151), 버퍼층(152) 및 반도체층(153)을 순차 적층하고, 포토 공정 등을 진행한 후 식각(일괄 패턴이라고도 함)하는 공정을 진행한다. 그 결과, 광차단층(151), 버퍼층(152) 및 반도체층(153)은 모두 유사/동일한 형태로 패턴된다.

[0089] 위와 같이 구동 트랜지스터(DR), 스위칭 트랜지스터(SW) 및 센서 트랜지스터(ST)를 모두 산화물 반도체층(예: IGZO)으로 형성하게 됨에 따라 소오스 드레인금속층(157)으로 서브 픽셀 내의 소자를 연결할 수 있다.

[0090] 특히, 실시예는 도 13과 같이 소오스 드레인금속층(157)의 제2부분이 커패시터(Cst)의 상부전극이 됨과 동시에 제1콘택홀(CH1)을 통해 노출된 구동 트랜지스터(DR)의 게이트전극(DRg)에 연결된다.

[0091] 도시되어 있진 않지만 스위칭 트랜지스터(SW) 및 센서 트랜지스터(ST)의 게이트전극(SWg, STg)이 제1스캔라인(GL1)에 연결되는 구조 또한 소오스 드레인금속층(157)으로 이루어지므로 도 13과 같은 단면 구조를 갖는다. 즉, 구동 트랜지스터(DR), 스위칭 트랜지스터(SW) 및 센서 트랜지스터(ST)의 게이트전극(DRg, SWg, STg)에 대한 단면은 도 13과 동일하므로 별도로 도시하지 않는다.

[0092] 도 14를 참조하면, 제1콘택홀(CH1)은 수평방향(L; 길이)보다 수직방향(W; 폭)이 더 크다. 구체적으로 도시하고 있진 않지만 제2 및 4콘택홀(CH2, CH4) 또한 제1콘택홀(CH1)과 같은 형태를 가진다. 그리고 제3콘택홀(CH3)의 경우 방향만 180도 다를 뿐 제1콘택홀(CH1)과 같은 형태를 가진다.

[0093] 한편, 도 13과 같은 단차 구조는 제1절연층(154)이 제1기판(150a)의 전면에 형성되거나 반도체층(153)에 대응하여 섬(Island) 형태로 형성되더라도 제1절연층(154)의 두께가 얇은 단점을 해소할 수 있다. 그 이유는 서브 픽셀의 어느 영역을 보더라도 기저부에 위치하는 광차단층(151)과 게이트금속층(155) 또는 광차단층(151)과 소오스 드레인금속층(157) 간의 거리가 짧아지는 부분이 미존재하기 때문이다.

[0094] 이하 실험예와 실시예를 참조하여 두 구조 간에서 가장 크게 대비되는 부분을 설명하면 다음과 같다.

[0095] 도 15의 (a)와 같이 실험예에 따른 게이트금속층(155)은 반도체층(153) 이하의 구조물에 의해 이루어진 단차(테이퍼 부분)를 따라 내려 오는 형태로 형성된다. 그 이유는 게이트금속층(155)이 구동 트랜지스터의 게이트전극(DRg)이 됨과 동시에 커패시터(Cst)의 상부전극이 되는 부분을 연결하기 위해 단차(테이퍼 부분)를 거치는 구조를 갖기 때문이다.

[0096] 도 15의 (b)와 같이 실시예에 따른 게이트금속층(155)은 반도체층(153) 이하의 구조물에 의해 이루어진 단차(테이퍼 부분)를 따라 내려오지 않는 형태로 형성된다. 그 이유는 게이트금속층(155)은 구동 트랜지스터의 채널영역에만 존재하도록 섬(Island) 형태의 게이트전극(DRg)으로 형성되고, 구동 트랜지스터의 게이트전극(DRg)과 커패시터(Cst)의 상부전극은 소오스 드레인금속층(157)의 제2부분의 돌출부에 의해 연결되는 구조를 갖기 때문이다.

[0097] 이로 인하여, 실시예는 공정 상에서 발생하는 이물이나 파티클(PT)이 존재하더라도 전극 간의 쇼트가 발생하지 않는다. 반면, 실험예는 공정 상에서 발생하는 이물이나 파티클(PT)에 약한 구조적 취약부가 있어 전극 간의 쇼트(ESD에 의한 쇼트 포함)가 발생할 확률이 높아짐 물론 이로 인하여 소자의 불안정성 등(예: 트랜지스터의 문턱전압 이동) 또한 야기할 수 있다.

[0098] 그러므로 실시예는 실험예 대비 광차단층(151)과 게이트금속층(155) 간의 이격거리(L2)를 길게(또는 두껍게)할 수 있기 때문에 (1) 정전기성 불량 가능성, (2) 기생 커패시터의 생성 가능성, (3) 구동 트랜지스터(DR)의 특성치(예: 문턱전압) 불안정성 등과 같은 문제를 유발하는 구조적 취약부를 제거할 수 있는 것으로 나타났다. 따라서, 실시예는 구조적 취약부로 인하여 표시 패널의 신뢰성이나 생산 수율이 하락할 수 있는 결과를 해소할 수 있다.

[0099] 이상 본 발명은 표시 패널을 고해상도(UHD 이상)로 구현시, 서브 픽셀의 한정된 공간 내에 회로를 구성해야 하는 레이아웃 상의 한계 설계치 조건의 상승으로 야기되는 구조적 취약부의 발생 영역(발생 빈도가 높아짐)의 증가를 회피 및 방지할 수 있는 효과가 있다. 또한, 본 발명은 정전기성 불량 가능성, 기생 커패시터의 생성 가능성, 구동 트랜지스터의 특성치(예: 문턱전압) 불안정성 등과 같은 문제를 제거하여 표시 패널의 신뢰성이나 생산 수율을 향상할 수 있는 효과가 있다.

[0100] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적

인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0101] 110: 영상 처리부 120: 타이밍 제어부

130: 데이터 구동부 140: 스캔 구동부

150: 표시 패널 150a: 제1기판

151: 광차단층 152: 버퍼층

153: 반도체층 154: 제1절연층

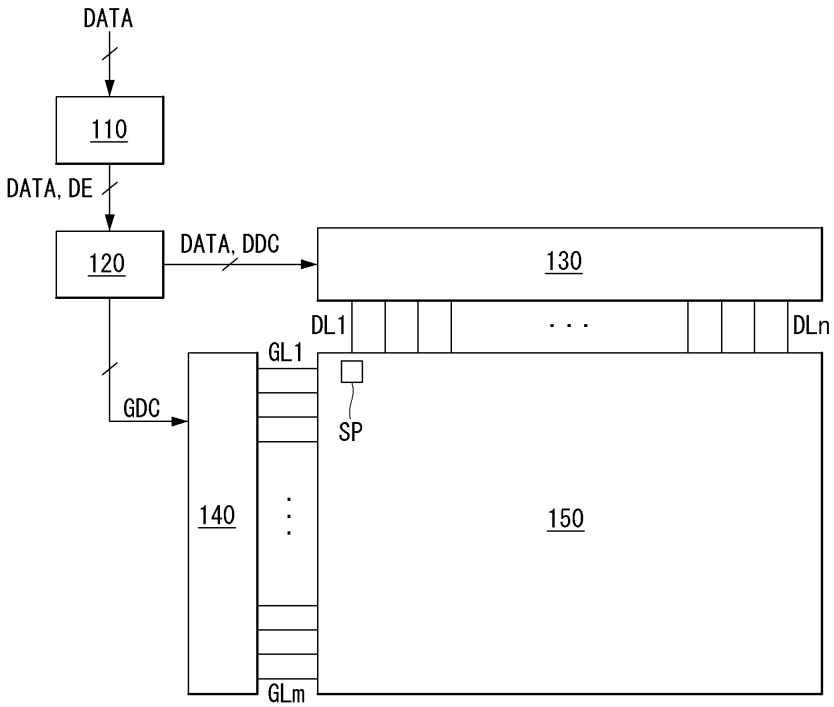
156: 제2절연층 157: 소오스 드레인금속층

ST: 센싱 트랜지스터 DR: 구동 트랜지스터

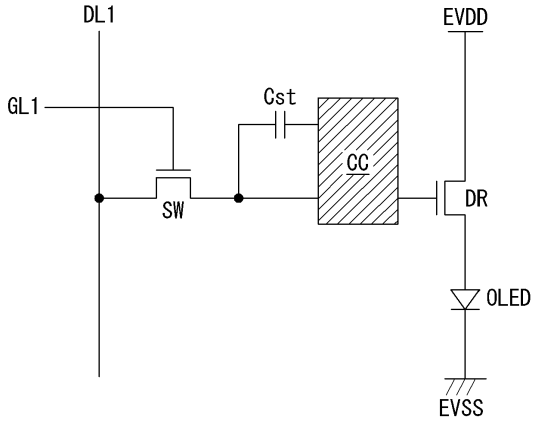
SW: 스위칭 트랜지스터

도면

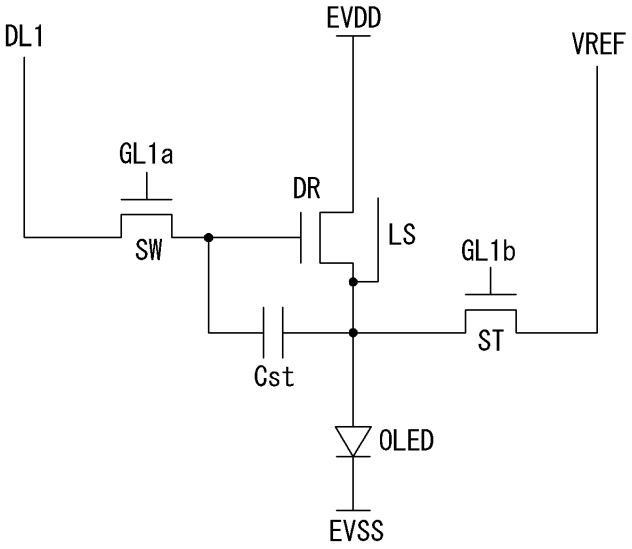
도면1



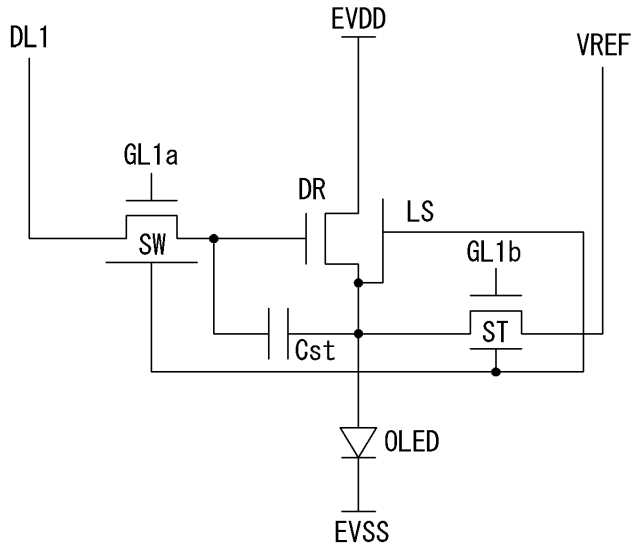
도면2


DL1
EVDD
GL1
Cst
CC
SW
DR
OLED
EVSS

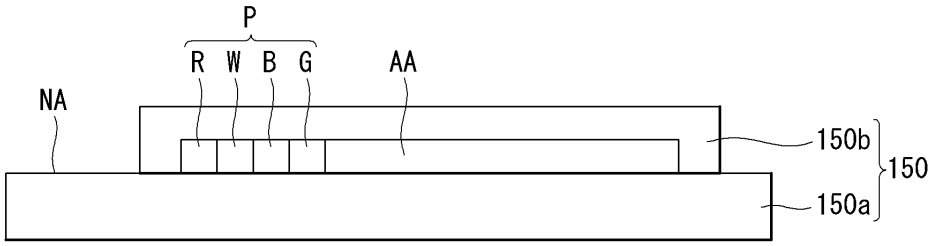
도면3


DL1
EVDD
VREF
GL1a
DR
LS
SW
GL1b
ST
Cst
OLED
EVSS

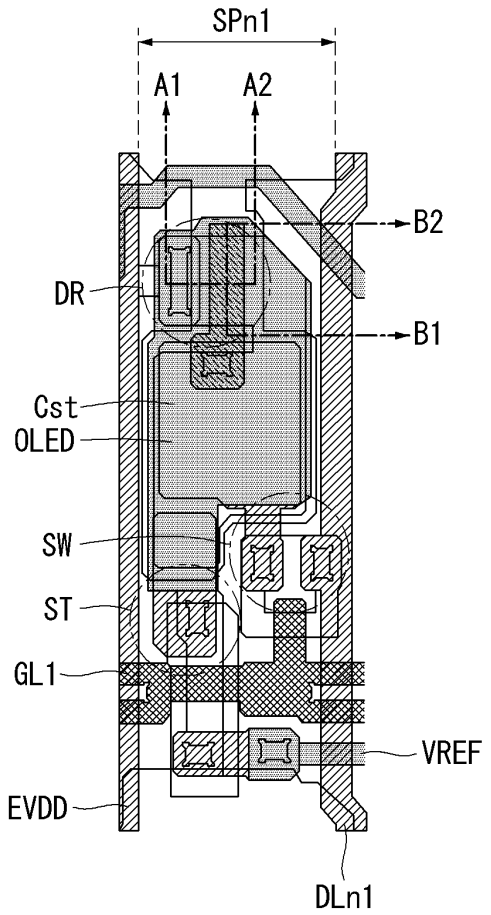
도면4


DL1
EVDD
VREF
GL1a
DR
LS
SW
GL1b
ST
Cst
OLED
EVSS

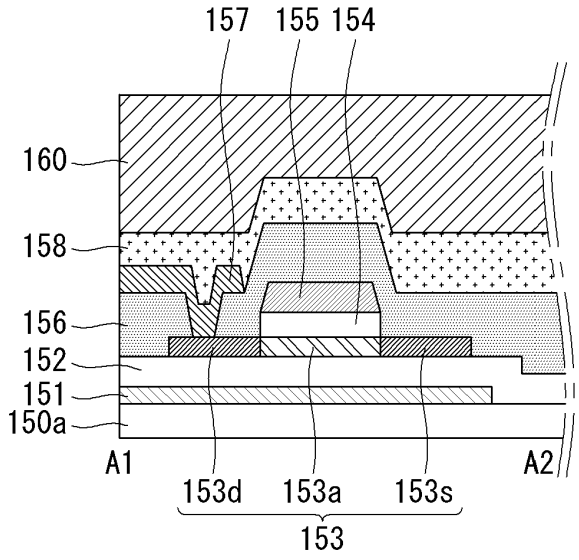
도면5


P
R
W
B
G
AA
NA
150b
150
150a

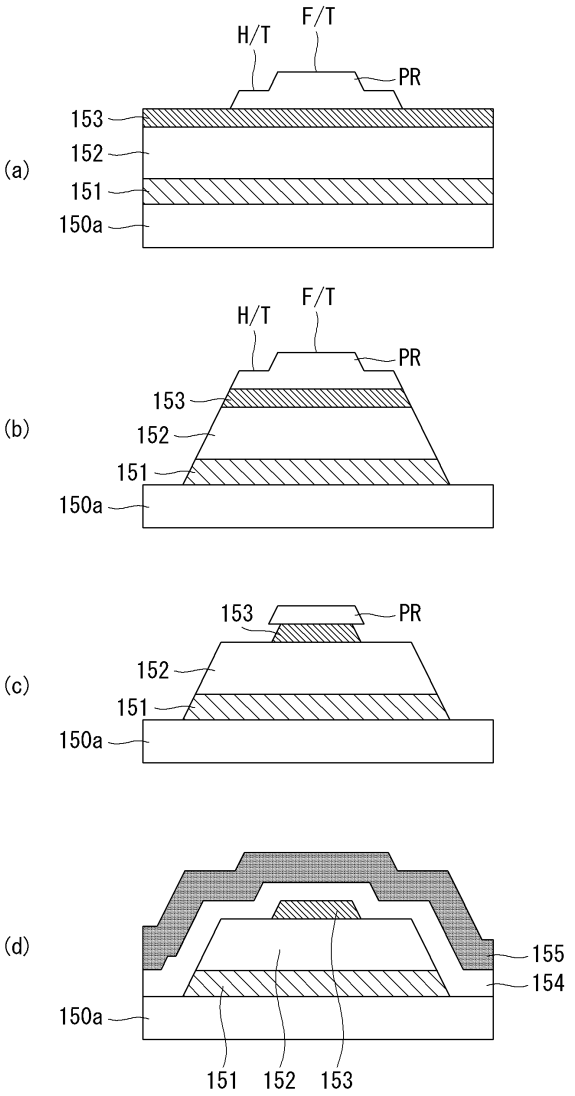
도면6


SPn1
A1
A2
B2
B1
DR
Cst
OLED
SW
ST
GL1
VREF
EVDD
DLn1

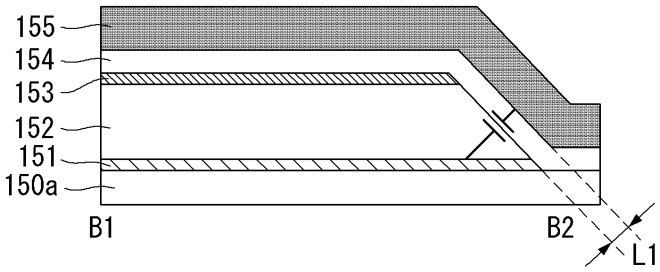
도면7


157
155
154
160
158
156
152
151
150a
A1
A2
153d
153a
153s
153

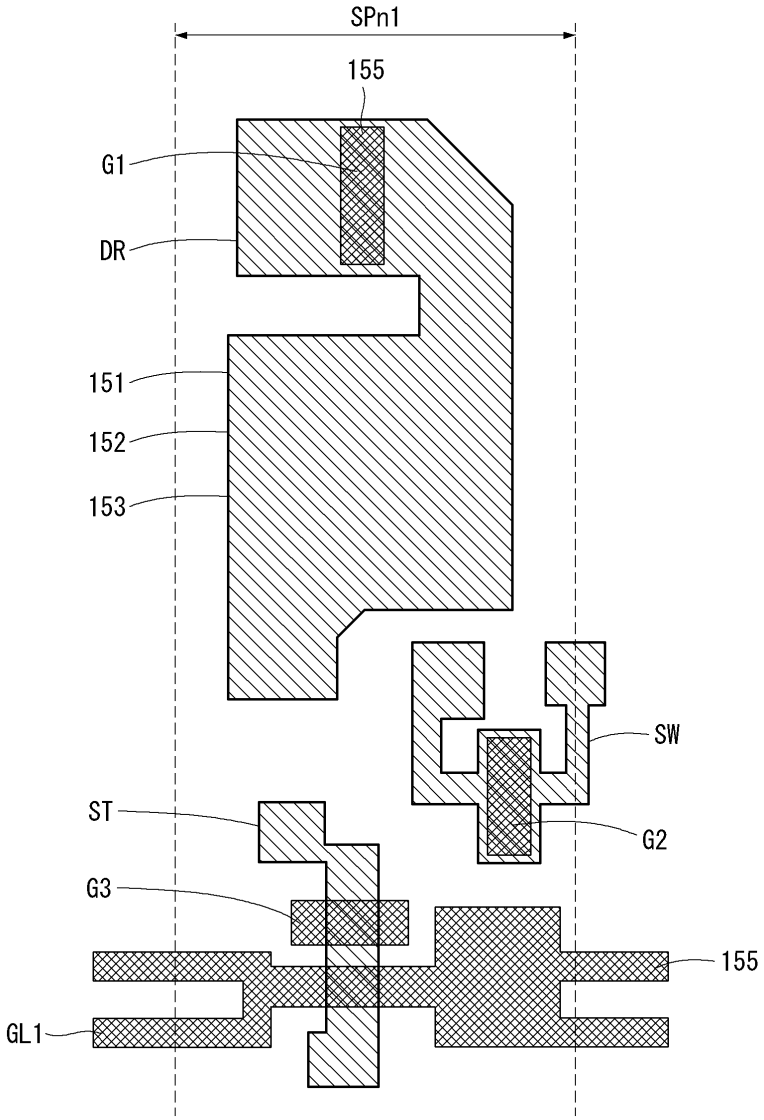
도면8


(a)
H/T
F/T
PR
153
152
151
150a
(b)
H/T
F/T
PR
153
152
151
150a
(c)
153
PR
152
151
150a
(d)
155
154
150a
151
152
153

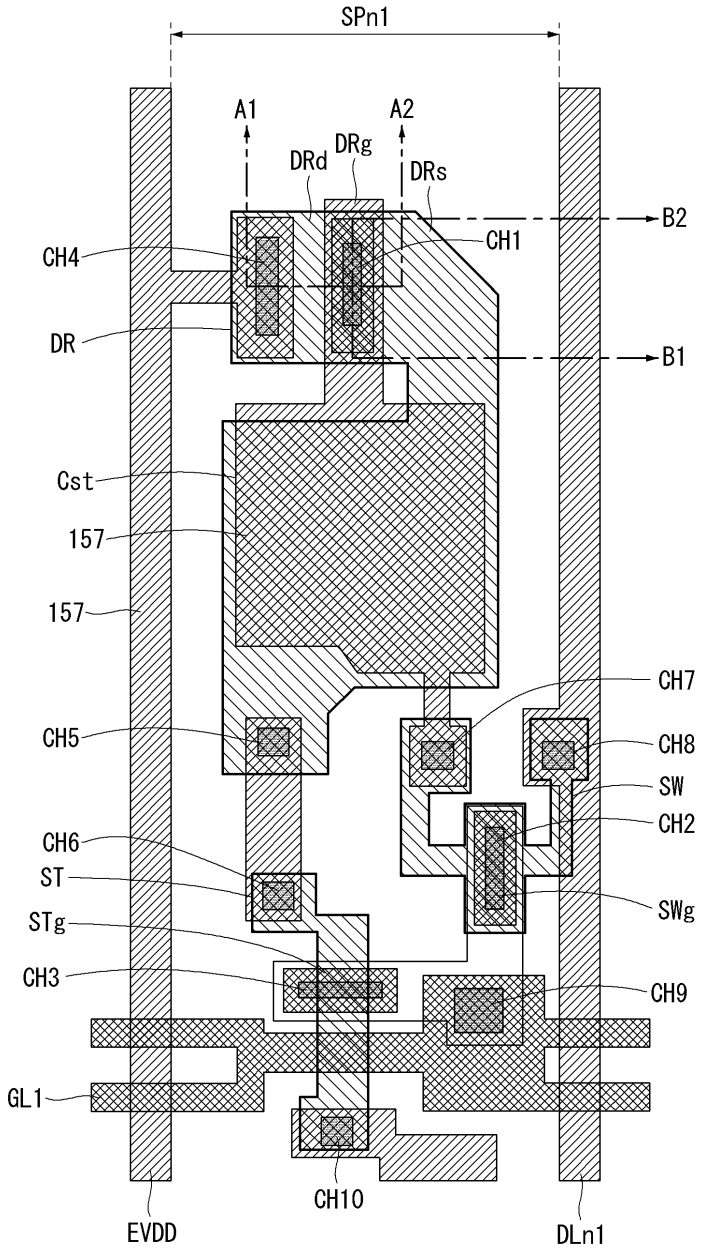
도면9


155
154
153
152
151
150a
B1
B2
L1

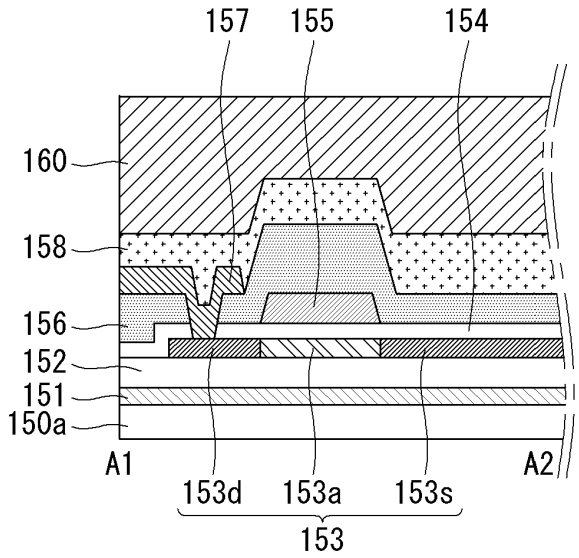
도면10



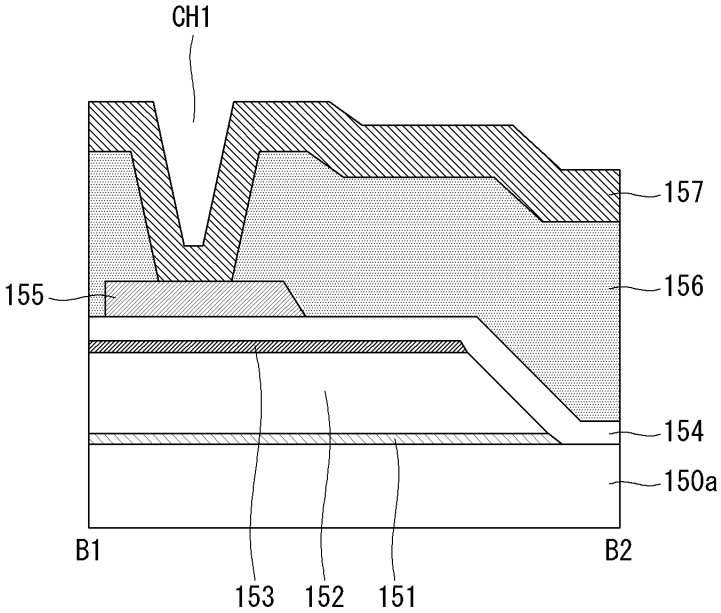
도면11


SPn1
A1
A2
DRd
DRg
DRs
B2
B1
CH4
CH1
DR
Cst
157
157
CH7
CH5
CH8
SW
CH2
CH6
ST
SWg
STg
CH3
CH9
GL1
CH10
EVDD
DLn1

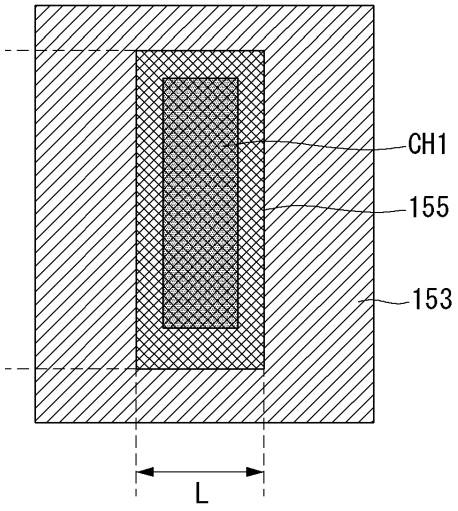
도면12


157
155
154
160
158
156
152
151
150a
A1
A2
153d
153a
153s
153

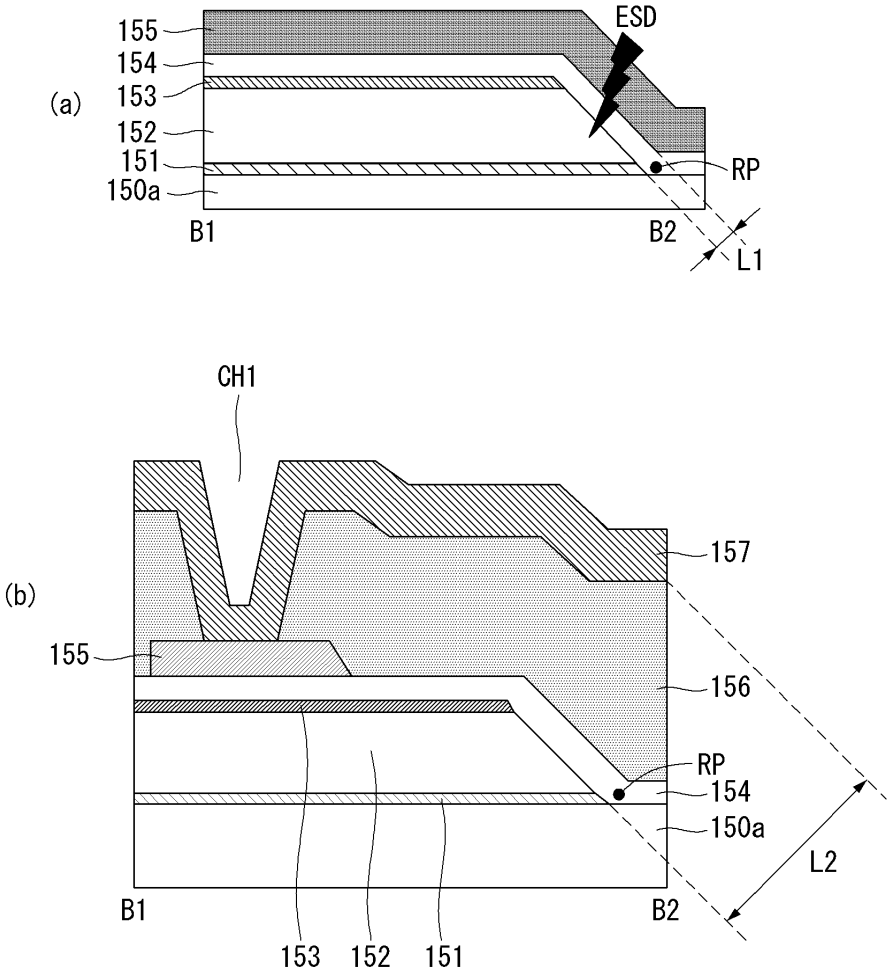
도면13


CH1
157
155
156
154
150a
B1
B2
153
152
151

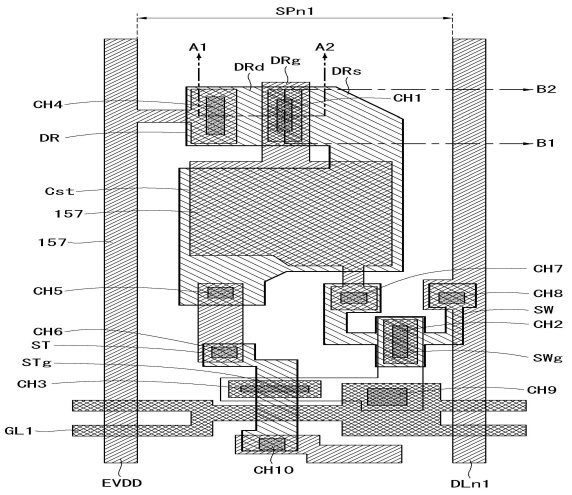
도면14


CH1
155
153
L

도면15


(a)
155
154
153
152
151
150a
ESD
RP
B1
B2
L1
(b)
CH1
157
155
156
RP
154
150a
L2
B1
B2
153
152
151

专利名称(译)	标题：有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020170006321A	公开(公告)日	2017-01-18
申请号	KR1020150096431	申请日	2015-07-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	OH JAE YOUNG 오재영		
发明人	오재영		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	H01L27/3258 H01L27/3262 H01L27/3272 H01L27/3211 H01L51/56 H01L2227/32 H01L2251/56		
外部链接	Espacenet		

摘要(译)

发明内容本发明提供了在以高分辨率实现显示面板时必须在子像素的有限空间内形成电路的布局上增加极限设计条件所引起的结构脆弱性（出现频率增加）的发生区域的增加。避免和预防。为此，本发明的栅极金属层位于晶体管区的第一绝缘层上，第二绝缘层具有位于晶体管区的第一绝缘层和电容器区上并暴露栅极金属层的第一接触孔。源漏金属层位于晶体管区的第二绝缘层和电容器区上，并通过第一接触孔连接到栅极金属层。